

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4889667号
(P4889667)

(45) 発行日 平成24年3月7日(2012.3.7)

(24) 登録日 平成23年12月22日(2011.12.22)

(51) Int. Cl. F I
 HO 1 L 23/12 (2006.01) HO 1 L 23/12 F
 HO 1 L 23/12 Q

請求項の数 8 (全 9 頁)

<p>(21) 出願番号 特願2008-45979 (P2008-45979) (22) 出願日 平成20年2月27日 (2008.2.27) (65) 公開番号 特開2009-206251 (P2009-206251A) (43) 公開日 平成21年9月10日 (2009.9.10) 審査請求日 平成22年8月5日 (2010.8.5)</p>	<p>(73) 特許権者 302062931 ルネサスエレクトロニクス株式会社 神奈川県川崎市中原区下沼部1753番地 (74) 代理人 100110928 弁理士 速水 進治 (74) 代理人 100118544 弁理士 野本 可奈 (74) 代理人 100127236 弁理士 天城 聡 (72) 発明者 金森 宏治 神奈川県川崎市中原区下沼部1753番地 NECエレクトロニクス株式会社内 審査官 宮崎 園子</p>
--	---

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

中央に第1の方向に整列して配置されている複数のパッドを有する半導体チップと、
 複数の外部接続端子と

前記複数のパッドの一つと前記外部接続端子の一つとを結合する配線パターンを有する
 配線基板とを備え、

前記パッドのうち第1のパッドと前記第1のパッドと隣接しない第2のパッドとが、前
 記第1のパッドおよび前記第2のパッドとは異なり、前記第1のパッドと隣接する第3の
 パッドの上を通過する前記配線パターンによって結合しており、

前記第3のパッドは前記配線パターンに接続されていない半導体装置。

10

【請求項2】

前記配線パターンは、前記第2のパッドと接続されている第1の前記外部接続端子を介
 して前記第1のパッドおよび前記第2のパッドを結合する請求項1に記載の半導体装置。

【請求項3】

前記第1の外部接続端子は、前記配線パターンに接し、平面視で前記第2のパッドから
 離間して配置されており、

前記第1のパッドは、前記第1の外部接続端子を經由して前記第2のパッドに接続して
 いる請求項2に記載の半導体装置。

【請求項4】

前記第1の方向に並行して前記配線パターンの基幹配線が延在することを特徴とする請

20

求項 1 ~ 3 のいずれか一項に記載の半導体装置。

【請求項 5】

前記配線パターンは前記第 1 のパッドと前記基幹配線とを結ぶ枝配線を有することを特徴とする請求項 4 に記載の半導体装置。

【請求項 6】

前記複数のパッドは前記外部接続端子よりも多いことを特徴とする請求項 1 ~ 5 のいずれか一項に記載の半導体装置。

【請求項 7】

前記第 1 , 2 のパッドは同電位または同じ信号であることを特徴とする請求項 1 ~ 6 のいずれか一項に記載の半導体装置。

10

【請求項 8】

前記配線パターンは、前記配線基板の第 1 面に設けられており、
前記配線基板は、

前記第 1 面と反対の第 2 面側から前記配線パターンの一部を露出するように設けられ、
平面視で前記複数のパッドの一部と重なるように設けられた開口部をさらに有するとともに、
前記第 2 面側で前記半導体チップと接しており、

前記第 1 のパッドおよび前記第 2 のパッドは、平面視で前記開口部と重なる位置に配置され、
当該開口部において前記配線パターンに接続されている請求項 1 ~ 7 のいずれか一項に記載の半導体装置。

【発明の詳細な説明】

20

【技術分野】

【0001】

本発明は、半導体チップを搭載する配線基板を有する半導体装置に関し、特にセンターパッドタイプの半導体チップを備える半導体装置に適用して有効な技術に関するものである。

【背景技術】

【0002】

近年、半導体装置が搭載される機器の多機能化及び高性能化が進んでいる。そして、搭載製品の多機能化に伴い、半導体チップには高集積化が求められる。また、搭載製品の高性能化に伴い、半導体チップには高速化が求められる。

30

【0003】

半導体チップの高集積化は、多ピン化につながる。また、半導体チップの高速化技術においては、半導体チップに供給される電源を安定させることが非常に重要となる。

【0004】

一般的に、半導体チップに電源を安定して供給する技術として、電源を分離する手法が広く知られている。つまり、電源パッドを複数設けて、それぞれのパッドから電源を供給する。

【0005】

言い換えれば、半導体チップの高集積化および高性能化は、ともに多ピン化につながってしまうのである。

40

【0006】

半導体チップの多ピン化に対応する、高密度実装技術が求められている。

【0007】

特許文献 1 では、半導体チップを搭載する配線基板（インターポーザ）上の配線の高密度化技術が開示されている。

【0008】

【特許文献 1】特開平 2002 - 270653

【発明の開示】

【発明が解決しようとする課題】

【0009】

50

しかしながら、前述した従来技術では、パッド数が増加した場合、あるいはパッドの高密度化が進んだ場合、配線基板が大型化し、半導体装置が大型化してしまう。

【課題を解決するための手段】

【0010】

本発明によれば、

中央に第1の方向に整列して配置されている複数のパッドを有する半導体チップと、
複数の外部接続端子と

前記複数のパッドの一つと前記外部接続端子の一つとを結合する配線パターンを有する配線基板とを備え、

前記パッドのうち第1のパッドと前記第1のパッドと隣接しない第2のパッドとが、前記第1のパッドおよび前記第2のパッドとは異なり、前記第1のパッドと隣接する第3のパッドの上を通過する前記配線パターンによって結合しており、

前記第3のパッドは前記配線パターンに接続されていない半導体装置が提供される。

10

【0011】

さらに好ましくは、半導体チップはセンターパッド型であって、そのチップと結合する配線基板の配線パターンは、配線基板から半導体チップのパッド上を通過して、その通過するパッドとは異なるパッドに結合される。

【発明の効果】

【0012】

以上説明したように、本発明によれば、半導体チップのパッド間を、配線基板側の配線パターンを利用して結合するので、外部端子数を抑制できる。

20

【0013】

また、外部端子の配置に影響を与えることがないので、外部端子の配置等の設計の自由度が向上する。

【0014】

くわえて、チップ内部の配線を用いる場合に比べて、パッド間の接続を低抵抗で実現できる。

【発明を実施するための最良の形態】

【0015】

本発明の前記ならびにその他の目的、特徴、及び効果をより明確にすべく、以下図面を用いて本発明の実施の形態につき詳述する。

30

【0016】

図1乃至図8は、本発明の第1の実施の形態の半導体装置を示す図面である。

図1は、半導体装置を外部接続端子(=半田ボール)5を有する裏面から見た図であり、図2は、半導体チップ3が実装される表面から見た図である。

【0017】

裏面側から説明すると、まず外部接続端子5が基板1に備えられている。そして、半導体チップ3と基板1との間には、弾性体2が設けられている。また、基板1には、開口部4が設けられている。この開口部4は弾性体2にも、同様に設けられている。

【0018】

図3は半導体チップを実装する前の基板とその基板上に設けられた配線パターン6を示した。配線パターンは開口部4と隣接する基幹配線61と、基幹配線から開口部4を左右に横断する枝配線とを備える。また、枝配線のうち基幹配線と結合しない側に外部接続端子と結合するランド部51を備えるものがある。一方、チップ中央の枝配線はランド部を備えず、枝配線どうしが結合している。

40

【0019】

図4では、図示しない半導体チップを実装した後の基板を示した。開口部4で、一部を除いて基幹配線から枝配線が切断されている。一点鎖線で囲ったAの領域を用いて図5で詳細に説明する。

【0020】

50

基板（不図示）に設けられた配線パターン 6 のうち、中央に位置するパターンを基幹配線 6 1 とする。また基幹配線から分岐して、開口部 4 を横断してランド部 5 1 に結合する配線を枝配線 6 2 , 6 3 とした。

【 0 0 2 1 】

枝配線は、開口部 4 において半導体チップのパッド 7 1、7 2、7 3 に結合する。枝配線とパッドとの結合は、半導体基板の開口部で配線パターンをボンディングツール（不図示）によって基幹配線から枝配線を切断することによって実施する。そのため、本実施形態では、基幹配線とパッドとを、基幹配線側から結合することができない。

【 0 0 2 2 】

つまり、図 5 に示すように、パッド 7 1 に結合する枝配線が基幹配線と切り離され、一旦基幹配線の反対側を迂回する。そして、以降のこの配線の経路は、枝配線 6 3 がパッド 7 上を通過して、基幹配線 6 1 に戻る。そして、配線 6 を通って、ランド部 5 1 から枝配線を経由して最終的に、パッド 7 2 に結合する。

【 0 0 2 3 】

こうして、チップ内部で共通電極となるパッド 7 1 とパッド 7 2 とを、基板側の基幹配線、枝配線、配線パターンを用いて結合することができた。

【 0 0 2 4 】

図 5 における枝配線や基幹配線、半導体チップ等の関係を明確にするために、以下図中に示した断面 B - B'、C - C' を用いて、以下に本願のパッドまわりの断面構造を説明する。

【 0 0 2 5 】

図 6 は、図 5 中の B - B' 断面、すなわちパッドと枝配線とが結合する部分の断面を表す。図中の最下層に半導体チップ 3、そしてチップ 3 は、パッド 7 3 を備える。チップ 3 は弾性体 2 を介して、基板 1 とその基板表面にパターンニングされた基幹配線 6 1、配線パターン 6 2 に実装されている。

【 0 0 2 6 】

配線パターン 6 2 は、基幹配線 6 1 に結合されていたが、パッド 7 3 と結合させるために、基幹配線 6 1 に近い開口部 4 内で切断された。

【 0 0 2 7 】

また、パッドと配線パターンとを結合させた開口部には、液状樹脂などの封止絶縁体 9 で封止している。

【 0 0 2 8 】

図 7 では、図 5 中の C - C' 断面、すなわちパッド上を枝配線が通過する部分の断面を表す。基本的な構造は図 6 と同様であるので、説明は省略するが、パッド 7 上において配線パターン 6 3 が切断されておらず、そのまま基幹配線 6 1 に結合している。

【 0 0 2 9 】

図 8 は、本実施例の前述した A 領域を、半導体チップ 3 側から見た図面である。図中の点線で表されるのは、基板上の配線パターンである。

【 0 0 3 0 】

パッド 7 1 と 7 2 とはそれぞれチップ内部に配線 8 1、8 2 をそれぞれ備えている。ここで配線 8 1、8 2 は、具体的には内部電源配線の例を示したが、これに限らず、共通の信号配線等でも構わない。

【 0 0 3 1 】

配線 8 1、8 2 は所定の回路ブロックに電位を供給している。電源を安定化させるために、配線 8 1 と 8 2 とを結合する必要がある。そこで、前述したように、パッド 7 1 とパッド 7 2 とを、基幹配線 6 1 を経由して、内部配線を用いることなく結合させた。

【 0 0 3 2 】

こうすることで、チップ上で結合する場合の、配線を配置する面積を削減できた。また、チップ内部に配置する配線には、配線の太さ、厚さに限界がある。とくに、高集積化が進み、チップが巨大化した場合に、どうしても抵抗が大きく付加されてしまう。しかし、基

10

20

30

40

50

板の配線パターンを用いることで、その抵抗値を抑えることができた。

【 0 0 3 3 】

次に、本発明の第 2 の実施例を、図 9 から 1 0 を用いて説明する。第 1 の実施例では、開口部 4 の片側に存在するパッドおよび配線パターンでの例を示した。ここでは、開口部 4 の両側を用いた例を示す。

【 0 0 3 4 】

まず、パッド 7 1 と 7 2 とが、基板側の配線パターンを介して結合するまでは第 1 の実施例と同様である。そして、基幹配線 6 1 はさらに、2 つ目の開口部側に設けられたパッド 7 5 にパッド 7 4 の上を通過する枝配線 6 4 を経由して結合する。

【 0 0 3 5 】

つまり、基幹配線を挟んで左右に分離された半導体チップのパッドを、基幹配線を含む基板側の配線パターンを用いて結合させた。ここで、2 つ目の開口部側、すなわち基幹配線 6 1 を挟んで下側のパッド、及び配線パターンは、本実施例の説明な部分以外は省略した。

【 0 0 3 6 】

こうして、図 1 0 に示すように、基幹配線を境界として、紙面上下に分離されたパッド 7 1 , 7 2 , 7 3 およびそのパッドの有するチップ内部配線 8 1 , 8 2 , 8 3 を、基板側の配線パターンを用いて、より省面積でかつ低抵抗に結合することができた。

【 0 0 3 7 】

また、本発明は前述の実施例に限定されず、本発明の技術思想の範囲内において、各実施例は適宜変更され得ることは明らかである。たとえば、センターパッドの半導体チップを例示したが、パッドは 2 辺配置、4 辺配置であっても構わない。

【 0 0 3 8 】

ここでは外部接続端子を、BGA タイプを例示したが、LGA (ランドグリッドアレイ) や、通常のリードフレーム型の半導体装置にも適用可能である。

【 0 0 3 9 】

さらに、隣接しないパッドどうしの結合を、チップ内部の配線を用いず、基板側の配線パターンを用いるのであれば、そのパッドと基板側の配線パターンとの結合方式にかかわらずないことは言うまでもない。

なお、本発明は、以下の構成についても開示されている。

(1)

複数のパッドと複数の外部接続端子とを有する半導体チップと、
前記複数のパッドの一つと前記外部接続端子の一つとを結合する配線パターンを有する配線基板とを備え、

前記パッドのうち第 1 のパッドと前記第 1 のパッドと隣接しない第 2 のパッドとが前記配線パターンによって結合する半導体装置。

(2)

前記複数のパッドは前記半導体チップの中央に第 1 の方向に整列して配置されていることを特徴とする (1) に記載の半導体装置。

(3)

前記第 1 の方向に並行して前記配線パターンの基幹配線が延在することを特徴とする (2) に記載の半導体装置。

(4)

前記配線パターンは前記第 1 のパッドと前記基幹配線とを結ぶ枝配線を有することを特徴とする (3) に記載の半導体装置。

(5)

前記枝配線は前記基幹配線から前記複数のパッドのうちの前記一とは異なるパッドの上を通過して前記第 1 のパッドに結合することを特徴とする (4) に記載の半導体装置。

(6)

前記複数のパッドは前記外部接続端子よりも多いことを特徴とする (1) に記載の半導

10

20

30

40

50

体装置。

(7)

前記第 1 , 2 のパッドは同電位または同じ信号であることを特徴とする (1) に記載の半導体装置。

(8)

複数のパッドを有する半導体チップと、
前記チップと外部接続端子とを結合する配線パターンを有する配線基板とを備え、
前記複数のパッドのうち所定のパッドから見て延在方向に前記配線パターン、前記外部接続端子、配線パターン、そして前記所定のパッドと異なるパッドの順序で配置されていることを特徴とする半導体装置。

10

(9)

前記複数のパッドは前記基幹配線を挟んで二列に配列されていることを特徴とする請求項 (2) に記載の半導体装置。

(1 0)

前記第 1 のパッドは前記基幹配線を挟んで前記二列の一方の列に存在し、前記第 2 のパッドは前記基幹配線を挟んで前記二列の他方の列に存在することを特徴とする (9) に記載の半導体装置。

【図面の簡単な説明】

【 0 0 4 0 】

20

【図 1】 本発明の第 1 の実施の形態を示す接続端子側からの平面図である。

【図 2】 本発明の第 1 の実施の形態を示すチップ側からの平面図である。

【図 3】 本発明の第 1 の実施の形態のチップ実装前の配線パターンを示す図面である。

【図 4】 本発明の第 1 の実施の形態のチップ実装後の配線パターンを示す図面である。

【図 5】 本発明の第 1 の実施の形態の配線パターンの一部を示す図面である。

【図 6】 本発明の第 1 の実施の形態の断面を示す図面である。

【図 7】 本発明の第 1 の実施の形態の断面を示す図面である。

【図 8】 本発明の第 1 の実施の形態のチップの配線パターンの一部を示す図面である。

【図 9】 本発明の第 2 の実施の形態の配線パターンの一部を示す図面である。

【図 1 0】 本発明の第 2 の実施の形態のチップの配線パターンの一部を示す図面である。

30

【符号の説明】

【 0 0 4 1 】

1 基板

2 弾性体

3 半導体チップ

4 開口部

5 外部接続端子 (半田ボール)

5 1 ランド部 (半田ボール結合部)

6 配線パターン

6 1 基幹配線 (配線パターン)

40

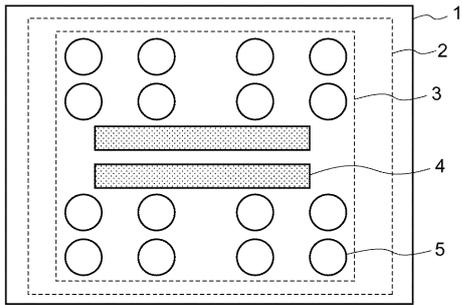
6 0、6 2、6 3、6 4 枝配線 (配線パターン)

7、7 1、7 2、7 3、7 4、7 5 パッド

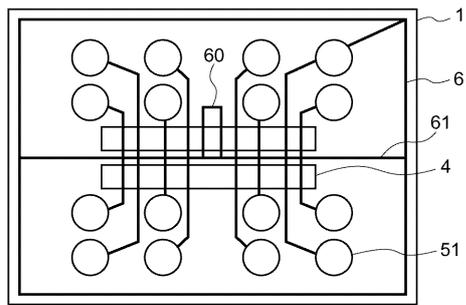
8 1、8 2、8 3 チップ内部配線

9 封止絶縁体

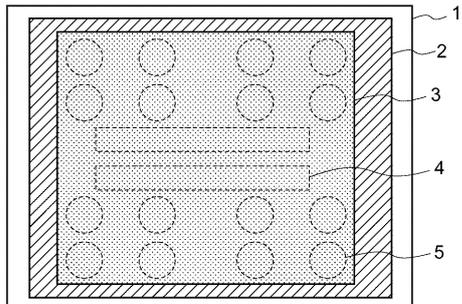
【図1】



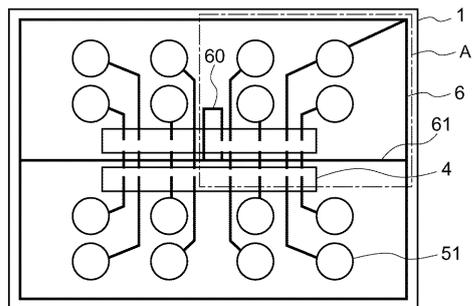
【図3】



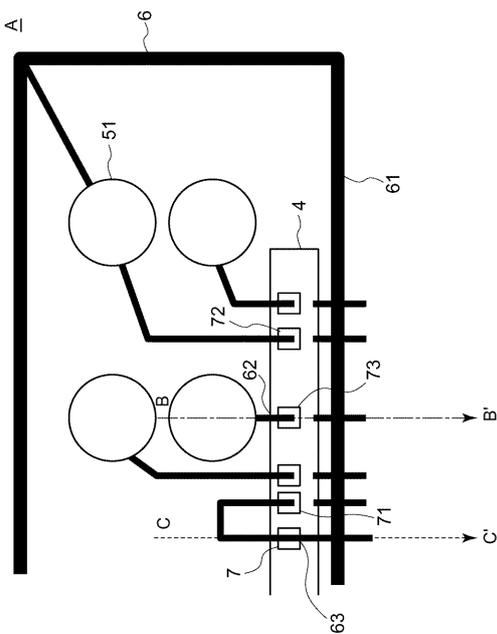
【図2】



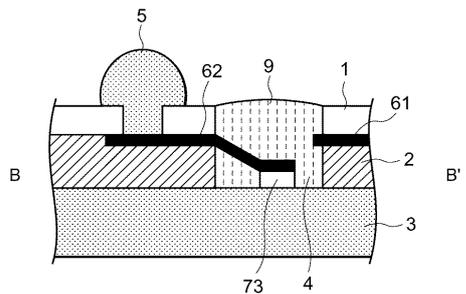
【図4】



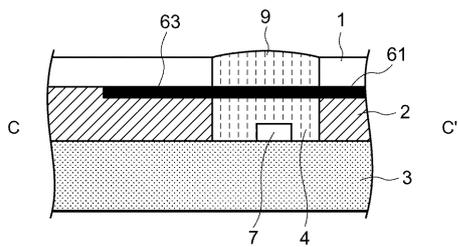
【図5】



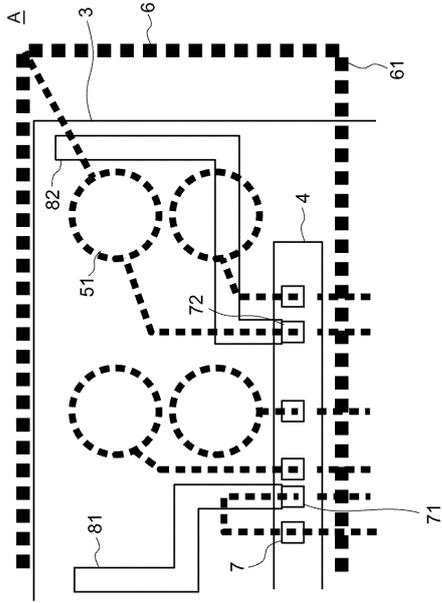
【図6】



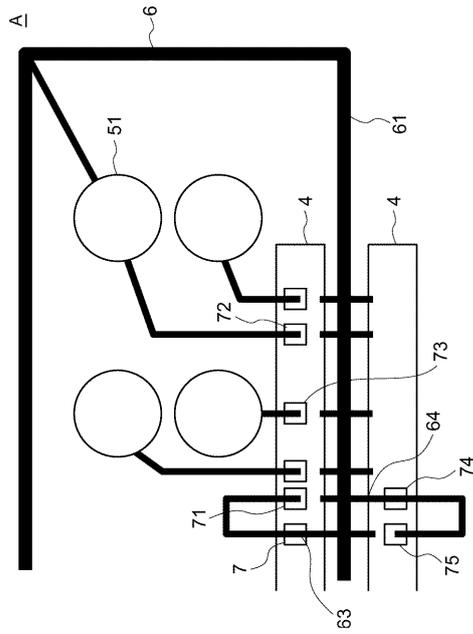
【図7】



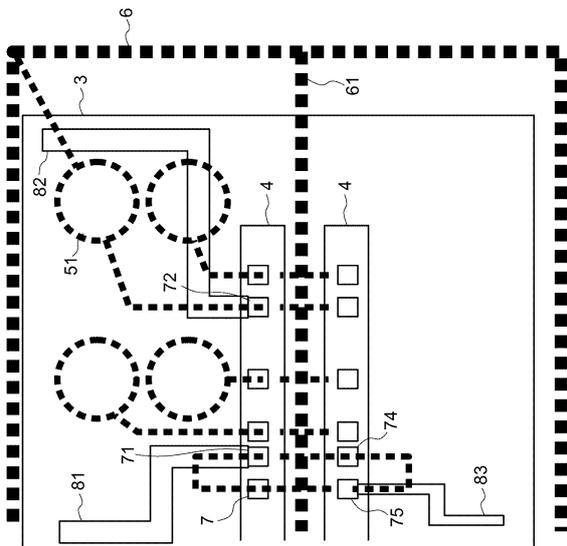
【 図 8 】



【 図 9 】



【 図 10 】



フロントページの続き

(56)参考文献 実開昭61-195056(JP,U)
特開2003-224225(JP,A)

(58)調査した分野(Int.Cl., DB名)
H01L 23/12