



(12) 发明专利申请

(10) 申请公布号 CN 112230841 A

(43) 申请公布日 2021.01.15

(21) 申请号 202010625648.3

(22) 申请日 2020.07.01

(30) 优先权数据

10-2019-0084914 2019.07.15 KR

(71) 申请人 爱思开海力士有限公司

地址 韩国京畿道

(72) 发明人 朴振

(74) 专利代理机构 北京路浩知识产权代理有限公司

11002

代理人 王璇 太香花

(51) Int. Cl.

G06F 3/06 (2006.01)

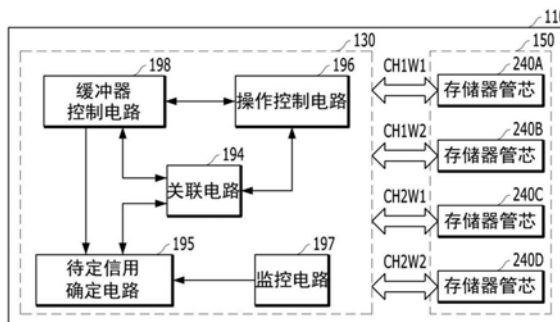
权利要求书3页 说明书25页 附图10页

(54) 发明名称

提高存储器系统的输入/输出吞吐量的设备和方法

(57) 摘要

本公开涉及一种存储器系统,该存储器系统包括:多个存储器管芯;以及控制器,选择第二读取请求,该第二读取请求包括多个第一读取请求中的至少一部分,以使得存储器管芯交错并输出与第一读取请求相对应的数据,并且当选择了第二读取请求时,针对选择的第二读取请求执行关联操作,该控制器确定在选择第二读取请求的时间之前是否执行了关联操作,确定关联操作是否成功,响应于在选择第二读取请求的时间存储器管芯的操作状态来确定待定信用,并且基于待定信用确定是否针对在选择第二读取请求的时间选择的第二读取请求执行关联操作。



1. 一种存储器系统,包括:

多个存储器管芯;以及

控制器,通过多个通道联接到所述存储器管芯,所述控制器包括电路,所述电路:

选择第二读取请求,所述第二读取请求包括从外部装置传送的多个第一读取请求中的至少一部分,以使得所述存储器管芯通过所述通道交错并输出与所述第一读取请求相对应的数据,并且

针对选择的第二读取请求执行关联操作,

其中,当选择了所述第二读取请求时,所述控制器确定在选择所述第二读取请求的时间之前是否执行了所述关联操作,确定所述关联操作是否成功,响应于在选择所述第二读取请求的时间所述存储器管芯的操作状态来确定待定信用,并且基于所述待定信用确定是否针对在选择所述第二读取请求的时间选择的所述第二读取请求执行所述关联操作。

2. 根据权利要求1所述的存储器系统,其中当所述待定信用小于参考值时,所述控制器在不执行所述关联操作的情况下处理所选择的第二读取请求,并且

当所述待定信用等于或大于所述参考值时,所述控制器针对所选择的第二读取请求执行所述关联操作。

3. 根据权利要求2所述的存储器系统,其中当在选择所述第二读取请求的时间所述存储器管芯中的至少一个处于空闲状态时,所述控制器减少所述待定信用。

4. 根据权利要求3所述的存储器系统,其中所述待定信用减少的量基于在选择所述第二读取请求时处于空闲状态的所述存储器管芯的数量。

5. 根据权利要求2所述的存储器系统,其中当在选择所述第二读取请求的时间之前不执行所述关联操作的情况下处理所述第二读取请求时,所述控制器增加所述待定信用。

6. 根据权利要求5所述的存储器系统,其中所述待定信用减少的量基于在选择所述第二读取请求的时间之前不执行所述关联操作的情况下处理所述第二读取请求的预期处理时间。

7. 根据权利要求2所述的存储器系统,其中所述控制器响应于在选择所述第二读取请求的时间之前所述关联操作成功而增加所述待定信用,并且响应于在选择所述第二读取请求的时间之前所述关联操作失败而减少所述待定信用。

8. 根据权利要求7所述的存储器系统,其中所述控制器基于由于在选择所述第二读取请求的时间之前执行所述关联操作成功而预期节省的时间,来调整所述待定信用增加的量。

9. 根据权利要求8所述的存储器系统,其中所述控制器基于由于在选择所述第二读取请求的时间之前执行所述关联操作失败而消耗的时间量,来调整所述待定信用减少的量。

10. 根据权利要求2所述的存储器系统,其中当在基于所述待定信用确定是否执行所述关联操作之后,在超过参考时间的时间内未选择所述第二读取请求时,

所述控制器将所述待定信用重置为初始值,所述初始值小于所述参考值。

11. 根据权利要求2所述的存储器系统,其中所述控制器包括:

输入缓冲器,临时存储所述第一读取请求;

输出缓冲器,临时存储待输出到所述外部装置的数据;

缓冲器控制电路,监控所述输入缓冲器和所述输出缓冲器的状态并选择所述第二读取

请求;

监控电路,监控所述存储器管芯的操作状态;

关联电路,基于所述待定信用确定是否针对所述第二读取请求执行所述关联操作,并且在未关联的读取请求之前输出关联的读取请求;

待定信用确定电路,响应于所述缓冲器控制电路、所述监控电路和所述关联电路的操作来确定所述待定信用;以及

操作执行电路,针对从所述关联电路传送的读取请求执行地址转换,并且通过所述通道将结果地址传送到所述存储器管芯。

12. 一种操作存储器系统的方法,所述存储器系统包括存储数据的多个存储器管芯,所述方法包括:

接收从外部装置传送的多个第一读取请求;

选择包括多个第一读取请求中的至少一部分的第二读取请求,以使所述存储器管芯通过通道交错并输出与所述第一读取请求相对应的数据;

当选择所述第二读取请求时,响应于在选择所述第二读取请求之前是否执行了关联操作来确定待定信用,确定所述关联操作是否成功,并当选择所述第二读取请求时确定所述存储器管芯的操作状态;并且

基于所述待定信用,确定是否针对所述第二读取请求执行所述关联操作。

13. 根据权利要求12所述的方法,其中确定是否执行所述关联操作包括:

当所述待定信用小于参考值时,在不执行所述关联操作的情况下处理所述第二读取请求;并且

当所述待定信用等于或大于所述参考值时,针对所述第二读取请求执行所述关联操作。

14. 根据权利要求13所述的方法,其中确定所述待定信用包括:

响应于在选择所述第二读取请求时所述存储器管芯中的至少一个处于空闲状态而减少所述待定信用;

当在选择所述第二读取请求之前不执行所述关联操作的情况下处理所述第二读取请求时,增加所述待定信用;

响应于在选择所述第二读取请求之前所述关联操作成功而增加所述待定信用的值;并且

响应于在选择所述第二读取请求之前所述关联操作失败而减少所述待定信用的值。

15. 根据权利要求14所述的方法,进一步包括:

基于在选择所述第二读取请求时处于空闲状态的存储器管芯的数量,来调整所述待定信用减少的量。

16. 根据权利要求14所述的方法,进一步包括:

基于在选择所述第二读取请求之前不执行所述关联操作的情况下处理所述第二读取请求的预期处理时间,来调整所述待定信用增加的量。

17. 根据权利要求14所述的方法,进一步包括:

基于由于在选择所述第二读取请求之前执行所述关联操作成功而预期缩短的时间,来调整所述待定信用增加的量。

18. 根据权利要求14所述的方法,进一步包括:

基于由于在选择所述第二读取请求之前执行所述关联操作失败而消耗的时间,来调整所述待定信用减少的量。

19. 根据权利要求12所述的方法,进一步包括:

当在超过参考时间的未选择所述第二读取请求时,将所述待定信用重置为初始值,其中所述初始值小于所述参考值。

20. 根据权利要求12所述的方法,进一步包括:

当在确定是否针对所述第二读取请求执行所述关联操作时,针对在选择所述第二读取请求时选择所述第二读取请求执行所述关联操作时,

转换针对由于关联操作成功而关联的读取请求的地址,并通过所述通道将结果地址传送到所述存储器管芯;

在转换针对关联的读取请求的地址之后,通过所述通道以交错方案接收针对关联的读取请求的数据;

转换针对由于关联操作失败而未被关联的未关联的读取请求的地址,并将结果地址传送到所述存储器管芯;

在转换针对所述未关联的读取请求的地址转换之后,从所述存储器管芯接收与所述未关联的读取请求相对应的数据;并且

将所接收的数据输出到所述外部装置。

## 提高存储器系统的输入/输出吞吐量的设备和方法

[0001] 相关申请的交叉引用

[0002] 本申请要求于2019年7月15日提交的申请号为10-2019-0084914的韩国专利申请的优先权,其通过引用整体并入本文。

### 技术领域

[0003] 本发明的各个实施例涉及一种存储器系统,更特别地,涉及一种通过对存储器系统中的存储器管芯进行交错操作来提高数据输入/输出性能的方法和设备。

### 背景技术

[0004] 近来,计算机环境范例已经转变成使计算机系统能够被随时随地访问的普适计算。因此,增加了诸如移动电话、数码相机、笔记本电脑等的便携式电子装置的使用。这种便携式电子装置通常使用或包括使用或嵌入至少一个存储器装置的存储器系统,即数据存储装置。数据存储装置可以用作便携式电子装置的主存储装置或辅助存储装置。

[0005] 与硬盘不同,在计算装置中用作非易失性半导体存储器装置的数据存储装置的优点在于,由于其不具有机械驱动部件(例如,机械臂),因此具有优异的稳定性和耐久性,并且具有高数据访问速度和低功耗。这种数据存储装置的示例包括通用串行总线(USB)存储器装置、具有各种接口的存储卡以及固态驱动器(SSD)。

### 发明内容

[0006] 本公开的实施例可以提供一种可以通过降低存储器系统的操作复杂度和性能劣化来将数据快速且可靠地处理到存储器装置中从而提高存储器装置的效率的存储器系统、数据处理系统以及操作进程或方法。

[0007] 另外,本公开的实施例可以提供一种用于以交错形式向存储器系统中的多个存储器管芯输入多条数据以及从存储器系统中的多个存储器管芯输出多条数据以提高存储器系统的数据输入/输出性能(例如,I/O吞吐量)的方法和设备。

[0008] 进一步,本公开的实施例可以提供一种存储器系统,该存储器系统在将数据存储多个存储器管芯中的进程中不限于将数据存储在其中以用于交错操作的物理位置,从而有效地利用存储器系统中的多个存储器管芯,使得可以提高存储器系统的操作稳定性和寿命。

[0009] 另外,本公开的实施例可以提供一种设备和方法,该设备和方法用于基于存储器系统的配置和/或关联操作的特性动态地确定是对多个请求进行还是停止关联操作,其影响在存储器系统中执行的诸如读取或写入数据的操作,使得可以减少在存储器系统中执行的操作的开销。

[0010] 另外,本公开的实施例可以提供一种包括地址分配方案的存储器系统,该地址分配方案减少了用于关联操作的资源并且支持对存储器系统中的多个存储器管芯的交错操作,从而提高存储器系统的操作效率。

[0011] 根据本发明的实施例,一种存储器系统可以包括:多个存储器管芯;以及控制器,通过多个通道联接到存储器管芯,该控制器包括电路,该电路:选择第二读取请求,包括从外部装置传送的多个第一读取请求的至少一部分,以便存储器管芯通过通道交错并输出与第一读取请求相对应的数据,并且针对所选择的第二读取请求执行关联操作。当选择了第二读取请求时,控制器可以确定在选择第二读取请求的时间之前是否执行了关联操作,可以确定关联操作是否成功,可以响应于在选择第二读取请求的时间存储器管芯的操作状态来确定待定信用(pending credit),并且可以基于待定信用确定是否针对在选择第二读取请求的时间选择的第二读取请求执行关联操作。

[0012] 当待定信用小于参考值时,控制器可以在不执行关联操作的情况下处理所选择的第二读取请求,并且当待定信用等于或大于参考值时,控制器可以针对所选择的第二读取请求执行关联操作。

[0013] 当在选择第二读取请求的时间存储器管芯中的至少一个处于空闲状态时,控制器可以减少待定信用。

[0014] 待定信用减少的量可以基于在选择第二读取请求时处于空闲状态的存储器管芯的数量。

[0015] 当在选择第二读取请求的时间之前不执行关联操作的情况下处理第二读取请求时,控制器可以增加待定信用。

[0016] 待定信用减少的量可以基于在选择第二读取请求的时间之前在不执行关联操作的情况下处理第二读取请求的预期处理时间。

[0017] 控制器可以响应于在选择第二读取请求的时间之前关联操作成功而增加待定信用,并且响应于在选择第二读取请求的时间之前关联操作失败而减少待定信用。

[0018] 控制器可以基于由于在选择第二读取请求的时间之前执行关联操作成功而预期节省的时间,来调整待定信用增加的量。

[0019] 控制器可以基于由于在选择第二读取请求的时间之前执行关联操作失败而消耗的时间量来调整待定信用减少的量。

[0020] 当在基于待定信用确定是否执行关联操作之后,在超过参考时间的未选择第二读取请求时,控制器可将待定信用重置为初始值,该初始值小于参考值。

[0021] 控制器可以包括:输入缓冲器,被配置为临时存储第一读取请求;输出缓冲器,被配置为临时存储待输出到外部装置的数据;缓冲器控制电路,被配置为监控输入缓冲器和输出缓冲器的状态并选择第二读取请求;监控电路,被配置为监控存储器管芯的操作状态;关联电路,被配置为基于待定信用确定是否针对第二读取请求执行关联操作,并且在未关联的读取请求之前输出关联的读取请求;待定信用确定电路,被配置为响应于缓冲器控制电路、监控电路和关联电路的操作来确定待定信用;以及操作执行电路,被配置为针对从关联电路传送的读取请求执行地址转换,并且通过通道将结果地址传送到存储器管芯。

[0022] 根据本发明的另一实施例,一种用于操作存储器系统的方法,该存储器系统包括用于存储数据的多个存储器管芯,该方法可以包括:接收从外部装置传送的多个第一读取请求;选择包括多个第一读取请求中的至少一部分的第二读取请求,以使存储器管芯通过通道交错并输出与第一读取请求相对应的数据;当选择第二读取请求时,响应于在选择第二读取请求之前是否执行了关联操作来确定待定信用,确定关联操作是否成功,并当选择

第二读取请求时确定存储器管芯的操作状态;并且基于待定信用,确定是否针对第二读取请求执行关联操作。

[0023] 确定是否执行关联操作可以包括:当待定信用小于参考值时,在不执行关联操作的情况下处理第二读取请求;并且当待定信用等于或大于参考值时,针对第二读取请求执行关联操作。

[0024] 确定待定信用可以包括:响应于在选择第二读取请求时存储器管芯中的至少一个处于空闲状态而减少待定信用;当在选择第二读取请求之前不执行关联操作的情况下处理第二读取请求时,增加待定信用;响应于在选择第二读取请求之前关联操作成功而增加待定信用的值;并且响应于在选择第二读取请求之前关联操作失败而减少待定信用的值。

[0025] 该方法可以进一步包括:基于在选择第二读取请求时处于空闲状态的存储器管芯的数量,来调整待定信用减少的量。

[0026] 该方法可以进一步包括:基于在选择第二读取请求之前不执行关联操作的情况下处理第二读取请求的预期处理时间,来调整待定信用增加的量。

[0027] 该方法可以进一步包括:基于由于在选择第二读取请求之前执行关联操作成功而预期缩短的时间,来调整待定信用增加的量。

[0028] 该方法可以进一步包括:基于由于在选择第二读取请求之前执行关联操作失败而消耗的时间,来调整待定信用减少的量。

[0029] 该方法可以进一步包括:当在超过参考时间的时间内未选择第二读取请求时,将待定信用重置为初始值,其中该初始值小于参考值。

[0030] 该方法可以进一步包括:当在确定是否针对第二读取请求执行关联操作时,针对在选择第二读取请求时选择第二读取请求执行关联操作时,转换针对由于关联操作成功而关联的读取请求的地址,并通过通道将结果地址传送到存储器管芯;在转换针对关联的读取请求的地址之后,通过通道以交错方案接收针对关联的读取请求的数据;转换针对由于关联操作失败而未被关联的未关联的读取请求的地址,并将结果地址传送到存储器管芯;在转换针对未关联的读取请求的地址转换之后,从存储器管芯接收与未关联的读取请求相对应的数据;并且将所接收的数据输出到外部装置。

## 附图说明

[0031] 图1是示出根据本发明的实施例的存储器系统的框图。

[0032] 图2是示出根据本发明的实施例的包括存储器系统的数据处理系统的框图。

[0033] 图3是示出根据本发明的另一实施例的存储器系统中的控制器的框图。

[0034] 图4是示出存储器装置的内部结构的框图。

[0035] 图5A和图5B示出由控制器执行的关联操作的特性。

[0036] 图6是示出控制器的内部结构的框图。

[0037] 图7和图8是描述用于操作存储器系统的方法的第一示例的流程图。

[0038] 图9A至图9C示出针对多个读取请求的控制器的第一操作。

## 具体实施方式

[0039] 以下参照附图更详细地描述本公开的各个示例。然而,可以以不同的方式实施本

发明的方面和特征以形成其他实施例,包括任何所公开的实施例的变型。因此,本发明不应被解释为限于本文所阐述的实施例。相反,提供描述的实施例使得本公开将是彻底且完整的,并且将向本发明所属领域的技术人员完全传达本公开。在整个公开中,相同的附图标记在整个公开的各个附图和示例中表示相同的部件。注意的是,对“实施例”、“另一实施例”等的引用不一定仅指一个实施例,并且对任何这种措词的不同引用不一定针对相同的实施例。

[0040] 将理解的是,虽然术语“第一”、“第二”、“第三”等可在本文中用于识别各个元件,但是这些元件不受这些术语限制。这些术语用于将一个元件与另一元件区分开,否则该一个元件与另一元件具有相同或相似的名称。因此,在不脱离本发明的精神和范围的情况下,一个实例中的第一元件可以在另一实例中被称为第二或第三元件。

[0041] 附图不一定按比例绘制,并且在一些情况下,为了清楚地示出实施例的特征,比例可能已经被夸大。当元件被称为连接或联接到另一元件时,应当理解的是,前者可直接连接或联接到后者,或者经由其间的一个或多个中间元件电连接或联接到后者。另外,还将理解的是,当元件被称为在两个元件“之间”时,该元件可以是两个元件之间仅有的元件或也可存在一个或多个中间元件。

[0042] 本文使用的术语的目的仅是描述特定实施例而不旨在限制本发明。如本文所使用的,除非上下文另有明确说明,否则单数形式也旨在包括复数形式,反之亦然。类似地,不定冠词“一”和“一个”表示一个或多个,除非从语言或上下文中可以清楚看出仅意指一个。

[0043] 将进一步理解的是,当在本说明书中使用术语“包括”、“包括有”、“包含”和“包含有”时,其说明存在所陈述元件而不排除存在或添加一个或多个其他元件。如本文所使用的,短语“和/或”包括一个或多个相关所列项目的任意和全部组合。

[0044] 除非另有定义,否则本文使用的包括技术术语和科学术语的所有术语具有与本发明所属领域的普通技术人员基于本公开所通常理解的含义相同的含义。将进一步理解的是,诸如在常用字典中定义的那些术语的术语应当被解释为具有与其在本公开和相关技术语境中的含义一致的含义,并且不以理想化或过于形式化的意义来解释,除非本文中明确地这样定义。

[0045] 在下面的描述中,为了提供对本发明的全面理解,描述了大量的具体细节。本发明可在没有一些或全部这些具体细节的情况下实施。在其它情况下,为了避免不必要地模糊本发明,未详细地描述公知的进程结构和/或进程。

[0046] 还注意的是,在一些情况下,如对于相关领域的技术人员显而易见的是,除非另有明确说明,否则结合一个实施例描述的特征或元件可单独使用或与另一个实施例的其它特征或元件组合使用。

[0047] 下面参照附图详细描述本公开的实施例,其中相同的附图标记表示相同的元件。

[0048] 图1是示出根据本发明的实施例的存储器系统的框图。在嵌入有存储器系统110的计算装置或移动装置中,主机(例如,图2的主机102)可以与存储器系统110接合以用于数据输入/输出(I/O)操作。主机是可操作地与存储器系统110接合的一种外部装置。

[0049] 参照图1,存储器系统110可以包括控制器130和存储器装置150。控制器130可以输出由主机102请求并从存储器装置150传送的数据,或者将从主机102输入的数据存储在存储器装置150中。存储器装置150可以包括每个都能够存储数据的多个非易失性存储器单



元。此处，存储器装置150的内部结构和/或配置可以根据存储器装置150的适用规格或预期性能而变化，该适用规格或预期性能进而可以基于使用存储器系统110的目的或主机102的要求。

[0050] 控制器130和存储器装置150可以通过多个数据路径联接。存储器装置150可以包括多个存储器管芯240A、240B、240C、240D，多个存储器管芯240A、240B、240C、240D可以通过不同的数据路径与控制器130联接。第一存储器管芯240A和控制器130通过第一通道(CH1)和第一通路(W1)CH1W1联接，第二存储器管芯240B和控制器130通过第一通道(CH1)和第二通路(W2)CH1W2联接。第一存储器管芯240A和第二存储器管芯240B可以共享第一通道CH1，但是第一存储器管芯240A和第二存储器管芯240B可以独立地使用不同的通路W1、W2。另外，第三存储器管芯240C和控制器130通过第二通道(CH2)和第一通路(W1)CH2W1联接，第四存储器管芯240D和控制器130通过第二通道(CH2)和第二通路(W2)CH2W2联接。构成控制器130和存储器装置150之间的数据路径的通道和/或通路的数量可以根据存储器装置150中的存储器管芯的数量而变化。将存储器管芯240A、240B、240C、240D连接到控制器130的通道和通路的数量可以根据存储器系统110的目的或主机102的要求而不同。

[0051] 存储器装置150中的多个存储器管芯240A、240B、240C、240D可以被配置为不同的模块并且经由不同的数据路径与控制器130独立地联接。当使用多个数据路径进行数据交换时，多个存储器管芯240A、240B、240C、240D和控制器130可以经由用于交换数据的多个数据路径使用交错方案以提高数据传送的速度。

[0052] 对于提高存储器装置150和控制器130之间的数据传送速度的交错方案，将待存储的数据分布到若干模块而不是单个模块。在执行交错方案时，存储器系统可以使用地址限制结构或地址方案，以将多条新数据分配和存储在存储器装置150的多个模块之上和之中。例如，当对四条数据进行编程时，常规的存储器系统将这四条数据单独地存储在四个存储器管芯中。此处，数据的条数可以指可以通过执行单个编程操作或者单个写入操作一起存储的数据单元的数量。例如，当可以执行以页面为单位的编程操作(或写入操作)时，四条数据可以包括在四个页面中编程的数据量。

[0053] 为了提高编程操作和读取操作的操作效率并增强分布式存储，存储器系统可以采用地址限制结构。在地址限制结构中，当将四条数据编程在四个存储器管芯中时，在每个存储器管芯中分配相同的物理位置。例如，当将四条数据存储在每个存储器管芯中时，可以将四条数据中的每一条单独地存储在四个存储器管芯中的相应一个的第五物理位置。此后，当对八条数据进行编程时，可以将八条数据存储在每个存储器管芯的第六和第七物理位置。此处，物理位置可以指示存储器管芯中的块或页面。

[0054] 当将五条数据存储在有地址限制结构的存储器系统中的四个存储器管芯中时，可以将两条数据存储在一个存储器管芯的第一和第二物理位置，并且可以将三条数据分别单独地存储在其他三个存储器管芯的第一物理位置。在有地址限制结构的存储器系统中，由于与下一编程请求一起输入的一条数据不能被随后写入其他三个存储器管芯的第二物理位置，所以将三条虚设数据单独地写入剩余三个存储器管芯的第二物理位置。

[0055] 当存储器系统具有用于交错操作的地址限制结构时，因为每当执行对奇数条数据或与存储器管芯的数量不匹配的多条数据的编程操作时，可以执行对多条虚设数据进行编程，因此操作效率可能会劣化。另外，因为每个存储器管芯不总是具有相同的操作状态(就

健康、损耗等而言),所以存储器系统可以独立地执行附加操作以补偿每个存储器管芯状态,这可能增加开销。换言之,影响一个存储器管芯的操作条件可能延迟相同交错操作中涉及的关联存储器管芯的存储器操作。

[0056] 根据本公开的实施例的存储器系统110可以采用完全同步交错结构,其能够在没有地址限制结构的情况下支持控制器130和存储器装置150之间的交错操作。完全同步交错结构不具有将数据存储在存储器装置150中的多个存储器管芯240A、240B、240C、240D中的每一个中的相同位置的地址限制。控制器130可以根据每个存储器管芯的操作条件和操作状态来分布待被编程的多条数据。这样做,不需要将多条数据均匀地分布到每个存储器管芯。例如,如果四个存储器管芯240A、240B、240C、240D中的一个(例如存储器管芯240A)由于内部执行的内部操作而不能立即对数据进行编程,则控制器130可以将数据传送到其他三个存储器管芯中(例如,240B、240C、240D)。控制器130可以在多个存储器管芯240A、240B、240C、240D上分布数据,以在不应用诸如地址限制结构的严格规则的情况下提高数据传输的效率并减少编程操作的操作裕量。另外,在根据实施例的存储器系统110中,与具有地址限制结构的存储器系统中的情况一样,不需要对虚设数据进行编程。

[0057] 在控制器130将一条数据传送到存储器装置150中并且将该条数据编程在存储器装置150中之后,控制器130可以生成或更新将逻辑地址与对应于该条数据的物理位置(物理地址)相关联的映射信息。另外,控制器130可以将所生成或更新的映射信息存储在存储器装置150中。

[0058] 因为存储器系统110不采用如上所述的地址限制结构,所以可能难以保证在读取和输出由主机(或外部装置)请求的多条数据的进程中,以交错形式(交错)执行控制器130与存储器装置150之间的数据传输。因此,控制器130可以包括用于使由主机请求的多个读取操作关联的关联电路194,从而可以使通过多个读取操作从存储器装置150输出的多条数据交错。

[0059] 参照图1,控制器130可以包括缓冲器控制电路198、关联电路194、操作控制电路196、待定信用确定电路195和监控电路197。

[0060] 如本公开中所使用的,术语“电路”可以指以下内容中的一种或多种:(a)仅硬件电路实施方案,诸如仅以模拟和/或数字电路的实施方案;(b)电路和软件(和/或固件)的组合,诸如:(i)处理器的组合,或(ii)处理器/软件的部分,包括一起工作以使得诸如移动电话或服务器的设备执行各种功能的数字信号处理器、软件和存储器;以及(c)使用软件或固件的电路,诸如微处理器或微处理器的一部分,即使软件或固件物理上不存在。作为进一步的示例,术语“电路”可以指一个或多个处理器或处理器的一部分以及所附的软件和/或固件。术语“电路”可以指用于存储装置的集成电路。

[0061] 缓冲器控制电路198可以控制输入缓冲器和输出缓冲器。输入缓冲器被配置为临时存储从主机输入的命令或数据。输出缓冲器被配置为在将与从主机输入的命令相对应的一条数据传输到主机之前对该数据进行临时存储。例如,当主机将用于读取与20个逻辑地址相对应的多条数据的读取请求(或读取命令)发送到存储器系统110时,控制器130从存储器装置150接收与20个逻辑地址相对应的多条数据,将多条数据临时存储在输出缓冲器中,并且将多条数据输出到主机。缓冲器控制电路198可以识别输入缓冲器中存在多少待从主机或外部装置输入的读取请求。缓冲器控制电路198还可识别输出缓冲器中存在多少待输

出到主机或外部装置的数据。

[0062] 操作控制电路196可以检查存储器装置150中对应于逻辑地址的物理位置,并且读取该物理位置中存储的一条数据。响应于来自输入缓冲器的读取请求(或读取命令)以及逻辑地址,操作控制电路196可以基于映射信息将逻辑地址转换为物理地址,并且向存储器装置150请求由物理地址指示的非易失性存储器单元中存储的一条数据。物理地址可以指示存储器装置150中的多个存储器管芯240A、240B、240C、240D中的特定物理位置。当操作控制电路196根据由缓冲器控制电路198传递的多个读取请求的顺序或序列来处理多个读取请求时,可以将与多个读取请求相对应的物理地址随机地分布在多个存储器管芯240A、240B、240C、240D上。例如,三个连续的物理地址可以指示相同存储器管芯中的不同位置,或者四个连续的物理地址可以指示不同存储器管芯中的不同位置。在这种情况下,在控制器130与多个存储器管芯240A、240B、240C、240D之间传输的数据可以被交错,但是通常随机地在控制器130与多个存储器管芯240A、240B、240C、240D之间交换数据。

[0063] 当缓冲器控制电路198确定在输出缓冲器中存在待输出到主机的数据时,来自主机的多个读取请求(或多个读取命令)和多个逻辑地址可以被传输到关联电路194。关联电路194可以检查关于与来自缓冲器控制电路198的多个读取请求相对应的多个逻辑地址的映射信息,以使多个读取请求关联,从而操作控制电路196可以根据交错方案执行与多个读取请求相对应的多个读取操作,例如多条数据在多个存储器管芯240A、240B、240C、240D之间交错。在本文中,由关联电路194执行的关联操作可以支持控制器130与多个存储器管芯240A、240B、240C、240D之间的并行处理和分布式计算。当多个组件共享单个数据路径时,多个组件可以将其信号或数据在单个数据路径中交错。进一步,当单个组件使用多个数据路径时,单个组件可以将多个信号或多条数据分布在多个数据路径上。关联操作可以使得多个读取请求中的一些通过多个通道并行地传递到多个存储器管芯中,从而与多个读取请求相对应的多条数据经由多个通道并行地从多个存储器管芯输出。针对多个读取请求的关联操作可以包括:可以根据交错形式将向存储器管芯240A、240B、240C、240D请求的多条数据从存储器装置150传送到控制器130。

[0064] 例如,当主机请求存储器系统110中存储的20条数据时,控制器130可以接收针对从主机输入的20条数据的20个读取请求。缓冲器控制电路198可以将针对20条数据的20个读取请求传输到关联电路194。关联电路194尝试使20个读取请求关联,从而根据交错方案输出20条数据中的至少一些。例如,关联电路194可以检查与20个读取请求之中的第一读取请求一起输入的第一逻辑地址相对应的物理地址,并且识别出与第一逻辑地址相对应的第一数据被存储在第一存储器管芯240A中。关联电路194可以检查与20个读取请求之中的第二读取请求一起输入的第二逻辑地址相对应的物理地址。当与第二读取请求相对应的第二数据被存储在第三存储器管芯240C或第四存储器管芯240D中时,因为可以经由不同的通道CH1、CH2来传输分别与第一读取请求和第二读取请求相对应的第一数据和第二数据,所以可以预期第一读取请求和第二读取请求之间的交错操作。因此,第一读取请求和第二读取请求可以由关联电路194关联,并且关联的读取请求可以被传输到操作控制电路196。

[0065] 然而,如果第二数据被存储在第一存储器管芯240A或第二存储器管芯240B中,因为可能经由相同通道CH1传输分别与第一读取请求和第二读取请求相对应的第一数据和第二数据,所以可能不会预期第一读取请求和第二读取请求之间的交错操作。在这种情况下,

关联电路194可以不使第一读取请求和第二读取请求成对或关联。然后,关联电路194可以检查第三读取请求的物理地址。当与第三读取请求相对应的第三数据被存储在第三存储器管芯240C或第四存储器管芯240D中时,因为可以经由不同的通道CH1、CH2来传输分别与第一读取请求和第三读取请求相对应的第一数据和第三数据,所以可以预期第一请求和第三请求之间的交错操作。关联电路194可以使第一读取请求和第三读取请求关联,并将关联的读取请求传输到操作控制电路196。可以比第二读取请求更早地传输第三读取请求。

[0066] 然而,如果第三数据被存储在第一存储器管芯240A或第二存储器管芯240B中,因为第一数据和第三数据经由相同通道传输,所以可能不会预期第一请求和第三请求之间的交错操作。在这种情况下,关联电路194可以检查第四读取请求的物理地址。

[0067] 如上所述,关联电路194可以检查存储与读取请求相对应的数据的物理位置,当可以预期读取请求之间的交错操作时,使一些读取请求关联,并且将关联的读取请求传送到操作控制电路196。对于关联操作,关联电路194可以参考控制器130中的映射信息或在控制器130的存储器或缓冲器中加载的映射信息。

[0068] 因为关联操作可能引起延迟,所以由关联电路194执行的相对于多个读取请求的关联操作可能不利地影响数据输入/输出性能,诸如存储器系统110的I/O吞吐量。因此,关联电路194可以不对来自主机的所有读取请求执行关联操作。换言之,缓冲器控制电路198可以选择第二读取请求,该第二读取请求是从主机或外部装置传送的多个第一读取请求的至少一部分,然后仅将所选择的第二读取请求传送给关联电路194。例如,缓冲器控制电路198可以检测待从输出缓冲器输出到主机或外部装置的数据,然后仅当确定执行关联操作的关联电路194将不影响存储器系统110的数据I/O吞吐量时,缓冲器控制电路198可以将从主机或外部装置传送的读取请求传送到关联电路194。

[0069] 另外,关联电路194可以不对从缓冲器控制电路198传送的所有第二读取请求执行关联操作。关联电路194可以根据待定信用对从缓冲器控制电路198传送的第二读取请求执行或不执行关联操作。例如,当待定信用等于或大于参考值时,关联电路194可以对从缓冲器控制电路198传送的第二读取请求执行关联操作。相反,当待定信用小于参考值时,关联电路194可以不对从缓冲器控制电路198传送的第二读取请求执行关联操作。在本文中,当关联电路194相对于从缓冲器控制电路198传送的第二读取请求执行关联操作时,待定信用可以用作预测配对的概率、可能性、模式或趋势的指示符。基于待定信用,控制器130能够避免执行不必要的关联操作或执行导致存储器系统110中的开销的关联操作,因此可以提高存储器操作的效率。

[0070] 根据与从缓冲器控制电路198传送的第二读取请求相对应的数据的物理位置,由关联电路194执行的关联操作可能成功或失败。当从与第二读取请求相对应的数据的物理位置预期交错操作时,可以将由关联电路194执行的关联操作视作成功,并且可以将关联电路194由于成功的关联操作而进行关联的读取请求在关联状态下传送到操作控制电路196。然而,当从与第二读取请求相对应的数据的物理位置没有预期交错操作时,可以将由关联电路194执行的关联操作视作失败,并且由于关联操作中的失败,可以将未在关联电路194中关联的读取请求在不关联状态下传送到操作控制电路196。

[0071] 控制器130中的待定信用确定电路195能够在选择第二读取请求时基于在选择第二读取请求之前是否执行了关联操作、基于在选择第二读取请求之前执行的关联操作是否

成功以及基于在选择了第二读取请求的时间多个存储器管芯240A、240B、240C和240D的操作状态来确定待定信用。存储器管芯240A、240B、240C和240D的操作状态可以由控制器130中的监控电路197识别。当选择了待从缓冲器控制电路198传送到关联电路194的第二读取请求时,待定信用确定电路195能够基于在选择第二读取请求之前是否在关联电路194中执行了关联操作、基于如果执行了关联操作,在选择第二读取请求之前执行的关联操作是否成功以及基于在选择第二读取请求时存储器管芯240A、240B、240C和240D的操作状态来调整待定信用的值。

[0072] 关联电路194可以不使来自缓冲器控制电路198的多个读取请求的全部关联。当考虑到与多个读取请求相对应的多条数据的物理位置而预期交错操作时,关联电路194可以执行关联操作。但是,在关联电路194对这些读取请求进行关联之后接收到的其他读取请求可以不关联地传送到操作控制电路196。

[0073] 响应于操作环境,控制器130可以使来自主机的多个读取请求中的至少一些关联,从而根据存储器装置150和控制器130之间的交错方案来传送多条数据。另外,存储器系统110不必采用地址限制结构来根据存储器系统110内的交错方案来交换信号或数据。可以基于存储器装置150中的多个存储器管芯240A、240B、240C、240D的操作环境和操作状态来分布和存储多条数据。控制器130可以尝试使用于读取存储器装置150中的多个存储器管芯240A、240B、240C、240D中存储的多条数据的读取请求关联。因为存储器系统110不必使用地址限制结构,所以可以更有效地操作存储器装置150中的多个存储器管芯240A、240B、240C、240D,并且可以提高存储器装置150中的多个存储器管芯240A、240B、240C、240D的寿命。另一方面,因为数据可以在存储器管芯240A、240B、240C、240D中交错,所以根据本公开的实施例的存储器系统110可以避免使其数据输入/输出性能(例如,I/O吞吐量)劣化。

[0074] 图2是示出根据本发明的实施例的包括存储器系统的数据处理系统的框图。

[0075] 参照图2,数据处理系统100可以包括与存储器系统110接合或可操作地联接的主机102。

[0076] 主机102可以包括诸如移动电话、MP3播放器和膝上型计算机的各种便携式电子装置或诸如台式计算机、游戏机、电视(TV)和投影仪等的非便携式电子装置中的任意一个。

[0077] 主机102也包括至少一个操作系统(OS),其通常可以管理和控制在主机102中执行的功能和操作。OS可以提供与存储器系统110接合的主机102和存储器系统110的用户之间的互操作性。OS可以支持与用户的请求相对应的功能和操作。作为示例而非限制,根据主机102的移动性,OS可以包括通用操作系统和移动操作系统。根据系统要求或用户环境,可以将通用操作系统分为个人操作系统和企业操作系统。包括Windows和Chrome的个人操作系统可以用于支持针对一般目的的服务。包括Windows servers、Linux和Unix的企业操作系统可以专用于保护和支持高性能。进一步,移动操作系统可以包括Android和iOS。移动操作系统可以支持用于移动性的服务或功能(例如,省电功能)。主机102可以包括多个操作系统。主机102可以与存储器系统110合作执行与用户的请求相对应的多个操作系统。主机102可以将与用户的请求相对应的多个命令传送到存储器系统110中,从而执行与存储器系统110内的命令相对应的操作。下面参照图4和图5描述在存储器系统110中处置多个命令。

[0078] 存储器系统110可以响应于来自主机102的请求而执行特定功能或操作,并且特别地,可以存储待由主机102访问的数据。存储器系统110可以用作主机102的主存储器系统或

辅助存储器系统。根据主机接口的协议,存储器系统110可以利用可与主机102电联接的各种类型的存储装置中的任意一种来实施。适当的存储装置的非限制性示例包括固态驱动器(SSD)、多媒体卡(MMC)、嵌入式MMC(eMMC)、缩小尺寸的MMC(RS-MMC)、微型MMC、安全数字(SD)卡、迷你SD、微型SD、通用串行总线(USB)存储装置、通用闪存(UFS)装置、紧凑式闪存(CF)卡、智能媒体(SM)卡和记忆棒。

[0079] 存储器系统110的存储装置可利用例如以下的易失性存储器装置来实施:动态随机存取存储器(DRAM)或静态RAM(SRAM),和/或存储器系统110的存储装置可利用诸如以下的非易失性存储器装置来实施:只读存储器(ROM)、掩模ROM(MROM)、可编程ROM(PROM)、可擦除可编程ROM(EPROM)、电可擦除可编程ROM(EEPROM)、铁电RAM(FRAM)、相变RAM(PRAM)、磁阻RAM(MRAM)、电阻式RAM(RRAM或ReRAM)或闪速存储器。

[0080] 存储器系统110可以包括控制器130和存储器装置150。存储器装置150可以存储待由主机102访问的数据。控制器130可以控制存储器装置150中的数据的存储。

[0081] 控制器130和存储器装置150可以集成到单个半导体装置中,该单个半导体装置可以被包括在如上所述的各种类型的存储器系统中的任意一个中。

[0082] 作为示例而非限制,控制器130和存储器装置150可以集成到单个半导体装置中。控制器130和存储器装置150可以集成以形成具有提高的操作速度的SSD。当存储器系统110用作SSD时,与存储器系统110连接的主机102的操作速度可以比与硬盘连接的主机102的操作速度提高更多。在另一实施例中,控制器130和存储器装置150可以集成到一个半导体装置中以形成诸如以下的存储卡:PC卡(PCMCIA)、紧凑型闪存卡(CF)、智能媒体卡(例如,SM、SMC)、记忆棒、多媒体卡(例如,MMC、RS-MMC、微型MMC)、安全数字(SD)卡(例如,SD、迷你SD、微型SD、SDHC)或通用闪速存储器。

[0083] 存储器系统110可被配置成例如以下的一部分:计算机、超移动PC(UMPC)、工作站、上网本、个人数字助理(PDA)、便携式计算机、网络平板、平板电脑、无线电话、移动电话、智能电话、电子书、便携式多媒体播放器(PMP)、便携式游戏机、导航系统、黑盒、数码相机、数字多媒体广播(DMB)播放器、三维(3D)电视、智能电视、数字音频记录器、数字音频播放器、数字图片记录器、数字图片播放器、数字视频记录器、数字视频播放器、配置数据中心的存储装置、能够在无线环境下传送和接收信息的装置、配置家庭网络的各种电子装置之一、配置计算机网络的各种电子装置之一、配置远程信息处理网络的各种电子装置之一、射频识别(RFID)装置或者配置计算系统的各种组件之一。

[0084] 存储器装置150可以是非易失性存储器装置,并且即使当不供应电力时也可保留其中存储的数据。存储器装置150可以通过写入操作来存储从主机102提供的数据,同时通过读取操作将其中存储的数据提供到主机102。存储器装置150可以包括多个存储块152、154、156,多个存储块152、154、156中的每一个可以包括多个页面。多个页面中的每一个可以包括与多个字线(WL)电联接的多个存储器单元。存储器装置150还包括多个存储器管芯,每个存储器管芯包括多个平面,每个平面包括多个存储块152、154、156之中的多个存储块。另外,存储器装置150可以是例如闪速存储器的非易失性存储器装置,并且闪速存储器可以具有三维堆叠结构。

[0085] 控制器130可以控制存储器装置150的诸如读取操作、写入操作、编程操作和擦除操作的全部操作。例如,控制器130可以响应于来自主机102的请求控制存储器装置150。控

制器130可以将从存储器装置150读取的数据提供到主机102。控制器130可以将由主机102提供的数据存储到存储器装置150中。

[0086] 控制器130可包括全部通过内部总线可操作地联接的主机接口 (I/F) 132、处理器134、错误校正码 (ECC) 电路138、电源管理单元 (PMU) 140、存储器接口 (I/F) 142以及存储器144。

[0087] 主机接口132可以处理从主机102提供的命令和数据,并且可以通过诸如以下的各种接口协议中的至少一种与主机102通信:通用串行总线 (USB)、多媒体卡 (MMC)、高速外围组件互连 (PCI-e或PCIe)、小型计算机系统接口 (SCSI)、串行SCSI (SAS)、串行高级技术附件 (SATA)、并行高级技术附件 (PATA)、小型计算机系统接口 (SCSI)、增强型小型磁盘接口 (ESDI) 以及电子集成驱动器 (IDE)。根据实施例,主机接口132是用于与主机102交换数据的组件,其可以通过被称为主机接口层 (HIL) 的固件来实施。根据本发明的实施例,主机接口132可以包括以上参照图1描述的缓冲器控制电路198。

[0088] ECC电路138可以校正待存储在存储器装置150中处理 (例如,从存储器装置150输出) 的数据的错误位,该ECC电路138可以包括ECC编码器和ECC解码器。此处,ECC编码器可以对待编程在存储器装置150中的数据执行错误校正编码,以生成添加了奇偶校验位的编码的数据,并将该编码的数据存储在存储器装置150中。当控制器130读取存储器装置150中存储的数据时,ECC解码器可以检测并校正从存储器装置150读取的数据中包括的错误。换言之,在对从存储器装置150读取的数据执行错误校正解码之后,ECC电路138可以确定错误校正解码是否已经成功并且输出指令信号 (例如,校正成功信号或校正失败信号)。ECC电路138可以使用在ECC编码进程期间生成的奇偶校验位来校正读取数据的错误位。当错误位的数量大于或等于可校正错误位的阈值数量时,ECC电路138可以不校正错误位,而是可以输出指示校正错误位失败的错误校正失败信号。

[0089] ECC电路138可以基于诸如以下的编码调制执行错误校正操作:低密度奇偶校验 (LDPC) 码、博斯-查德胡里-霍昆格姆 (Bose-Chaudhuri-Hocquenghem, BCH) 码、turbo码、里德-所罗门 (Reed-Solomon, RS) 码、卷积码、递归系统码 (RSC)、网格编码调制 (TCM) 或分组编码调制 (BCM)。ECC电路138可以包括基于上述代码中的至少一个来执行错误校正操作的任何和所有电路、模块、系统或装置。

[0090] PMU 140可以管理控制器130中的电力。例如,PMU 140可以检测通电和断电。另外,PMU 140可以包括电力检测器。

[0091] 存储器接口142可以用作处理控制器130和存储器装置150之间传送的命令和数据的接口,以允许控制器130响应于从主机102传送的请求来控制存储器装置150。在当存储器装置150是闪速存储器时,特别地,当存储器装置150是NAND闪速存储器时的情况下,在处理器134的控制下,存储器接口142可以生成用于存储器装置150的控制信号,并且可以处理输入到存储器装置150中或从存储器装置150输出的数据。存储器接口142可以提供用于处置控制器130和存储器装置150之间的命令和数据的接口,例如NAND闪存接口的操作,特别是控制器130和存储器装置150之间的操作。根据实施例,存储器接口142可以通过称为闪存接口层 (FIL) 的固件来实施,作为用于与存储器装置150交换数据的组件。

[0092] 存储器144可以支持由存储器系统110和控制器130执行的操作。存储器144可以存储针对存储器系统110和控制器130中的操作而生成或传递的临时数据或事务数据。控制器



130可以响应于来自主机102的请求来控制存储器装置150。控制器130可以将从存储器装置150读取的数据传递到主机102中。控制器130可以将通过主机102输入的数据存储在存储器装置150内。存储器144可以用于存储控制器130和存储器装置150执行诸如读取操作或编程/写入操作的操作所使用的数据。

[0093] 存储器144可以是易失性存储器。存储器144可以利用静态随机存取存储器(SRAM)、动态随机存取存储器(DRAM)或二者来实施。尽管图2示出了存储器144布置在控制器130内,但是实施例不限于该布置。也就是说,存储器144可以在控制器130的内部或外部。例如,存储器144可以是具有在存储器144和控制器130之间传送数据和/或信号的存储器接口的外部易失性存储器。

[0094] 存储器144可以存储用于执行诸如主机102所请求的数据写入和数据读取的操作的数据,和/或在存储器装置150与控制器130之间传送的用于诸如垃圾收集和损耗均衡的后台操作的数据。根据实施例,为了支持存储器系统110中的操作,存储器144可以包括程序存储器、数据存储、写入缓冲器/高速缓存、读取缓冲器/高速缓存、数据缓冲器/高速缓存、以及映射缓冲器/高速缓存。

[0095] 处理器134可以是微处理器或中央处理单元(CPU)。存储器系统110可以包括一个或多个处理器134。处理器134可以控制存储器系统110的全部操作。作为示例而非限制,处理器134可以响应于从主机102输入的写入请求或读取请求来控制存储器装置150的编程操作或读取操作。根据实施例,处理器134可以使用或执行固件来控制存储器系统110的全部操作。在本文中,固件可以是闪存转换层(FTL)。FTL可以用作主机102和存储器装置150之间的接口。主机102可以通过FTL将写入操作和读取操作的请求传输到存储器装置150。

[0096] 根据实施例,处理器134和存储器接口142可以用于执行以上参照图1描述的操作控制电路196的操作。根据另一实施例,处理器134和存储器接口142可以用于执行以上参照图1描述的关联电路194的操作。根据另一实施例,处理器134和存储器接口142可以用于执行以上参照图1描述的待定信用确定电路195的操作。根据另一实施例,处理器134和存储器接口142可以用于执行以上参照图1描述的监控电路197的操作。

[0097] FTL可以管理地址映射、垃圾收集、损耗均衡等操作。特别地,FTL可以加载、生成、更新或存储映射数据。因此,控制器130可以通过映射数据将从主机102输入的逻辑地址与存储器装置150的物理地址进行映射。存储器装置150可以用作执行读取或写入操作的通用存储装置。而且,通过基于映射数据的地址映射操作,当控制器130尝试更新特定页面中存储的数据时,由于闪速存储器装置的特性,控制器130可以将更新的数据编程在另一个空页面上并且可以使该特定页面的旧数据无效(例如,将与更新的数据的逻辑地址相对应的物理地址从特定页面更新到新编程的页面)。进一步,控制器130可以将新数据的映射数据存储到FTL中。

[0098] 例如,当在存储器装置150中执行从主机102请求的操作时,控制器130使用处理器134。与存储器装置150接合的处理器134可以处置与从主机102输入的命令相对应的指令或命令。控制器130可以执行作为与来自主机102的命令相对应的命令操作的前台操作,诸如与写入命令相对应的编程操作,与读取命令相对应的读取操作,与擦除/丢弃命令相对应的擦除/丢弃操作以及与设置参数命令或带有设置命令的设置特征命令相对应的参数设置操作。



[0099] 控制器130可以通过处理器134对存储器装置150执行后台操作。作为示例而非限制,用于存储器装置150的后台操作包括在存储块152、154、156之中的存储块中复制数据,并将该数据存储到另一存储块中(例如,垃圾收集(GC)操作)。后台操作可以包括将存储器装置150中的存储块152、154、156中的至少一个中存储的数据移动到存储块152、154、156中的至少另一个中的操作(例如,损耗均衡(WL)操作)。在后台操作期间,控制器130可以使用处理器134以将控制器130中存储的映射数据存储到存储块152、154和156中的至少一个中,例如映射清除操作。检查多个存储块152、154、156之中的坏块的坏块管理操作是处理器134执行的后台操作的另一示例。

[0100] 在存储器系统110中,控制器130执行与从主机102接收的多个命令相对应的多个命令操作。例如,当顺序地、随机地或可选地执行与多个编程命令相对应的多个编程操作、与多个读取命令相对应的多个读取操作以及与多个擦除命令相对应的多个擦除操作时,控制器130可以确定用于将控制器130连接到存储器150中的哪个(哪些)存储器管芯的哪个(哪些)通道或通路对于执行每个操作是合适的或适当的。控制器130可以经由用于执行每个操作的通道或通路来传输数据或指令。在每个操作完成之后,多个存储器管芯可以分别经由相同的通道或通路来传输操作结果。然后,控制器130可以将响应或确认信号传输到主机102。在实施例中,控制器130可以检查每个通道或每个通路的状态。响应于从主机102接收的命令,控制器130可以基于每个通道或每个通路的状态来选择至少一个通道或通路,使得可以通过所选择的通道或通路来传递指令和/或操作结果以及数据。

[0101] 控制器130可以检查联接到存储器装置150中包括的多个存储器管芯的多个通道(或通路)的状态。根据实施例,控制器130可以通过以上参照图1描述的监控电路197检查联接到多个存储器管芯的多个通道(或通路)的状态。

[0102] 作为示例而非限制,控制器130可以识别关于与存储器装置150中的存储器管芯相关联的通道(或通路)的状态。控制器130可以将每个通道或每个通路确定处于忙碌状态、就绪状态、活动状态、空闲状态、正常状态或异常状态。控制器确定指令(和/或数据)通过哪个通道或通路传递可以基于物理块地址,例如指令(和/或数据)被传递到哪个(哪些)管芯。控制器130可以参考从存储器装置150传递的描述符。描述符可以包括描述存储器装置150的特性的块或页面参数,并且可以具有设置的形式或结构。描述符可以包括装置描述符、配置描述符、单元描述符等。控制器130可以参考或使用描述符来确定指令或数据利用哪个(哪些)通道或通路交换。

[0103] 管理单元(未示出)可以被包括在处理器134中。管理单元可以执行存储器装置150的坏块管理。管理单元可以发现不符合进一步使用条件的坏存储块,并对坏存储块执行坏块管理。当存储器装置150是诸如NAND闪速存储器的闪速存储器时,由于NAND逻辑功能的特性,在写入操作期间,例如在编程操作期间,可能发生编程失败。在坏块管理期间,编程失败的存储块或坏存储块的数据可以被编程到新存储块中。坏块可能会大大降低具有3D堆叠结构的存储器装置150的利用率和存储器系统110的可靠性。因此,可靠的坏块管理可以增强或提高存储器系统110的性能。

[0104] 图3是示出根据本公开的另一实施例的存储器系统中的控制器的框图。

[0105] 参照图3,控制器130与主机102和存储器装置150协作。控制器130可以包括主机接口(I/F)132、闪存转换层(FTL)电路40、存储器接口(I/F)142和存储器144。

[0106] 尽管未在图3中示出,但是根据实施例,图2中的ECC电路138可以被包括在闪存转换层 (FTL) 电路40中。在另一实施例中,ECC电路138可以被实施为控制器130中包括的或与控制器130相关联的单独的模块、电路或固件。

[0107] 而且,根据实施例,闪存转换层 (FTL) 电路40和存储器接口142可以用作以上参照图1描述的关联电路194。根据另一实施例,闪存转换层 (FTL) 电路40和存储器接口142可以用作以上参照图1描述的待定信用确定电路195。根据另一实施例,闪存转换层 (FTL) 电路40和存储器接口142可以用作以上参照图1描述的监控电路197。

[0108] 主机接口132可以处置来自主机102的命令和数据。作为示例而非限制,主机接口132可以包括命令队列56、缓冲器管理器52和事件队列54。命令队列56可以顺序地存储来自主机102的命令和数据,并且以存储的顺序将它们输出到缓冲器管理器52。缓冲器管理器52可以分类、管理或调整从命令队列56传递的命令和数据。事件队列54可以从缓冲器管理器52顺序地传输用于处理命令和数据的事件。

[0109] 可以从主机102连续接收具有相同特性的多个命令或数据,或者可以将具有不同特性的命令和数据混合后传输到存储器系统110。例如,可以传递多个读取命令,或者可以将读取命令和编程/写入命令可选地传输到存储器系统110。主机接口132可以顺序地将来自主机102接收的命令和数据存储到命令队列56。此后,主机接口132可以根据从主机102接收的命令和数据的特性来估计或预测控制器130将执行哪种内部操作。主机接口132可以至少基于命令和数据的特性来确定命令和数据的处理顺序和优先级。根据来自主机102的命令和数据的特性,主机接口132中的缓冲器管理器52被配置为确定缓冲器管理器52是否应该将命令和数据存储在存储器144中,或者缓冲器管理器52是否应将命令和数据传递到闪存转换层 (FTL) 电路40中。事件队列54接收从缓冲器管理器52输入的事件,这些事件将响应于来自主机102的命令、数据由存储器系统110或控制器130在内部执行和处理,以便以接收的顺序将事件传递到闪存转换层 (FTL) 电路40中。

[0110] 根据实施例,图3中的主机接口132可以执行图2中的控制器130的功能。

[0111] 根据实施例,闪存转换层 (FTL) 电路40可以包括状态管理器 (GC/WL) 42、映射管理器 (MM) 44、主机请求管理器 (HRM) 46和块管理器 (BM/BBM) 48。主机请求管理器46可以管理从事件队列54输入的事件。映射管理器44可以处理或控制映射数据。状态管理器42可以执行垃圾收集 (GC) 或损耗均衡 (WL)。块管理器48可以对存储器装置150中的块执行命令或指令。

[0112] 作为示例而非限制,主机请求管理器46可以根据从主机接口132传递的读取和编程命令以及事件使用映射管理器44和块管理器48来处置或处理请求。主机请求管理器46可以向映射数据管理器44发送查询请求,以确定与随事件一起输入的逻辑地址相对应的物理地址。主机请求管理器46可以将读取请求与物理地址一起发送到存储器接口142,以处理读取请求(处置事件)。另一方面,主机请求管理器46可以向块管理器48发送编程请求(或写入请求),以将输入的数据编程到存储器装置150中的空页面(即,没有数据的页面),然后将与编程请求相对应的映射更新请求传输到映射管理器44以更新映射地址。

[0113] 块管理器48可以将来自主机请求管理器46、映射数据管理器44和/或状态管理器42传递的编程请求转换为用于存储器装置150的闪存编程请求,以管理存储器装置150中的闪存块。为了使存储器系统110(参见图2)的编程或写入性能最大化或提高,块管理器48可以收集编程请求并将用于多平面和单触发编程操作的闪存编程请求发送到存储器接口142。

块管理器48可以向存储器接口142发送若干闪存编程请求,以增强多通道和多方向闪存控制器的并行处理或使多通道和多方向闪存控制器的并行处理最大化。

[0114] 块管理器48可以被配置为根据有效页面的数量来管理存储器装置150中的块,当需要空闲块时选择并擦除没有有效页面的块,并且当确定有必要进行垃圾收集时选择包括最小数量的有效页面的块。状态管理器42可以执行垃圾收集以将有效数据移动到空块并擦除从中移动了有效数据的块中的剩余数据,从而块管理器48可以具有足够的空闲块。如果块管理器48将关于待擦除的块的信息提供到状态管理器42,则状态管理器42能够检查待擦除的块的所有闪存页面以确定每个页面是否有效。为了确定每个页面的有效性,状态管理器42可以识别每个页面的带外(OOB)区域中存储的逻辑地址。为了确定每个页面是否有效,状态管理器42可以将页面的物理地址与映射到从请求获得的逻辑地址的物理地址进行比较。状态管理器42针对每个有效页面向块管理器48发送编程请求。当编程操作完成时,可以通过映射管理器44的更新来更新映射表。

[0115] 映射管理器44可以管理逻辑-物理映射表。映射管理器44可以处理由主机请求管理器46或状态管理器42生成的诸如查询和更新的请求。映射管理器44可以将整个映射表存储在存储器装置150(例如,闪存存储器/非易失性存储器)中,并根据存储器144的存储容量来高速缓存映射条目。当在处理查询或更新请求时发生映射高速缓存未命中时,映射管理器44可以向存储器接口142发送读取请求以加载存储器装置150中存储的关联映射表。当映射管理器44中的脏高速缓存块的数量超过某个阈值时,可以将编程请求发送到块管理器48,以便获得干净高速缓存块,并且可以将脏映射表存储在存储器装置150中。

[0116] 当执行垃圾收集时,状态管理器42将有效页面复制到空闲块中,并且主机请求管理器46可以对页面的相同逻辑地址编程最新版本的数据,并且发出更新请求。当状态管理器42在尚未完成有效页面的复制的状态下请求映射更新时,映射管理器44可以不执行映射表更新。这是因为,在状态管理器42请求映射更新并且直到稍后才完成有效页面复制时,向映射请求发出旧物理信息。仅当最新的映射表仍然指向旧物理地址时,映射管理器44可以执行映射更新操作以确保准确性。

[0117] 存储器装置150可以包括多个存储块。根据可以在这种块的一个存储器单元中存储或表示的位的数量,多个存储块中的每一个可以是单层单元(SLC)存储块或多层单元(MLC)存储块。此处,SLC存储块包括由每个存储一位数据的存储器单元实施的多个页面。SLC存储块可以具有较高的数据I/O操作性能和较高的耐久性。MLC存储块包括由每个存储多位数据(例如,两位或更多位)存储器单元实施的多个页面。与SLC存储块相比,对于相同的空间,MLC存储块可以具有更大的存储容量。MLC存储块能够在存储容量方面高度集成。在实施例中,存储器装置150可以利用诸如双层单元存储块、三层单元(TLC)存储块、四层单元(QLC)存储块及其组合的MLC存储块来实施。双层单元存储块可以包括由每个能够存储2位数据的存储器单元实施的多个页面。三层单元(TLC)存储块可以包括由每个能够存储3位数据的存储器单元实施的多个页面。四层单元(QLC)存储块可以包括由每个能够存储4位数据的存储器单元实施的多个页面。在另一实施例中,存储器装置150可以利用包括由每个能够存储5位或更多位数据的存储器单元实施的多个页面的块来实施。

[0118] 在本公开的实施例中,存储器装置150是诸如闪速存储器的非易失性存储器,诸如NAND闪速存储器、NOR闪速存储器等。在另一实施例中,存储器装置150可以是相变随机存取

存储器 (PCRAM)、铁电随机存取存储器 (FRAM) 以及自旋注入磁性存储器 (例如, 自旋转移力矩磁性随机存取存储器 (STT-MRAM)) 中的至少一个。

[0119] 图4是示出存储器装置的内部结构的框图。更具体地, 图4示出了存储器装置150的内部配置。

[0120] 参照图4, 存储器装置150可以包括多个存储器管芯240A、240B、240C、240D。第一存储器管芯240A和第二存储器管芯240B可以通过第一通道CH1连接到控制器130 (见图1至图3)。第三存储器管芯240C和第四存储器管芯240D可以通过第二通道CH2连接到控制器130。

[0121] 图4示出四个存储器管芯240A、240B、240C、240D通过两个通道CH1、CH2联接到控制器130的配置。然而, 实施例不限于管芯和通道的任何特定配置。即使存储器装置150可以包括至少两个管芯和至少两个通道, 但是在给定配置中管芯和通道的数量取决于诸如存储器系统的整体配置、采用存储器系统的目的以及限定存储器系统与所接合主机之间的通信的规范的各种因素。

[0122] 当多个存储器管芯连接到单个通道时, 每个存储器管芯可以通过不同的通路与通道联接。在图4中, 第一存储器管芯240A和第二存储器管芯240B可以分别通过第一通路W1和第二通路W2与第一通道CH1联接。第三存储器管芯240C和第四存储器管芯240D可以分别通过第一通路W1和第二通路W2与第二通道CH2联接。在此特定配置中, 通路的数量与存储器管芯的数量相同。

[0123] 图5A和图5B示出由控制器执行的关联操作的特性。具体地, 图5A和图5B中的两个曲线图可以示出通过在未指定和随机条件下重复执行关联操作而获得的结果。

[0124] 参照图5A, 当图1的控制器130中的关联电路194针对增加数量的读取请求尝试建立关联时, 随着读取请求的数量增加, 使这种读取请求关联的可能性增加。例如, 在20个读取请求中找到关联的可能性大于5个读取请求中的可能性。

[0125] 当存储器系统中不存在地址限制时, 可以不分布存储器装置150中与随几个读取请求传递的逻辑地址相对应的物理位置。在这种情况下, 由关联电路194所关联的读取请求的数量可以较小。然而, 当大量读取请求被传输到存储器系统110时, 读取请求被关联的可能性较高。例如, 当读取请求的数量是第二参考值REF2时, 与读取请求的数量是第一参考值REF1时相比, 关联的可能性更高, 其中REF1小于REF2。

[0126] 参照图5B, 描述了当多个读取请求被顺序地传输到关联电路194时, 根据读取请求的输入时间 (或输入序列) 的关联的可能性。如参照图4所述, 假设在存储器系统110中的控制器130和存储器装置150之间存在两个通道。例如, 发送到关联电路194的第一读取请求可能因为不存在其他准备关联的读取请求而不被关联。当第二读取请求被传递到关联电路194时, 第二读取请求可以与第一读取请求关联或可以不与第一读取请求关联; 可能性为50:50。当第三读取请求被传递到关联电路194时, 如果第一读取请求和第二读取请求不关联, 则关联电路194可以尝试使第三读取请求与第一读取请求和第二读取请求关联。因此, 与在传递第二读取请求的时间的关联的可能性相比, 在传递第三读取请求的时间的关联的可能性可能更高。基于这些特性, 关联电路194可以区分在接收到特定读取请求之前和之后的状态。例如, 在接收到读取请求 (对应于第三参考值REF3) 之后, 关联电路194可能确定关联的可能性足够高, 并且尝试对先前接收的读取请求和 (REF3) 读取请求执行关联操作。相反, 在接收到 (REF3) 读取请求之前, 关联电路194可能确定关联可能性太低, 并且因此跳过

对在REF3读取请求之前接收的读取请求执行关联操作。

[0127] 在另一示例中,假设传递了20个读取请求。当输入第19和第20读取请求时,在输入第9至第11读取请求时的关联的可能性可能更低。这是因为,当输入第19和第20读取请求时,先前输入的第1至第18读取请求可能已经被关联并输出到操作控制电路196。随着关联的读取请求随着时间的推移而被传送,关联的可能性可能会降低。为了避免关联电路194浪费用以执行关联操作的诸如时间、操作裕量或电力的资源,可以在传输与第四参考值REF4相对应的读取请求时停止关联操作。

[0128] 在实施例中,响应于未关联的读取请求的数量,关联电路194可以停止关联操作。例如,如果在20个读取请求之中剩余例如两个或三个的少量的未关联的读取请求,则关联电路194可以将未关联的读取请求输出到操作控制电路196,而无需将它们保持用于下一关联操作。当关联电路194保持一些读取请求以执行下一关联操作时,存储器系统110的数据输入/输出性能(例如,I/O吞吐量)可能劣化。

[0129] 如图5B所示,当关联电路194仅通过使用从缓冲器控制电路198传送的读取请求的数量作为参考REF3或REF4来确定是否执行关联操作时,确定是否执行关联操作的操作的准确性或效率可能劣化。例如,当关联操作的成功比估计的可能性更频繁地发生时,所有估计数量的读取请求的处理时间可能比估计时间短,并且关联电路194可以进入空闲状态。相反,当关联操作比估计的可能性更频繁地失败时,所有估计数量的读取请求可能不会在估计时间内得到处理,并且数据输入/输出(I/O)吞吐量可能会受到不利影响。另外,当仅对存储器管芯240A、240B、240C和240D之中的特定存储器管芯的关联操作重复成功时,由于优先处理关联操作成功的读取请求的策略,其余未成为关联操作目标的存储器管芯(或关联操作失败的其他存储器管芯)可以保持空闲状态(即使存在相应的读取请求)。

[0130] 为了防止该问题的发生,当选择了待从缓冲器控制电路198传送到关联电路194的第二读取请求时,待定信用确定电路195可以检查在选择第二读取请求之前是否在关联电路194中执行了关联操作,并且如果执行了关联操作,则从关联电路194检查关联操作是否成功执行,从监控电路197检查在选择第二读取请求的时间存储器管芯240A、240B、240C和240D的操作状态,组合检查结果,并将组合结果转换为称为待定信用的值。随后,关联电路194可以基于在选择第二读取请求时确定的待定信用,来确定是否对在选择第二读取请求时选择并输入的第二读取请求执行关联操作。

[0131] 图6是示出控制器130的内部结构的框图。

[0132] 参照图6,控制器130可以包括输入缓冲器186、输出缓冲器184、缓冲器控制电路198、关联电路194、待定信用确定电路195、监控电路197、映射存储器182以及操作控制电路196。缓冲器控制电路198、关联电路194和操作控制电路196可以通过与输出缓冲器184、输入缓冲器186、待定信用确定电路195、监控电路197以及映射存储器182互锁来确定是执行还是停止关联操作。

[0133] 根据实施例,输出缓冲器184、输入缓冲器186和映射存储器182可以在功能上分离,并且它们可以在如上参照图2至图3描述的存储器144内部实现。根据另一实施例,输出缓冲器184、输入缓冲器186和映射存储器182可以是多个非易失性存储器装置或多个高速缓存存储器。

[0134] 输出缓冲器184和输入缓冲器186可以具有诸如队列的数据架构。在这种情况下,

输出缓冲器184和输入缓冲器186可以按照存储数据的顺序输出数据(先进先出,FIFO)。根据用于存储和管理映射数据和映射信息的策略,映射存储器182可以具有各种结构。

[0135] 控制器130可以将作为从外部装置或主机102传送的地址的逻辑地址转换为指示存储器装置150中的物理位置的物理地址。控制器130可以加载存储器装置150中存储的映射数据和映射信息以用于地址转换。

[0136] 根据实施例,当控制器130中包括的存储器144中存在足够的存储空间或者与控制器130交互工作时,可以立即读取用于地址转换的所有映射数据和映射信息。然而,当将存储器系统110安装在便携式终端中时,控制器130没有足够的存储空间来存储映射数据和映射信息两者。在这种情况下,控制器130可以通过从存储器装置150读取特定映射信息,使用或更新特定映射信息,将其存储在存储器装置150中,然后读取存储器装置150中存储的另一映射信息,来利用存储器144的空间以用于存储映射数据和映射信息。

[0137] 当所请求的映射数据不能被存储在存储器144中的区域中时,控制器130可以从该区域移除最近最少使用的映射数据。控制器130向存储器装置150请求用于地址转换的映射数据和映射信息可以作为存储器系统110的整体性能或I/O吞吐量的开销。因此,实施例可以防止控制器130请求不必要的映射数据和映射信息。

[0138] 例如,当对于关联操作存在20个读取请求时,可以基于与20个读取请求相关联的逻辑地址来检查映射存储器182,映射存储器182中可以有针对性11个读取请求的映射数据,并且映射存储器182中可能不存在针对9个读取请求的映射数据和映射地址。在这种情况下,控制器130可以将针对9个读取请求的映射数据和映射地址加载到映射存储器182中。根据实施例,当映射存储器182的存储空间不足时,控制器130中的关联电路194可以优先执行针对可检测到映射地址的读取请求的关联操作。

[0139] 就存储器系统110的输入/输出(I/O)吞吐量而言,可以将由关联电路194执行的关联操作识别为开销。

[0140] 因此,关联电路194可以基于在选择第二读取请求时由缓冲器控制电路198确定的待定信用,来确定是否针对在从缓冲器控制电路198选择并输入第二读取请求时选择的第二读取请求执行关联操作。例如,当在缓冲器控制电路198中选择第二读取请求时确定的待定信用等于或大于参考值时,关联电路194可以针对在从缓冲器控制电路198选择并输入第二读取请求时选择的第二读取请求执行关联操作。相反,当在缓冲器控制电路198中选择第二读取请求时确定的待定信用小于参考值时,关联电路194可以不执行关联操作。

[0141] 在本文中,待定信用确定电路195可通过检查在选择待从缓冲器控制电路198传送到关联电路194的第二读取请求之前是否在关联电路194中执行了关联操作来确定待定信用。

[0142] 待定信用确定电路195可以响应于在缓冲器控制电路198中选择第二读取请求之前未在关联电路194中执行关联操作的情况下处理第二读取请求而增加待定信用。更特别地,待定信用确定电路195可以根据在缓冲器控制电路198中选择第二读取请求之前不执行关联操作的情况下由关联电路194处理第二读取请求的预期处理时间来调整待定信用的增量。当不执行关联操作的情况下由关联电路194处理第二读取请求的预期处理时间约为50us时,待定信用确定电路195可以将待定信用增加5并将其确定为新待定信用。而且,当在不执行关联操作的情况下由关联电路194处理第二读取请求的预期处理时间约为10us时,

待定信用确定电路195可以将待定信用增加1并将其确定为新待定信用。在本文中,当关联电路194在不执行关联操作的情况下处理第二读取请求时,当在缓冲器控制电路198中选择第二读取请求时,由待定信用确定电路195确定的待定信用可以小于参考值。而且,两个不同的读取请求的预期处理时间可以根据情况而变化,因为从存储器装置150读取的数据的大小可以根据读取请求而变化。在本文中,因为可以响应于读取请求而预先知道从存储器装置150读取的数据的大小,因此也可以预先确定与读取请求相对应的预期处理时间。当然,对应于读取请求的预期处理时间也可以根据存储器装置150的类型或性能而变化。

[0143] 待定信用确定电路195能够通过在选择待从缓冲器控制电路198传送到关联电路194的第二读取请求之前执行关联操作,然后检查关联电路194以确定关联操作是否成功执行,来确定待定信用。

[0144] 具体而言,待定信用确定电路195可以响应于在缓冲器控制电路198中选择第二读取请求的时间之前由关联电路194执行的关联操作成功而增加待定信用,并且可以响应于关联操作失败而减少待定信用。更特别地,待定信用确定电路195可以根据由于在缓冲器控制电路198中选择第二读取请求的时间之前由关联电路194执行的关联操作成功而预期缩短的时间量,来调整待定信用增加的量。另外,待定信用确定电路195可以根据由于在缓冲器控制电路198中选择第二读取请求的时间之前由关联电路194执行的关联操作失败而消耗的时间量,来调整待定信用减少的量。

[0145] 例如,当由于关联电路194执行的关联操作成功而预期缩短的时间量为约30us时,待定信用确定电路195可以将待定信用增加3并将其确定为新待定信用。当由于关联电路194执行的关联操作失败而消耗的时间量为约20us时,待定信用确定电路195可以将待定信用减少2并将其确定为新待定信用。在实施例中,因为当关联操作成功时,两个或更多个读取请求可以通过交错方案一次处理,并且与不执行关联操作而单独处理两个或更多个读取请求相比,所需的时间更少,所以可以由于关联操作成功而缩短时间。换言之,在不执行关联操作的情况下单独处理两个或多个读取请求所预期消耗的时间量,与通过关联操作成功由交错方案一次集中处理两个或更多个读取请求所预期消耗的时间量之间的差,可以是由于关联操作成功而缩短的时间。而且,由于关联操作失败而消耗时间的原因是,当关联操作失败时,通过执行关联操作来确认失败使用了时间,但是最终,与不执行关联操作相同地处理读取请求。简言之,执行被确定为失败的关联操作所花费的时间可以是由于关联操作失败而消耗的时间。

[0146] 在选择待从缓冲器控制电路198传送到关联电路194的第二读取请求时,待定信用确定电路195可以通过检查监控电路197以确定多个存储器管芯240A、240B、240C和240D的操作状态,来确定待定信用。

[0147] 待定信用确定电路195可以响应于当在缓冲器控制电路198中选择第二读取请求时存储器管芯240A、240B、240C和240D中的至少一个存储器管芯处于空闲状态而减少待定信用。更特别地,待定信用确定电路195可以根据当在缓冲器控制电路198中选择第二读取请求时存储器管芯之中的空闲状态的存储器管芯的数量来调整待定信用的减少量。例如,当在选择第二读取请求时在存储器管芯之中只存在一个存储器管芯处于空闲状态时,待定信用确定电路195可以将待定信用减少2并将其确定为新待定信用。而且,当选择第二读取请求的时刻在存储器管芯之中存在两个存储器管芯处于空闲状态时,待定信用确定电路



195可以将待定信用减少4并将其确定为新待定信用。

[0148] 待定信用确定电路195可以根据当在缓冲器控制电路198中选择了第二读取请求时关联电路194中的待定信用来确定是否执行关联操作,并且当在预定参考时间内缓冲器控制电路198未选择其他第二读取请求时,待定信用确定电路195可以将待定信用重置为初始值。换言之,当在预定参考时间内没有连续执行由关联电路194执行的关联操作时,待定信用确定电路195可以将待定信用重置为初始值。待定信用的初始值可以小于当关联电路194确定是否执行关联操作时用作参考的待定信用的参考值。可以将参考时间设置为足够长,以便确定具有与参考时间一样的差的两个读取请求彼此不连续。例如,参考时间可以是在成功执行针对读取请求的关联操作并且将其完全处理之后,将读取请求传送到多个存储器管芯所需的时间。

[0149] 图7和图8是描述用于操作存储器系统的方法的第一示例的流程图。

[0150] 首先,参照图7,一种用于操作存储器系统的方法可以包括:接收步骤S10,接收从外部装置传送的多个第一读取请求;选择步骤S20,将作为第一读取请求的至少一部分的第二读取请求选择为关联操作的目标;确定步骤S30,基于在选择第二读取请求之前是否执行了关联操作、是否成功执行了关联操作以及多个存储器管芯的操作状态来确定待定信用;步骤S40,基于确定步骤S30中确定的待定信用来确定是否对在选择步骤S20中选择的第二读取请求执行关联操作;以及重置步骤S50,在步骤S40中确定是否执行关联操作之后的预定的参考时间内在选择步骤S20中未选择其他第二读取请求时,将待定信用重置为初始值。

[0151] 用于操作存储器系统的方法可以进一步包括:第一传送步骤,当在步骤S40中对在选择步骤S20中选择的第二读取请求执行了关联操作时,对由于关联操作成功而关联的读取请求执行地址转换并且通过多个通道将关联的读取请求的转换地址传送到多个存储器管芯;第一接收步骤,在第一传送步骤之后,通过多个通道接收通过交错方案关联的读取请求的数据;第二传送步骤,对由于关联操作失败而未关联的读取请求执行地址转换,并且将未关联的读取请求的转换地址传送至存储器管芯;第二接收步骤,在第二传送步骤之后,从存储器管芯接收与未关联的读取请求相对应的数据;以及输出步骤,将在第一接收步骤和第二接收步骤中接收到的数据输出到外部装置。在本文中,第一传送步骤的关联的读取请求可以在第二传送步骤的未关联的读取请求之前被传送到存储器管芯,从而提高存储器系统110的输入/输出吞吐量。

[0152] 选择步骤S20可以基于从外部装置传送的第一读取请求的数量、输出缓冲器的操作状态等。为了执行关联操作而不使存储器系统的输入/输出吞吐量劣化,可以在确保用于关联操作的操作裕量之后,将第二读取请求选择为关联操作目标。

[0153] 例如,可以确定待在选择步骤S20中输出到外部装置的输出缓冲器中剩余的数据数量是否大于预定参考数量。在这种情况下,可以基于外部装置与存储器系统之间的第一数据输入/输出速率以及控制器与存储器管芯之间的第二数据输入/输出速率来确定参考数量。例如,可以假设存储器系统将数据传送到外部装置约需要10ms。当输出缓冲器包括待输出到外部装置的10个数据时,存储器系统的操作裕量可能约为100ms(=10x10)。如果在存储器系统中的控制器与存储器装置之间传输读取请求和接收数据约需要5ms,则控制器可以试图在100ms操作裕量中以约95ms的最大操作裕量进行关联操作。

[0154] 存储器系统中的控制器可以具有关于根据内部操作的操作速率和所需时间的信



息,并且能够根据与存储器系统一起工作的主机的协议来计算操作裕量。因此,控制器可以计算和估计控制器能够尝试关联操作的操作裕量。例如,控制器可以计算用于关联操作的操作裕量的最大值,然后在对应于最大值的约70%至90%的时间内执行关联操作。根据实施例,控制器能够尝试执行关联操作的时间范围可以变化。而且,控制器能够基于存储器系统的操作环境、存储器装置的操作状态等来确定控制器可以尝试关联操作的操作裕量。

[0155] 在确定步骤S30中,当在选择步骤S20中选择第二读取请求时,可以确定待定信用。具体而言,参照图8,确定步骤S30可以包括:第一减少步骤S32,当在选择步骤S20中选择第二读取请求时,响应于至少一个存储器管芯处于空闲状态而减少待定信用;第一增加步骤S34,响应于在选择步骤S20中选择第二读取请求之前不执行关联操作的情况下处理第二读取请求而增加待定信用;第二增加步骤S36,响应于在选择步骤S20中选择第二读取请求之前关联操作执行成功而增加待定信用;以及第二减少步骤S38,响应于在选择步骤S20中选择第二读取请求之前关联操作失败而减少待定信用。确定步骤S30中包括的第一减少步骤S32、第一增加步骤S34、第二增加步骤S36和第二减少步骤S38可以彼此并行地操作。例如,当在选择步骤S20中选择第二读取请求时至少一个存储器管芯处于空闲状态并且在选择第二读取请求的时刻之前成功执行了关联操作时,第一减少步骤S32和第二增加步骤S36可以并行地执行以确定待定信用。

[0156] 在本文中,在第一减少步骤S32中,当在选择步骤S20中选择了第二读取请求时,可以根据空闲状态的存储器管芯的数量来调整待定信用的减少量。换言之,当空闲状态的存储器管芯的数量为2时待定信用减少的量,可以大于当空闲状态的存储器管芯的数量为1时待定信用减少的量。

[0157] 在第一增加步骤S34中,可以根据在选择步骤S20中选择第二读取请求之前不执行关联操作的情况下处理第二读取请求的预期处理时间来调整待定信用的增加量。换言之,与在选择步骤S20中选择第二读取请求之前不执行关联操作的情况下处理第二读取请求的预期处理时间相对较小的待定信用增加的量相比,当在选择步骤S20中选择第二读取请求之前不执行关联操作的情况下处理第二读取请求的预期处理时间相对较大时的待定信用增加的量可以更大。

[0158] 在第二增加步骤S36中,可以根据由于在选择步骤S20中选择第二读取请求之前执行成功的关联操作而预期缩短的时间来调整待定信用的增加量。换言之,与当由于在选择步骤S20中选择第二读取请求之前执行的关联操作成功而预期缩短的时间相对较短时的待定信用增加的量相比,当由于在选择步骤S20中选择第二读取请求之前执行的关联操作成功而预期缩短的时间相对较长时的待定信用增加的量可以更大。

[0159] 在第二减少步骤S38中,可以根据由于在选择步骤S20中选择第二读取请求之前执行的关联操作失败而消耗的时间来调整待定信用的减少量。换言之,与当由于在选择步骤S20中选择第二读取请求之前执行的关联操作失败而消耗的时间相对较短时的待定信用减少的量相比,当由于在选择步骤S20中选择第二读取请求之前执行的关联操作失败而消耗的时间相对较长时的待定信用减少的量可以更大。

[0160] 在步骤S40中,可以根据在步骤S30中确定的待定信用来确定是否针对在选择步骤S20中选择的第二读取请求执行关联操作。具体而言,当在选择步骤S20中选择了第二读取请求的时刻,当在步骤S30中确定的待定信用等于或大于参考值时,可以在步骤S40中执行

针对在选择步骤S20中选择的第二读取请求的关联操作。相反,当在选择步骤S20中选择了第二读取请求的时刻,当在步骤S30中确定的待定信用小于参考值时,可以不在步骤S40中执行针对在选择步骤S20中选择的第二读取请求的关联操作。

[0161] 在重置步骤S50中,当在确定步骤S30之后的预定参考时间或更长时间内在选择步骤S20中未选择其他第二读取请求时,可以将待定信用重置为初始值。待定信用的初始值可以小于待定信用的参考值,该参考值是用于在步骤S30中确定是否执行关联操作的标准。换言之,在通过重置步骤S50将待定信用重置为初始值之后,通过选择步骤S20首次选择的第二读取请求可以不在步骤S40中关联,因为待定信用始于初始值。

[0162] 图9A至图9C示出针对多个读取请求的控制器130的第一操作。第一操作可以由在前面参照图6描述的待定信用确定电路195和关联电路194执行。

[0163] 在图9A至图9C的实施例中,多个第一读取请求从外部装置或主机102输入,并存储在输入缓冲器186中。可以根据从外部装置或主机传送和输入第一读取请求的顺序来排列输入缓冲器186中存储的第一读取请求。第一读取请求包括六个读取请求R1至R6。

[0164] 根据约定的协议,从外部装置或主机102传送的读取请求R1至R6可以具有相同的结构。然而,为了便于描述,在图9A至图9C的读取请求R1至R6中示出了1至6的顺序。读取请求R1至R6中的每一个可以与由外部装置或主机102使用的逻辑地址(未示出)一起传送。

[0165] 参考映射存储器182,控制器130中的关联电路194可以通过使用与所传送的第一读取请求R1至R6一起传送的逻辑地址来检查读取请求应该传送到哪个存储器管芯。

[0166] 参照图9A的<A>,将输入缓冲器186中存储的六个第一读取请求R1至R6之中的第一个和第二个第一读取请求选择为第二读取请求R1和R2,并且将待定信用初始化为0。

[0167] 因为当将第一读取请求R1选择为第二读取请求时仅存在一个第二读取请求R1,因此它可能不是关联操作的目标。因此,当仅选择第一个第二读取请求R1时,可以不确定是否执行关联操作。

[0168] 随后,因为当选择第一读取请求R2时存在两个第二读取请求R1和R2,因此第二个第一读取请求R2可以是关联操作的目标。然而,因为待定信用为0,所以待定信用小于参考值2,因此可以不执行关联操作。

[0169] 随后,在步骤S90中,将第一个第二读取请求R1传送到存储器管芯之中的一个存储器管芯并在其中进行处理。换言之,在不执行关联操作的情况下在步骤S90中处理第一个第二读取请求R1。在这种情况下,因为正在处理第一个第二读取请求,所以第二读取请求R2可以处于待定状态。

[0170] 如上所述,响应于未进行关联操作的情况下在步骤S90中处理第一个第二读取请求R1,待定信用确定电路195可以将待定信用增加3。当将第三个第一读取请求R3选择为第二读取请求时,待定信用确定电路195可以增加待定信用。换言之,在图9A的<B>中将第三个第一读取请求R3选择为第二读取请求时,待定信用确定电路195可以通过检查在图9A的<A>中第一个第二读取请求R1是否在没有进行关联操作的情况下在步骤S90中被处理来增加待定信用。为了便于描述,图9A示出了从<A>到<B>待定信用增加。

[0171] 参照图9A的<B>,可以看出,将输入缓冲器186中存储的六个第一读取请求之中的第一读取请求R3选择为第二读取请求。而且,可以看到待定信用为3。

[0172] 因为第二读取请求R2处于待定状态,并且待定信用也等于或大于参考值,所以当

将第一读取请求R3选择为第二读取请求时,可以执行关联操作。换言之,可以对第三个第二读取请求R3执行关联操作。

[0173] 因此,关联电路194可以确定对应于第二读取请求R3的存储器管芯和对应于第二读取请求R2的存储器管芯是否可以关联。在本文中假设,作为关联操作的结果,对应于第二读取请求R3的存储器管芯和对应于第二读取请求R2的存储器管芯不能被关联,即在步骤S91中关联操作失败。在这种情况下,由于正在处理第一个第二读取请求R1,因此第二个和第三个第二读取请求R2和R3可以处于待定状态。

[0174] 如上所述,响应于第二读取请求R3的关联操作失败,待定信用确定电路195可以将待定信用减少1。当将第一读取请求R4选择为第二读取请求时,可以减少待定信用确定电路195中的待定信用。换言之,在图9B的<C>中将第四个第一读取请求R4选择为第二读取请求的时刻,待定信用确定电路195可以通过检查图9A的<B>中的第三个第二读取请求R3的关联操作是否失败(在步骤S91中)来减少待定信用。从图9A的<B>到图9B的<C>示出了待定信用减少。

[0175] 参照图9B的<C>,将第一读取请求R4选择为第二读取请求,并且待定信用为2。

[0176] 当将读取请求R4选择为第二读取请求时,可以执行关联操作,因为读取请求R2和R3处于待定状态并且待定信用等于或大于参考值。简言之,可以对第四个第二读取请求R4执行关联操作。

[0177] 因此,关联电路194可以检查对应于第四个第二读取请求R4的存储器管芯是否可以与对应于第二读取请求R2的存储器管芯或对应于第二读取请求R3的存储器管芯关联。作为关联操作的结果,可以将对应于第二读取请求R4的存储器管芯和对应于第二读取请求R2的存储器管芯彼此关联。简言之,可以假设在步骤S92中成功执行了关联操作。

[0178] 如上所述,响应于第二读取请求R4的关联操作成功,当将第一读取请求R5选择为第二读取请求时,待定信用确定电路195可以将待定信用增加4。换言之,当在图9B的<D>中将第五个第一读取请求R5选择为第二读取请求时,待定信用确定电路195可以通过确认在图9B的<C>中的步骤S92中成功执行了针对第四个第二读取请求R4的关联操作来增加待定信用。这些附图示出从图9B的<C>到图9B的<D>,待定信用增加。

[0179] 参照图9B的<D>,将输入缓冲器186中存储的六个第一读取请求之中的第五个第一读取请求R5选择为第二读取请求,并且待定信用为6。

[0180] 在将读取请求R5选择为第二读取请求的时刻,因为第二读取请求R3处于待定状态并且待定信用等于或大于参考值,所以可以执行关联操作。换言之,可以针对第二读取请求R5执行关联操作。因为第二读取请求R3和第四个第二读取请求R4已经关联,所以不能将其选择为用于第一读取请求R5的关联操作的读取信息。

[0181] 因此,关联电路194可以确定对应于读取请求R5的存储器管芯和对应于读取请求R3的存储器管芯是否关联。作为关联操作的结果,对应于第二读取请求R5的存储器管芯和对应于第二读取请求R3的存储器管芯不能被关联,即在步骤S93中关联操作失败。在这种情况下,因为正在处理第一个第二读取请求R1,所以第三个和第五个第二读取请求R3和R5可以处于待定状态。

[0182] 如上所述,响应于第五个第二读取请求R5的关联操作失败,待定信用确定电路195可以将待定信用减少2。在本文中,在待定信用确定电路195中减少待定信用的时间可以是

将第六个第一读取请求R6选择为第二读取请求的时间。换言之,当在图9C的<E>中将第六个第一读取请求R6选择为第二读取请求时,待定信用确定电路195可以通过检查在图9B的<D>中第五个第二读取请求R5的关联操作是否失败(在步骤S93中)来减少待定信用。从图9B的<D>到图9C的<E>示出了待定信用减少。

[0183] 响应于图9A的<B>中的第二读取请求R3的关联操作失败,由待定确定电路195减少的待定信用为1,并且响应于图9B的<D>中的第二读取请求R5的关联操作失败,由待定信用确定电路195减少的待定信用为2。尽管在两种情况下响应于关联操作失败而由待定信用确定电路195减少了待定信用的事实,两种情况的减少量是不同的。这是因为假设由于针对第三个第二读取请求R3的关联操作失败而消耗的时间比由于针对第五个第二读取请求R5的关联操作失败而消耗的时间短。

[0184] 参照图9C的<E>,可以看出将第一读取请求R6选择为第二读取请求,并且待定信用为4。

[0185] 当将读取请求R6选择为第二读取请求时,因为第二读取请求R3和R5处于待定状态并且待定信用等于或高于参考值,所以可以执行关联操作。简言之,可以针对第六个第二读取请求R6执行关联操作。

[0186] 因此,关联电路194可以确定对应于第二读取请求R6的存储器管芯可以与对应于第二读取请求R3的存储器管芯关联还是与对应于第二读取请求R5的存储器管芯关联。作为关联操作的结果,对应于第二读取请求R6的存储器管芯可以不与对应于第二读取请求R3的存储器管芯关联或不与对应于第二读取请求R5的存储器管芯关联,即,在步骤S94中关联操作失败。

[0187] 如上所述,待定信用确定电路195可以响应于第二读取请求R6的关联操作失败而减少待定信用。当将第六个第一读取请求R6选择为第二读取请求,然后在预定参考时间内将另一个第一读取请求选择为第二读取请求时,待定信用确定电路195可以减少待定信用。

[0188] 然而,参照图9C的<F>,在步骤S95中,假设在将第一读取请求R6选择为第二读取之后的预定参考时间或更长时间内,未将其他第一读取请求选择为第二读取请求。换言之,假设在选择输入缓冲器186中存储的六个第一读取请求R1至R6中的全部并且将其处理为第二读取请求之后,在预定的参考时间内不再输入其他的第一读取请求,或者即使当输入另一个第一读取请求时,由于存储器系统110的操作状态,未将输入的第一读取请求选择为第二读取请求。

[0189] 因此,可以不执行响应于第六个第二读取请求R6的关联操作失败而减少待定信用确定电路195中的待定信用的操作。

[0190] 而且,当将读取请求R6选择为第二读取请求并且在步骤S95中在预定参考时间或更长时间内未选择其他第二读取请求时,可以将待定信用重置为初始值0。

[0191] 根据本公开的实施例,存储器系统、数据处理系统、其操作方法以及支持该操作的方法可以针对交错操作避免关于分配存储器系统中用于存储数据的物理位置的地址限制。因此,存储器系统可以针对交错操作减少存储器系统中的开销。

[0192] 另外,本公开的实施例可以通过存储器系统中的交错操作来提高数据输入/输出性能,并且针对交错操作减少关于存储器系统中的物理位置的地址限制,从而可以提高存储器装置的操作效率和寿命。

[0193] 实施例的效果不限于本公开描述的效果。

[0194] 尽管针对特定示例示出和描述了实施例,但是根据本公开,对于本领域技术人员而言显而易见的是,在不脱离所附权利要求的范围的情况下,可以进行各种改变和修改。

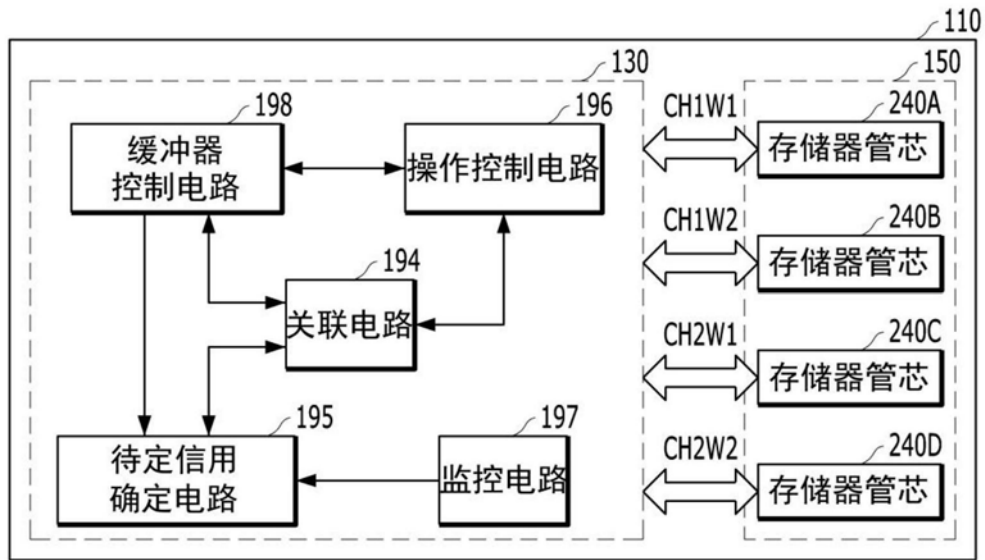


图1

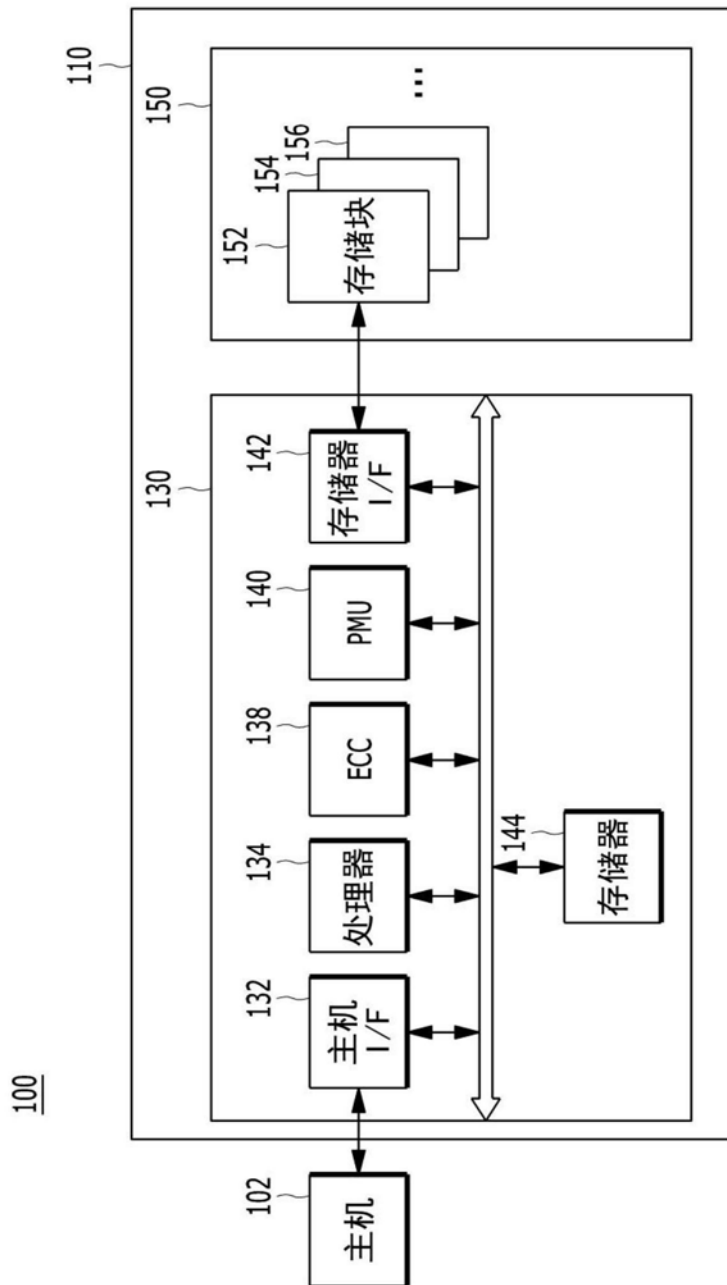


图2

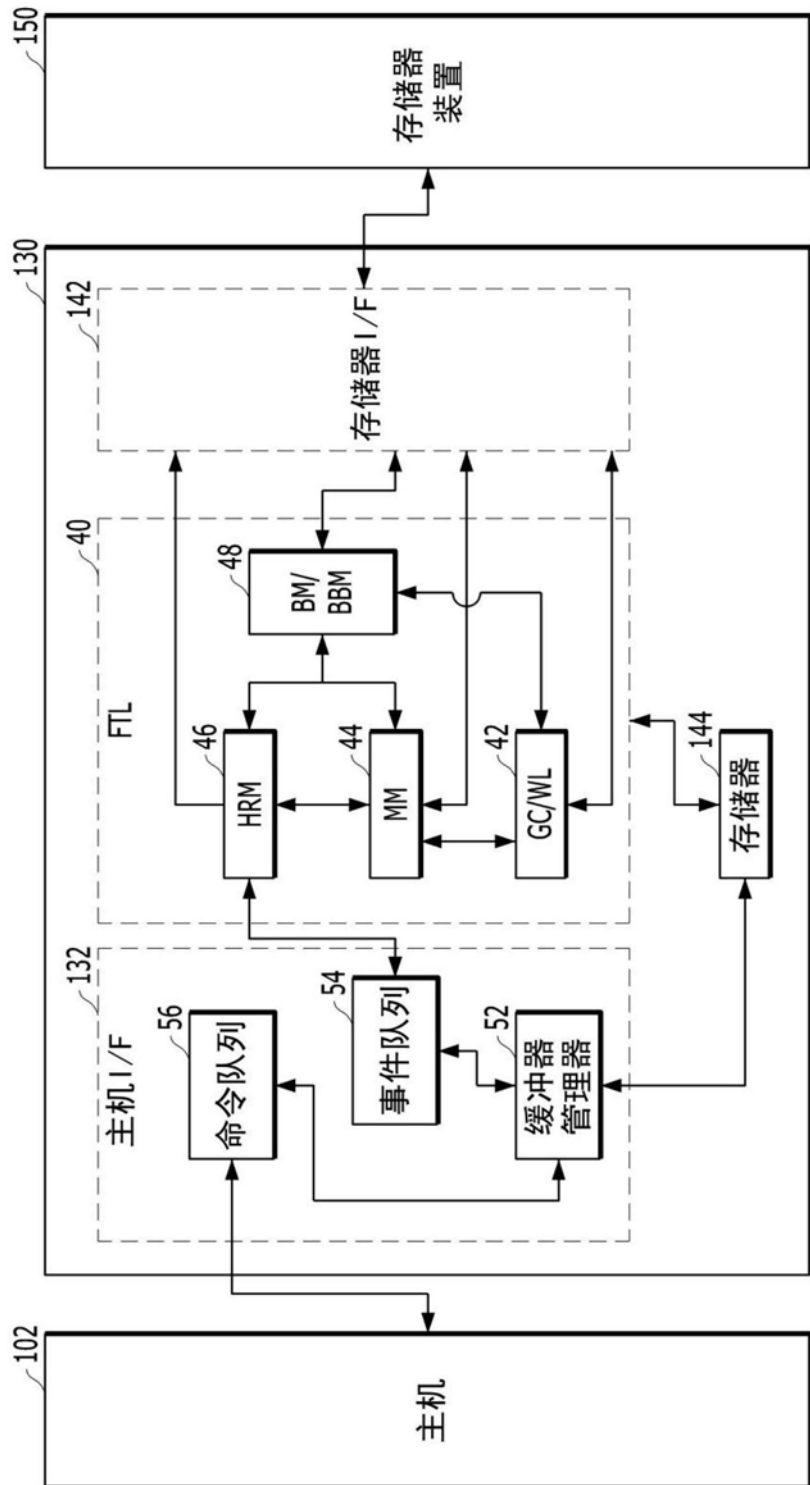


图3



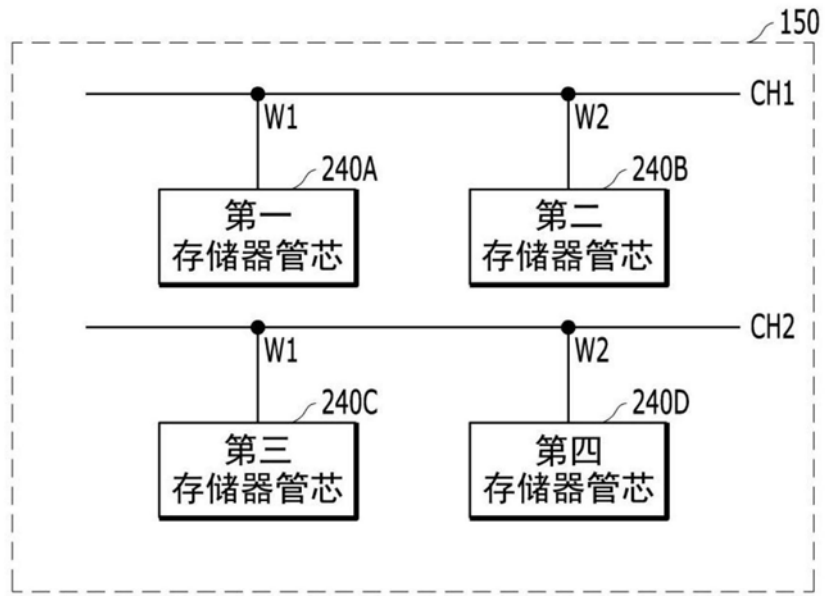


图4

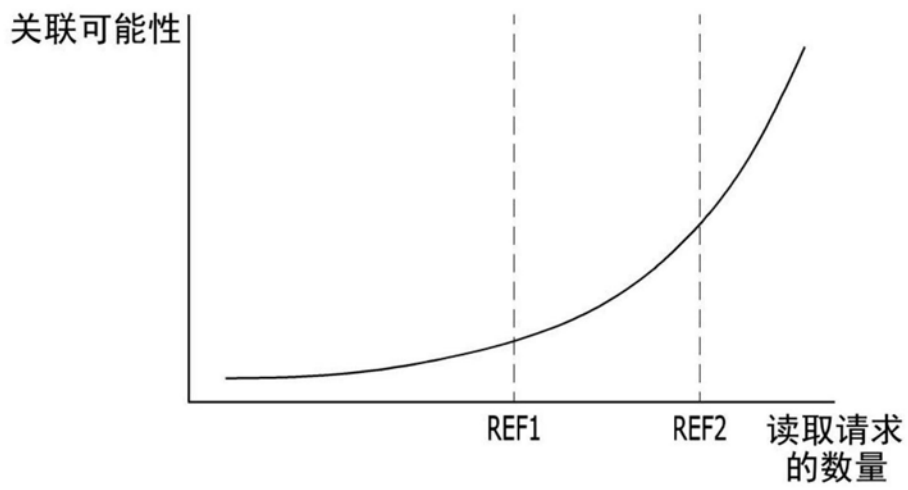


图5A

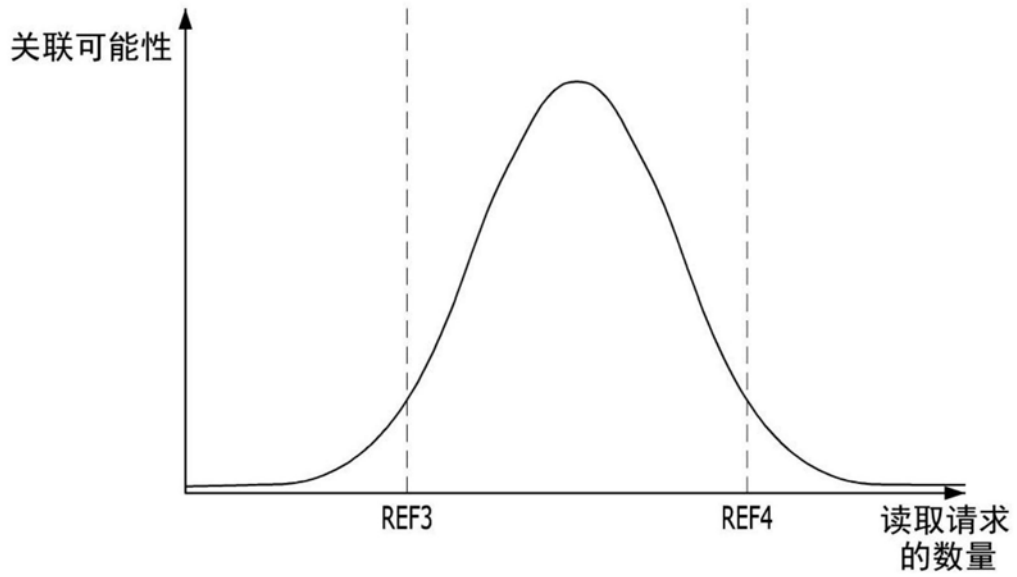


图5B

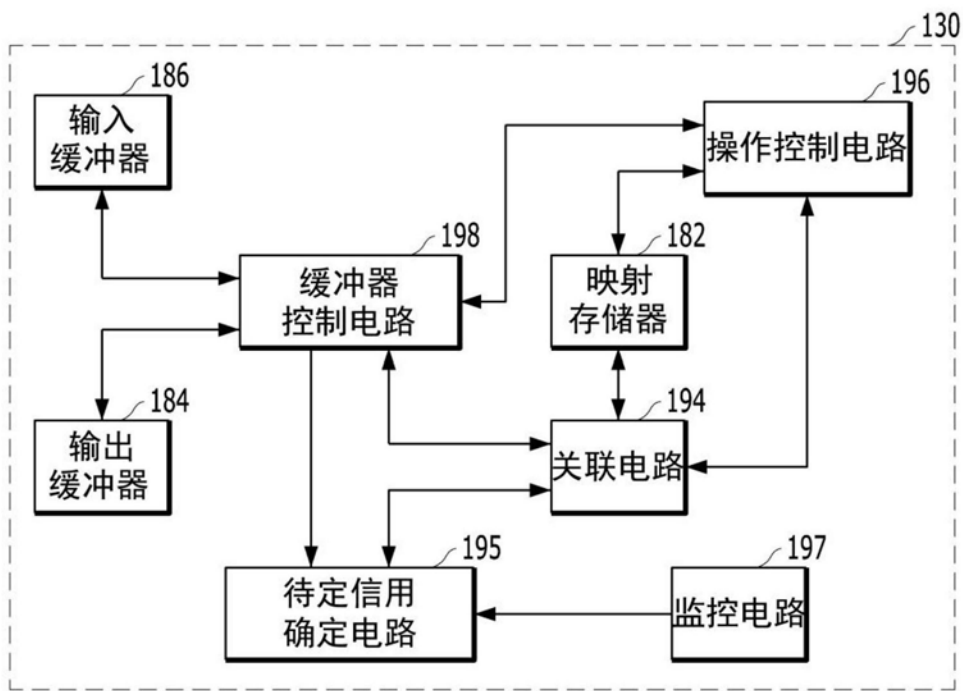


图6

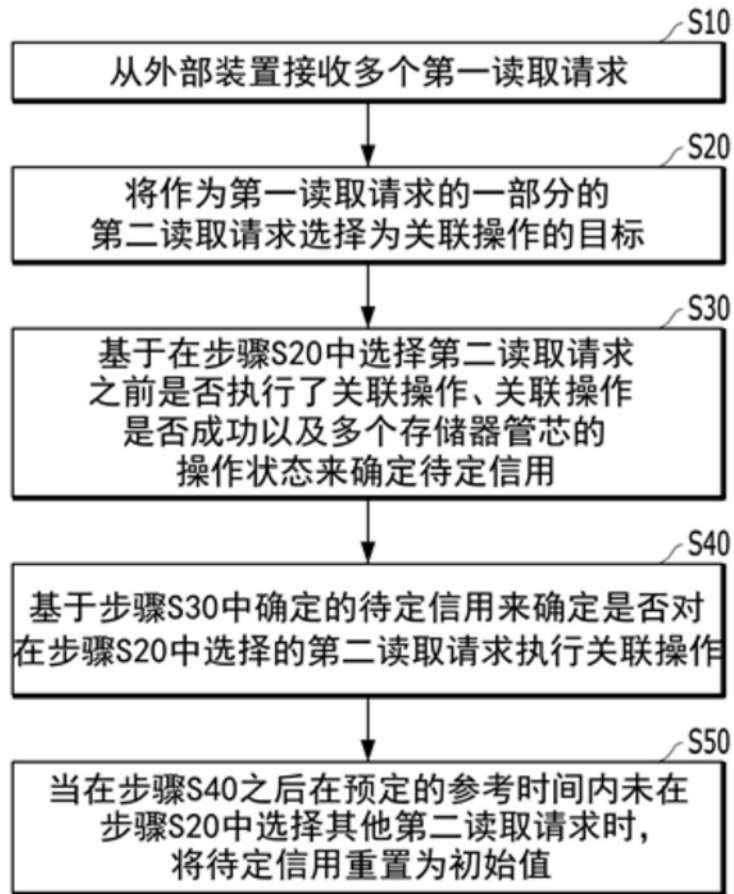


图7

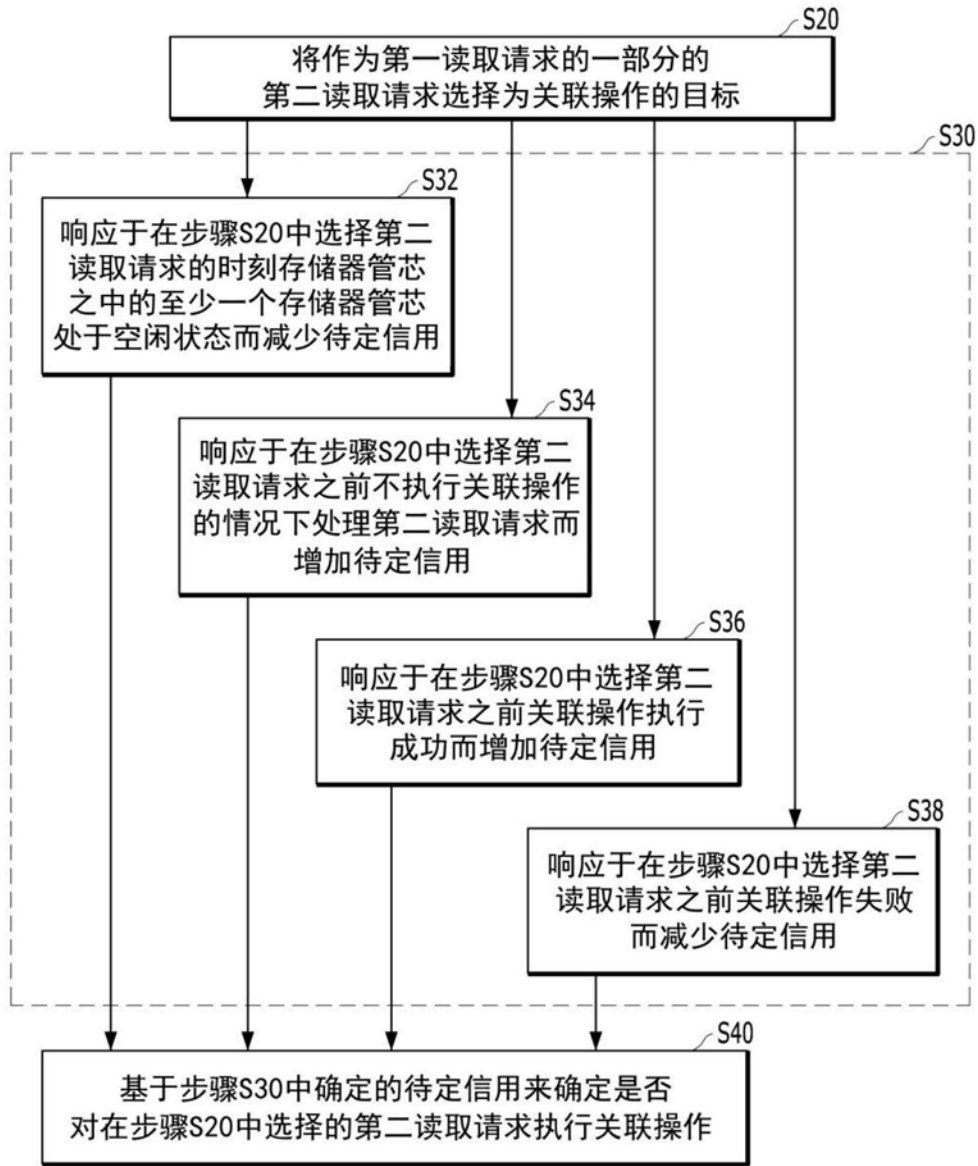


图8

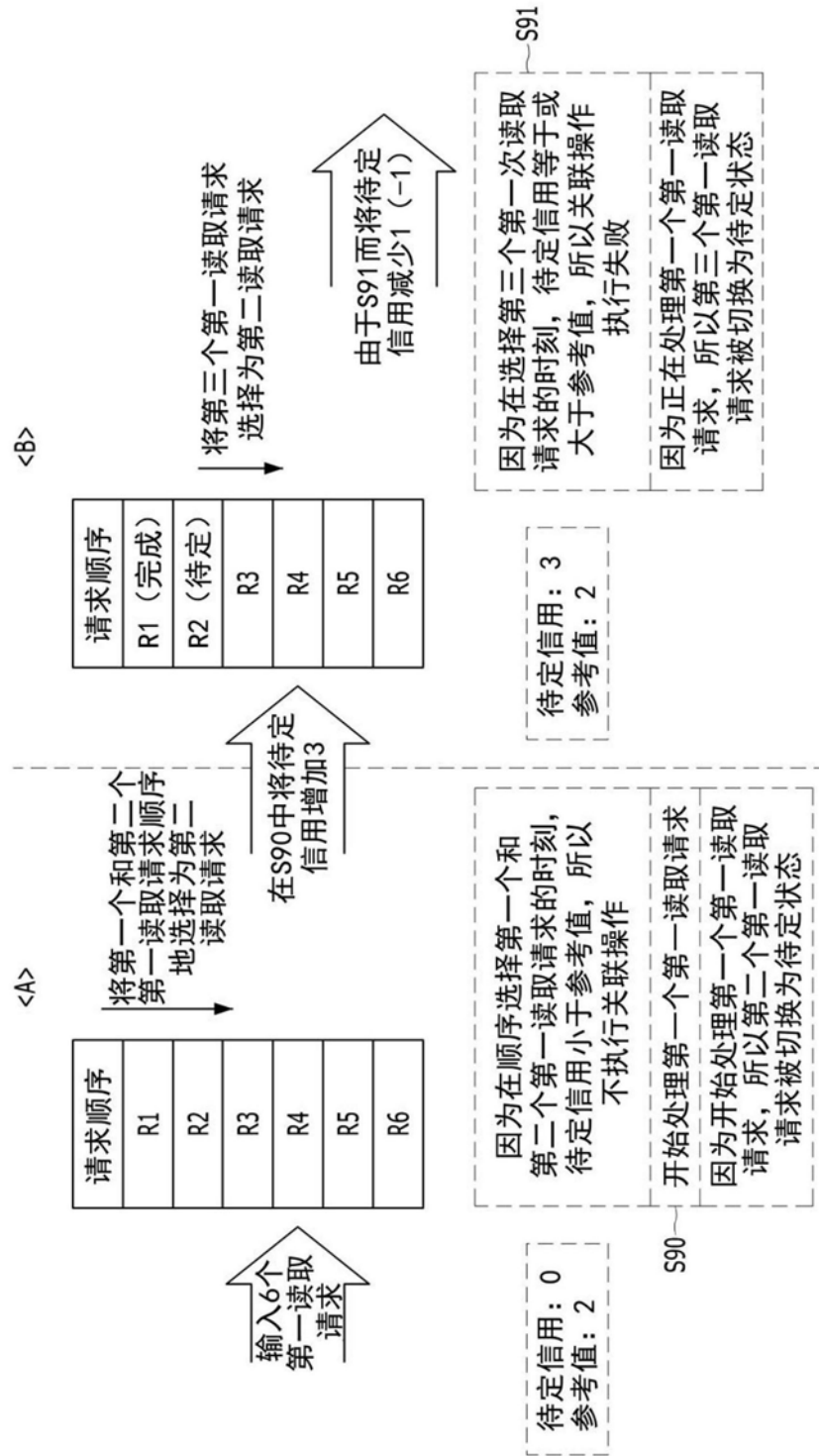


图9A

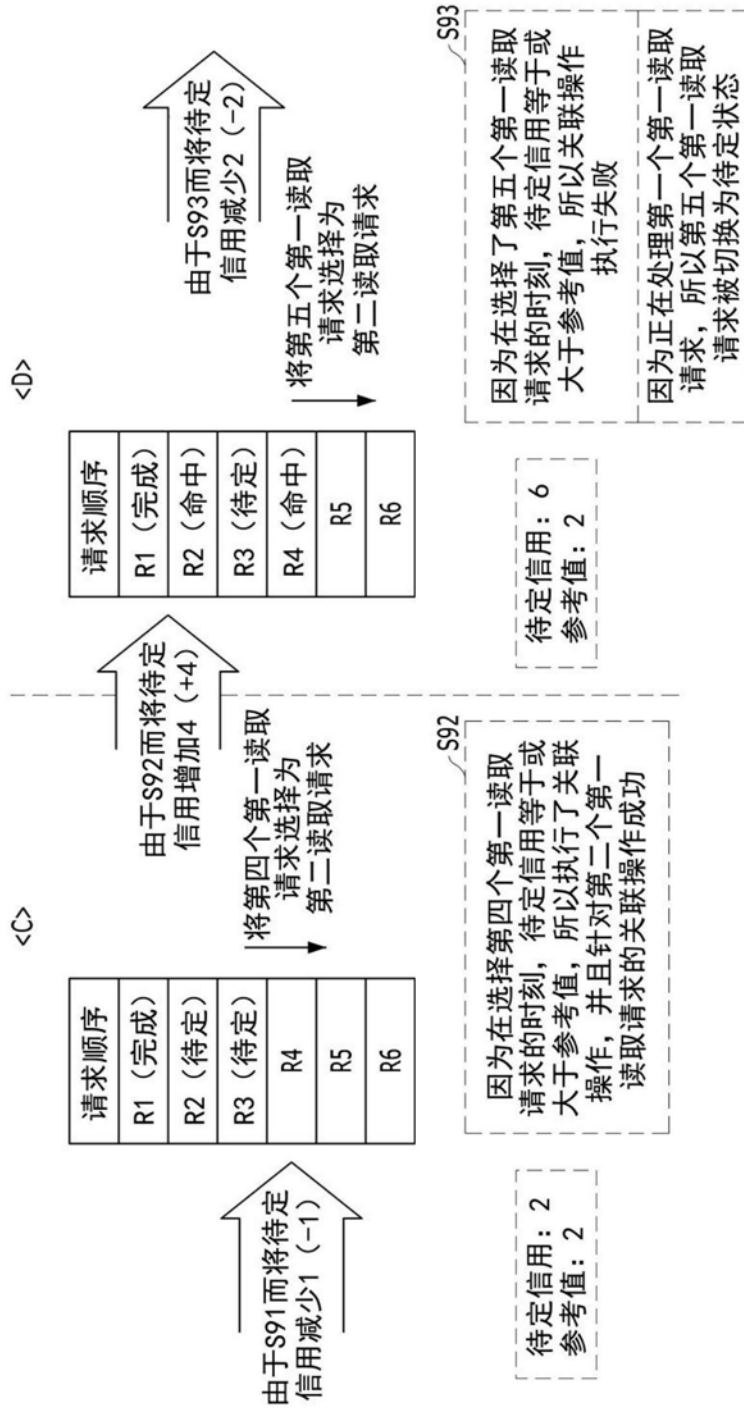


图9B

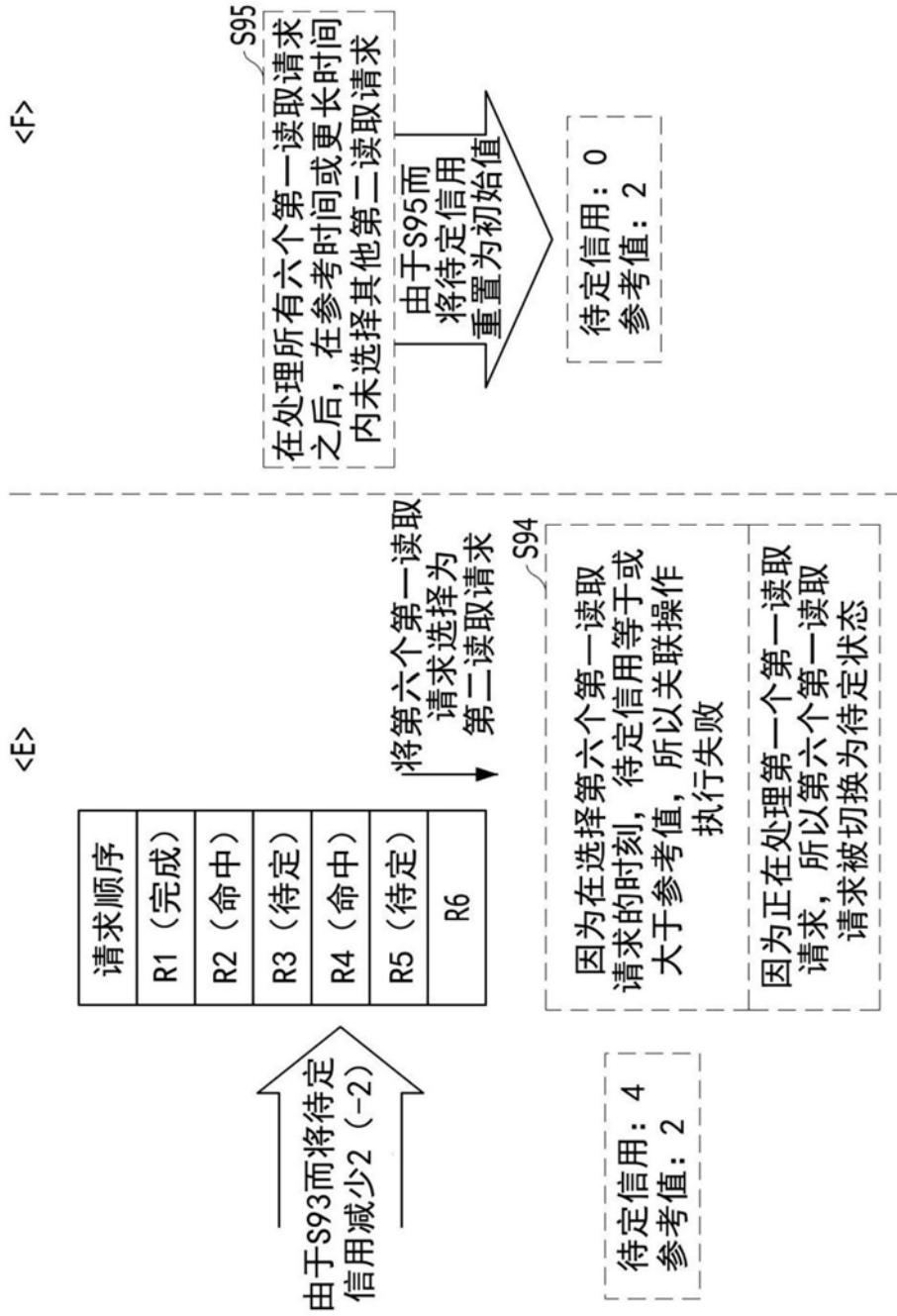


图9C