

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6015260号
(P6015260)

(45) 発行日 平成28年10月26日 (2016. 10. 26)

(24) 登録日 平成28年10月7日 (2016. 10. 7)

(51) Int. Cl.	F I		
H05K 3/46 (2006.01)	H05K	3/46	Z
H05K 1/02 (2006.01)	H05K	3/46	Q
	H05K	3/46	N
	H05K	1/02	N

請求項の数 9 (全 15 頁)

(21) 出願番号	特願2012-197867 (P2012-197867)	(73) 特許権者	000005223 富士通株式会社
(22) 出願日	平成24年9月7日 (2012. 9. 7)		神奈川県川崎市中原区上小田中4丁目1番1号
(65) 公開番号	特開2014-53501 (P2014-53501A)	(74) 代理人	100089118 弁理士 酒井 宏明
(43) 公開日	平成26年3月20日 (2014. 3. 20)	(72) 発明者	佐久間 勝美 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
審査請求日	平成27年5月12日 (2015. 5. 12)	(72) 発明者	千葉 篤 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		審査官	井上 信

最終頁に続く

(54) 【発明の名称】 電源回路及び電源モジュール

(57) 【特許請求の範囲】

【請求項 1】

複数の配線層を有する多層プリント基板と、
前記多層プリント基板の内部又は表面に配置された、帯状領域を有するグラウンドと、
前記配線層のいずれかに配置され、電気が流れる第1方向と直交する第2方向の長さが前記帯状領域の幅よりも長い板状の電源線と、
前記電源線が配置された前記配線層よりも前記グラウンド側の前記配線層に、前記電源線の面と平行に前記電源線の前記第1方向に複数並べて配置され、且つ、それぞれ前記第1方向の長さを異ならせて静電容量を変化させた複数の板状の導電体であるランドパターンと、

前記ランドパターンと前記グラウンドの前記帯状領域とを接続する導電体であるビアとを備えたことを特徴とする電源回路。

【請求項 2】

前記ランドパターンの前記第2方向の長さと前記電源線の前記第2方向の長さが等しいことを特徴とする請求項1に記載の電源回路。

【請求項 3】

前記ランドパターンは、前記第1方向の長さが前記電源線の第1方向の長さよりも短いことを特徴とする請求項1又は請求項2に記載の電源回路。

【請求項 4】

前記グラウンドは、前記電源線と対向する位置に前記帯状領域を複数有し、

前記ランドパターンは、前記電源線よりも小さい面積を有し、前記帯状領域と前記電源線とに挟まれる位置に複数配置されている

ことを特徴とする請求項 1 に記載の電源回路。

【請求項 5】

複数並ぶ前記ランドパターンのうち両端の前記ランドパターンは、前記電源線の端部近傍に配置されていることを特徴とする請求項 1 ~ 4 のいずれか一つに記載の電源回路。

【請求項 6】

前記電源線と導電体で接続され、前記電源線と前記ランドパターンとの間の前記配線層に、前記電源線と平行に配置された板状の導電体である第 1 板状部材と、

前記ランドパターンと導電体で接続され、前記電源線と前記第 1 板状部材との間の前記配線層に、前記電源線と平行に配置された板状の導電体である第 2 板状部材と

をさらに備えたことを特徴とする請求項 1 ~ 5 のいずれか一つに記載の電源回路。

【請求項 7】

前記電源線と前記ランドパターンとの間の複数の異なる前記配線層に、前記電源線と平行に配置され、前記第 1 板状部材と前記電源線との間で導電体により直列に接続された複数の板状の導電体である第 3 板状部材と、

複数の前記第 1 板状部材及び前記第 3 板状部材の間の各前記配線層に、前記電源線と平行に配置され、前記第 2 板状部材と前記ランドパターンとの間で導電体により直列に接続された複数の板状の導電体である第 4 板状部材と

を備えたことを特徴とする請求項 6 に記載の電源回路。

【請求項 8】

前記ビアは、一つの前記ランドパターンに対して一つ配置されていることを特徴とする請求項 1 ~ 7 のいずれか一つに記載の電源回路。

【請求項 9】

複数の配線層を有する多層プリント基板と、

前記多層プリント基板の一方の面に配置された電子回路と、

前記多層プリント基板の内部又は他方の面に配置された、帯状領域を有するグラウンドと

、前記他方の面に配置された、前記電子回路に電気を供給する電源部と、

前記電源部と前記電子回路とを接続するように前記配線層のいずれかに配置され、電気が流れる第 1 方向と直交する第 2 方向の長さが前記帯状領域の幅よりも長い板状の電源線と、

前記電源線が配置された前記配線層よりも前記グラウンド側の前記配線層に、前記電源線の面と平行に前記電源線の前記第 1 方向に複数並べて配置され、且つ、それぞれ前記第 1 方向の長さを異ならせて静電容量を変化させた複数の板状の導電体であるランドパターンと、

前記ランドパターンと前記グラウンドの前記帯状領域とを接続する導電体であるビアと

を備えたことを特徴とする電源モジュール。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電源回路及び電源モジュールに関する。

【背景技術】

【0002】

携帯電話機などにおいて、Printed Circuit Board (PCB) 上には、CPU (Central Processing Unit) や電源から送られる電圧を整える電源 IC (Integrated Circuit) などの各種 IC が複数搭載されている。そして、電源 IC から他の IC に対して電源線が延びており、電源 IC は、電源線を介して他の IC に電源を供給している。

【0003】

電源線は、複数の IC に接続されているため、IC から出力された高周波ノイズが電源

10

20

30

40

50

線を介して他のICに送られるおそれがある。このように、高周波ノイズが他のICに入力されると、ICの性能劣化が引き起こされることが考えられる。そこで、他のICからのノイズを除去すると共に自己から他のICへのノイズを除去するために、電源ICから各ICに電力を供給する電源線にSMT(Surface Mount Device)チップコンデンサなどのノイズを除去するためのコンデンサを有する電源回路が搭載されている。ノイズを除去することは、ノイズを減衰させると表現される場合もある。ノイズを除去するためのコンデンサは、バイパスコンデンサと呼ばれたり、単にパスコンと呼ばれたりしている。そして、コンデンサの容量により除去できる周波数が異なるため、高周波ノイズを除去する場合には、除去したい周波数に合わせて異なるコンデンサを複数実装する。

【0004】

10

ここで、近年ICの集積度が高くなってきており、IC端子はBGA(Ball Grid Array)になっている。そのため、コンデンサは、ICの電源端子から離れた場所に配置されることになる。このように、ICの電源端子から離れた場所にコンデンサを実装した場合、電源線による寄生インダクタが増加し、ノイズの除去が困難になってしまう。また、表層にコンデンサを実装すると、コンデンサ自体が外部ノイズの影響を受けてしまい、さらにノイズの除去が困難となる。

【0005】

一方で、携帯電話などにおいては、持ち運びなどの観点から小型化が求められている。小型化を図るためには、PCB上から一つでも多くのコンデンサを取り除くことが好ましい。

20

【0006】

このようなことから、オープンスタブパターンをICの近傍に実装して高周波ノイズを除去する従来技術が提案されている(例えば、特許文献1参照)。

【0007】

なお、帯域阻止フィルタとして、誘電体を覆うグラウンドに接続するスルーホールをマイクロストリップラインの近傍に設けた従来技術がある(例えば、特許文献2参照)。また、一定の周波数範囲の信号を減衰させるために、誘電基板の中に、誘電基板を覆うグラウンドに繋がるピアホールに接続されたパッチ導体をマイクロストリップラインと並行して並べて配置する従来技術がある(例えば、特許文献3参照)。

【先行技術文献】

30

【特許文献】

【0008】

【特許文献1】特開2010-010183号公報

【特許文献2】特開2001-111303号公報

【特許文献3】特開2004-282691号公報

【発明の概要】

【発明が解決しようとする課題】

【0009】

しかしながら、オープンスタブパターンを用いた従来技術では、広帯域の周波数の高周波ノイズを除去するには複数本の長さが異なるオープンスタブを配置するため、コンパクトなサイズで広帯域の周波数の高周波ノイズを除去することは困難である。

40

【0010】

また、スルーホールをマイクロストリップラインの近傍に設けた従来技術や、ピアホールに接続されたパッチ導体をマイクロストリップラインと並行して並べて配置する従来技術を電源回路に応用することが考えられる。しかし、いずれの技術も、広いグラウンドにインダクタ成分を有するピアを配置するため、インダクタが並列に並んでしまい、インダクタ成分が小さくなってしまふ。そのため、数百MHz~数百GHzといった帯域の高周波ノイズを、広帯域で除去することは困難であった。

【0011】

開示の技術は、上記に鑑みてなされたものであって、コンパクトなサイズで広帯域の周

50

波数の高周波ノイズを除去する電源回路及び電源モジュールを提供することを目的とする。

【課題を解決するための手段】

【0012】

本願の開示する電源回路及び電源モジュールは、一つの態様において、以下のものを備える。多層プリント基板は、複数の配線層を有する。グラウンドは、帯状領域を有し、前記多層プリント基板の内部又は表面に配置される。電源線は、電気が流れる第1方向と直交する第2方向の長さが前記帯状領域の幅よりも長い板状であり、前記配線層のいずれかに配置される。ランドパターンは、前記電源線が配置された前記配線層よりも前記グラウンド側の前記配線層に、前記電源線の面と平行に前記電源線の前記第1方向に複数並べて配置され、且つ、それぞれ前記第1方向の長さを異ならせて静電容量を変化させた複数の板状の導電体である。ビアは、前記ランドパターンと前記グラウンドの前記帯状領域とを接続する導電体である。

10

【発明の効果】

【0013】

本願の開示する電源回路及び電源モジュールの一つの態様によれば、コンパクトなサイズで広帯域の周波数の高周波ノイズを除去することができるという効果を奏する。

【図面の簡単な説明】

【0014】

【図1】図1は、実施例1に係る電源回路の斜視図である。

20

【図2】図2は、実施例1に係る電源装置を説明するための平面図である。

【図3】図3は、グラウンドの平面図である。

【図4】図4は、図2のA-A断面図である。

【図5】図5は、実施例1に係る電源回路のランドパターン部分の拡大図である。

【図6】図6は、実施例1に係る電源回路の回路構成の概略を表す回路図である。

【図7】図7は、実施例1に係る電源回路を用いた場合のノイズ除去の効果を説明するための図である。

【図8】図8は、帯状領域の幅を変化させた場合の除去できるノイズの周波数帯の変化を説明するための図である。

【図9】図9は、実施例2に係る電源回路を説明するための平面図である。

30

【図10】図10は、図9のB-B断面図である。

【図11】図11は、実施例3に係る電源回路のランドパターン部分の拡大図である。

【図12】図12は、実施例3に係る電源回路の回路構成の概略を表す回路図である。

【図13】図13は、実施例4に係る電源回路のランドパターン部分の拡大図である。

【発明を実施するための形態】

【0015】

以下に、本願の開示する電源回路及び電源モジュールの実施例を図面に基づいて詳細に説明する。なお、以下の実施例により本願の開示する電源回路及び電源モジュールが限定されるものではない。

【実施例1】

40

【0016】

図1は、実施例1に係る電源回路の斜視図である。図2は、実施例1に係る電源装置を説明するための平面図である。図3は、グラウンドの平面図である。図4は、図2のA-A断面図である。図5は、実施例1に係る電源回路のランドパターン部分の拡大図である。図6は、実施例1に係る電源回路の回路構成の概略を表す回路図である。

【0017】

図1～4を参照して、本実施例に係る電源回路及び電源モジュールの構成を説明する。図1に示すように、本実施例に係る電源回路は、電源線1、ランドパターン2、ビア3、グラウンド4及び多層プリント基板5を有している。

【0018】

50

多層プリント基板 5 は、複数の配線層を有するプリント基板である。

【 0 0 1 9 】

本実施例に係る電源モジュールは、多層プリント基板 5 上に I C 6 及び I C 7 が配置されている。I C 6 及び I C 7 は、電子回路、電源 I C 及びコネクタのいずれであってもよい。

【 0 0 2 0 】

グラウンド 4 は、多層プリント基板 5 の一方の面に配置されている。図 2 及び図 3 において斜線で表される部分がグラウンド 4 を表している。そして、グラウンド 4 は、図 3 に示すように、長方形の開口部 4 2 及び 4 3 を有している。開口部 4 2 及び 4 3 によって、グラウンド 4 には、幅の細い帯状領域 4 1 が形成されている。ここで、本実施例では、開口部 4 2 及び 4 3 を長方形としたが、帯状領域 4 1 が形成できれば、開口部 4 2 及び 4 3 は、どのような形をしていてもよい。そして、本実施例では、図 2 に示すように、帯状領域 4 1 の短手方向の幅は、後述する電源線 1 の短手方向の幅よりも細く形成されている。

10

【 0 0 2 1 】

電源線 1 は、多層プリント基板 5 の内部に配置され、I C 6 と I C 7 とを接続する。例えば、図 4 に示すように、電源線 1 は、I C 6 の端子に設けられたバンプ 8 1 に一端が接続され、I C 7 の端子に設けられたバンプ 8 2 に他端が接続されている。電源線 1 は、電源 I C から他の電子回路へ電気を供給する。ここで、図 1 及び 2 では、説明の都合上、1 本の電源線 1 しか記載していないが、実際には、電源線 1 は、電源 I C を起点として複数の電子回路へ延びるように分岐した形状を有していてもよい。また、電源線 1 は、板状の形状を有している。例えば、電源線 1 の断面は、幅 1 mm で厚さが 0 . 1 mm などであり、この場合、1 (A) の電流を流すことができる。以下では、電源線 1 の短手方向、すなわち電気が流れる方向と直交する方向を単に「短手方向」といい、電源線 1 の長手方向、すなわち電気が流れる方向を単に「長手方向」という。この長手方向が、「第 1 方向」の一例にあたり、短手方向が、「第 2 方向」の一例にあたる。

20

【 0 0 2 2 】

ランドパターン 2 は、板状の形状を有している。実施例 1 では、ランドパターン 2 の短手方向の長さは、図 2 に示すように、電源線 1 の短手方向の長さと同じである。ここで、本実施例では、電源線 1 とランドパターン 2 とで形成されるコンデンサの容量をなるべく大きくするためにランドパターン 2 の短手方向の長さを電源線 1 の短手方向の長さと同じにしている。また、ランドパターン 2 の短手方向の長さを電源線 1 の短手方向の長さよりも長くしてもコンデンサの容量はほとんど変わらないので、回路をコンパクトにするために本実施例ではランドパターン 2 の短手方向の長さを電源線 1 の短手方向の長さと同じにしている。ただし、コンデンサの容量は変わらないので、回路のコンパクト化を考慮しなければ、ランドパターン 2 の短手方向の長さを電源線 1 の短手方向の長さよりも長くしてもよい。

30

【 0 0 2 3 】

さらに、本実施例のランドパターン 2 は、長手方向の長さが電源線 1 より短く形成されている。そして、ランドパターン 2 は、電源線 1 に平行になるように、多層プリント基板 5 の配線層における電源線 1 が配置されている配線層とグラウンド 4 との間の配線層に配置されている。さらに、図 1、2 及び 4 に示すように、電源線 1 と帯状領域 4 1 に挟まれる位置に一列に並ぶように、複数のランドパターン 2 が配置されている。

40

【 0 0 2 4 】

さらに、本実施例では、並んでいるランドパターン 2 のうち、両端のランドパターン 2 は、図 2 及び図 4 に示すように、I C 6 及び I C 7 と電源線 1 との接続している点の直下に配置されている。

【 0 0 2 5 】

各ランドパターン 2 とグラウンド 4 の帯状領域 4 1 とを接続するようにビア 3 が設けられている。ビア 3 は、ランドパターン 2 と帯状領域 4 1 とを電氣的に接続する導電体であればよく、例えば、スルーホールビアでもビルドアップビアでもよい。

50

【 0 0 2 6 】

次に、図 5 を参照して、各部の回路としての機能を説明する。図 5 には、説明の都合上、実際の構成とともに回路構成が記載してある。

【 0 0 2 7 】

電源線 1 とランドパターン 2 とは導電体で直接接続されておらず、微小の隙間を有する。これにより、電源線 1 とランドパターン 2 とはコンデンサ 1 0 1 を形成する。コンデンサ 1 0 1 の容量は電源線 1 とランドパターン 2 との対向している面積に依存する。具体的には、対向する面積が大きいほどコンデンサ 1 0 1 の容量は大きくなる。ここで、電源線 1 は、使用する電流や電圧の大きさによって決定される。そのため、コンデンサ 1 0 1 の容量は、ランドパターン 2 の大きさによって決まる。本実施例では、上述したように、ランドパターン 2 の短手方向の長さ¹⁰と電源線 1 の短手方向の長さとを等しくしている。すなわち、電源線 1 の短手方向の長さはコンデンサ 1 0 1 の容量が最大になるようになっている。ここで、コンデンサ 1 0 1 の容量が大きいほど容量リアクタンスが小さくなるので、ノイズ除去率が増す。すなわち、コンデンサ 1 0 1 の容量が大きいほど、多くのノイズを除去することができる。ただし、除去するノイズの周波数はコンデンサ 1 0 1 と後述するインダクタとの積により決まる。そして、電源線は一般的には、短手方向の長さが長手方向の長さ²⁰に比べて非常に短い。そこで、本実施例では、電源線 1 の長手方向にランドパターン 2 を並べる構成としている。すなわち、本実施例では、ランドパターン 2 において、電源線 1 の長手方向の長さは自由度が大きい²⁰が、電源線 1 の短手方向の長さの自由度は小さい。そこで、本実施例では、ランドパターン 2 の短手方向の長さをコンデンサ 1 0 1 の容量²⁰がなるべく大きくなるようにとり、周波数は電源線 1 の長手方向の長さによって調整している。すなわち、ランドパターン 2 の短手方向の長さは、除去したいノイズの周波数に応じて決定することが好ましい。

【 0 0 2 8 】

また、上述したように本実施例に係る電源回路では、並んでいるランドパターン 2 の両端のランドパターン 2 は、IC 6 及び IC 7 と電源線 1 との接続している点の直下に配置されている。これにより、IC 6 又は IC 7 から出力されたノイズは、電源線 1 に入ってから直ぐに直下のランドパターン 2 で形成されるコンデンサ 1 0 1 により除去される。そのため、ノイズが電源線 1 の中を長い距離進むことを回避でき、ノイズの除去を容易に行うことができる。このように、並んでいるランドパターン 2 のうちの両端のランドパターン 2 は、IC 6 及び IC 7 と電源線 1 との接続している点の近傍に配置されることが好ましく、IC 6 及び IC 7 と電源線 1 との接続している点の直下に配置されることがより好ましい。³⁰

【 0 0 2 9 】

ビア 3 は、インダクタ 1 0 2 の機能を有している。さらに、グラウンド 4 の帯状領域 4 1 は、細かい線となっているのでインダクタ性を有するので、インダクタ 1 0 3 の機能を有している。ビア 3 及びグラウンド 4、インダクタ 1 0 2 とインダクタ 1 0 3 が直列に並んでいることになる。

【 0 0 3 0 】

ここで、インダクタ成分とキャパシタ成分とを乗算した値 (LC) が大きくなるほど低い周波数帯のノイズを除去することができる。そして、本実施例では、インダクタ 1 0 2 とインダクタ 1 0 3 とは直列に並んでいるためインダクタンスを大きくすることができる。これにより、数百 MHz ~ 数百 GHz といった帯域の高周波のノイズの中での低い周波数帯のノイズを除去することができるようになる。これに対して、従来のようにグラウンドが単なる一枚板の場合、インダクタ成分を有さない。そのため、一枚板のグラウンドに複数のランドパターン 2 をビア 3 で接続した場合、ビア 3 で形成される各インダクタ 1 0 2 は並列に接続されていることになり、インダクタを大きくすることができない。その結果、一枚板のグラウンドに複数のランドパターン 2 をビア 3 で接続した場合、低い周波数帯のノイズを除去することが困難である。このように、本実施例に係る電源回路は、グラウンド 4 に帯状領域 4 1 を設けることで、一枚板のグラウンドに複数のランドパターン 2 をビア 3 で⁴⁰

⁵⁰

接続した場合と異なり、低い周波数帯のノイズを除去することができる。

【0031】

そして、図5で示した各部による回路としての機能で、本実施例に係る電源回路を表すと図6のようになる。

【0032】

本実施例に係る電源回路は、コンデンサ101が並列に複数並び、その各コンデンサ101に対してインダクタ102と複数のインダクタ103とが直列に接続されていることになる。例えば、ランドパターン2が9つ並んでいる場合、コンデンサ101が9つ並んでいることになる。そして、各コンデンサ101には、インダクタ102が接続され、そのインダクタ102は、直列に並ぶインダクタ103の間に接続される。

10

【0033】

この場合、電源線1のノイズが送られてくる側に最も近いコンデンサ101から離れるにつれ、各コンデンサ101までのインダクタ103の数が増えていく。例えば、図6の紙面に向かって左側から右側に向けてノイズが流れる場合、最も左のコンデンサ101には、インダクタ102と1つのインダクタ103が直列に接続されている。そして、左から2番目のコンデンサ101には、インダクタ102と2つのインダクタ103とが直列に接続されている。このようにして、接続されるインダクタ103は右に進むにしたがい増えていき、最も右のコンデンサ101には、インダクタ102と9つのインダクタ103が直列に接続されることになる。

【0034】

20

このように、各コンデンサ101に接続されるインダクタ103の個数が異なる。そのため、キャパシタ成分とインダクタ成分の積(LC)は、各コンデンサ101において異なる値になる。これにより、各コンデンサ101において除去できるノイズの周波数が異なることになり、電源回路全体として広い帯域の周波数のノイズを除去することができる。

【0035】

図7は、実施例1に係る電源回路を用いた場合のノイズ除去の効果を説明するための図である。図7の縦軸は雑音レベルを表している。また、図7の横軸は周波数を表している。雑音レベルが-10dB以下になれば、ノイズが十分に除去できていると考えられる。

【0036】

30

図7のグラフ201はノイズ除去を行わない場合の周波数帯における雑音レベルを表すグラフである。そして、グラフ202は、本実施例に係る電源回路を用いた場合の各周波数帯における雑音レベルを表すグラフである。

【0037】

グラフ201では、雑音レベルが-10dB以下になることはない。これに対して、グラフ202では、およそ0.5GHzの周波数以上の周波数帯域では雑音レベルが-10dB以下になっており、ノイズが十分に除去できているといえる。すなわち、図7から分かるように、本実施例に係る電源回路を用いれば広帯域に亘りノイズを除去することができる。

【0038】

40

さらに、ランド4の帯状領域41の短手方向の幅を短くする、すなわち、帯状領域41を細くすると、帯状領域41によるインダクタ成分が大きくなる。つまり、帯状領域41を細くすることで各コンデンサ101における除去するノイズの周波数帯を大きくずらすことができる。この結果、帯状領域41を細くすることで、本実施例に係る除去するノイズの周波数帯をより広くすることができる。

【0039】

図8は、帯状領域の幅を変化させた場合の除去できるノイズの周波数帯の変化を説明するための図である。図8の縦軸は雑音レベルを表している。また、図8の横軸は周波数を表している。上述したように、雑音レベルが-10dB以下になれば、ノイズが十分に除去できていると考えられるので、ここでも雑音レベル-10dBをノイズ除去の基準とし

50

て考える。

【0040】

グラフ310は、帯状領域41の幅を電源線1と同じ幅にした場合の各周波数における雑音レベルを表すグラフである。グラフ320は、帯状領域41の幅を電源線1の幅の3/4にした場合の各周波数における雑音レベルを表すグラフである。グラフ330は、帯状領域41の幅を電源線1の幅の1/2にした場合の各周波数における雑音レベルを表すグラフである。グラフ340は、帯状領域41の幅を電源線1の幅の1/4にした場合の各周波数における雑音レベルを表すグラフである。グラフ350は、帯状領域41の幅を電源線1の幅の1/5にした場合の各周波数における雑音レベルを表すグラフである。

【0041】

帯状領域41の幅を電源線1と同じ幅にした場合、グラフ310に示すように、ノイズを除去できる周波数帯は周波数帯311となる。帯状領域41の幅を電源線1の幅の3/4にした場合、グラフ320に示すように、ノイズを除去できる周波数帯は周波数帯321となる。周波数帯321は、周波数帯311と比べて若干長くなっているがそれほど大きな差は無い。帯状領域41の幅を電源線1の幅の1/2にした場合、グラフ330に示すように、ノイズを除去できる周波数帯は周波数帯331となる。周波数帯331は、周波数帯311や321の倍程度の広い帯域を有している。帯状領域41の幅を電源線1の幅の1/4にした場合、グラフ340に示すように、ノイズを除去できる周波数帯は周波数帯341となる。周波数帯341は、周波数帯331に比べてさらに広い帯域となっている。帯状領域41の幅を電源線1の幅の1/5にした場合、グラフ350に示すように、ノイズを除去できる周波数帯は周波数帯351となる。周波数帯域351は、このグラフの範囲では収まりきらない帯域となっている。このように、帯状領域41を細くすることで、よりノイズを除去できる周波数帯を広くすることができる。

【0042】

以上に説明したように、本実施例に係る電源回路は、グラウンドの中に帯状の細い領域を設けて、そこにピアでランドパターンを複数接続している。これにより、各ランドパターンと電源線とで形成されるコンデンサに、複数の異なる数のインダクタを直列に接続した構成とすることができる。これは、例えば、多段のローパスフィルタを接続している構成といえる。この結果、本実施例に係る電源回路は、数百MHz～数百GHzといった帯域の高周波ノイズを広帯域で除去することができる。

【0043】

また、コンデンサをプリント基板の中に配置することで、コンデンサに対する外部からのノイズの影響を軽減することができる。また、コンデンサやインダクタをプリント基板の中に配置するため、電源回路の規模をコンパクトにすることができる。

【0044】

さらに、ICの近傍にコンデンサを配置することができるので、ノイズが電源線の長い距離を通過することを回避でき、ノイズの除去を容易に行うことができる。

【0045】

(変形例)

ここで、実施例1に係る電源回路の変形例について説明する。実施例1では、複数のランドパターンを用いて、複数のコンデンサを形成したが、本変形例では1つの大きなランドパターンを用いる。

【0046】

この変形例では、ランドパターン2は、電源線1と短手方向の幅が同じ長さである。さらに、ランドパターン2は、電源線1の長手方向の長さと同じ長さを有する。

【0047】

そして、ランドパターン2は、1つのピア3で帯状領域41と接続されている。

【0048】

このように、電源線と同じ大きさのランドパターンを用いることで、コンデンサの容量を最大にすることができる。これにより、低い周波数のノイズを大量に除去することがで

10

20

30

40

50

きる。

【実施例 2】

【0049】

次に、実施例 2 に係る電源回路について説明する。本実施例に係る電源回路は、各ランドパターンの大きさが異なることが実施例 1 と異なるものである。

【0050】

図 9 は、実施例 2 に係る電源回路を説明するための平面図である。図 10 は、図 9 の B - B 断面図である。

【0051】

本実施例に係る電源回路のランドパターン 2 は、図 9 及び図 10 に示すように、紙面に向かって右に進むにしたがい長手方向の長さが長くなっている。また、ランドパターン 2 の短手方向の長さは、コンデンサの容量を最大にするように電源線 1 の短手方向の長さと同じ長さになっている。

【0052】

ここで、本実施例では、説明し易いように、図 9 及び図 10 の紙面に向かって右に行くにしたがい徐々に長手方向の長さが長くなるようにランドパターン 2 を並べているが、各ランドパターン 2 の並べ方はこれに限らない。例えば、左に行くにしたがい徐々に長手方向の長さが長くなるように、ランドパターン 2 を並べても良い。また、徐々に長さを変化させずに、長さの異なるランドパターン 2 を、ランダムに並べてもよい。

【0053】

ランドパターン 2 の長手方向の長さが長くなると、電源線 1 とランドパターン 2 とで形成されるコンデンサの容量が大きくなっていく。すなわち、インダクタ成分とキャパシタ成分との積が大きくなる。これにより、より低い周波数のノイズを除去することができる。

【0054】

本実施例では、図 9 及び図 10 の左端のランドパターン 2 及び電源線 1 で形成されるコンデンサの容量が小さく、また、帯状領域 41 の長さが短いためインダクタンスも小さい。その右隣のランドパターン 2 及び電源線 1 で形成されるコンデンサは、左端のランドパターン 2 に比べて、コンデンサの容量が大きくまた帯状領域 41 の長さも長くインダクタンスも大きい。このように、紙面に向かって右に進むにしたがい、ランドパターン 2 及び電源線 1 で形成されるコンデンサの容量は大きくなり、且つ、そこまでの帯状領域 41 の長さも長くなりインダクタンスも大きくなる。この結果、紙面に向かって右にいくにしたがっての各ランドパターン 2 に対応するキャパシタ成分とインダクタ成分の積 (LC) の増加率は、実施例 1 に比べて大きい。そのため、各ランドパターン 2 と電源線 1 によって形成される各コンデンサにより除去されるノイズの周波数帯が、実施例 1 の場合よりも大きくずれることになり、より広い周波数帯のノイズを除去することができる。

【0055】

また、コンデンサの容量が大きくなることにより、より多くのノイズを除去することができる。

【0056】

以上に説明したように、本実施例に係る電源回路は、大きさの異なるランドパターンを一行に並べている。これにより、実施例 1 の場合よりも、より広い周波数帯のノイズを除去することができる。

【実施例 3】

【0057】

次に、実施例 3 に係る電源回路について説明する。本実施例に係る電源回路は、電源線とランドパターンとで形成されるコンデンサを厚み方向に複数層にしたことが実施例 1 と異なるものである。

【0058】

図 11 は、実施例 3 に係る電源回路のランドパターン部分の拡大図である。図 11 では

10

20

30

40

50

、説明の都合上、実際の構成とともに回路構成が記載してある。

【0059】

図11に示すように、本実施例に係る電源線1には、ビアにより導電体の板状部材11及び板状部材12が直列に繋がっている。板状部材11及び板状部材12は、電源線1と平行に配置されている。さらに、電源線1、板状部材11及び板状部材12は、重なるように配置されている。

【0060】

また、本実施例に係るランドパターン2は、導電体である板状部材21及び22を有している。板状部材21及び22は、電源線1に平行に配置されている。さらに、板状部材21は、電源線1と板状部材11との間に、電源線1と板状部材11と重なり合うように配置されている。また、板状部材22は、板状部材11と板状部材12との間に、板状部材11と板状部材12と重なり合うように配置されている。また、ランドパターン2は、板状部材12と帯状領域41との間に、板状部材12と重なり合うように配置されている。

10

【0061】

電源線1と板状部材21によりコンデンサ111が形成される。板状部材21と板状部材11によりコンデンサ112が形成される。板状部材11と板状部材22によりコンデンサ113が形成される。板状部材22と板状部材12によりコンデンサ114が形成される。板状部材12とランドパターン2によりコンデンサ115が形成される。さらに、板状部材21と板状部材22を接続するビアによりインダクタ121が形成され、板状部材22とランドパターン2とを接続するビアによりインダクタ122が形成され、ランドパターン2と帯状領域41とを接続するビアによりインダクタ123が形成される。

20

【0062】

図12は、実施例3に係る電源回路の回路構成の概略を表す回路図である。コンデンサ111～115は、並列に並んでいる。そして、帯状領域41によるインダクタ103とインダクタ123とを加えたインダクタ成分が、コンデンサ115におけるインダクタ成分となる。また、帯状領域41によるインダクタ103とインダクタ122及び123とを加えたインダクタ成分が、コンデンサ113及び114におけるインダクタ成分となる。また、帯状領域41によるインダクタ103とインダクタ121～123とを加えたインダクタ成分が、コンデンサ111及び112におけるインダクタ成分となる。

30

【0063】

このように、電源線1並びにそれに繋がる板状部材11及び12とランドパターン2並びにそれに繋がる板状部材21及び22のように、電源線とランドパターンとの重なり合いを多層にすることで、同じ面積におけるコンデンサの容量を大きくすることができる。例えば、図11のように、板状の部材を6枚重ね合わせた場合には、5つのコンデンサが形成されることになり、同じ大きさのランドパターンを1枚配置した場合に比べて5倍のコンデンサの容量を確保することができる。

【0064】

以上に説明したように、本実施例に係る電源回路は電源線とランドパターンとの重なり合いを多層にしている。これにより、多層プリント基板を上から見た場合の同じ面積の領域により容量の大きいコンデンサを配置することができる。そのため、より電源回路をコンパクトにすることができる。

40

【実施例4】

【0065】

次に、実施例4に係る電源回路について説明する。本実施例に係る電源回路は、電源線とランドパターンとで形成されるコンデンサを、短手方向にも並べて配置したことが実施例1と異なるものである。

【0066】

図13は、実施例4に係る電源回路のランドパターン部分の拡大図である。図13では、説明の都合上、実際の構成とともに回路構成が記載してある。

50

【 0 0 6 7 】

本実施例に係る電源線 1 は、実施例 1 の電源線に比べて短手方向の長さが長い電源線である。そのため、電源線 1 の短手方向に、ランドパターン 2 を複数並べることができる。

【 0 0 6 8 】

グラウンド 4 の帯状領域 4 1 は、横に 3 つの帯状領域を並べ、横の帯状領域に重なるように縦に 3 つの帯状領域を並べて、4 つの四角形を有する形状にしたものである。ここで、本実施例では、横に並ぶ 3 つの帯状領域の中間の縦方向を接続するように帯状領域を渡しているが、各ランドパターン 2 におけるインダクタ成分によっては、この帯状領域は設けなくてもよい。

【 0 0 6 9 】

ランドパターン 2 は、本実施例では、電源線 1 の短手方向に 3 つ並び、電源線 1 の長手方向に 2 つ並んでいる。

【 0 0 7 0 】

そして、各ランドパターン 2 は、ビア 3 によって帯状領域 4 1 に接続されている。具体的には、帯状領域 4 1 の横方向の領域の 1 列ずつに 2 つのランドパターン 2 が配置されている。

【 0 0 7 1 】

この場合も、電源線 1 とランドパターン 2 によって、コンデンサ 1 0 1 が形成される。また、ビア 3 によってインダクタ 1 0 2 が形成される。さらに、帯状領域 4 1 によってインダクタ 1 0 3 が形成される。

【 0 0 7 2 】

本実施例においても、各ランドパターン 2 と電源線 1 が形成するコンデンサ 1 0 1 に対応するインダクタ成分はそれぞれ異なる。そのため、各ランドパターン 2 に対応するコンデンサ 1 0 1 によって除去されるノイズの周波数帯域は異なり、全体で広い周波数帯域のノイズを除去することができる。本実施例に係る電源回路は、各ランドパターン 2 に対応するインダクタ成分は異なるが、それ以外は、実施例 1 における電源回路と同等の回路構成となっている。

【 0 0 7 3 】

以上に説明したように、本実施例に係る電源回路は、短手方向及び長手方向にランドパターンを並べた構成である。これにより、長手方向の長さが短い場合でもランドパターンを並べることができる。

【 0 0 7 4 】

また、本実施例では、帯状の辺を有する四角が四つ組み合わせさせた帯状領域を形成したが、帯状領域の形はこれに限らない。帯状領域はインダクタ性の細い線になっていればどのような形状でもよい。また、ランドパターン 2 の配置方法も、短手方向及び長手方向に整列せずに不規則に並んでいてもよい。

【 0 0 7 5 】

さらに、ランドパターン 2 は、ランドパターン 2 と電源線 1 とで形成されるコンデンサにおいて適切な容量が確保できれば、どのような形状をしていてもよい。さらに、ランドパターン 2 が長方形の場合にも、電源線 1 と短手方向及び長手方向の方向が一致していなくても良い。

【 符号の説明 】

【 0 0 7 6 】

- 1 電源線
- 2 ランドパターン
- 3 ビア
- 4 グラウンド
- 5 多層プリント基板
- 6 , 7 IC
- 4 1 帯状領域

10

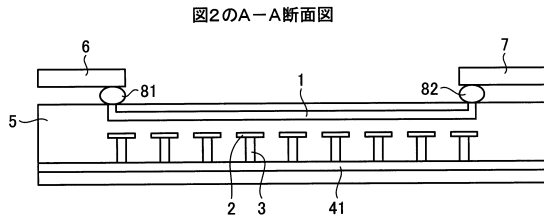
20

30

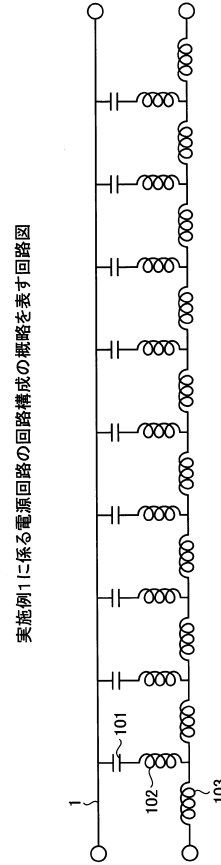
40

50

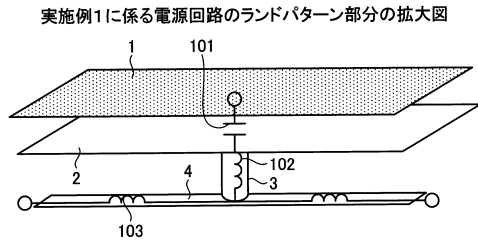
【図4】



【図6】

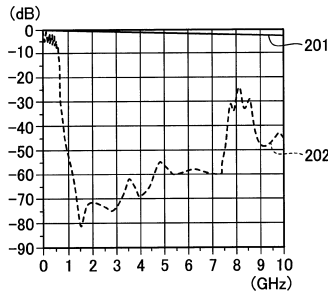


【図5】



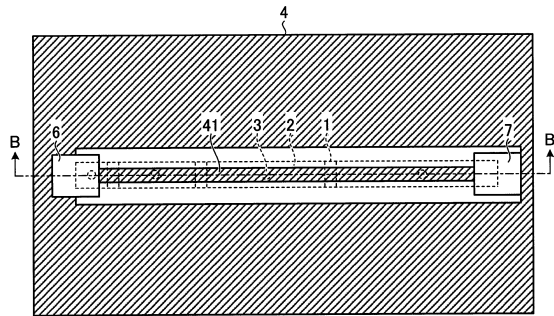
【図7】

実施例1に係る電源回路を用いた場合のノイズ除去の効果を説明するための図



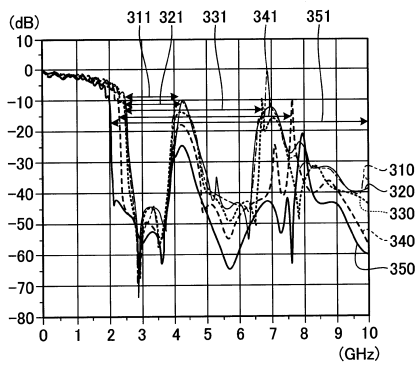
【図9】

実施例2に係る電源回路を説明するための平面図



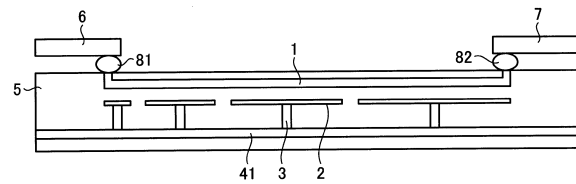
【図8】

帯状領域の幅を変化させた場合の除去できるノイズの周波数帯の変化を説明するための図



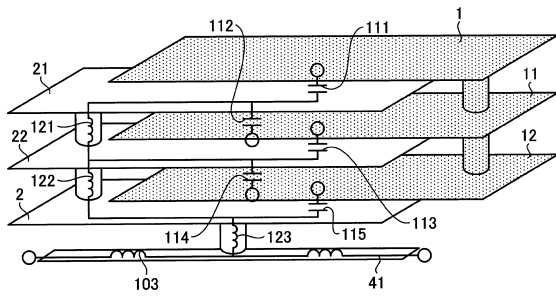
【図10】

図9のB-B断面図



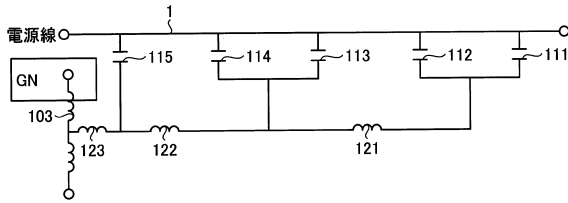
【図11】

実施例3に係る電源回路のランドパターン部分の拡大図



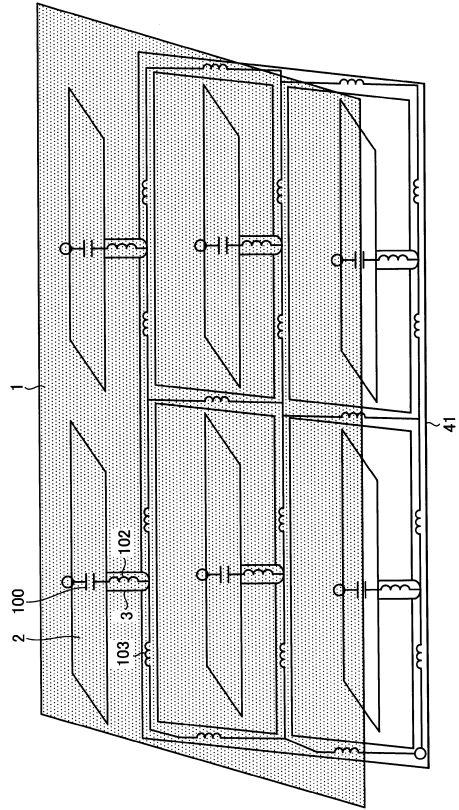
【図12】

実施例3に係る電源回路の回路構成の概略を表す回路図



【図13】

実施例4に係る電源回路のランドパターン部分の拡大図



フロントページの続き

- (56)参考文献 特開2009 - 88468 (JP, A)
特開2007 - 165857 (JP, A)
特開平11 - 261180 (JP, A)
特開2004 - 282691 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H05K 3/46
H05K 1/02