



(12) 发明专利

(10) 授权公告号 CN 1761184 B

(45) 授权公告日 2010.12.08

(21) 申请号 200510113063.9

CN 1038736 A, 1990.01.10, 全文.

(22) 申请日 2005.10.11

US 6307696 B1, 2001.10.23, 说明书第4列第61-65行、第6列第25行-第7列第27行、权利要求1、附图5-6.

(30) 优先权数据

10/961,201 2004.10.12 US

审查员 陈红英

(73) 专利权人 美国博通公司

地址 美国加州

(72) 发明人 蒂安·海威·特奥 戴维·森·波·霍

(74) 专利代理机构 深圳市顺天达专利商标代理有限公司 44217

代理人 蔡晓红

(51) Int. Cl.

H04L 7/033 (2006.01)

(56) 对比文件

US 6584163 B1, 2003.06.24, 说明书第6列第30行-第7列第34行、摘要、附图8.

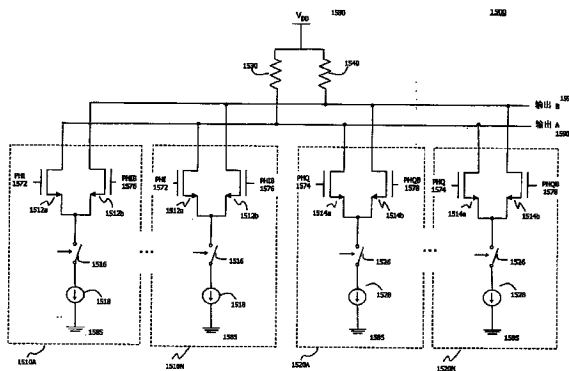
权利要求书 2 页 说明书 17 页 附图 16 页

(54) 发明名称

高速时钟和数据恢复系统

(57) 摘要

本发明涉及一种用来检测和解决亚稳定状态的时钟和数据恢复系统。该时钟和数据恢复系统包括带有逻辑电路的相位检测器,所述逻辑电路用于检测亚稳定状态并产生输出信号以减轻这种状态。该系统还可包括时变增益调节部分。该部分包括增益控制逻辑电路,该增益控制逻辑电路用于在接收输入数据流的过程中确定并调节系统增益。该系统还包括线性增强的相位插值器。该相位插值器包括多个第一分支电路,该第一分支电路包含有连接在第一输出和第一电源电压之间的差分晶体管对、开关以及电流源;多个第二分支电路,该第二分支电路包含有连接在第二输出和第一电源电压之间的差分晶体管对、开关以及电流源。该相位插值器还可包括积分器部分。



1. 一种时钟和数据恢复系统,包括:
  - 分组起点检测器,用于检测输入数据流的前同步码的起点;
  - 与分组起点检测器相连的增益控制逻辑模块,所述增益控制逻辑模块用于确定增益值;
  - 相位插值器,用于产生被恢复的时钟信号;
  - 与相位插值器相连的取样模块,该取样模块包括利用被恢复的时钟信号对数据流进行取样的逻辑电路;
  - 与取样模块相连的相位检测器,所述相位检测器产生相位调节信号;
  - 与相位检测器、增益控制逻辑模块和相位累加器相连的增益调节模块,所述增益调节模块将从增益控制逻辑模块接收到的增益值应用于相位调节信号;以及
  - 与增益调节模块和相位插值器相连的相位累加器;其特征在于,所述相位检测器包括:相位检测逻辑电路;以及解决亚稳定的逻辑电路,该逻辑电路用于确定是否出现亚稳定状态,并在出现亚稳定状态时产生用来减轻亚稳定状态的输出信号。
2. 根据权利要求1所述的时钟和数据恢复系统,其特征在于:所述增益值是根据流逝的时钟周期的数量而确定的。
3. 根据权利要求1所述的时钟和数据恢复系统,其特征在于:所述增益控制逻辑模块包括数据结构,所述数据结构中包括增益值。
4. 根据权利要求1所述的时钟和数据恢复系统,其特征在于:所述相位检测器还包括:
  - 包含相位调节信号值的数据结构,所述相位调节信号值取决于所接收的取样信号值,其中
    - 如果出现亚稳定状态,
    - 配置相位调节信号值,以促使时钟和数据恢复系统从亚稳定状态转移;以及
    - 如果没出现亚稳定状态,
    - 配置相位调节信号值,以表示所取样信号的相位差异。
5. 根据权利要求1所述的时钟和数据恢复系统,其特征在于:相位检测器与增益控制逻辑模块相连。
6. 根据权利要求1所述的时钟和数据恢复系统,其特征在于:所述相位插值器包括:
  - 多个第一分支电路,其中每个第一分支电路包括:
    - 在其栅极接收第一信号的第一晶体管,其中第一晶体管的漏极与第一输出相连;
    - 在其栅极接收第二信号的第二晶体管,其中第二晶体管的漏极与第二输出相连;
    - 与第一晶体管的源极和第二晶体管的源极相连的第一开关,以及与第一开关和第一电源电压相连的第一电流源;
  - 多个第二分支电路,其中每个第二分支电路包括:
    - 在其栅极接收第三信号的第三晶体管,其中第三晶体管的漏极与第一输出相连;
    - 在其栅极接收第四信号的第四晶体管,其中第四晶体管的漏极与第二输出相连;
    - 与第三晶体管的源极和第四晶体管的源极相连的第二开关,

与第二开关和第一电源电压相连的第二电流源；  
连接在第二电源电压与第一输出之间的第一电阻；以及  
连接在第二电源电压与第二输出之间的第二电阻。

7. 根据权利要求 6 所述的时钟和数据恢复系统,其特征在于:所述第一电阻和 / 或第二电阻是晶体管。

8. 根据权利要求 1 所述的时钟和数据恢复系统,其特征在于:所述相位插值器包括:电压积分器;

多个第一分支电路,其中每个第一分支电路包括:

在其栅极接收第一信号的第一晶体管,其中第一晶体管的漏极与第一输出相连;  
在其栅极接收第二信号的第二晶体管,其中第二晶体管的漏极与第二输出相连;  
与第一晶体管的源极和第二晶体管的源极相连的第一开关,以及  
与第一开关和第一电源电压相连的第一电流源;

多个第二分支电路,其中每个第二分支电路包括:

在其栅极接收第三信号的第三晶体管,其中第三晶体管的漏极与第一输出相连;  
在其栅极接收第四信号的第四晶体管,其中第四晶体管的漏极与第二输出相连;  
与第三晶体管的源极和第四晶体管的源极相连的第二开关,以及  
与第二开关和第一电源电压相连的第二电流源。

9. 一种在时钟和数据恢复系统中进行时变增益调节的方法,包括如下步骤:

(a) 检测与输入数据流相关的前同步码的起点;

(b) 将系统增益值设定为初始值;

(c) 在至少一个周期中,将系统增益值应用于相位调节信号;

(d) 确定系统增益值是否等于系统最终的增益值;

(e) 如果确定系统增益等于最终的增益,在剩下的周期中,将最终增益值应用于相位调节信号;以及

(f) 如果确定系统增益不等于最终增益,减小系统增益值;

其特征在于,所述方法还包括,在步骤 (c) 之前:

确定是否出现亚稳定状态;

如果出现亚稳定状态,

配置相位调节信号,以促使时钟和数据恢复系统从亚稳定状态转移;以及

如果没出现亚稳定状态,

配置相位调节信号,以表示所取样信号的相位差异。

10. 根据权利要求 9 所述的方法,其特征在于,还包括:

重复步骤 (c)、(d) 和 (f),直至系统增益等于最终增益。

## 高速时钟和数据恢复系统

### 技术领域

[0001] 本发明涉及通信设备,尤其涉及一种为高速通信链路恢复计时信息和数据的系统和方法。

### 背景技术

[0002] 在过去的十年里,处理器速度和存储器容量都有显著的增长。结果,对网络中设备之间高速传输大量数据的需求也增长了。能够有效地接收和发送高速数据的收发器是这些高速网络的关键组成部分。

[0003] 为了可靠地处理被接收的数据信号,接收器必须使其运作特征与被接收的数据信号的特征相匹配。例如,为了最小化数据恢复的错误,接收器不时产生时钟信号以取样被接收的数据信号,这样可使数据得到最佳恢复。为了实现这种最佳的数据恢复,接收器必须将取样时钟锁定在数据发送器的时钟上。接收器内的时钟和数据恢复(CDR)电路是一个典型的用来从被接收的数据信号中恢复发送时钟的电路。

[0004] 许多常规的模拟 CDR 电路使用模拟锁相环(PLL)进行频率和相位的捕获(acquisition)。模拟 PLL 电路通常包括串联在一起的相位检测器、回路滤波器、以及压控振荡器(VCO)。VCO 的输出(也就是被恢复的时钟)反馈到相位检测器的输入端,作为相位检测器的输入。相位检测器将输入数据信号的相位与被恢复的时钟的相位进行比较,并产生指示相位差异的输出信号。

[0005] 这些模拟 PLL 电路有几种局限。由于电路通常使用高阶回路,并有取决于信号跳变密度(transition density)的回路增益,模拟 PLL 电路容易受此影响而变得不稳定。而且,由于这些电路具有不受限制的频率捕获特征,该电路可能会错误地锁定数据信号的假状态谐波(spurious tones and harmonics)。为了解决这些问题,模拟 PLL 电路经常使用复杂的电路来协助进行频率捕获。

[0006] 其它常规的 CDR 电路使用模拟延时锁定回路(DLL)进行频率和相位的捕获。模拟 DLL 电路通常包括串联在一起的相位检测器(例如哈吉检测器)、回路滤波器、以及包括延时部件的模拟控制可变延时模块。该模拟控制的可变延时模块从本地频率源和回路滤波器处接收输入。然后延时模块产生输出信号(也就是被恢复的时钟),该输出信号反馈到相位检测器的输入端,作为相位检测器的输入信号。由于延时模块的性能随着生产过程、温度以及电源电压的变化而变化,这种类型的 DLL 很难为大批量生产而设计,因此应用范围有限。

[0007] 另外,允许在不同的回路带宽上进行相位捕获和跟踪的模拟实施方式比起上述的常规的模拟 CDR,其复杂性更高,并且仍然容易受到由生产过程、温度和电压变化的影响而引起性能的降低。

[0008] 许多常规的数字 CDR 电路采用数字 DLL,该数字 DLL 包括串联在一起的二进制相位检测器(也称为“bang-bang”型相位检测器)、相位累加器,以及相位调节部件。这些数字 CDR 电路通常用在数据有效载荷的同步或训练序列的前向传输很长且包括许多个周期的应用中。由于二进制相位检测器有较高的检测增益,必须采用足够小的回路带宽来防止所恢

复的时钟里较大的相位阶跃。在相位跟踪内,需要这种小回路带宽来拒绝或滤波高频的、周期至周期型的抖动。但是,小回路带宽也意味着相位捕获过程中响应时间较慢。在数据之前的同步序列因受限而较短的情况下,捕获过程中较慢的响应时间限制了这些 DLL 电路在这种情况下下的应用。

[0009] 上述常规 DLL 的相位调节部件一般使用分接式延迟线方式实施。电路总的延迟由多路复用器设定,该多路复用器选择延时输出中一个输出的作为被恢复的时钟。在这些实施方式中,由于不能反馈延时信号的相位,这种类型的 DLL 被限制在有限的频率和相位捕获范围内。每个部件中的延时随温度、生产过程变化、以及电源电压而变化,这个事实更加加剧了这种限制。因此,获得足够的相位和频率捕获的能力更加困难。而且,对于较长的分接式延迟线,由于信号通过多个延迟部件,抖动被累加。因此如果使用最后的几个分接式延迟线,会导致较高的自引入抖动。

[0010] 使用如上所述的那些常规数字或模拟 CDR 电路的另一个潜在限制是,可能发生被恢复时钟的相位在任何方向上都没有移动的状态(被称为“死状态”或者“亚稳定状态”)。当同步序列有抖动、任务时钟(duty clock)失真、时钟没有正确排列时,可发生死状态。在同步周期的数量较少、要求较快捕获或锁定响应的系统中,是不希望有这种影响的。

[0011] 因此,需要一种能够检测并快速减轻亚稳定状态的时钟和数据恢复系统。

[0012] 还需要一种能提供系统增益的时间变化调节的时钟和数据恢复系统。

## 发明内容

[0013] 根据本发明的一些方面,提供了一种可检测并快速减轻亚稳定状态的时钟和数据恢复系统。该时钟和数据恢复系统包括串联在一起的取样模块、相位检测器、增益调节模块、相位累加器以及相位插值器。相位插值器的输出反馈到取样模块的输入端。该相位检测器包括解决亚稳定的逻辑电路,该电路可被配置来确定何时出现亚稳定状态,并产生输出信号来快速减轻这种状况。

[0014] 根据本发明的其它方面,提供了一种具有时间变化增益调节的数据恢复系统。在这方面,时钟和数据恢复系统包括串联在系统输入和输出之间的取样模块、相位检测器、增益调节模块、相位累加器、以及相位插值器,以及连接在系统输入和增益调节模块之间的分组起点检测器和增益控制逻辑模块。分组起点检测器对与输入数据流有关的前同步码的起点进行检测。在本发明的一个特征中,系统增益值取决于流逝的时间周期的数量。

[0015] 根据本发明的又一方面,提供了一种具有改进的线性性能的相位插值器,所述相位插值器包括多个第一分支电路,每个第一分支电路均包括差分晶体管对、开关和电流源,它们连接在第一输出和第一电源电压之间;多个第二分支电路,每个第二分支电路均有差分晶体管对、开关和电流源,它们连接在第二输出和第一电源电压之间。该相位插值器还包括连接在第二电源电压与第一输出之间的第一电阻,以及连接在第二电源电压与第二输出之间的第二电阻。在另一个特征中,相位插值器包括连接到多个第一分支电路和多个第二分支电路的积分器部分。

[0016] 根据本发明的一方面,提供一种时钟和数据恢复系统,包括:

[0017] 分组起点检测器,用于检测输入数据流的前同步码的起点;

[0018] 与分组起点检测器相连的增益控制逻辑模块,所述增益控制逻辑模块用于确定增

益值；

[0019] 相位插值器,用于产生被恢复的时钟 (recovered clock) 信号；

[0020] 与相位插值器相连的取样模块,该取样模块包括利用被恢复的时钟信号对数据流进行取样的逻辑电路；

[0021] 与取样模块相连的相位检测器,所述相位检测器产生相位调节信号；

[0022] 与相位检测器、增益控制逻辑模块和相位累加器相连的增益调节模块,所述增益调节模块将从增益控制逻辑模块接收到的增益值应用于相位调节信号；以及

[0023] 与增益调节模块和相位插值器相连的相位累加器

[0024] 其中,所述相位检测器包括：

[0025] 相位检测逻辑电路；以及

[0026] 解决亚稳定的逻辑电路,所述逻辑电路用于确定是否出现亚稳定状态,并在出现亚稳定状态时产生用来减轻亚稳定状态的输出信号。

[0027] 优先地,所述增益值是根据流逝的时钟周期的数量而确定的。

[0028] 优选地,所述增益控制逻辑模块包括数据结构,所述数据结构中包括增益值。

[0029] 优选地,所述相位检测器还包括：

[0030] 包括相位调节信号值的数据结构,所述相位调节信号值取决于所接收的取样信号值；其中

[0031] 如果出现亚稳定状态,

[0032] 配置相位调节信号值,以促使时钟和数据恢复系统从亚稳定状态转移；以及

[0033] 如果没出现亚稳定状态,

[0034] 配置相位调节信号值,以表示所取样信号的相位差异。

[0035] 优选地,相位检测器与增益控制逻辑模块相连。

[0036] 优选地,相位检测器还用于产生增益控制信号,并将所述增益控制信号发送给增益控制逻辑模块。

[0037] 优选地,相位检测器被配置成当检测到亚稳定状态时,产生增益控制信号。

[0038] 优选地,所述相位插值器包括：

[0039] 多个第一分支电路,其中每个第一分支电路包括：

[0040] 在其栅极接收第一信号的第一晶体管,其中第一晶体管的漏极与第一输入相连；

[0041] 在其栅极接收第二信号的第二晶体管,其中第二晶体管的漏极与第二输入相连；

[0042] 与第一晶体管的源极和第二晶体管的源极相连的第一开关,以及与第一开关和第一电源电压相连的第一电流源；

[0043] 多个第二分支电路,其中每个第二分支电路包括：

[0044] 在其栅极接收第三信号的第三晶体管,其中第三晶体管的漏极与第一输入相连；

[0045] 在其栅极接收第四信号的第四晶体管,其中第四晶体管的漏极与第二输入相连；

[0046] 与第三晶体管的源极和第四晶体管的源极相连的第二开关,以及

[0047] 与第二开关和第一电源电压相连的第二电流源；

[0048] 连接在第二电源电压与第一输出之间的第一电阻；以及

[0049] 连接在第二电源电压与第二输出之间的第二电阻。

[0050] 优选地,所述第一电阻是晶体管。

- [0051] 优选地,所述第二电阻是晶体管。
- [0052] 优选地,所述第二信号是第一信号的补充 (complement)。
- [0053] 优选地,所述第三信号与第一信号的相位有偏移 (the third signal is offset inphase from the first signal)。
- [0054] 优选地,所述第四信号是第三信号的补充 (complement)。
- [0055] 优选地,所述相位插值器包括:
- [0056] 电压积分器;
- [0057] 多个第一分支电路,其中每个第一分支电路包括:
- [0058] 在其栅极接收第一信号的第一晶体管,其中第一晶体管的漏极与第一输入相连;
- [0059] 在其栅极接收第二信号的第二晶体管,其中第二晶体管的漏极与第二输入相连;
- [0060] 与第一晶体管的源极和第二晶体管的源极相连的第一开关,以及
- [0061] 与第一开关和第一电源电压相连的第一电流源;
- [0062] 多个第二分支电路,其中每个第二分支电路包括:
- [0063] 在其栅极接收第三信号的第三晶体管,其中第三晶体管的漏极与第一输入相连;
- [0064] 在其栅极接收第四信号的第四晶体管,其中第四晶体管的漏极与第二输入相连;
- [0065] 与第三晶体管的源极和第四晶体管的源极相连的第二开关,以及
- [0066] 与第二开关和第一电源电压相连的第二电流源。
- [0067] 优选地,所述电压积分包括:
- [0068] 第五晶体管,其中第五晶体管的源极与第二电源电压相连,第五晶体管的漏极与第一输出相连;
- [0069] 连接在第二电源电压与第一输出之间的第一电阻;
- [0070] 连接在第二电源电压与第一输出之间的第一电容器;
- [0071] 连接在第二电源电压与第二输出之间的第二电容器;
- [0072] 连接在第二电源电压与第二输出之间的第二电阻;以及
- [0073] 第六晶体管,其中第六晶体管的源极与第二电源电压相连,第六晶体管的漏极与第二输出相连,
- [0074] 其中第五晶体管的栅极和第六晶体管的栅极均与偏压相连。
- [0075] 优选地,所述第一电阻是晶体管。
- [0076] 优选地,所述第二电阻是晶体管。
- [0077] 优选地,所述第二信号是第一信号的补充 (complement)。
- [0078] 优选地,所述第三信号与第一信号的相位有偏移 (the third signal is offset inphase from the first signal)。
- [0079] 优选地,所述第四信号是第三信号的补充 (complement)。
- [0080] 根据本发明的另一方面,提供了一种在时钟和数据恢复系统中进行时变增益调节的方法,包括如下步骤:
- [0081] (a) 检测与输入数据流相关的前同步码的起点;
- [0082] (b) 将系统增益值设定为初始值;
- [0083] (c) 在至少一个周期中,将系统增益值应用于相位调节信号;
- [0084] (d) 确定系统增益值是否等于系统最终的增益值;

- [0085] (e) 如果确定系统增益等于最终的增益,在剩下的周期中,将最终增益值应用于相位调节信号;以及
- [0086] (f) 如果确定系统增益不等于最终增益,减小系统增益值;
- [0087] 其中,在步骤(c)之前:
- [0088] 确定是否出现亚稳定状态;
- [0089] 如果出现亚稳定状态,
- [0090] 配置相位调节信号,以促使时钟和数据恢复系统从亚稳定状态转移;以及
- [0091] 如果没出现亚稳定状态,
- [0092] 配置相位调节信号,以表示所取样信号的相位差异。
- [0093] 优选地,所述方法还包括:
- [0094] 重复步骤(c),(d)和(e),直至系统增益等于最终增益。
- [0095] 优选地,最初增益是时钟和数据恢复系统可接受的最大增益。
- [0096] 优选地,在步骤(f)中减少的增益值取决于流逝的时钟周期的数量。
- [0097] 优选地,步骤(f)包括:
- [0098] 访问数据结构,该数据结构取决于流逝的时钟周期;以及
- [0099] 重获系统的增益值。
- [0100] 优选地,确定是否发生出现亚稳定状态的步骤包括:
- [0101] 访问与取样信号的值相关的数据。
- [0102] 优选地,所述方法还包括:
- [0103] 如果出现亚稳定状态:
- [0104] 将系统的增益值设定为恢复值。
- [0105] 优选地,恢复值是时钟和数据恢复系统可以接受的最大增益。
- [0106] 根据本发明的又一方面,提供了一种相位插值器,包括:
- [0107] 多个第一分支电路,其中每个第一分支电路包括:
- [0108] 在其栅极接收第一信号的第一晶体管,其中第一晶体管的漏极与第一输出相连;
- [0109] 在其栅极接收第二信号的第二晶体管,其中第二晶体管的漏极与第二输出相连;
- [0110] 与第一晶体管的源极和第二晶体管的源极相连的第一开关,以及与第一开关和第一电源电压相连的第一电流源;
- [0111] 多个第二分支电路,其中每个第二分支电路包括:
- [0112] 在其栅极接收第三信号的第三晶体管,其中第三晶体管的漏极与第一输出相连;
- [0113] 在其栅极接收第四信号的第四晶体管,其中第四晶体管的漏极与第二输出相连;
- [0114] 与第三晶体管的源极和第四晶体管的源极相连的第二开关,
- [0115] 与第二开关和第一电源电压相连的第二电流源;
- [0116] 连接在第二电源电压与第一输出之间的第一电阻;以及
- [0117] 连接在第二电源电压与第二输出之间的第二电阻。
- [0118] 优选地,所述第一电阻是晶体管。
- [0119] 优选地,所述第二电阻是晶体管。
- [0120] 优选地,所述第一晶体管、第二晶体管、第三晶体管和第四晶体管是NMOS晶体管。
- [0121] 优选地,所述第二信号是第一信号的补充(complement)。



- [0122] 优选地,所述第三信号与第一信号的相位有偏移 (the third signal is offset inphase from the first signal)。
- [0123] 优选地,所述第四信号是第三信号的补充 (complement)。
- [0124] 根据本发明的再一方面,提供了一种相位插值器,包括:
- [0125] 电压积分器;
- [0126] 多个第一分支电路,其中每个第一分支电路包括:
- [0127] 在其栅极接收第一信号的第一晶体管,其中第一晶体管的漏极与第一输出相连;
- [0128] 在其栅极接收第二信号的第二晶体管,其中第二晶体管的漏极与第二输出相连;
- [0129] 与第一晶体管的源极和第二晶体管的源极相连的第一开关,以及与第一开关和第一电源电压相连的第一电流源;
- [0130] 多个第二分支电路,其中每个第二分支电路包括:
- [0131] 在其栅极接收第三信号的第三晶体管,其中第三晶体管的漏极与第一输出相连;
- [0132] 在其栅极接收第四信号的第四晶体管,其中第四晶体管的漏极与第二输出相连;
- [0133] 与第三晶体管的源极和第四晶体管的源极相连的第二开关,以及与第二开关和第一电源电压相连的第二电流源。
- [0134] 优选地,所述电压积分器包括:
- [0135] 第五晶体管,其中第五晶体管的源极与第二电源电压相连,第五晶体管的漏极与第一输出相连;
- [0136] 连接在第二电源电压与第一输出之间的第一电阻;
- [0137] 连接在第二电源电压与第一输出之间的第一电容器;
- [0138] 连接在第二电源电压与第二输出之间的第二电容器;
- [0139] 连接在第二电源电压与第二输出之间的第二电阻;以及
- [0140] 第六晶体管,其中第六晶体管的源极与第二电源电压相连,第六晶体管的漏极与第二输出相连,
- [0141] 其中第五晶体管的栅极和第六晶体管的栅极均与偏压相连。
- [0142] 优选地,所述第一晶体管、第二晶体管、第三晶体管和第四晶体管是NMOS晶体管。
- [0143] 优选地,所述第一电阻是晶体管。
- [0144] 优选地,所述第二电阻是晶体管。
- [0145] 优选地,所述电流源是加权的。
- [0146] 优选地,所述第二信号是第一信号的补充 (complement)。
- [0147] 优选地,所述第三信号与第一信号的相位有偏移 (the third signal is offset in phase from the first signal)。
- [0148] 优选地,所述第四信号是第三信号的补充 (complement)。
- [0149] 根据本发明的另一方面,提供了一种解决亚稳定的方法,包括:
- [0150] 确定是否出现亚稳定状态;
- [0151] 如果出现亚稳定状态,
- [0152] 产生相位调节信号,以促使时钟和数据恢复系统从亚稳定状态转移;以及
- [0153] 如果没出现亚稳定状态,
- [0154] 产生相位调节信号,以表示所取样信号的相位差异。

- [0155] 优选地,确定是否出现亚稳定状态的步骤包括:
- [0156] 访问与取样信号的值相关的数据。
- [0157] 优选地,所述方法还包括:
- [0158] 如果出现亚稳定状态:
- [0159] 将系统的增益值设定为恢复值;以及
- [0160] 在一个或多个周期中将系统增益应用于相位调节信号。
- [0161] 优选地,该方法还包括如下步骤:
- [0162] 确定系统增益值是否等于系统最终的增益值;
- [0163] 如果确定系统增益等于最终的增益,在剩下的周期中,将最终增益值应用于相位调节信号;以及
- [0164] 如果确定系统增益不等于最终增益,减小系统增益值。
- [0165] 根据本发明的一方面,提供一种系统,包括:
- [0166] 相位插值器,其中相位差值器包括:
- [0167] 多个第一分支电路,其中每个第一分支电路包括:
- [0168] 在其栅极接收第一信号的第一晶体管,其中第一晶体管的漏极与第一输出相连;
- [0169] 在其栅极接收第二信号的第二晶体管,其中第二晶体管的漏极与第二输出相连;
- [0170] 与第一晶体管的源极和第二晶体管的源极相连的第一开关, 以及
- [0171] 与第一开关和第一电源电压相连的第一电流源;
- [0172] 多个第二分支电路,其中每个第二分支电路包括:
- [0173] 在其栅极接收第三信号的第三晶体管,其中第三晶体管的漏极与第一输出相连;
- [0174] 在其栅极接收第四信号的第四晶体管,其中第四晶体管的漏极与第二输出相连;
- [0175] 与第三晶体管的源极和第四晶体管的源极相连的第二开关;
- [0176] 与第二开关和第一电源电压相连的第二电流源;
- [0177] 连接在第二电源电压与第一输出之间的第一电阻;以及
- [0178] 连接在第二电源电压与第二输出之间的第二电阻。
- [0179] 优选地,所述系统还包括:
- [0180] 与相位插值器相连的积分器。
- [0181] 优选地,所述积分器包括:
- [0182] 第一差分对电路,包括第一差分对晶体管和第二差分对晶体管,其中第一差分对晶体管的漏极与第一输出相连,第二差分对晶体管的漏极与第二输出相连;
- [0183] 第一电容和电阻反馈部分,其中该第一电容和电阻反馈部分包括:
- [0184] 与第一输入和第一差分晶体管的栅极相连的第一电阻器,其中所述第一输入接收第一电压,
- [0185] 与第一差分晶体管的栅极和漏极相连的第二电阻器,以及
- [0186] 与第一差分晶体管的栅极和漏极相连的第一电容器;
- [0187] 第二电容和电阻反馈部分,其中该第二电容和电阻反馈部分包括:
- [0188] 与第二输入和第二差分晶体管的栅极相连的第三电阻器,其中所述第二输入接收第二电压,
- [0189] 与第二差分晶体管的栅极和漏极相连的第四电阻器,以及

- [0190] 与第二差分晶体管的栅极和漏极相连的第二电容器；
- [0191] 与第一电源电压和第一差分晶体管的漏极相连的第五电阻；以及
- [0192] 与第一电源电压和第二差分晶体管的漏极相连的第六电阻；
- [0193] 与第一差分晶体管的源极、第二差分晶体管的源极、以及第二电源电压相连的电流源。
- [0194] 优选地，所述系统是时钟和数据恢复系统，
- [0195] 优选地，所述系统是频率合成电路。
- [0196] 优选地，所述系统是 IQ 调制器。
- [0197] 通过以下对本发明的详细描述，本发明的这些和其它目的、优点和特征将会变得更加明显。

### 附图说明

- [0198] 附图合并在此并构成说明书的一部分，阐释了本发明，并与说明书一起进一步解释了本发明的原理，使熟悉相关技术的人员能够实施并使用本发明。
- [0199] 图 1 是根据本发明的实施例、使用数字延时锁定回路 (DLL) 的高速时钟和数据恢复 (CDR) 系统的方框图。
- [0200] 图 2A 和 2B 是输入波形典型取样点的示意图。
- [0201] 图 3 是增益值的典型图表，该增益值是由增益控制逻辑模块产生的时钟周期的函数。
- [0202] 图 4 是由增益调节模块产生的 6 位输出信号值的典型图表。
- [0203] 图 5 是根据本发明的实施例、典型的相位累加器的示意图。
- [0204] 图 6 示出了相位插值器的输入信号和输出信号的示意图，该相位插值器使用两个相互正交的输入时钟相位。
- [0205] 图 7 描述了根据本发明实施例的相位插值器。
- [0206] 图 8A 是根据本发明的实施例、典型的取样模块的方框图。
- [0207] 图 8B 是根据本发明的实施例、取样间隔的方框图。
- [0208] 图 9A, 9B 和 9C 示出了三种典型的亚稳定状态的示意图。
- [0209] 图 10A 是根据本发明的实施例、具有亚稳定状态解决方案的相位检测器的示意图。
- [0210] 图 10B 是根据本发明的实施例、典型的数据结构示意图。
- [0211] 图 11 是在 CDR 系统中，时变增益调节方法的流程图。
- [0212] 图 12 是根据本发明的实施例、在 CDR 系统中解决亚稳定的方法的流程图。
- [0213] 图 13A 是根据本发明的实施例、具有增强的亚稳定状态解决方案的高速 CDR 系统的方框图。
- [0214] 图 13B 是根据本发明的实施例、典型的数据结构的示意图。
- [0215] 图 14 是根据本发明的实施例、CDR 系统中增强的亚稳定解决方案的方法流程图。
- [0216] 图 15 是根据本发明的实施例、改进了线性性能的相位插值器的示意图。
- [0217] 图 16 是由不带积分的相位插值器和带积分的相位插值器产生的典型波形的示意图。

[0218] 图 17 是根据本发明的实施例、带有积分器的相位插值器的示意图。

[0219] 图 18 是根据本发明的第二实施例、典型的带有积分器的相位插值器的示意图。

[0220] 以下将参照附图对本发明进行描述。附图中,相同的附图标记表示相同的或功能类似的部件。另外,附图标记最左边的数字表示第一次出现该附图标记的附图的编号。

## 具体实施方式

[0221] I. 高速、快速捕获和低抖动跟踪的 CDR 系统

[0222] A. 系统结构

[0223] 图 1 是根据本发明的实施例、使用一阶数字延时锁定回路 (DLL) 的高速时钟和数据恢复 (CDR) 系统 100 的方框图。CDR 系统 100 提供了时变增益调节,允许在捕获阶段有高的回路增益,以快速锁定相位;允许在跟踪模式中有小的回路增益,以较好地防止抖动。CDR 系统 100 包括串联在 CDR 系统输入 104 和输出 190 之间的取样模块 110、相位检测器 120、增益调节模块 130、相位累加器 140 以及相位插值器 150。CDR 系统 100 还可包括连接在 CDR 系统输入 104 和增益调节模块 130 之间的可选的分组起点检测器 170 和可选的增益控制逻辑模块 180。

[0224] 在系统 100 中,取样模块 110 接收输入数据信号 102 和由相位插值器 150 产生的被恢复的时钟信号 198。取样模块 110 的配置使其能够使用被恢复的时钟信号 198 在一个或多个点及时对输入数据流 102 进行取样。取样模块 110 的配置还可使其产生一个或多个输出信号 119A-119N,每个取样点一个输出信号,并将被取样的数据信号传送给相位检测器 120。

[0225] 相位检测器 120 从取样模块 110 接收被取样的数据信号 (例如,119A 至 N)。相位检测器 120 被配置成可检测接收到的取样信号 119A-N 与被恢复的时钟信号 198 之间的相位差异。相位检测器 120 还被配置成可产生输出信号 129。输出信号 129 控制 DLL 的取样速度 (例如促使系统加快取样或减慢取样)。在一个实施例中,输出信号 129 能够传送符号和幅值信息。例如,输出信号 129 可以是 2 位二进制数字,有一位符号分量和一位幅值分量。选择性地,输出信号 129 可以是单个的表示符号和幅值两者的位流。

[0226] 图 2A 和 2B 是相位检测器 120 可遇到的典型的取样方案示意图。图 2A 是取样模块 110 的取样点 ( $T_A$ ,  $T_B$  和  $T_C$ ) 领先于输入波形的方案的示意图。在这种方案中,每个取样时间前于 (也就是领先于) 最佳的取样时间。信号的最佳取样点通常位于每个数据位的中央。在实施例中,被恢复的时钟 298A 的上升沿用来取样输入数据 202A,以产生被恢复的数据流。如图 2A 所示,取样信号 298A 的相位领先于输入数据信号 202A 的相位。响应接收取样点指示的这个领先方案,相位检测器 120 产生一个控制信号,使取样信号 298A 相对于输入数据信号 202A 有一个延迟。在这个例子中,相位检测器 120 产生有符号和幅值的输出信号 129,促使回路减慢取样 (例如,输出 = 00)。

[0227] 图 2B 示出了取样模块 110 的取样点落后于输入数据信号 202B 的情形。在这个例子中,相位检测器 120 产生有符号和幅值的输出信号 129,促使回路加速取样 (例如,输出 = 11)。

[0228] 回到图 1, CDR 系统 100 还包括可选的分组起点检测器 170 和可选的增益控制逻辑模块 180,它们连接在输入 104 和增益调节模块 130 之间,允许时变增益调节。当出现时

(when present), 分组起点检测器 170 接收输入数据信号 102。分组起点检测器 170 被配置成可检测何时已开始接收输入数据信号 102 的前同步码, 并将检测结果传送给增益控制逻辑模块 180。因此, 在一开始接收前同步码, 即可得到分组起点检测器 170 的输出。

[0229] 虽然图 1 将分组起点检测器 170 和增益控制逻辑模块 180 作为两个单独的部件件示出, 本领域的普通技术人员将会意识到, 分组起点检测器 170 和增益控制逻辑模块 180 可以其它的配置方式实施, 如在同一个逻辑模块中实施。

[0230] 增益控制逻辑模块 180 包括逻辑和 / 或电路, 以确定增益调节模块 130 使用的合适增益值。该确定取决于流逝的时钟周期的数量和 / 或从系统 100 的其他部件中接收的信息。增益控制逻辑模块 180 将被确定的增益值传送给增益调节模块 130。

[0231] 在实施例中, 增益控制逻辑模块 180 包括用于存储预计算增益值的数据结构。图 3 示出了包括预计算的增益值的典型数据结构 382, 该预计算的增益值取决于流逝的时钟周期。如表 382 中可以看到, 在每个时钟周期后, 增益值被减半, 直至达到增益值为 1。在剩下的时钟周期中, 增益值保持为 1。如本领域的普通技术人员将会理解的, 计算增益值的其它方法也可以用来实现 (populate) 数据结构 382。

[0232] 增益调节模块 130 被配置成可根据增益值和从相位检测器 120 接收的信号来调节系统 100 的总增益。在一实施例中, 增益值可从增益控制逻辑模块 180 中接收。在另一实施例中, 增益值在本地存储或计算。增益调节模块 130 产生具有一位或多位的 (例如 b 位) 输出信号 139, 并将该信号传送给相位累加器 140。图 4 示出了取决于各种增益值的 6 位输出信号 139 的值的典型图表 432。在表 432 中, s 表示该位使用了信号 129 的符号分量值, z 表示该位使用了信号 129 的幅值分量值。

[0233] 相位累加器 140 与增益调节模块 130 和相位插值器 150 相连。相位累加器 140 用作数字积分器。累加器最重要的 p 输出位在信号 149 中被传送给相位插值器, 以调节被恢复的时钟的相位。图 5 是典型的相位累加器 540 的示意图。相位累加器 540 包括与累加器 544 相连的加法器电路 541。加法器电路 541 接收增益调节模块 130 的输出信号 139, 并接收累加器 544 的输出信号 549。本领域的技术人员将会理解, 本发明的相位累加器 140 还可使用其它方式实施。

[0234] 相位插值器 150 与相位累加器 140、取样模块 110、以及系统输出 190 相连。相位插值器 150 被配置成可接收时钟信号 192 和接收相位累加器 140 的输出信号 149。使用这些输入, 相位插值器 150 产生信号 198 (也就是取样时钟信号或被恢复的时钟信号) 并将该信号传送给取样模块 110。

[0235] 通常, 相位插值器接收在相位上间隔相等的时钟信号, 并产生输出时钟, 输出时钟的相位是输入时钟相位的线性插值。插值相位是数字输入字和时钟信号 192 的输入相位的函数, 其中数字输入字是, 例如, 来自相位累加器 140 的信号 149, 它可以是电压或电流。图 6 是相位插值器的输入信号 652、654 和输出信号 656 的示意图, 该相位插值器使用两个相位正交的输入时钟相位。该相位插值器产生输出时钟信号 656, 在该时钟信号 656 中, 相位有由数字输入字确定的一定数量的离散相位阶跃 (phase steps)。

[0236] 在本发明的一个实施例中, 相位插值器 150 是常规的相位插值器。图 7 示出了典型的常规相位插值器 750。相位插值器 750 包括两个差分电路 752 和 754, 每个差分电路均接收相位正交的两个时钟信号。电流源 775a 和 775b 与差分电路 752 相连。电流源 775a

和 759b 与差分电路 754 相连。该电流源用来为每个电路设定理想的电流比。例如,差分电路对 I 752 接收总电流的一部分,差分电路对 Q 754 接收总电流的剩余部分。可通过设定开关 754a、754b、758a 和 758b 的位置(例如通过控制信号)来控制电流比。电流比用来设定与输入时钟信号有关的输出时钟相位。

[0237] 例如,如果差分电路对 I 752 接收全部电流量(例如,开关 754a 和开关 754b 闭合),差分电路对 Q 754 没有电流(例如,开关 758a 和 758b 断开),那么输出相位将会与输入时钟相位 I 对齐(aligned with 同相)。如果两个差分电路对接收的电流量相同(也就是总量的一半),那么输出时钟相位将会在两个时钟相位的中间。

#### [0238] 1. 取样模块

[0239] 图 8A 是根据本发明实施例的典型的取样模块 810 的方框图。取样模块 810 包括三个 D 型触发器 (DFF) 812、814 和 816。DFF 812 和 DFF 816 分别在时钟输入端 812a 和 816a 接收由相位插值器 150 产生的被恢复的时钟信号 198。DFF 814 在其时钟输入端 814a 接收反向的被恢复的时钟信号。DFF812 和 DFF814 也在其第二输入端 812b 和 814b 接收输入数据信号 102。DFF816 在其第二输入端 816b 接收 DFF812 的输出。

[0240] 如图 8B 所示,DFF 在三个点  $T_A$ 、 $T_B$  和  $T_C$  处取样输入数据信号 102。DFF812 的输出信号 819A 应用于相位检测器 120 的第一输入和 DFF816 的第二输入,DFF814 的输出信号 819B 应用于相位检测器 120 的第二输入,DFF816 的输出信号 819C 应用于相位检测器 120 的第三输入。虽然图 8A 所示的取样模块 110 包括三个 D 型触发器,本领域的技术人员将会意识到,在本发明中可以采用其它方式实施取样模块 110。

#### [0241] 2. 带有亚稳定状态解决方法的相位检测器

[0242] 在本发明的实施例中,相位检测器 120 是常规的相位检测器,包括相位检测逻辑和 / 或电路。但是,如上所述,常规的相位检测器检测和减轻死状态或亚稳定状态的能力有限。图 9A-9C 示出了三种典型的亚稳定状态的情况。图 9A 示出了取样点与输入波形 902 相对对齐 (oppositely aligned with) 的亚稳定状态。在图 9B 和 9C 中,输入波形 902 的占空因数不是百分之五十。在这些情况下,亚稳定状态发生的可能性很高。在亚稳定状态下,输出信号不会促使 DLL 加速或减慢取样。相位检测器的不作为导致回路停留在亚稳定状态。结果,DLL 不能调节被恢复的时钟以实现输入数据信号的最佳取样。

[0243] 在一般应用中,接收器 CDR 时钟源的频率与输入数据信号的频率之间存在频率漂移。因此,在数据之前有长同步脉冲的应用中,亚稳定状态不是问题,因为 DLL 有足够的时间使频率漂移从亚稳定状态转移。但是,在前同步码(或同步脉冲)较短的应用中,DLL 不能依靠频率漂移来解决亚稳定状态。在这些应用中,要求更快速的解决亚稳定状态的方法。

[0244] 在本发明的实施例中,相位检测器 120 包括解决亚稳定的逻辑电路。图 10A 示出了带有亚稳定解决方案的相位检测器 1020。相位检测器 1020 包括相位检测逻辑电路 1022 和解决亚稳定的逻辑电路 1024。解决亚稳定的逻辑电路被配置成可确定何时出现亚稳定状态,并产生输入信号 1029 来减轻这种状态。当没有检测到亚稳定状态时,输出信号 1029 根据所检测到的相位差异来调节 DLL 的取样。当检测到亚稳定状态时,输出信号 1029 在特定的方向强迫 DLL,促使 DLL 在尽可能短的时间内从亚稳定状态转移。

[0245] 在本发明的实施例中,相位检测器 1020 包括可选择的数据结构 1026。解决亚稳定的逻辑电路 1024 被配置成可存取数据结构以确定是否出现亚稳定状态,并根据所接收的

输入信号确定合适的输出信号。在实施例中,根据相位检测器所接收的输入信号值识别亚稳定状态。当然,其它的方法也可以用来识别亚稳定状态。

[0246] 图 10B 示出了根据本发明实施例的典型的数据结构 1026B。在图 10B 所示的典型的数据结构 1026B 中,可选择的数据结构 1026 包括数据组 (entries) 1021a-1021h, 这些数据组代表输入信号 1019A 至 1019N 的组合。每个数据组 1021a-1021h 包括带有符号分量字段 1023 和幅值分量字段 1025 的输出信号字段。虽然图 10B 所示出的符号和幅值分量都只有预定的一位值,但是本领域的普通技术人员将会意识到,在本发明中可使用其它格式和数值的符号和幅值分量。

[0247] 例如,在图 10B 中,数据组 1021c 和 1021f 分别表示图 9B 和 9C 中所示的亚稳定状态(被取样的输入信号值等于 010 和 101)。在这两种情况下,不带有亚稳定状态检测和解决方案逻辑电路的二进制相位检测器都将产生符号分量等于 0、幅值分量等于 0 的输出信号。结果, DLL 对调节被恢复的时钟信号不起作用。但是,如图 10B 所示,带有解决亚稳定的逻辑电路的相位检测器在每种情况下,产生符号分量的值等于 1,幅值分量的值也等于 1。因此,相位检测器强迫 DLL 从亚稳定状态转移。

[0248] B. 方法

[0249] 1. 时变增益调节的方法

[0250] 图 11 是 CDR 系统中时变增益调节方法 1100 的流程图。参照图 1 中所示的典型 CDR 系统 100 来描述方法 1100。但是,方法 1100 不限于此实施例。要注意的是,方法 1100 中的一些步骤不是必须按图中所示的顺序执行。

[0251] 当检测到前同步码的起点时,方法 1100 开始步骤 1110。在实施例中,前同步码的起点被分组起点检测器 170 检测到。

[0252] 在步骤 1120 中,回路的增益值设定为初始值。在实施例中,初始值是 CDR 系统可接受的最大增益值。如本领域的技术人员将会理解的,也可使用其它的初始值。

[0253] 在步骤 1130 中,将在步骤 1120 或步骤 1160 中确定的系统增益值在一个或多个周期中应用于相位检测器产生的相位调节信号。

[0254] 在步骤 1140 中,确定系统增益值是否等于系统的最终增益值。最终增益值是将应用于剩余的周期中的最小(或最终)增益。如果系统增益等于最终增益,操作继续至步骤 1150。如果系统增益不等于最终增益,操作继续至步骤 1160。

[0255] 在步骤 1150 中,在剩余的周期中,将最终增益值应用于相位检测器产生的相位调节信号中。

[0256] 在步骤 1160 中,减小系统增益值。在实施例中,通过访问数据结构来确定减小的增益值,该数据结构存有预计算的增益值。例如,可访问在图 3 中所示的典型数据结构 382。在另一个实施例中,可实时计算增益值。如本领域的技术人员将会理解的,使用可获得的信息确定增益值的其它方法也可用在本发明中。然后,操作回到步骤 1130。

[0257] 重复步骤 1130、1140 和 1160 直至系统增益值等于最终增益。

[0258] 将上述时变增益调节结合于 CDR 系统 100 中能够在同步相位中进行快速捕获,以及实际数据接收阶段中取得低抖动性能。例如,在数据分组传输的起点,同步脉冲序列是可利用的。通过应用最大增益值,回路在尽可能快的时间内与输入数据分组跳变对齐 (align to)。随着同步阶段中的时间流逝,增益逐渐降低。因此,至实际数据的有效载荷被接收时,

回路增益减小至足够小的值,被恢复的时钟与输入数据信号对齐。这种对齐代表了具有最小误码的最佳取样点。

[0259] 2. 解决亚稳定状态的方法

[0260] 图 12 是根据本发明的实施例在 CDR 系统中解决亚稳定状态的方法 1200 的流程图。方法 1200 将参照图 10A 中所示的典型相位检测器 1020 和图 1 中所示的典型 CDR 系统 100 进行描述。但是,方法 1200 并不限于这些实施例。要注意的是,方法 1200 中的一些步骤不是必须按图中所示的顺序执行。

[0261] 当相位检测器 120 从取样模块 110 接收被取样的数据信号时,方法 1200 开始步骤 1210。

[0262] 在步骤 1220 中,确定在 CDR 系统中是否出现亚稳定状态。在实施例中,通过访问与被接收的取样数据信号相关的数据来检测亚稳定状态。例如,数据可存储在数据结构中,如上面参照图 10B 所描述的。如果检测到亚稳定状态,操作继续至步骤 1240。如果没有检测到亚稳定状态,操作继续至步骤 1230。

[0263] 在步骤 1230 中,相位检测器根据检测到的相位差异产生信号,并将该信号传送给增益调节模块 130。然后操作继续至步骤 1250。

[0264] 在步骤 1240 中,确定输出信号值以强迫 CDR 在尽可能最短的时间内从亚稳定状态转移,并产生修改后的输出信号。在实施例中,通过访问与被接收的取样数据信号值相关的数据来确定输出值。例如,数据可存储在数据结构中,如参照图 10B 所描述的。

[0265] 在步骤 1250 中,相位检测器将修改后的输出信号传送给增益调节模块 130。

[0266] II. 具有增强亚稳定解决方案的快速捕获和低抖动跟踪的 CDR 系统

[0267] 图 13A 示出了根据本发明实施例的具有增强的亚稳定解决方案的系统 1300。系统 1300 包括与取样模块 1310、增益调节模块 1330、以及增益控制逻辑电路 1380 连接的相位检测器 1320。取样模块 1310、增益调节模块 1330、以及增益控制逻辑电路 1380 如上面参照图 1 所描述。相位检测器 1320 包括相位检测逻辑电路 1322、增强的亚稳定逻辑电路 1324,以及可选的数据结构 1326。解决亚稳定的逻辑电路 1324 被配置成可确定何时出现亚稳定状态并产生两个输出信号 1327 和 1329。输出信号 1329 被传送给增益调节模块 1330。输出信号 1329 根据检测到的相位差异来调节系统 1300 的取样相位输出。当亚稳定状态发生时,输出信号 1329 强制在特定的方向取样 (output signal 1329 forces sampling in a specific direction)。

[0268] 输出信号 1327 被传送给增益控制逻辑电路 1380。当检测到亚稳定状态时,输出信号 1327 将系统 1300 的增益值重新设置为恢复值。在实施例中,该恢复值是 CDR 系统可接受的最大增益值。通过将该值设定为最大增益,在从亚稳定状态转移的过程中,系统 1300 可获得可能的最大相位阶跃 (phase step)。在本发明的实施例中,仅在遇到亚稳定状态时,才发送输出信号 1327。在选择性的实施例中,一直都发送输出信号 1327。当没有遇到亚稳定状态时,输出信号 1327 中包括有指示增益控制逻辑模块 1380 无需动作的信息值。

[0269] 在本发明的实施例中,相位检测器 1320 还包括可选择的数据结构 1326。解决亚稳定的逻辑电路 1324 访问该数据结构,以确定是否出现亚稳定状态,并根据接收到的输入信号确定将要产生的合适的输出信号 1327 和 1329。图 13B 示出了根据本发明实施例的典型的数据结构 1326B。在图 13B 描述的典型的数据结构 1326B 中,可选择的数据结构 1326B



包括输入信号 1319A 至 1319N 所有可能的组合的数据组。每个数据组 1321a-1321h 包括可选择的信号字段,该信号字段带有输出信号 1329 使用的符号分量字段 1323 和幅值分量字段 1325,以及输出信号 1327 使用的数字值。虽然图 13B 所示的符号和幅值分量以及输出信号 1327 的值都只有预定的一位值,但是本领域的普通人技术人员将会意识到,在本发明中可使用其它格式和数值的符号和幅值分量。

[0270] 例如,在图 13B 中,数据组 1321c 和 1321f 分别表示图 9B 和 9C 中所示的亚稳定状态(被取样的输入信号值等于 010 和 101)。如图 13B 所示,具有增强的解决亚稳定的逻辑电路的相位检测器在每种情况下,产生的符号分量的值等于 1,幅值分量的值等于 1,输出信号 1327 的值等于 1。因此,相位检测器 1320 命令增益控制逻辑模块 1380 将系统 1300 的增益重新设置为系统增益的最大值。

[0271] 图 14 是根据本发明实施例的 CDR 系统中增强的亚稳定解决方案的方法 1400 流程图。方法 1400 将参照图 13A 中所示的典型 CDR 系统 1300 进行描述。但是,方法 1400 并不限于这些实施例。要注意的是,方法 1400 中的一些步骤不是必须按图中所示的顺序执行。

[0272] 当相位检测器 1320 从取样模块 110 接收被取样的数据信号时,方法 1400 从步骤 1410 处开始。

[0273] 在步骤 1420 中,确定 CDR 系统中是否出现亚稳定状态。在实施例中,通过访问与接收到的被取样数据信号值相关的数据来检测亚稳定状态。例如,该数据可存储在数据结构中,如以上参照图 13B 所描述的。如果检测到亚稳定状态,操作继续至步骤 1440。如果没有检测到亚稳定状态,操作继续至步骤 1430。

[0274] 在步骤 1430 中,相位检测器根据检测到的相位差异产生信号,并将该信号传送给增益调节模块 1330。

[0275] 在步骤 1440 中,相位检测器确定输出信号值以强迫 CDR 在尽可能最短的时间内从亚稳定状态转移,并产生修改后的输出信号。在这个步骤中,相位检测器还要设定增益调节信号 1327 的值。增益调节信号 1327 重新设置系统的增益以获得希望的转变时间。例如,增益调节信号 1327 可指示系统增益应该被重新设置为可接受的最大值,以便在从亚稳定状态转移的过程中获得最大的相位阶跃。

[0276] 在步骤 1450 中,相位检测器将修改后的输出信号传送给增益调节模块 1330,将增益调节信号 1327 传送给增益控制逻辑电路 1380。在一实施例中,仅当检测到亚稳定状态时才发送增益调节信号 1327。在另一实施例中,一直发送增益调节信号 1327。

[0277] II. 增强线性的相位插值器

[0278] 如图 7 中所示的常规的相位插值器,有几种限制。例如至源电压的输入晶体管 757a、757b、753a 和 753b 的栅极(gate)受到流经晶体管的电流量的影响。反过来,电流量取决于开关 754a、754b、758a 和 758b 是关断还是闭合。由于电流源由将被插值的相位量和晶体管的性能所决定,因而最终的相位不是线性插值。

[0279] 另外,常规的相位插值器典型地包括两个差分放大器,每个放大器包括一个差分晶体管对。由于相邻的差分晶体管对中电流每四分之一时钟周期开始向内或向外切换,相位插值器产生输出信号,该输出信号因从高至低或从低至高转换而具有相差巨大的斜率(slopes)。这将导致相位以不同的阶跃(unequal steps)插值。

[0280] 目前一种用来改善相位插值器的相位阶跃线性的技术是将相位偏移较小的时钟

源的高阶数字 (higher number) 用作插值器的输入。这种技术是有问题的, 因为相位偏移固定的时钟源的数字很难产生, 且经常只取决于使用了多少级的压控振荡器。

[0281] 另外一种技术是在源信号输入相位插值器之前, 减小输入时钟源的斜率 (slope)。这在相邻的时钟输入跳变之间产生了更多的时间迭代, 并在输出中产生了更多的线性相位阶跃。这个技术的缺点是, 斜率的减小使输入差分对开启时间对设备的随机偏移变得更加敏感。例如, 由设备偏移引起差分对级的随机延迟与输入信号的电压斜率成反比。这种与其它差分对相关的延时改变引起插值相位错误, 并使相位线性退化。

[0282] A. 带有改进的线性结构的相位插值器

[0283] 图 15 示出根据本发明的实施例、改进了线性的相位插值器 1500。相位插值器 1500 可用作 CDR 系统 100 中的相位插值器 150。虽然相位插值器 1500 是在讨论 CDR 系统的内容中描述的, 但是相位插值器 1500 也可用在较广范围的其它设备中, 包括频率合成电路, 如整数  $-N$  PLL 和分数  $-N$  PLL 电路, 以及基于载波和无线通信的 IQ 调制器 / 解调器。

[0284] 相位插值器 1500 有多个第一分支电路 1510A 至 1510N, 多个第二分支电路 1520A 至 1520N, 第一电阻 1530, 以及第二电阻 1540。每个第一分支电路 1510A-N 包括差分晶体管对 1512、开关 1516 以及电流源 1518。差分晶体管对 1512 包括第一晶体管 1512a 和第二晶体管 1512b。第一晶体管 1512a 的栅极 (gate) 与输入 PHI 1572 相连, 以接收差分输入信号的一个分量。第一晶体管 1512a 的漏极 (drain) 与输出 A 1590 和电阻 1530 相连。第二晶体管 1512b 的栅极与输入 PHIB 1576 相连, 以接收差分输入信号的第二个分量。第二晶体管 1512b 的漏极与输出 B 1595 和电阻 1540 相连。第一晶体管 1512a 的源极 (source) 和第二晶体管 1512b 的源极与开关 1516 相连。电流源 1518 连接在开关 1516 与接地 1585 之间。

[0285] 每个第二分支电路 1520A-N 包括差分晶体管对 1514, 开关 1526 以及电流源 1528。差分晶体管对 1514 包括第一晶体管 1514a 和第二晶体管 1514b。第一晶体管 1514a 的栅极与输入 PHQ 1574 相连, 以接收差分输入信号的一个分量。第一晶体管 1514a 的漏极与输出 A 1590 和电阻 1530 相连。第二晶体管 1514b 的栅极与输入 PHQB 1578 相连, 以接收差分输入信号的第二个分量。第一晶体管 1514b 的漏极与输出 B 1595 和电阻 1540 相连。第一晶体管 1514a 的源极和第二晶体管 1514b 的源极与开关 1516 相连。电流源 1528 连接在开关 1526 与接地 1585 之间。

[0286] 在实施例中, 晶体管 1512a、1512b、1514a 和 1514b 都是 NMOS 晶体管。

[0287] 电阻 1530 连接在电源电压 1580 ( $V_{DD}$ ) 和每个第一分支电路 1510A-N 的第一晶体管 1512a 的漏极、每个第二分支电路 1520A-N 中第一晶体管 1514a 的漏极以及输出 A 1590 之间。电阻 1540 连接在每个第一分支电路 1510A-N 的第二晶体管 1512b 的漏极、每个第二分支电路 1520A-N 中第二晶体管 1514b 的漏极以及输出 B 1595 之间。

[0288] 每个分支电路 1510A-N 和 1520A-N 都有同样的电流源 1518、1528 和开关 1516、1526。当每个分支电路的开关开启 (也就是闭合), 输入晶体管的电压特性几乎相同, 因为相同的电流流过晶体管。由于每个都贡献了一单位的电流, 每个开启的差分对为最终相位贡献了近似相等的阶跃改变。

[0289] B. 带有积分器的相位插值器

[0290] 通过在相位插值器的输出端加上理想积分器, 可减小由于波形变化而引起的不理

想。图 16 示出了不带积分的相位插值器和带积分的相位插值器产生的典型波形。图 16 中的前 2 个波形,输入相位 1 波形 1610 和输入相位 2 波形 1620 通过 5 个阶跃插值器。波形 1630 示出了插值器的输出端的 5 个插值波形。波形 1640 表示波形 1630 的过零点 (zero crossing)。如在波形 1640 中所看到的,前 3 个插值输出的过零点被高度压缩,在下一个过零点之前出现大的相位阶跃。波形 1650 示出了经过积分处理的插值器的输出。如波形 1660 中所示,过零点的间隔更均匀。事实上,对于第三个插值输出,相位是第一个和最后一个插值设定的一半。

[0291] 图 17 示出了根据本发明的实施例的电压积分器 1700。电压积分器 1700 也可用在较广范围的其它设备中。在实施例中,电压积分器与插值器的输出端相连。

[0292] 电压积分器 1700 包括差分晶体管对 1712、第一电容和电阻反馈部分 1770,以及第二电容和电阻反馈部分 1780。其中差分晶体管对 1712 包含有第一晶体管 1712a 和第二晶体管 1712b。

[0293] 第一电容和电阻反馈部分 1770 包括连接在第一晶体管 1712a 的漏极与栅极之间的电容器 1776、连接在第一晶体管 1712a 的漏极与栅极之间的电阻 1774,以及连接在输入 -PHI 1762 与第一晶体管 1712a 的栅极之间的电阻 1772。

[0294] 第二电容和电阻反馈部分 1780 包括连接在第二晶体管 1712b 的漏极与栅极之间的电容器 1786、连接在第二晶体管 1712b 的漏极与栅极之间的电阻 1784,以及连接在输入 -PHIB 1764 与第二晶体管 1712b 的栅极之间的电阻 1782。

[0295] 电压积分器 1700 包括连接在电源电压 1760 和第一晶体管 1712a 的漏极之间的电阻 1730,以及连接在电源电压 1760 与第二晶体管 1712b 的漏极之间的电阻 1740。输出 A 连接到第一晶体管 1712a 的漏极,输出 B 连接到第二晶体管 1712b 的漏极。电流源 1750 连接到第一晶体管 1712a 的源极、第二晶体管 1712b 的源极和接地 1765。

[0296] 电压积分器 1700 本质上是带有电容和电阻反馈的反相放大器。高频情况下,反馈在晶体管 1712a 和 1712b 的栅极处产生相当低的阻抗或弱虚拟接地 (weak virtual ground)。第一电容和电阻反馈部分中的电阻 1772 和第二电容和电阻反馈部分中的电阻 1782 与该弱虚拟接地共同将输入电压 PHI 1762 和 PHIB 1764 转换成电流,并将该电流合并到电容器 1776 和 1786 中。

[0297] 图 18 示出了根据本发明的第二个实施例、带有积分器的典型的相位插值器 1800。相位插值器 1800 包括多个第一分支电路 1500A-N 以及多个第二分支电路 1520A-N。第一和第二分支电路 1510 和 1520 已在以上参照附图 15 做了描述。

[0298] 相位插值器 1800 还包括积分器部分 1850。积分器 1850 包括电容器 1852、电阻 1856 以及晶体管 1862,它们并联在电源电压 1880 和每个分支电路 1510A-N 和 1520A-N 中的第一晶体管 1512a、1514a 的漏极之间。积分器部分 1850 还包括电容器 1854、电阻 1858 以及晶体管 1866,它们并联在电源电压 1880 和每个分支电路 1510A-N 和 1520A-N 中的第二晶体管 1512b、1514b 的漏极之间。

[0299] 电容器 1852 和 1854 是积分电容。在实施例中,电阻 1856 和 1858 是高值电阻,用于设置共模电压。在实施例中,晶体管 1862 和 1864 用作电流源负载。

[0300] 积分器部分 1850 还包括一个电极相连的晶体管 1866 和串联在晶体管 1866 的漏极和接地 1885 之间的电流源 1868。晶体管 1866 的栅极连接到晶体管 1862 的栅极、晶体管

1864 的栅极以及电流源 1868。晶体管 1866 的源极连接到电源电压 1880,漏极连接到电流源 1868。

[0301] 由于在相位插值器 1800 中,来自差分对的电流被积分器部分 1850 直接积分,因此不需要连接到插值器的单独积分器。

[0302] 在实施例中,用在相位插值器 1800 中的电流源 1518 和 1528 可作为输入时钟源的相位和插值器设置值的个数的函数被加权。然后将当前加权的插值器输出积分,以进一步改善相位阶跃输出的线性。

[0303] 3. 结论

[0304] 本领域的技术人员将会理解,可不脱离本发明的权利要求所定义的本发明的精神实质和范围,在此对形式和细节做出各种变化。因此,本发明的宽度和范围不受任何上述的典型实施例的限制,而仅根据本发明的权利要求和他们的等同条件来定义。

100

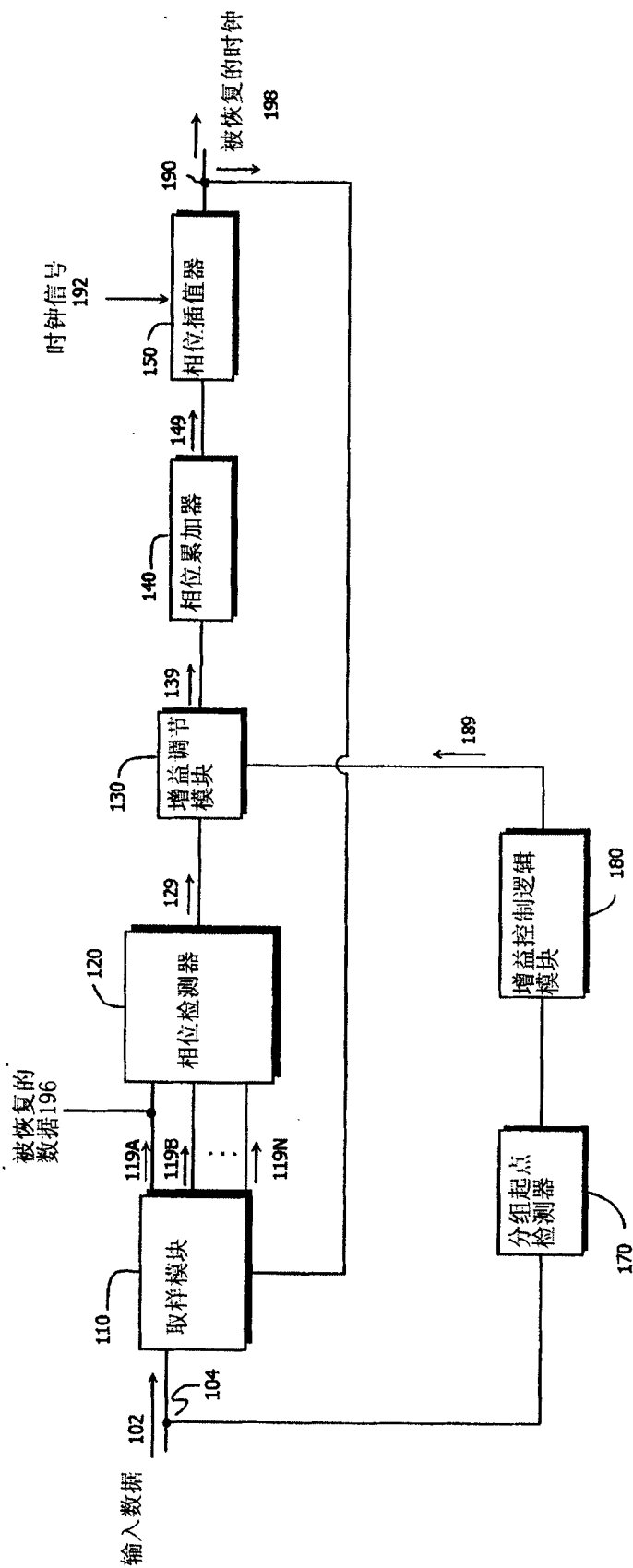


图 1

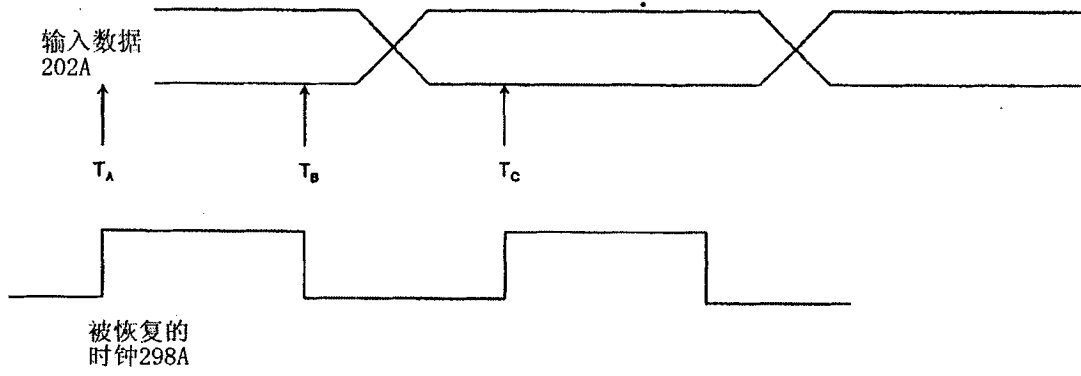


图 2A

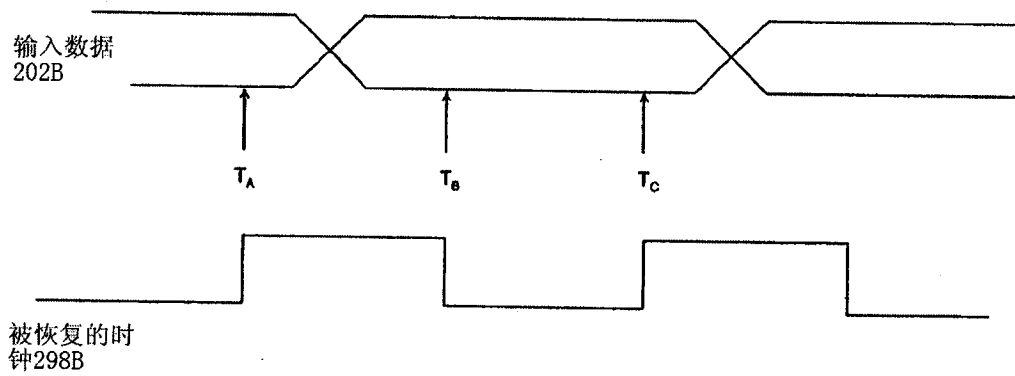


图 2B

382

时间	增益值
1t	16
2t	8
3t	4
4t	2
5t	1
6t	1
·	
·	
Nt	1

图 3

432

增益值	b5	b4	b3	b2	b1	b0
1	s	s	s	s	s	z
2	s	s	s	s	z	0
4	s	s	s	z	0	0
8	s	s	z	0	0	0
16	s	z	0	0	0	0

图 4

540

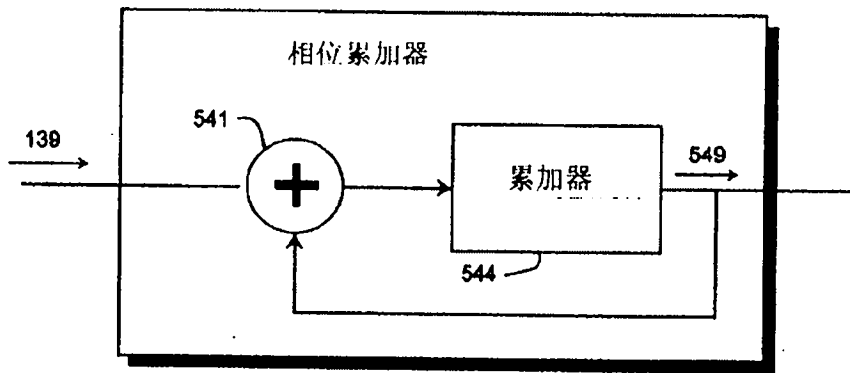


图 5

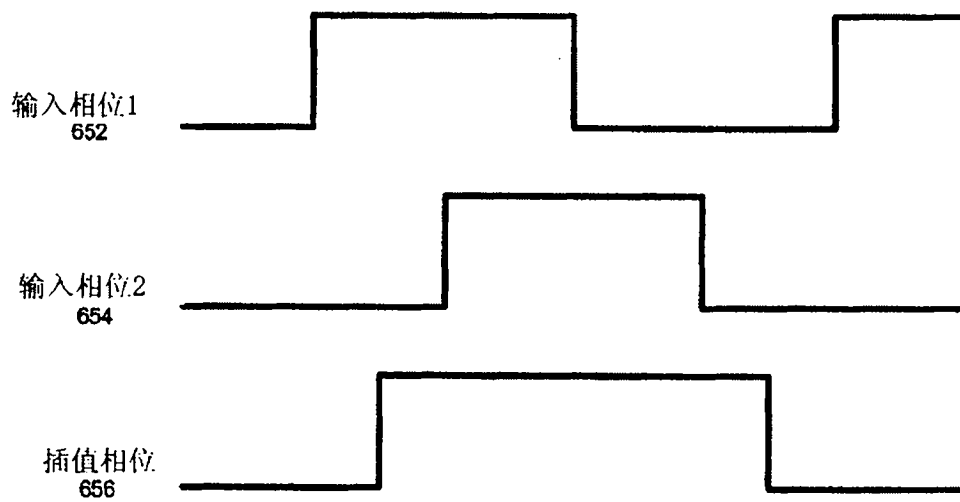


图 6

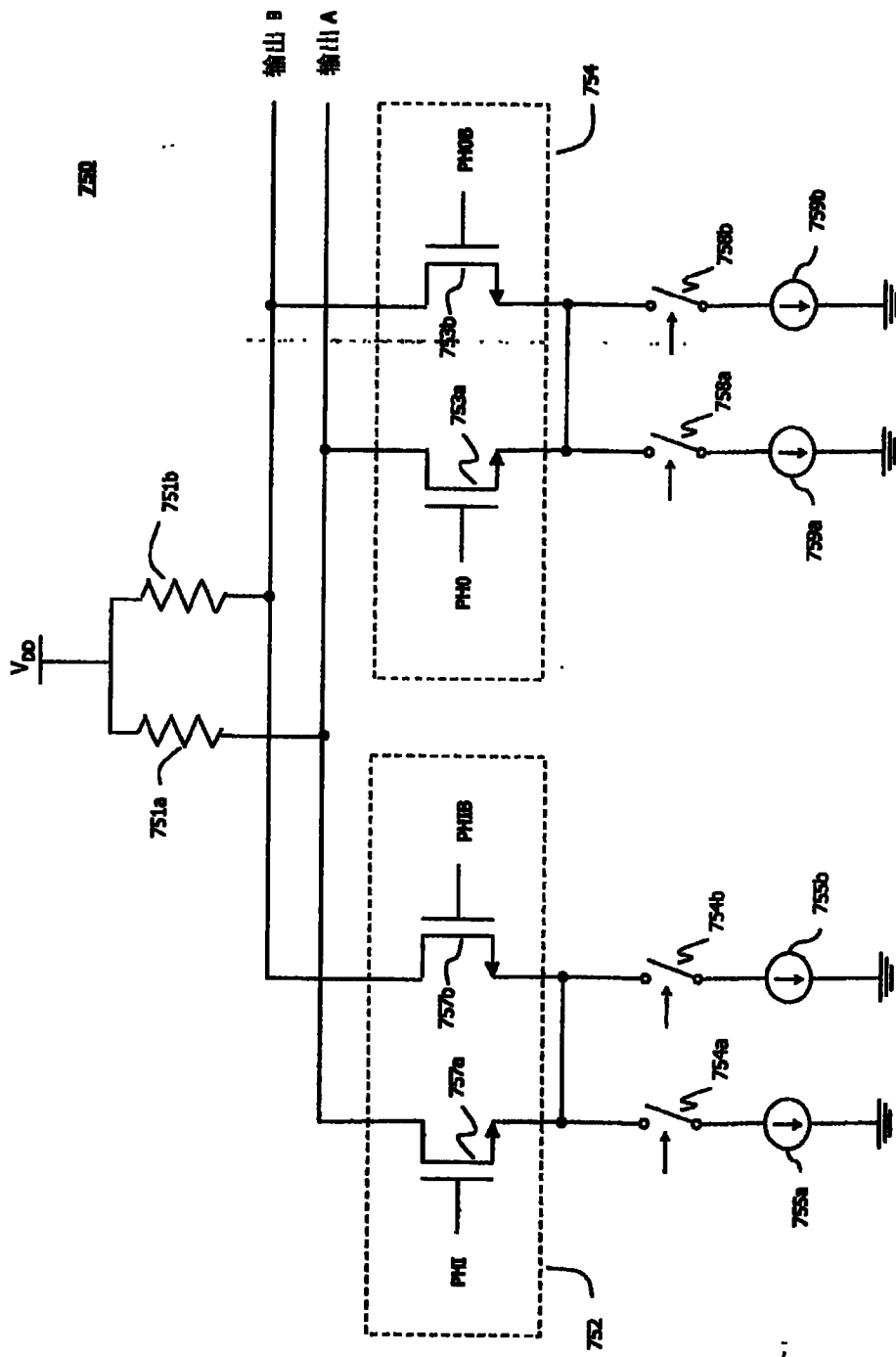


图 7



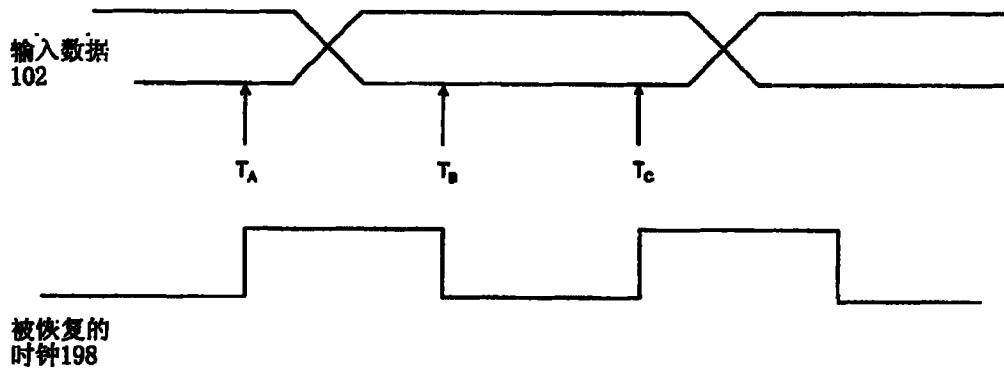
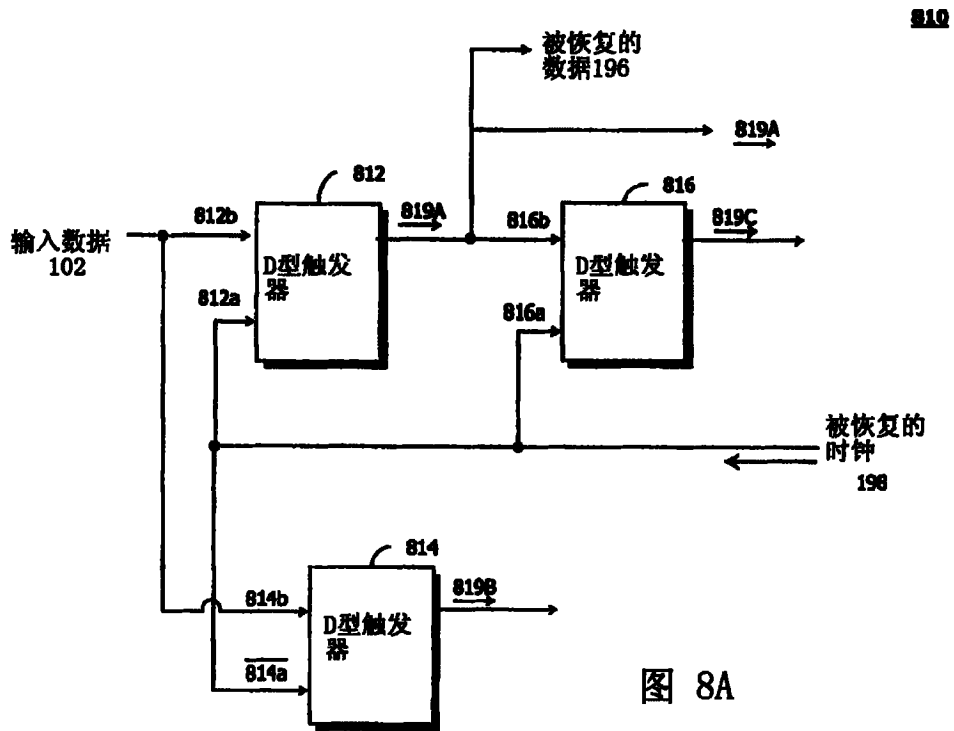


图 8B

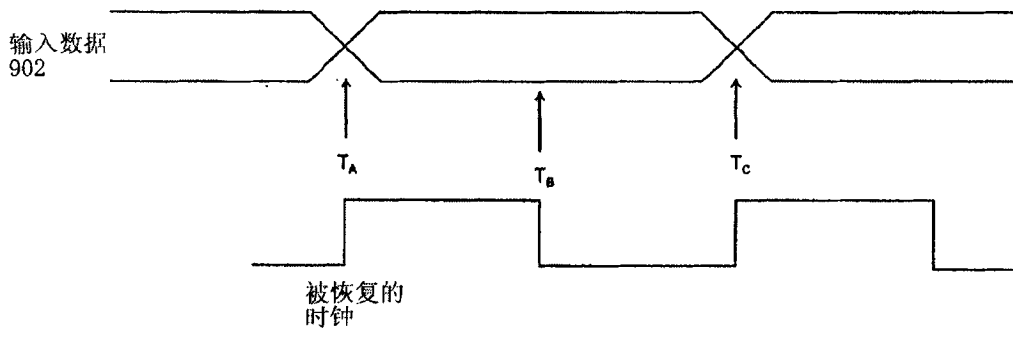


图 9A

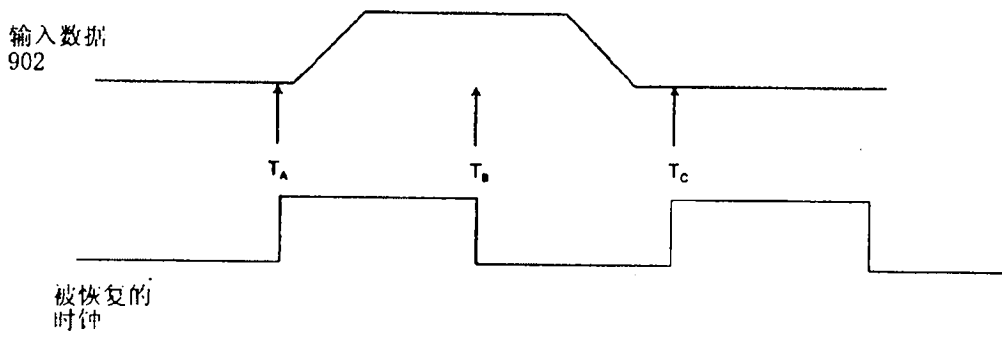


图 9B

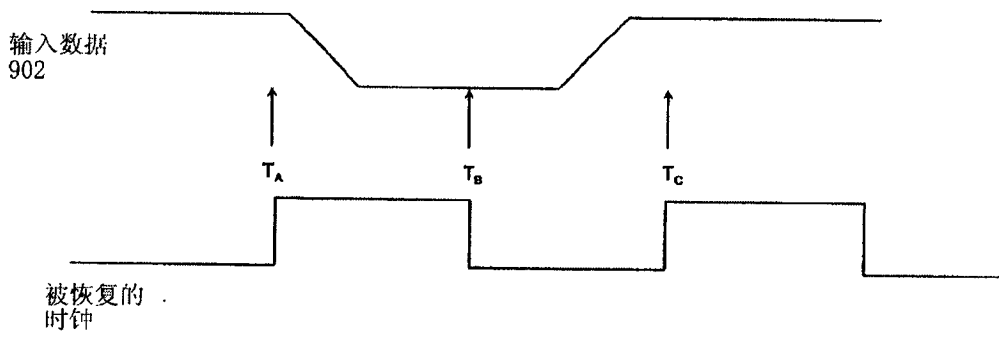


图 9C

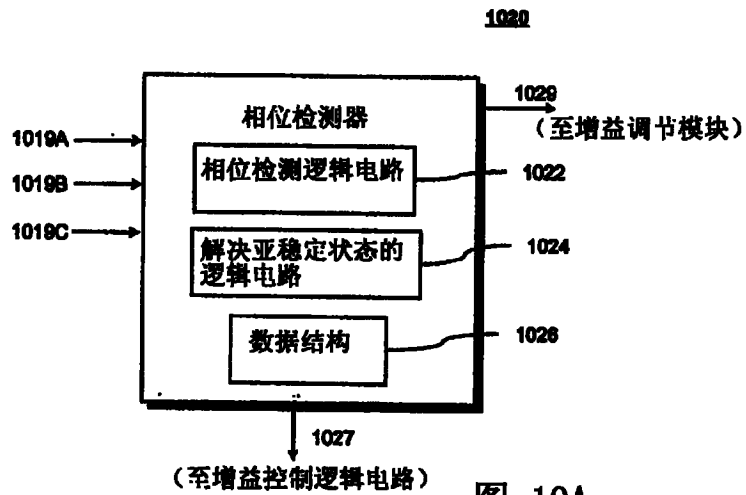


图 10A

**1020B**

1023      1025

	1019A	1019B	1019N	符号	幅值	
1	0	0	0	0	0	1021a
2	0	0	1	0	1	1021b
3	0	1	0	1	1	1021c
4	0	1	1	1	1	1021d
5	1	0	0	1	1	1021e
6	1	0	1	1	1	1021f
7	1	1	0	0	1	1021g
8	1	1	1	0	0	1021h

1029

图 10B

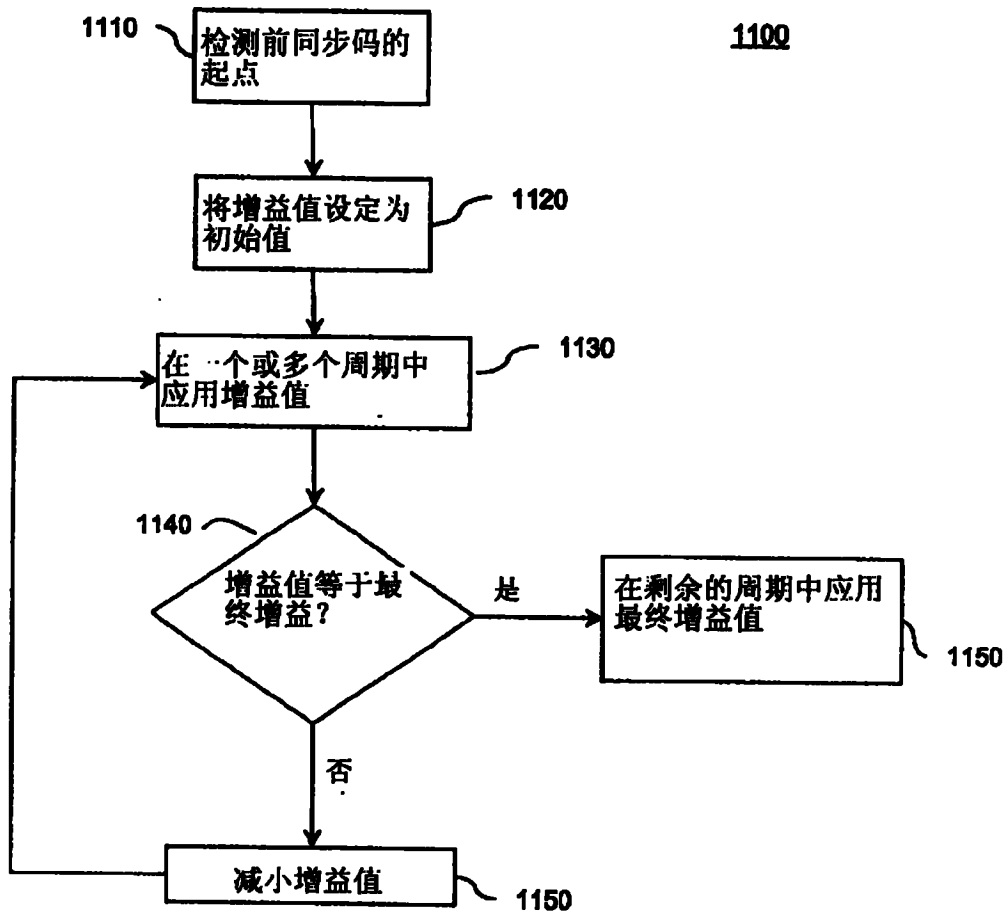


图 11

1200

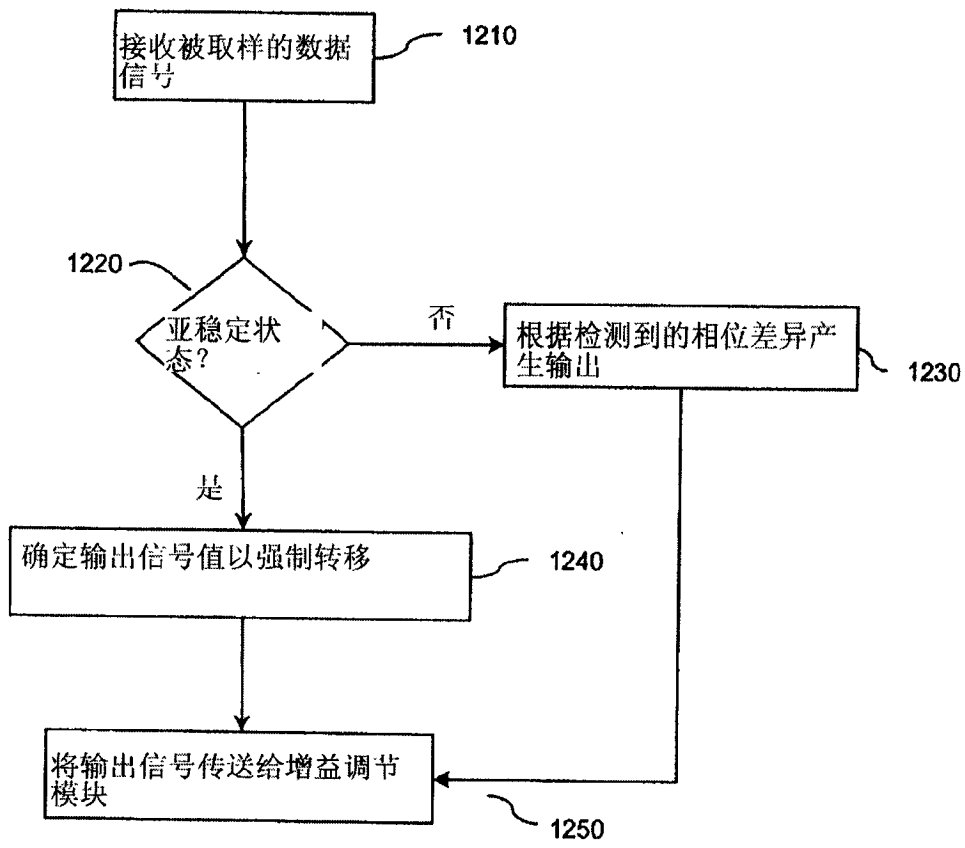


图 12

1300

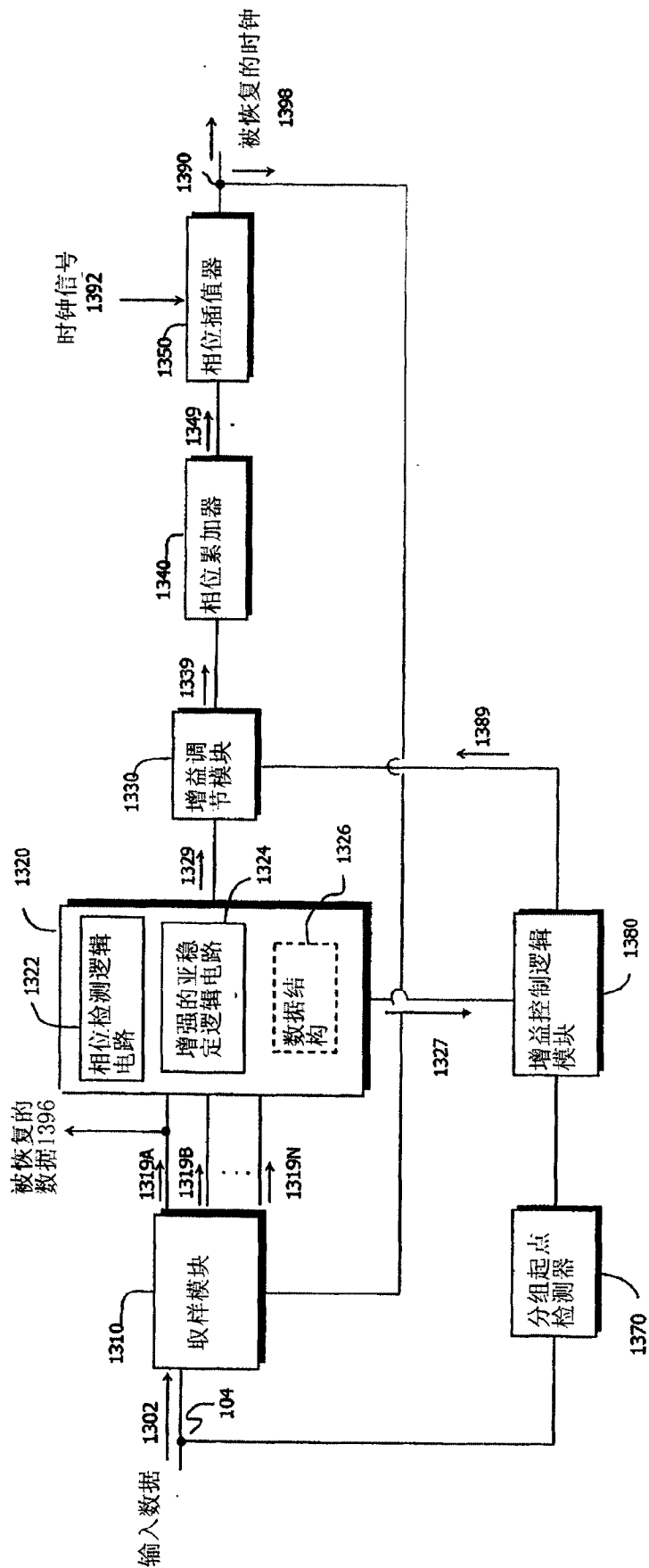


图 13A

**1320B**

	1319A	1319B	1319N	符号	幅值	增益调节
1	0	0	0	0	0	0
2	0	0	1	0	1	0
3	0	1	0	1	1	1
4	0	1	1	1	1	0
5	1	0	0	1	1	0
6	1	0	1	1	1	1
7	1	1	0	0	1	0
8	1	1	1	0	0	0

1323      1325

1327

1329

1321a  
1321b  
1321c  
1321d  
1321e  
1321f  
1321g  
1321h

图 13B

1400

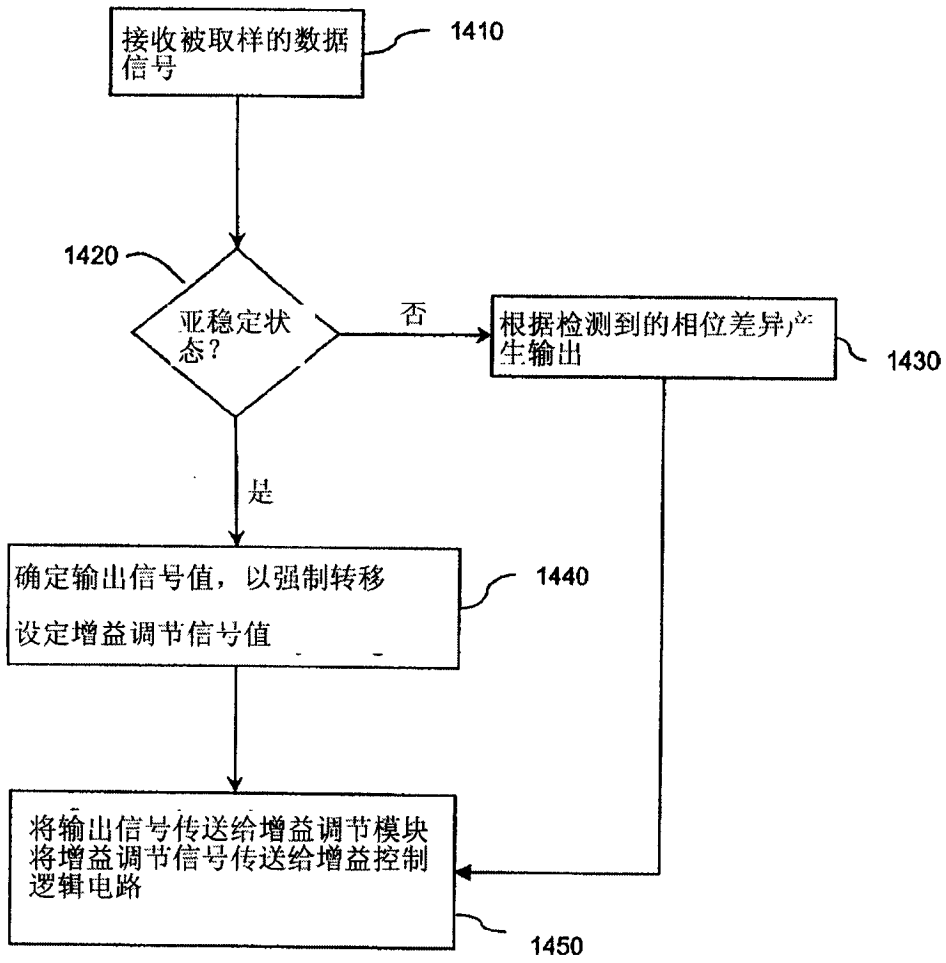


图 14



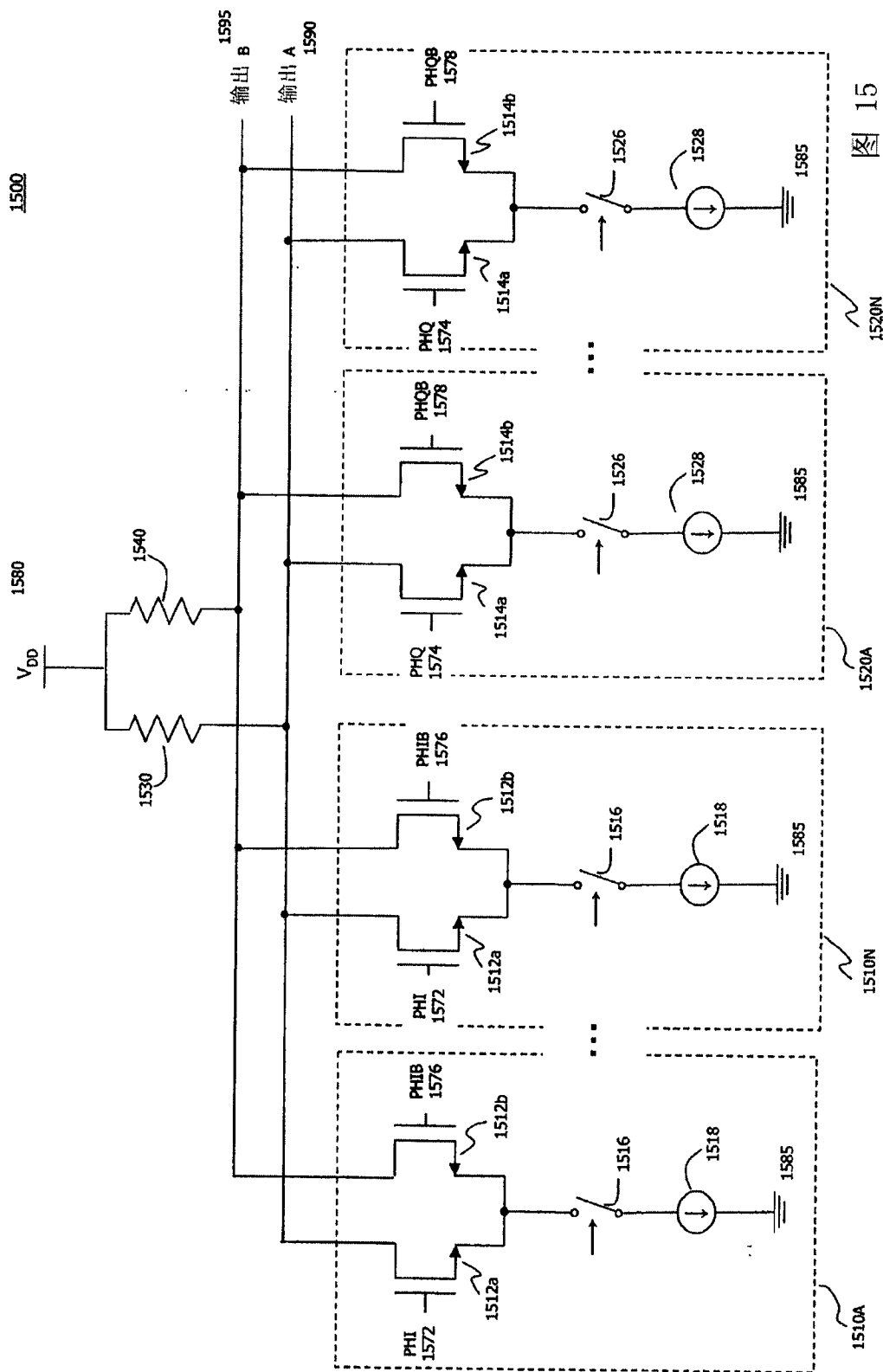


图 15

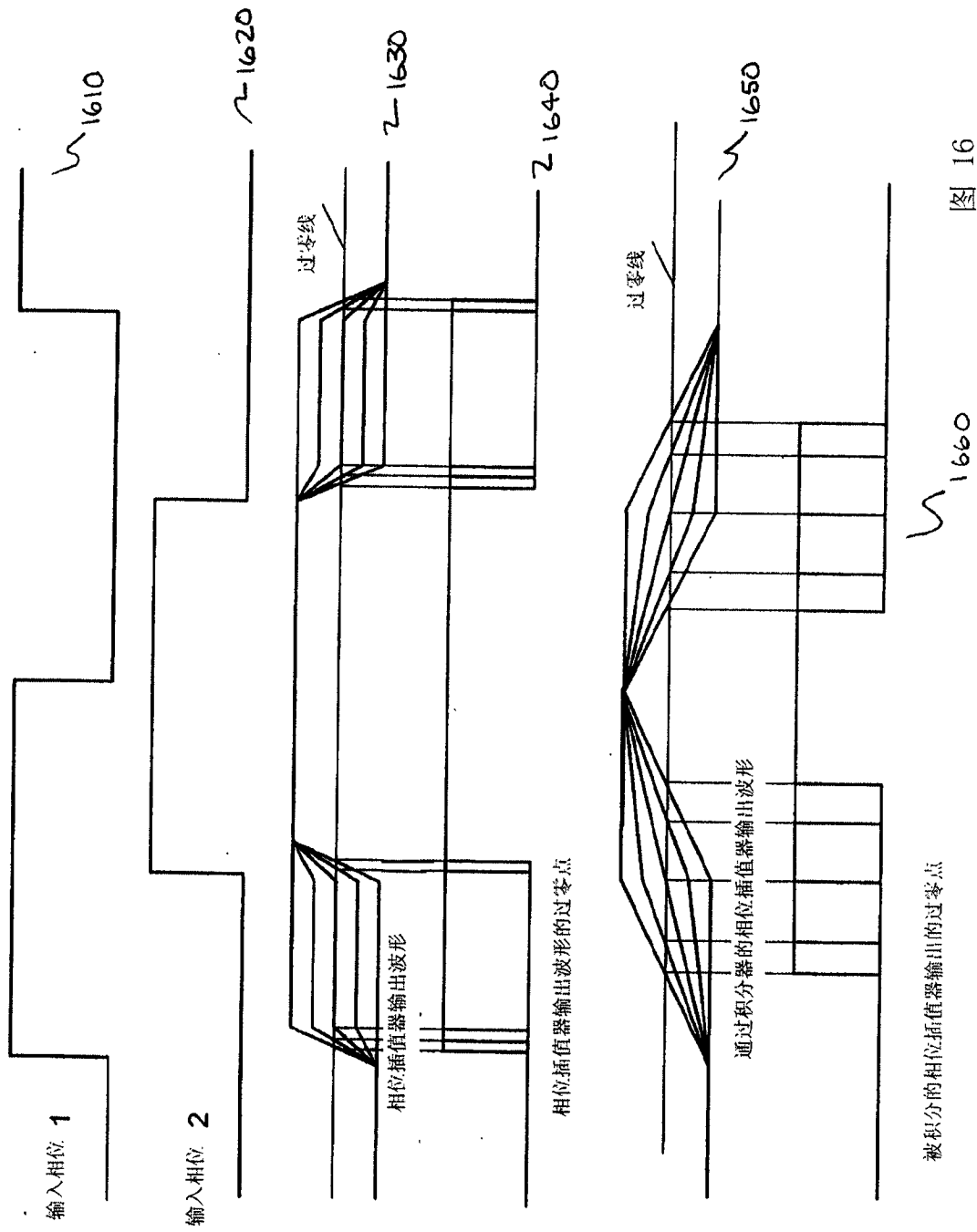


图 16

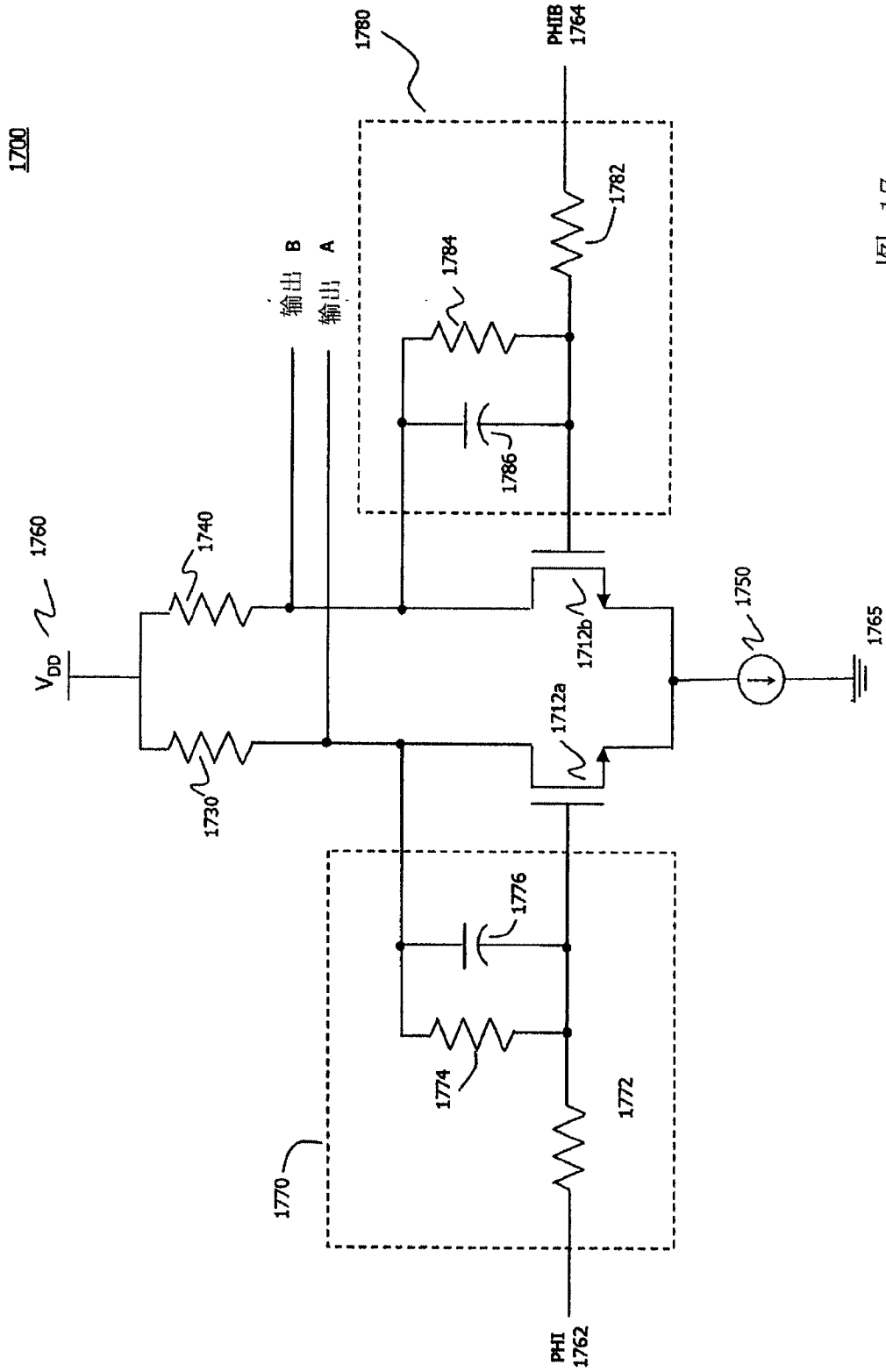


图 17

