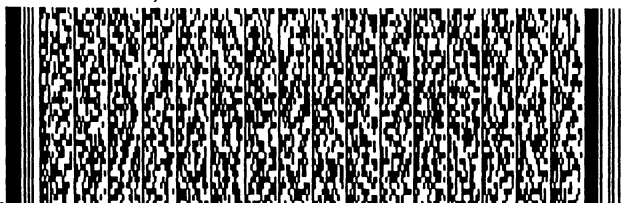


申請日期：93-02-26	IPC分類
申請案號：93104888	H01L 23/28

(以上各欄由本局填註)

## 發明專利說明書

一、發明名稱	中文	晶片封裝結構
	英文	CHIP PACKAGE STRUCTURE
二、發明人 (共1人)	姓名 (中文)	1. 曾昭明
	姓名 (英文)	1. TSENG, CHAO MING
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中文)	1. 高雄縣橋頭鄉仕和村23鄰仕豐路神農巷56號
	住居所 (英文)	1. No. 56, Lane Shennung, Shifeng Rd., Qiaotou Shiang Kaohsiung County 825, Taiwan (R.O.C.)
三、申請人 (共1人)	名稱或姓名 (中文)	1. 日月光半導體製造股份有限公司
	名稱或姓名 (英文)	1. Advanced Semiconductor Engineering, Inc.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 高雄市楠梓加工出口區經三路26號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. 26, Chin 3rd. Rd., 811, Nantze Export Processing Zone, Kaohsiung, Taiwan, R.O.C.
	代表人 (中文)	1. 張虔生
	代表人 (英文)	1. CHANG, CHIEN SHENG



一、本案已向

國家(地區)申請專利                      申請日期                      案號                      主張專利法第二十四條第一項優先權

無

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

熟習該項技術者易於獲得, 不須寄存。



## 五、發明說明 (1)

發明所屬之技術領域

本發明是有關於一種晶片封裝結構(Chip package structure)，且特別是有關於一種易於薄型化之堆疊型的多晶片封裝結構。

先前技術

近年來，隨著電子技術的日新月異，高科技電子產品也相繼問世，因而更人性化、功能性更佳之電子產品不斷推陳出新。此外，各種產品無不朝向輕、薄、短、小的趨勢設計，以提供更便利舒適的使用。因此，就半導體封裝的領域而言，許多封裝的形式均是利用多晶片封裝的概念來設計其封裝架構，以縮減整個電路體積的大小，並提高電性效能。

第1圖繪示為習知堆疊型之晶片封裝結構的剖面示意圖。請參照第1圖，晶片封裝結構100係由一基板110、一第一晶片120、一第二晶片130、多個第一導線142、多個第二導線144、多個錫球146、一封裝材料層150所構成。其中，第一晶片120係配置於基板110上，並藉由一第一導線142電性連接至基板110。第二晶片130係配置於第一晶片120上，並藉由一第二導線144電性連接至基板110。錫球146係配置於基板110之背面上，以供晶片封裝結構100後續接合之用。封裝材料層150係覆蓋第一晶片120、第二晶片130、第一導線142與第二導線144。

承上所述，晶片封裝結構100之厚度主要包括了第一晶片120與第二晶片130的厚度、第二導線144之弧線高度



## 五、發明說明 (2)

以及預留刻印雷射標記之厚度，因此晶片封裝結構100的厚度甚大。此外，第二導線144為避免與第一導線142接觸，必須拉至較第一導線142更遠處而與基板110電性連接，造成第二導線144過長而電性表現不佳，同時也增加晶片封裝結構100之體積。

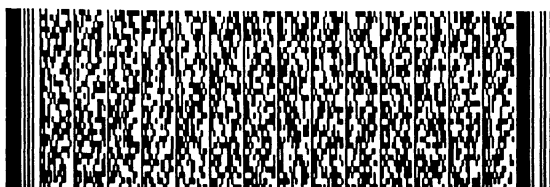
此外，當第一晶片120與第二晶片130之面積接近時，會發生第一晶片120無法進行打線接合的問題。為解決第一晶片120與第二晶片130之面積接近所會遭遇的問題，另一種習知晶片封裝結構被提出。

第2圖繪示為另一習知堆疊型之晶片封裝結構的剖面示意圖。請參照第2圖，晶片封裝結構100a主要係於第一晶片120與一第二晶片130之間增加一間隙物160，其餘部份則與第1圖所示之晶片封裝結構100相同，在此不再贅述。由於第一晶片120上與一第二晶片130之間增加了間隙物160，所以第一晶片120才能有足夠空間以打線接合法藉由第一導線142電性連接至基板110。但是，晶片封裝結構100a之厚度又更增加了間隙物160的部份，使得晶片封裝結構100a更加不易薄型化，而且仍具有第1圖所示之晶片封裝結構100的其他缺點。

發明內容

因此，本發明的目的就是在提供一種晶片封裝結構，適於減少晶片封裝結構的體積與厚度。

本發明的另一目的就是在提供一種晶片封裝結構，適於獲得更佳之散熱性。



## 五、發明說明 (3)

本發明的再一目的就是在提供一種晶片封裝結構，適於提高晶片封裝結構的電性表現。

基於上述目的，本發明提出一種晶片封裝結構。此晶片封裝結構主要係由一基板、一第一晶片、一第二晶片以及一封裝材料層所構成。其中，基板具有一凹穴，且至少包括多個第一接點與多個第二接點。第一接點係配置於凹穴內之基板的表面上。第二接點係配置於凹穴周圍之基板的表面上。第一晶片係配置於凹穴內，且電性連接至第一接點。第二晶片係配置於凹穴上方，且電性連接至第二接點。封裝材料層係覆蓋第一晶片與第二晶片，且填充於凹穴內。

此外，晶片封裝結構例如更包括多個第一凸塊，第一晶片係藉由這些第一凸塊而對應電性連接至第一接點。

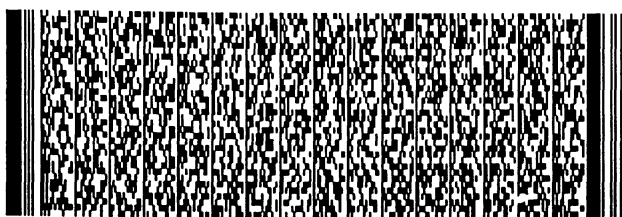
另外，晶片封裝結構例如更包括多個第二凸塊，第二晶片係藉由這些第二凸塊而對應電性連接至第二接點。

或者，晶片封裝結構例如更包括多個第一導線，第一晶片係藉由這些第一導線而對應電性連接至第一接點。

再者，晶片封裝結構例如更包括多個第二導線，第二晶片係藉由這些第二導線而對應電性連接至第二接點。

此外，晶片封裝結構例如更包括多個錫球，配置於基板之背面上。

基於上述目的，本發明再提出一種晶片封裝結構。此晶片封裝結構主要係由一基板、一第一晶片、一第二晶片、一第三晶片以及一封裝材料層所構成。其中，基板具



## 五、發明說明 (4)

有一凹穴，且至少包括多個第一接點與多個第二接點。第一接點係配置於凹穴周圍之基板表面。而且，基板更具有貫通開口，貫通開口係位於凹穴之底部並貫穿基板。第二接點係配置於凹穴上方，且電性連接至第一接點。第三晶片係配置於貫通開口內且依附第一晶片。封裝材料層係覆蓋第一晶片與第二晶片，且填充於凹穴內。

此外，晶片封裝結構例如更包括多個第一凸塊，第一晶片係藉由這些第一凸塊而對應電性連接至第一接點。第二晶片係藉由這些第二凸塊而對應電性連接至第二接點。或者，晶片封裝結構例如更包括多個第一導線，第一晶片係藉由這些第一導線而對應電性連接至第一接點。再者，晶片封裝結構例如更包括多個第二導線，第二晶片係藉由這些第二導線而對應電性連接至第二接點。此外，晶片封裝結構例如更包括多個第三凸塊，配置於第三晶片遠離第一晶片之表面上，以及多個錫球，配置於基板之背面上。

另外，晶片封裝結構例如更包括一膠膜，此膠膜係配置於第三晶片與第一晶片之間。或者，晶片封裝結構例如更包括一黏著層，此黏著層係配置於第三晶片與第一晶片之間。

基於上述目的，本發明更提出一種晶片封裝結構。此



## 五、發明說明 (5)

晶片封裝結構主要係由一基板、一第一晶片、一第二晶片以及一封裝材料層所構成。其中，基板具有一凹穴，且具有多個接點。這些接點係配置於凹穴內之基板的表面上。而且，基板更具有貫通開口，貫通開口係位於凹穴之底部。第一晶片係配置於凹穴內，且電性連接至前述的接點。第二晶片係配置於貫通開口內且依附第一晶片。封裝材料層係覆蓋第一晶片且填充於凹穴內。

此外，晶片封裝結構例如更包括多個第一凸塊，第一晶片係藉由這些第一凸塊而對應電性連接至前述的接點。

或者，晶片封裝結構例如更包括多個導線，第一晶片係藉由這些導線而對應電性連接至前述的接點。

再者，晶片封裝結構例如更包括多個第二凸塊，配置於第二晶片遠離第一晶片之表面上，以及多個鉚球，配置於基板之背面上。

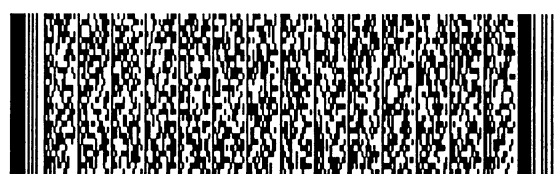
另外，晶片封裝結構例如更包括一膠膜，此膠膜係配置於第二晶片與第一晶片之間。或者，晶片封裝結構例如更包括一黏著層，此黏著層係配置於第二晶片與第一晶片之間。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下。

### 實施方式

#### [ 第一實施例 ]

第3A~3D圖繪示為根據本發明所提出之第一較佳實施



## 五、發明說明 (6)

例的各種晶片封裝結構之剖面示意圖。請共同參照第3A～3D圖，晶片封裝結構(200a, 200b, 200c, 200d)主要係由一基板210、一第一晶片220、一第二晶片230以及一封裝材料層240所構成。其中，基板210具有一凹穴212，且至少包括多個第一接點214與多個第二接點216。第一接點214係配置於凹穴212內之基板210的表面上。第二接點216係配置於凹穴212周圍之基板210的表面上。第一晶片220係配置於凹穴212內，且電性連接至第一接點214。第二晶片230係配置於凹穴212上方，且電性連接至第二接點216。封裝材料層240係覆蓋第一晶片220與第二晶片230，且填充於凹穴212內。封裝材料層240可保護第一晶片220與第二晶片230使其免於受到濕氣的破壞，同時保護各晶片與基板210之間的電性連接關係，使其免於受到剪切應力(Shear force)破壞。而且，晶片封裝結構(200a, 200b, 200c, 200d)例如更包括多個錒球266，配置於基板210之背面上以供後續製程使用。

此外，晶片封裝結構(200a, 200c)例如更包括多個第一導線252。第一晶片220具有一第一主動表面222及對應之一第一晶片背面224。第一晶片220之第一主動表面222的表層例如具有多個第一焊墊226，位於第一主動表面222週邊的位置。第一晶片220例如係以第一主動表面222背向基板210而配置於凹穴212內，並藉由連接第一焊墊226之第一導線252而對應電性連接至第一接點214。

另外，晶片封裝結構(200a, 200b)例如更包括多個第





## 五、發明說明 (7)

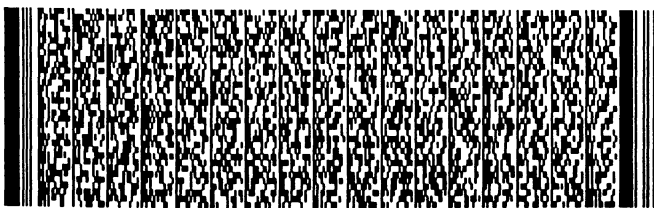
二導線254。第二晶片230具有一第二主動表面232及對應之一第二晶片背面234。第二晶片230之第二主動表面232的表層例如具有多個第二焊墊236，位於第二主動表面232週邊的位置。第二晶片230例如係以第二主動表面232背向基板210而配置於凹穴212上方，並藉由連接第二焊墊236之第二導線254而對應電性連接至第二接點216。

或者，晶片封裝結構(200b, 200d)例如更包括多個第一凸塊262。第一晶片220具有一第一主動表面222及對應之一第一晶片背面224。第一晶片220之第一主動表面222的表層例如具有多個第一焊墊226，位於第一主動表面222週邊的位置。第一晶片220例如係以第一主動表面222背向基板210而配置於凹穴212內，並藉由連接第一焊墊226之第一凸塊262而對應電性連接至第一接點214。

再者，晶片封裝結構(200c, 200d)例如更包括多個第二凸塊264。第二晶片230具有一第二主動表面232及對應之一第二晶片背面234。第二晶片230之第二主動表面232的表層例如具有多個第二焊墊236，位於第二主動表面232週邊的位置。第二晶片230例如係以第二主動表面232背向基板210而配置於凹穴212上方，並藉由連接第二焊墊236之第二凸塊264而對應電性連接至第二接點216。

## [ 第二實施例 ]

第4A~4D圖繪示為根據本發明所提出之第二較佳實施例的晶片封裝結構之剖面示意圖。請共同參照第4A~4D圖，晶片封裝結構(300a, 300b, 300c, 300d)主要係由一



## 五、發明說明 (8)

基板310、一第一晶片320、一第二晶片330、一第三晶片370以及一封裝材料層340所構成。其中，基板310具有一凹穴312，且至少包括多個第一接點314與多個第二接點316。第一接點314係配置於凹穴312內之基板310的表面上。第二接點316係配置於凹穴312周圍之基板310的表面上。而且，基板310更具有貫通開口318，貫通開口318係位於凹穴312之底部並貫穿基板310。第一晶片320係配置於凹穴312內，且電性連接至第一接點314。第二晶片330係配置於凹穴312上方，且電性連接至第二接點316。第三晶片370具有一第三主動表面372及對應之一第三晶片背面374，並以第三晶片背面374依附第一晶片320而配置於貫通開口318內。封裝材料層340係覆蓋第一晶片320與第二晶片330，且填充於凹穴312內。而且，晶片封裝結構(300a, 300b, 300c, 300d)例如更包括多個第三凸塊366，配置於第三晶片370之第三主動表面372上，以及多個鉚球368，配置於基板310之背面上，以供後續製程使用。

此外，第三凸塊366與第三晶片370之第三主動表面372之間，亦可配置一保護層(圖未示)以保護第三晶片370之第三主動表面372。

另外，在晶片封裝結構(300a, 300b, 300c, 300d)中的第一晶片320以及第二晶片330，其與基板310之電性連接方式係分別與晶片封裝結構(200a, 200b, 200c, 200d)中的第一晶片220以及第二晶片230相同，在此不再贅述。



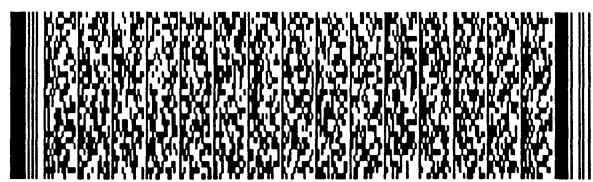
## 五、發明說明 (9)

再者，晶片封裝結構(300a, 300b, 300c, 300d)例如更包括一膠膜380，膠膜380係配置於第三晶片370與第一晶片320之間。當然，膠膜380亦可以一黏著層382取代，亦即是第三晶片370與第一晶片320之間可以藉由固態或液態固化之膠合物連接，其目的皆為使第三晶片370與第一晶片320之間具有牢靠的連接關係。

## [ 第三實施例 ]

第5A圖與第5B圖繪示為根據本發明所提出之第三較佳實施例的晶片封裝結構之剖面示意圖。請共同參照第5A圖與第5B圖，晶片封裝結構(400a, 400b)主要係由一基板410、一第一晶片420、一第二晶片430以及一封裝材料層440所構成。其中，基板410具有一凹穴412，且具有多個接點414。接點414係配置於凹穴412內之基板410的表面上。而且，基板410更具有一貫通開口418，貫通開口418係位於凹穴412之底部。第一晶片420係配置於凹穴412內，且電性連接至接點414。第二晶片430具有一第二主動表面432及對應之一第二晶片背面434，並以第二晶片背面434依附第一晶片420而配置於貫通開口418內。封裝材料層440係覆蓋第一晶片420且填充於凹穴412內。而且，晶片封裝結構(400a, 400b)例如更包括多個第二凸塊464，配置於第二晶片430之第二主動表面432上，以及多個錫球466，配置於基板410之背面上，以供後續製程使用。

另外，在晶片封裝結構(400a, 400b)中的第一晶片420，其與基板410之電性連接方式係分別與晶片封裝結構



## 五、發明說明 (10)

(200a, 200b) 中的第一晶片220相同，在此不再贅述。

再者，晶片封裝結構(400a, 400b)亦如前一較佳實施例，例如更包括一膠膜480，膠膜480係配置於第三晶片370與第一晶片320之間。當然，膠膜480亦可以一黏著層482取代，以使第二晶片430與第一晶片420之間具有牢靠的連接關係。

值得注意的是，本發明之第一較佳實施例與第二較佳實施例中，雖然是以第二晶片大於第一晶片為例做介紹，但第二晶片亦可等於或小於第一晶片，並直接或隔著封裝材料層而配置於第一晶片之上。此外，本發明之各較佳實施例中，封裝材料層例如係一次形成，亦或是在完成第一晶片之電性連接後，先形成部份封裝材料層以填滿凹穴，再進行後續第二晶片與第三晶片之配置。

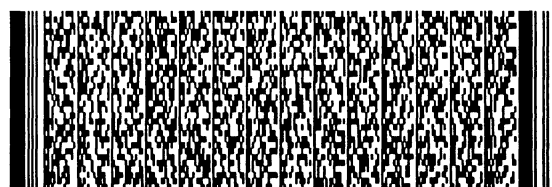
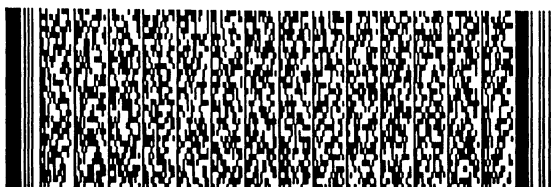
綜上所述，本發明之較佳實施例的晶片封裝結構具有下列優點：

(1) 採用凸塊電性連接至基板的各晶片，由於凸塊較導線短且截面積大，因此具有較佳的電性表現。

(2) 由於基板之第一接點與第二接點係配置於不同平面，因此不需擔心不同晶片之導線互相接觸而導致短路。

(3) 由於基板之第一接點與第二接點係配置於不同平面，因此可縮短第二晶片與第二接點間的導線長度，進而獲得較佳的電性表現。

(4) 由於第二晶片與第二接點間的導線長度較短，因此可減少導線之弧線高度，進而獲得薄型化之晶片封裝結



## 五、發明說明 (11)

構。

(5) 由於第三晶片之主動表面係暴露於外界，因此可獲得極佳之散熱性。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



## 圖式簡單說明

第1圖繪示為習知堆疊型之晶片封裝結構的剖面示意圖。

第2圖繪示為另一習知堆疊型之晶片封裝結構的剖面示意圖。

第3A～3D圖繪示為根據本發明所提出之第一較佳實施例的各種晶片封裝結構之剖面示意圖。

第4A～4D圖繪示為根據本發明所提出之第二較佳實施例的各種晶片封裝結構之剖面示意圖。

第5A圖與第5B圖繪示為根據本發明所提出之第三較佳實施例的晶片封裝結構之剖面示意圖。

## 【圖式標示說明】

100、100a：晶片封裝結構

110：基板

120：第一晶片

130：第二晶片

142：第一導線

144：第二導線

146：鐳球

150：封裝材料層

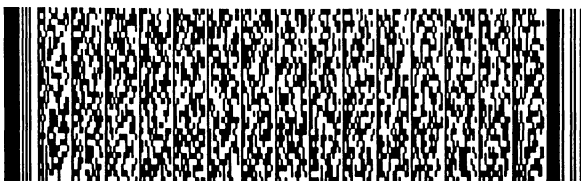
160：間隙物

200a、200b、200c、200d、300a、300b、300c、

300d、400a、400b：晶片封裝結構

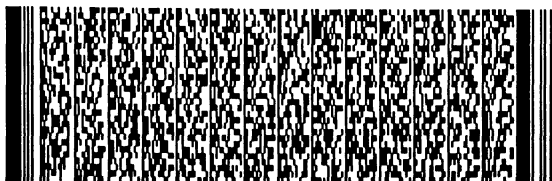
210、310、410：基板

212、312、412：凹穴



## 圖式簡單說明

- 214、314：第一接點
- 216、316：第二接點
- 220、320、420：第一晶片
- 222、322、422：第一主動表面
- 224、324、424：第一晶片背面
- 226、326：第一焊墊
- 230、330、430：第二晶片
- 232、332、432：第二主動表面
- 234、334、434：第二晶片背面
- 236、336：第二焊墊
- 240、340、440：封裝材料層
- 252、352：第一導線
- 254、354：第二導線
- 262、362、462：第一凸塊
- 264、364、464：第二凸塊
- 266、368、466：鐳球
- 318、418：貫通開口
- 366：第三凸塊
- 370：第三晶片
- 372：第三主動表面
- 374：第三晶片背面
- 380、480：膠膜
- 382、482：黏著層
- 414：接點



圖式簡單說明

426 : 焊 墊

452 : 導 線



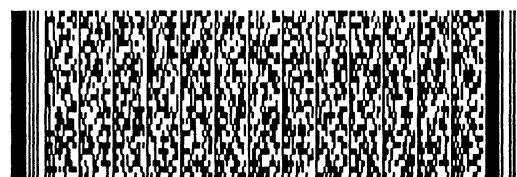


## 四、中文發明摘要 (發明名稱：晶片封裝結構)

一種晶片封裝結構，主要係由一基板、一第一晶片、一第二晶片、一第三晶片與一封裝材料層所構成。基板具有一凹穴，且包括多個第一接點與多個第二接點。第一接點係配置於凹穴內之基板的表面上。第二接點係配置於凹穴周圍之基板的表面上。基板更具有位於凹穴之底部的貫通開口。第一晶片係配置於凹穴內且電性連接至第一接點。第二晶片係配置於凹穴上方且電性連接至第一接點。第三晶片係配置於貫通開口內。封裝材料層係覆蓋第一晶片與第二晶片且填充於凹穴內。此外，晶片封裝結構亦可不包括第二晶片或第三晶片以及容納第三晶片之貫通開口。

## 五、英文發明摘要 (發明名稱：CHIP PACKAGE STRUCTURE)

A chip package structure is disclosed. The chip package structure essentially comprises a substrate, a first chip, a second chip, a third chip and a packaging material layer. Wherein, the substrate has a cavity, a plurality of first contacting pads and a plurality of second contacting pads. The first contacting pads are disposed on the surface of substrate in the



## 四、中文發明摘要 (發明名稱：晶片封裝結構)

## 五、英文發明摘要 (發明名稱：CHIP PACKAGE STRUCTURE)

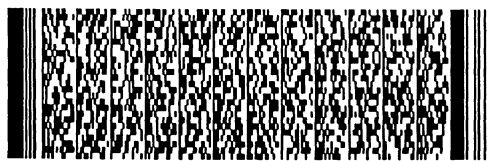
cavity. The second contacting pads are disposed on the surface of substrate around the cavity. And, the substrate further has a through hole that locates in the bottom of cavity. The first chip is disposed in the cavity and electrically connects to the first contacting pads. The second chip is disposed above the cavity and electrically connects to the second contacting pads. The third



## 四、中文發明摘要 (發明名稱：晶片封裝結構)

## 五、英文發明摘要 (發明名稱：CHIP PACKAGE STRUCTURE)

chip is disposed in the through hole. The packaging material layer covers the first chip and the second chip and the cavity is filled with the packaging material layer. Otherwise, The chip package structure may not comprise the second chip, or not comprise the third chip and the through hole.



## 六、指定代表圖

(一)、本案指定代表圖為：第 4A 圖

(二)、本代表圖之元件代表符號簡單說明：

300a：晶片封裝結構

310：基板

312：凹穴

314：第一接點

316：第二接點

320：第一晶片

322：第一主動表面

324：第一晶片背面

326：第一焊墊

330：第二晶片

332：第二主動表面

334：第二晶片背面

336：第二焊墊

340：封裝材料層

352：第一導線

354：第二導線

366：第三凸塊

368：鐳球

318：貫通開口

370：第三晶片

372：第三主動表面

374：第三晶片背面



六、指定代表圖

380 : 膠 膜

382 : 黏 著 層



## 六、申請專利範圍

1. 一種晶片封裝結構，至少包括：

一基板，具有一凹穴，該基板至少包括多數個第一接點與多數個第二接點，該些第一接點係配置於該凹穴內之該基板的表面上，該些第二接點係配置於該凹穴周圍之該基板的表面上；

一第一晶片，配置於該凹穴內，且電性連接至該些第一接點；

一第二晶片，配置於該凹穴上方，且電性連接至該些第二接點；以及

一封裝材料層，覆蓋該第一晶片與該第二晶片且填充於該凹穴內。

2. 如申請專利範圍第1項所述之晶片封裝結構，更包括多數個第一凸塊，其中該第一晶片係藉由該些第一凸塊而對應電性連接至該些第一接點。

3. 如申請專利範圍第1項所述之晶片封裝結構，更包括多數個第二凸塊，其中該第二晶片係藉由該些第二凸塊而對應電性連接至該些第二接點。

4. 如申請專利範圍第1項所述之晶片封裝結構，更包括多數個第一導線，其中該第一晶片係藉由該些第一導線而對應電性連接至該些第一接點。

5. 如申請專利範圍第1項所述之晶片封裝結構，更包括多數個第二導線，其中該第二晶片係藉由該些第二導線而對應電性連接至該些第二接點。

6. 如申請專利範圍第1項所述之晶片封裝結構，更包



## 六、申請專利範圍

括多數個錫球，配置於該基板之背面上。

7. 一種晶片封裝結構，至少包括：

一基板，具有一凹穴，該基板至少包括多數個第一接點與多數個第二接點，該些第一接點係配置於該凹穴內之該基板的表面上，該些第二接點係配置於該凹穴周圍之該基板的表面上，且該基板更具有貫通開口，該貫通開口係位於該凹穴之底部並貫穿該基板；

一第一晶片，配置於該凹穴內，且電性連接至該些第一接點；

一第二晶片，配置於該凹穴上方，且電性連接至該些第二接點；

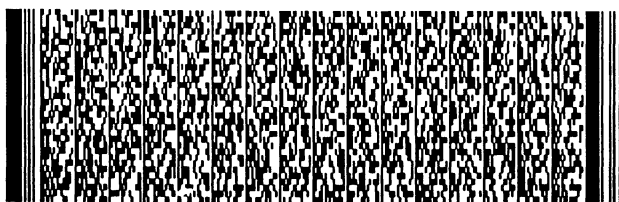
一第三晶片，配置於該貫通開口內且依附該第一晶片；以及

一封裝材料層，覆蓋該第一晶片與該第二晶片且填充於該凹穴內。

8. 如申請專利範圍第7項所述之晶片封裝結構，更包括多數個第一凸塊，其中該第一晶片係藉由該些第一凸塊而對應電性連接至該些第一接點。

9. 如申請專利範圍第7項所述之晶片封裝結構，更包括多數個第二凸塊，其中該第二晶片係藉由該些第二凸塊而對應電性連接至該些第二接點。

10. 如申請專利範圍第7項所述之晶片封裝結構，更包括多數個第一導線，其中該第一晶片係藉由該些第一導線而對應電性連接至該些第一接點。



## 六、申請專利範圍

11. 如申請專利範圍第7項所述之晶片封裝結構，更包括多數個第二導線，其中該第二晶片係藉由該些第二導線而對應電性連接至該些第二接點。

12. 如申請專利範圍第7項所述之晶片封裝結構，更包括多數個第三凸塊，配置於該第三晶片遠離該第一晶片之表面上，以及多數個鐳球，配置於該基板之背面上。

13. 如申請專利範圍第7項所述之晶片封裝結構，更包括一膠膜，該膠膜係配置於該第三晶片與該第一晶片之間。

14. 如申請專利範圍第7項所述之晶片封裝結構，更包括一黏著層，該黏著層係配置於該第三晶片與該第一晶片之間。

15. 一種晶片封裝結構，至少包括：

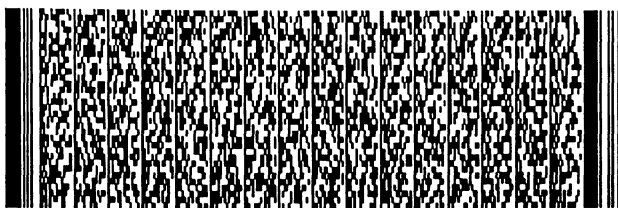
一基板，具有一凹穴，該基板具有多數個接點，該些接點係配置於該凹穴內之該基板的表面上，且該基板更有一貫通開口，該貫通開口係位於該凹穴之底部；

一第一晶片，配置於該凹穴內，且電性連接至該些第一接點；

一第二晶片，配置於該貫通開口內且依附該第一晶片；以及

一封裝材料層，覆蓋該第一晶片且填充於該凹穴內。

16. 如申請專利範圍第15項所述之晶片封裝結構，更包括多數個第一凸塊，其中該第一晶片係藉由該些第一凸塊而對應電性連接至該些接點。





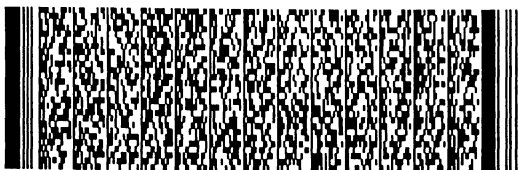
## 六、申請專利範圍

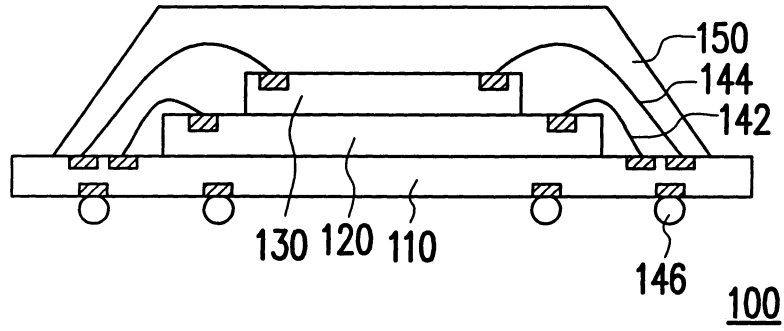
17. 如申請專利範圍第15項所述之晶片封裝結構，更包括多數個導線，其中該第一晶片係藉由該些導線而對應電性連接至該些接點。

18. 如申請專利範圍第15項所述之晶片封裝結構，更包括多數個第二凸塊，配置於該第二晶片遠離該第一晶片之表面上，以及多數個錫球，配置於該基板之背面上。

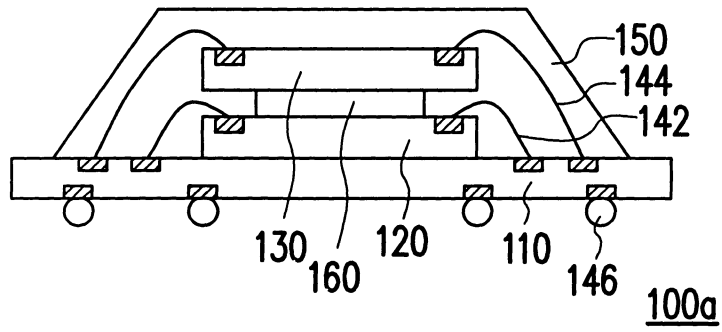
19. 如申請專利範圍第15項所述之晶片封裝結構，更包括一膠膜，該膠膜係配置於該第二晶片與該第一晶片之間。

20. 如申請專利範圍第15項所述之晶片封裝結構，更包括一黏著層，該黏著層係配置於該第二晶片與該第一晶片之間。

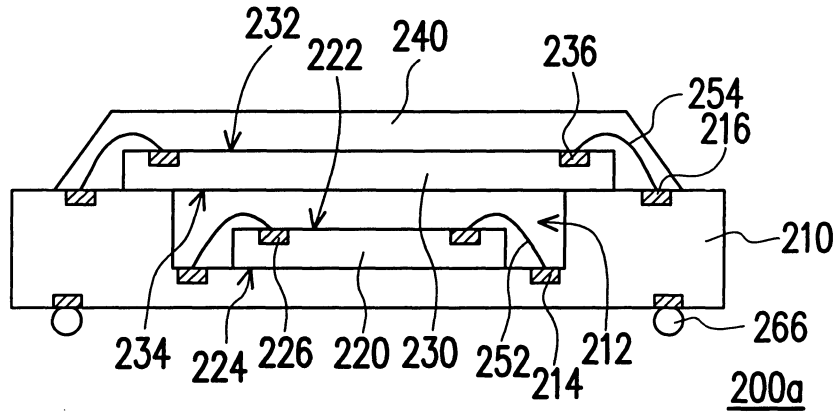




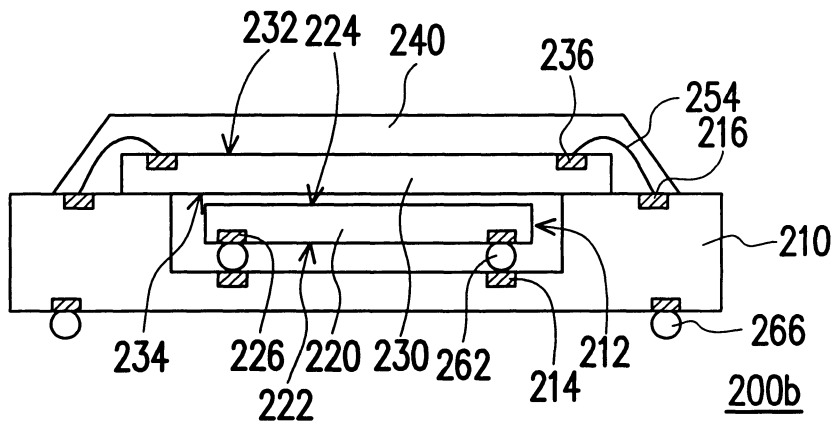
第 1 圖



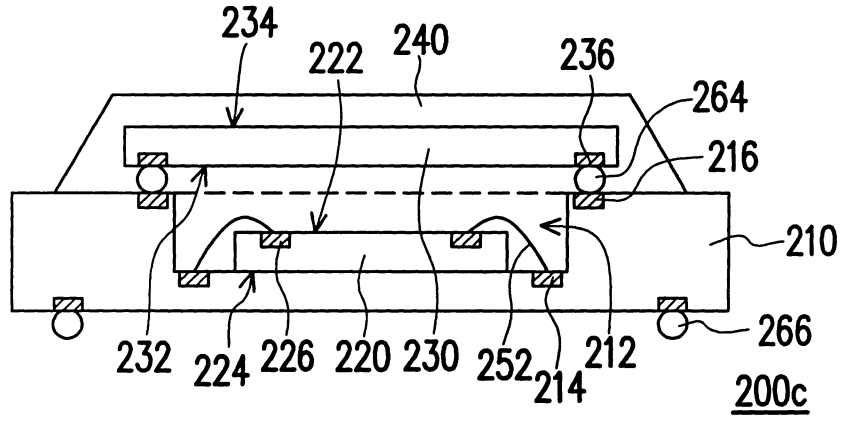
第 2 圖



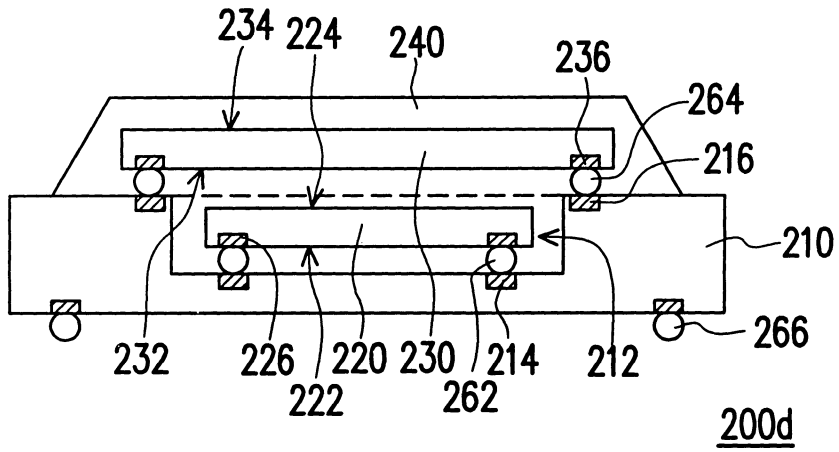
第 3A 圖



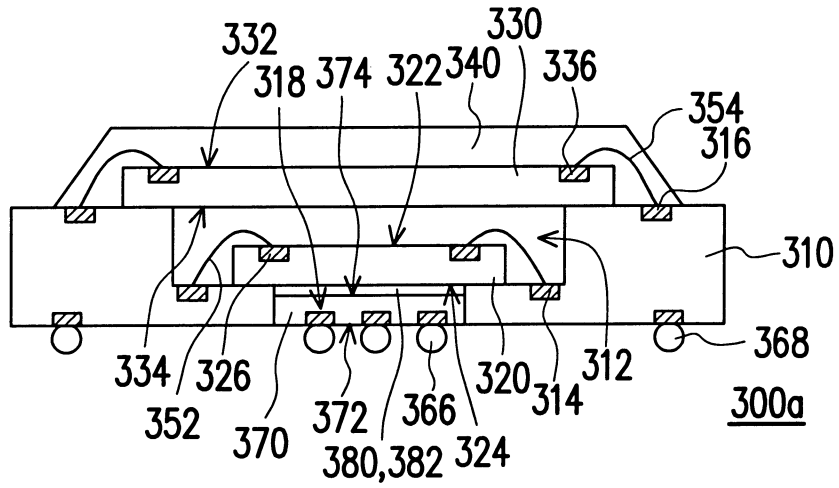
第 3B 圖



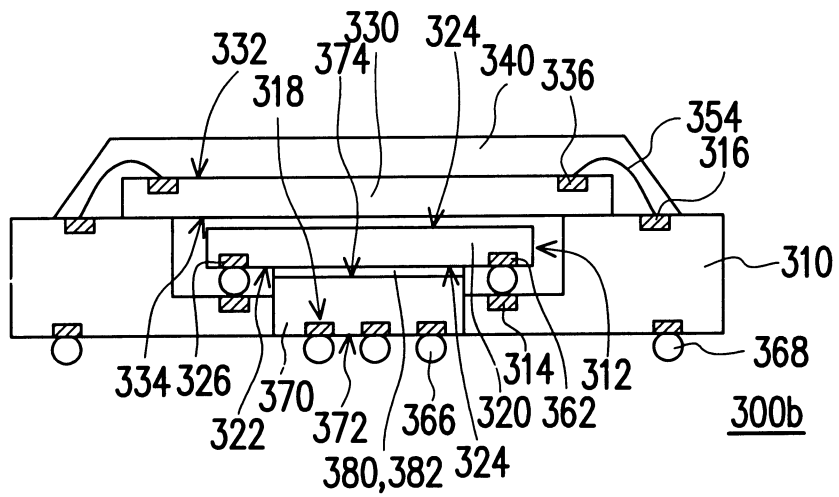
第 3C 圖



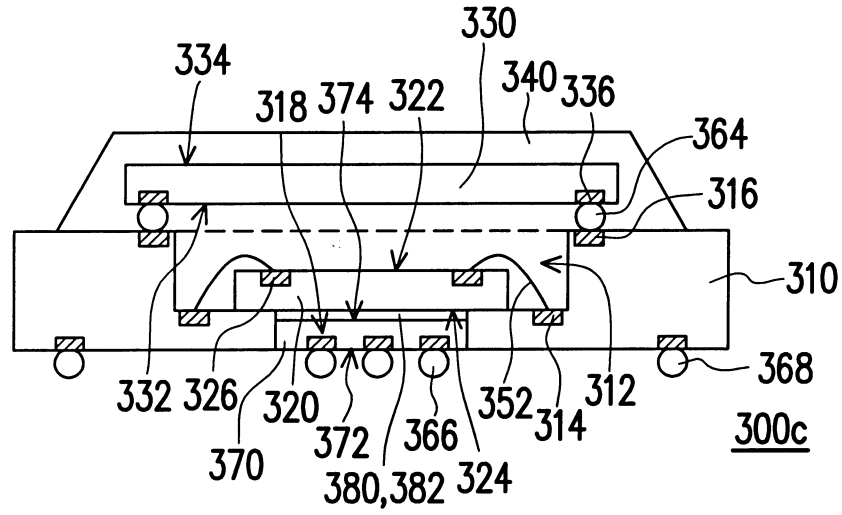
第 3D 圖



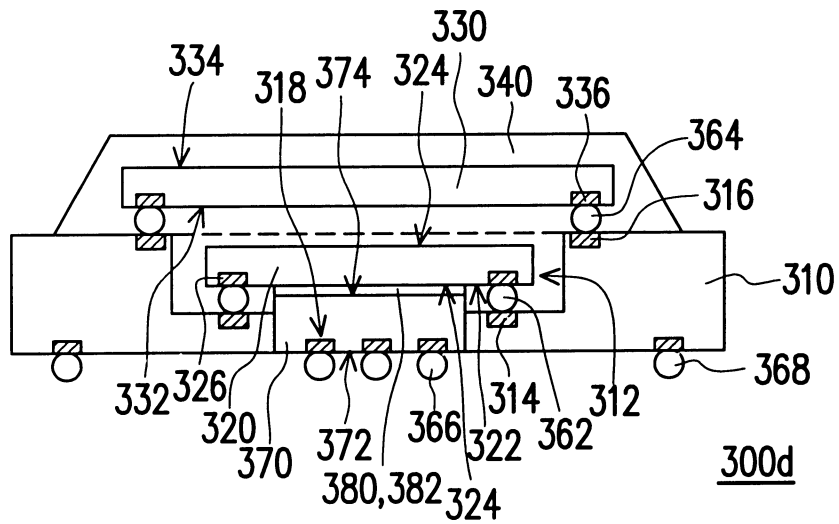
第4A圖



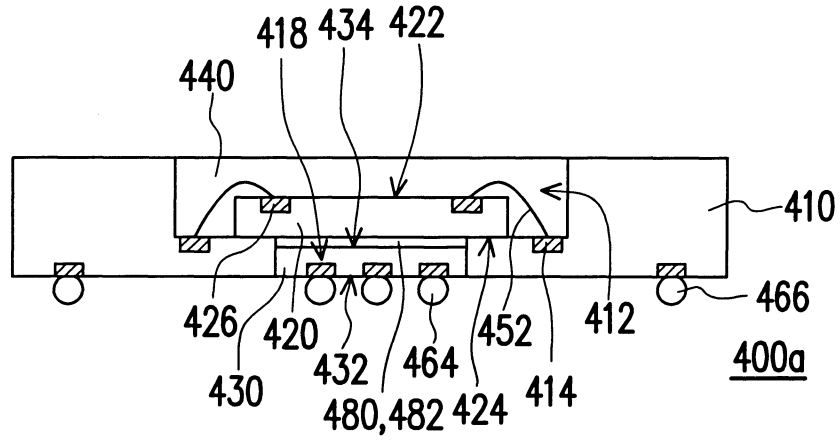
第4B圖



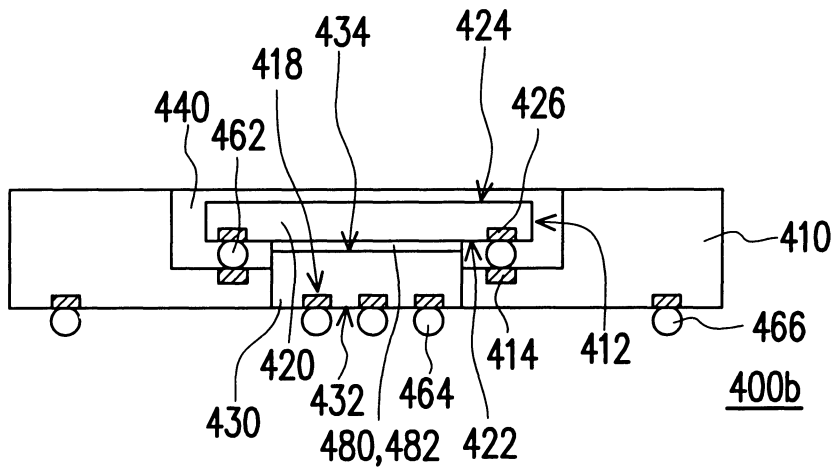
第 4C 圖



第 4D 圖



第5A圖



第5B圖