



(12) 发明专利

(10) 授权公告号 CN 111654265 B

(45) 授权公告日 2023. 07. 25

(21) 申请号 202010568006.4

(22) 申请日 2020.06.19

(65) 同一申请的已公布的文献号
申请公布号 CN 111654265 A

(43) 申请公布日 2020.09.11

(73) 专利权人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路10号

(72) 发明人 唐大伟 黄继景 吴琼 杨志明
卢尧 王志良

(74) 专利代理机构 北京同达信恒知识产权代理
有限公司 11291

专利代理师 黄丽

(51) Int. Cl.

H03K 3/353 (2006.01)

(56) 对比文件

JP H0380726 A, 1991.04.05

CA 2339251 A1, 2000.02.17

CN 108551384 A, 2018.09.18

CN 104468255 A, 2015.03.25

CN 110012367 A, 2019.07.12

CN 105471548 A, 2016.04.06

CN 102054186 A, 2011.05.11

许波; 赵佳. 一种FPGA与PC通信方法及其应
用. 电子测量技术. 2018, (02), 全文.

审查员 邹滢

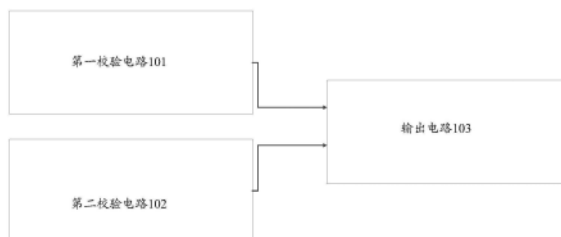
权利要求书3页 说明书10页 附图4页

(54) 发明名称

一种快速校验电路、方法及装置

(57) 摘要

本发明提供一种快速校验电路、方法及装置, 解决现有技术中存在的校验速度较低, 校验时间较长, 导致用户体验较差的技术问题, 所述快速校验电路包括第一校验电路、第二校验电路、输出电路, 其中, 第一校验电路的输出端与输出电路的第一输入端相连接, 第二校验电路的输出端与输出电路的第二输入端相连接; 第一校验电路确定帧头数据流信号中的帧头数据的拼接位置, 对帧头数据进行拼接和校验, 向输出电路输出第一校验和; 第二校验电路确定采集数据流信号中的采集数据标识和采集数据的拼接位置, 对采集数据标识和采集数据进行拼接和校验, 向输出电路输出第二校验和; 输出电路累加第一校验和以及第二校验和, 确定数据帧的校验和。



1. 一种快速校验电路,其特征在于,应用于设置有像素读出芯片的电子设备,包括第一校验电路、第二校验电路、输出电路,其中,

所述第一校验电路的输出端与所述输出电路的第一输入端相连接,所述第二校验电路的输出端与所述输出电路的第二输入端相连接;

所述第一校验电路基于帧头数据流信号、帧头数据流使能指示信号和时钟信号,确定所述帧头数据流信号中的帧头数据的拼接位置,对所述帧头数据进行拼接和校验,向所述输出电路输出第一校验和;

所述第二校验电路基于采集数据流信号、采集数据流使能指示信号和所述时钟信号,确定所述采集数据流信号中的采集数据标识和采集数据的拼接位置,对所述采集数据标识和所述采集数据进行拼接和校验,向所述输出电路输出第二校验和;

所述输出电路基于所述时钟信号,累加所述第一校验和以及所述第二校验和,确定数据帧的校验和,其中,所述数据帧由所述帧头数据、所述采集数据标识和所述采集数据组成。

2. 如权利要求1所述的快速校验电路,其特征在于,所述第一校验电路包括第一数据选择器、第一D触发器、第二D触发器、第三D触发器、第一比较器、第一与门、第二与门以及第一累加器,其中,

所述第一数据选择器的输出端与所述第一D触发器的清零端相连接,所述第一D触发器的输出端分别与所述第一比较器的第一输入端和所述第二与门的第一输入端相连接,所述第一比较器的输出端与所述第一与门的第一输入端相连接,所述第一与门的输出端与所述第二D触发器的使能端相连接,所述第二与门的输出端与所述第三D触发器的使能端相连接,所述第二D触发器和所述第三D触发器的输出端与所述第一累加器的第一输入端相连接;

所述第一数据选择器基于所述帧头数据流使能指示信号对所述第一D触发器清零,使得所述第一D触发器向所述第一与门和所述第二与门输出第一信号;

所述第一与门和所述第二与门基于所述帧头数据流使能指示信号以及所述第一信号,确定所述帧头数据流信号中的帧头数据的拼接位置,并分别控制所述第二D触发器和所述第三D触发器的使能端,使得所述第二D触发器和所述第三D触发器基于所述帧头数据流信号以及所述时钟信号,对所述帧头数据进行拼接,并将所述拼接后的帧头数据输入到所述第一累加器进行校验,以确定所述第一校验和。

3. 如权利要求2所述的快速校验电路,其特征在于,所述第二校验电路包括第二数据选择器、第四D触发器、第五D触发器、第六D触发器、第二比较器、第三与门、第四与门以及第二累加器,其中,

所述第二数据选择器的输出端与所述第四D触发器的清零端相连接,所述第四D触发器的输出端分别与所述第二比较器的第一输入端和所述第四与门的第一输入端相连接,所述第二比较器的输出端与所述第三与门的第一输入端相连接,所述第三与门的输出端与所述第五D触发器的使能端相连接,所述第四与门的输出端与所述第六D触发器的使能端相连接,所述第五D触发器和所述第六D触发器的输出端与所述第二累加器的第一输入端相连接;

所述第二数据选择器基于所述采集数据流使能指示信号对所述第四D触发器清零,使

得所述第四D触发器向所述第三与门和所述第四与门输出第二信号；

所述第三与门和所述第四与门基于所述采集数据流使能指示信号以及所述第二信号，确定所述采集数据流信号中的采集数据标识和采集数据的拼接位置，并分别控制所述第五D触发器和所述第六D触发器的使能端，使得所述第五D触发器和所述第三六触发器基于所述帧头数据流信号以及所述时钟信号，对所述采集数据标识和所述采集数据进行拼接，并将所述拼接后的采集数据标识和采集数据输入到所述第二累加器进行校验，以确定所述第二校验和。

4. 如权利要求3所述的快速校验电路，其特征在于，所述输出电路包括第七D触发器、第八D触发器、第九D触发器、第三累加器、第四累加器以及第五累加器，其中，

所述第七D触发器的输入端与所述第一累加器的输出端相连接，所述第七D触发器的输出端与所述第四累加器和所述第五累加器的第二输入端相连接，所述第八D触发器的输入端与所述第二累加器的输出端相连接，所述第八D触发器的输出端与所述第三累加器的输入端相连接，所述第三累加器的输出端与所述第四累加器的第一输入端相连接，所述第四累加器的输出端与所述第五累加器的第一输入端相连接，所述第五累加器的输出端与所述第九D触发器的输入端相连接；

所述第五累加器基于所述第一校验和以及所述第二校验和，确定所述数据帧的校验和，并向所述第九D触发器输出所述校验和，使得所述第九D触发器基于所述时钟信号输出校验和输出信号。

5. 如权利要求4所述的快速校验电路，其特征在于，所述输出电路还包括第十D触发器、第十一D触发器、第十二D触发器、第十三D触发器以及第五与门，其中，

所述第十D触发器的输出端与所述第十一D触发器的输入端相连接，所述第十一D触发器的输出端与所述第五与门的第一输入端相连接，所述第五与门的输出端与所述第十二D触发器的输入端相连接，所述第十二D触发器的输出端与所述第十三D触发器的输入端相连接；

所述第十三D触发器基于所述采集数据流使能指示信号以及所述时钟信号，确定所述数据帧是否完成校验，若完成，则输出校验和有效输出信号。

6. 一种快速校验方法，其特征在于，包括：

将数据帧分为第一校验数据和第二校验数据，其中，所述第一校验数据为所述数据帧的帧头数据，所述第二校验数据为所述数据帧的采集标识和采集数据；

根据预设阈值，确定所述第一校验数据和所述第二校验数据的拼接位置，其中，所述预设阈值为一次校验所需的字节数量；

根据所述拼接位置，对所述第一校验数据以及所述第二校验数据同时进行拼接和校验，确定第一校验和以及第二校验和；

对所述第一校验和以及所述第二校验和进行累加，确定所述数据帧的校验和。

7. 如权利要求6所述的快速校验方法，其特征在于，对所述第一校验数据以及所述第二校验数据同时进行拼接和校验，确定第一校验和以及第二校验和，包括：

在第一时间间隔对所述第一校验数据以及所述第二校验数据同时进行校验，确定所述第一校验和以及第三校验和，其中，所述第一时间间隔为所述第一校验数据校验完成的时间间隔；

在第二时间间隔对未校验的所述第二校验数据进行校验,确定第四校验和;
对所述第三校验和以及所述第四校验和进行累加,确定所述第二校验和。

8. 一种快速校验装置,其特征在于,包括:

第一处理模块,用于将数据帧分为第一校验数据和第二校验数据,其中,所述第一校验数据为所述数据帧的帧头数据,所述第二校验数据为所述数据帧的采集标识和采集数据;

第一确定模块,用于根据预设阈值,确定所述第一校验数据和所述第二校验数据的拼接位置,其中,所述预设阈值为一次校验所需的字节数量;

第二确定模块,用于根据所述拼接位置,对所述第一校验数据以及所述第二校验数据同时进行拼接和校验,确定第一校验和以及第二校验和;

第三确定模块,用于对所述第一校验和以及所述第二校验和进行累加,确定所述数据帧的校验和。

9. 一种计算机存储介质,其特征在于,所述计算机存储介质包括计算机程序,当计算机程序在计算机上运行时,使得所述计算机执行如权利要求6-7任一所述的方法。

一种快速校验电路、方法及装置

技术领域

[0001] 本发明涉及校验技术领域,尤其涉及一种快速校验电路、方法及装置。

背景技术

[0002] 普通的二极管由PN结组成,PIN二极管是在P和N半导体材料之间加入一薄层低掺杂的本征(Intrinsic)半导体层组成P-I-N结构,高分辨率PIN屏的屏幕材料就是由PIN二极管构成,常通过像素读出芯片采集高分辨率PIN屏的像素数据,而在读出芯片采集像素数据后,需要先通过校验电路对采集的像素数据进行校验,再将校验后的像素数据封装成数据帧格式发送给相应的接收端,从而显示成像,其中,数据帧总长566字节,主要由数据帧头、采集数据标识和采集数据三部分组成,数据帧头包括板卡物理地址、接收端物理地址、接收类型、发送端口和接收端口。

[0003] 目前,校验电路常采用二进制反码求和方法,校验每个数据帧的流程是将数据帧的566字节数据按字节逐个累加,得到校验结果,每次累加时间为一个时钟周期,即从上升沿到下降沿的时间,因此,长度为54字节的帧头数据,需要消耗54个时钟周期完成校验,同理可得到采集数据标识与采集数据的校验时间为512个时钟周期,则一个数据帧的检验时间为566个时钟周期。

[0004] 可见,现有的校验电路需在帧头数据校验完成之后再开始校验数据帧的采集数据标识和采集数据,存在校验速度较低,校验时间较长,导致用户体验较差的问题。

发明内容

[0005] 本发明提供一种快速校验电路、方法及装置,用于解决现有技术中存在的校验速度较低,校验时间较长,导致用户体验较差的技术问题。

[0006] 第一方面,为解决上述技术问题,本申请实施例提供一种快速校验电路,包括第一校验电路、第二校验电路、输出电路,其中,

[0007] 所述第一校验电路的输出端与所述输出电路的第一输入端相连接,所述第二校验电路的输出端与所述输出电路的第二输入端相连接;

[0008] 所述第一校验电路基于帧头数据流信号、帧头数据流使能指示信号和时钟信号,确定所述帧头数据流信号中的帧头数据的拼接位置,对所述帧头数据进行拼接和校验,向所述输出电路输出第一校验和;

[0009] 所述第二校验电路基于采集数据流信号、采集数据流使能指示信号和所述时钟信号,确定所述采集数据流信号中的采集数据标识和采集数据的拼接位置,对所述采集数据标识和所述采集数据进行拼接和校验,向所述输出电路输出第二校验和;

[0010] 所述输出电路基于所述时钟信号,累加所述第一校验和以及所述第二校验和,确定数据帧的校验和,其中,所述数据帧由所述帧头数据、所述采集数据标识和所述采集数据组成。

[0011] 在本申请实施例中,快速校验电路包括第一校验电路、第二校验电路、输出电路,

第一校验电路基于帧头数据流信号、帧头数据流使能指示信号和时钟信号,确定帧头数据流信号中的帧头数据的拼接位置,对帧头数据进行拼接和校验,向输出电路输出第一校验和,第二校验电路基于采集数据流信号、采集数据流使能指示信号和时钟信号,确定采集数据流信号中的采集数据标识和采集数据的拼接位置,对采集数据标识和所述采集数据进行拼接和校验,向输出电路输出第二校验和,输出电路基于时钟信号,累加第一校验和以及第二校验和,确定数据帧的校验和,使得该快速校验电路可并行校验帧头数据与采集数据标识、采集数据,由于采集数据长度较长,所以帧头数据校验会先完成,等采集数据标识、采集数据校验完成后,再将两部分所得校验和相加,得到整个数据帧的校验和,从而提高校验速度,减少校验时间,提高用户体验。

[0012] 可选的,所述第一校验电路包括第一数据选择器、第一D触发器、第二D触发器、第三D触发器、第一比较器、第一与门、第二与门以及第一累加器,其中,

[0013] 所述第一数据选择器的输出端与所述第一D触发器的清零端相连接,所述第一D触发器的输出端分别与所述第一比较器的第一输入端和所述第二与门的第一输入端相连接,所述第一比较器的输出端与所述第一与门的第一输入端相连接,所述第一与门的输出端与所述第二D触发器的使能端相连接,所述第二与门的输出端与所述第三D触发器的使能端相连接,所述第二D触发器和所述第三D触发器的输出端与所述第一累加器的第一输入端相连接;

[0014] 所述第一数据选择器基于所述帧头数据流使能指示信号对所述第一D触发器清零,使得所述第一D触发器向所述第一与门和所述第二与门输出第一信号;

[0015] 所述第一与门和所述第二与门基于所述帧头数据流使能指示信号以及所述第一信号,确定所述帧头数据流信号中的帧头数据的拼接位置,并分别控制所述第二D触发器和所述第三D触发器的使能端,使得所述第二D触发器和所述第三D触发器基于所述帧头数据流信号以及所述时钟信号,对所述帧头数据进行拼接,并将所述拼接后的帧头数据输入到所述第一累加器进行校验,以确定所述第一校验和。

[0016] 可选的,所述第二校验电路包括第二数据选择器、第四D触发器、第五D触发器、第六D触发器、第二比较器、第三与门、第四与门以及第二累加器,其中,

[0017] 所述第二数据选择器的输出端与所述第四D触发器的清零端相连接,所述第四D触发器的输出端分别与所述第二比较器的第一输入端和所述第四与门的第一输入端相连接,所述第二比较器的输出端与所述第三与门的第一输入端相连接,所述第三与门的输出端与所述第五D触发器的使能端相连接,所述第四与门的输出端与所述第六D触发器的使能端相连接,所述第五D触发器和所述第六D触发器的输出端与所述第二累加器的第一输入端相连接;

[0018] 所述第二数据选择器基于所述采集数据流使能指示信号对所述第四D触发器清零,使得所述第四D触发器向所述第三与门和所述第四与门输出第二信号;

[0019] 所述第三与门和所述第四与门基于所述采集数据流使能指示信号以及所述第二信号,确定所述采集数据流信号中的采集数据标识和采集数据的拼接位置,并分别控制所述第五D触发器和所述第六D触发器的使能端,使得所述第五D触发器和所述第六D触发器基于所述帧头数据流信号以及所述时钟信号,对所述采集数据标识和所述采集数据进行拼接,并将所述拼接后的采集数据标识和采集数据输入到所述第二累加器进行校验,以确定

所述第二校验和。

[0020] 可选的,所述输出电路包括第七D触发器、第八D触发器、第九D触发器、第三累加器、第四累加器以及第五累加器,其中,

[0021] 所述第七D触发器的输入端与所述第一累加器的输出端相连接,所述第七D触发器的输出端与所述第四累加器和所述第五累加器的第二输入端相连接,所述第八D触发器的输入端与所述第二累加器的输出端相连接,所述第八D触发器的输出端与所述第三累加器的输入端相连接,所述第三累加器的输出端与所述第四累加器的第一输入端相连接,所述第四累加器的输出端与所述第五累加器的第一输入端相连接,所述第五累加器的输出端与所述第九D触发器的输入端相连接;

[0022] 所述第五累加器基于所述第一校验和以及所述第二校验和,确定所述数据帧的校验和,并向所述第九D触发器输出所述校验和,使得所述第九触发器基于所述时钟信号输出校验和输出信号。

[0023] 可选的,所述输出电路还包括第十D触发器、第十一D触发器、第十二D触发器、第十三D触发器以及第五与门,其中,

[0024] 所述第十D触发器的输出端与所述第十一D触发器的输入端相连接,所述第十一D触发器的输出端与所述第五与门的第一输入端相连接,所述第五与门的输出端与所述第十二D触发器的输入端相连接,所述第十二D触发器的输出端与所述第十三D触发器的输入端相连接;

[0025] 所述第十三D触发器基于所述采集数据流使能指示信号以及所述时钟信号,确定所述数据帧是否完成校验,若完成,则输出校验和有效输出信号。

[0026] 第二方面,本申请实施例提供一种快速校验方法,包括:

[0027] 将数据帧分为第一校验数据和第二校验数据,其中,所述第一校验数据为所述数据帧的帧头数据,所述第二校验数据为所述数据帧的采集标识和采集数据;

[0028] 根据预设阈值,确定所述第一校验数据和所述第二校验数据的拼接位置,其中,所述预设阈值为一次校验所需的字节数量;

[0029] 根据所述拼接位置,对所述第一校验数据以及所述第二校验数据同时进行拼接和校验,确定第一校验和以及第二校验和;

[0030] 对所述第一校验和以及所述第二校验和进行累加,确定所述数据帧的校验和。

[0031] 在本申请实施例中,将数据帧分为第一校验数据和第二校验数据,其中,第一校验数据为数据帧的帧头数据,第二校验数据为数据帧的采集标识和采集数据,然后根据预设阈值,确定第一校验数据和第二校验数据的拼接位置,其中,预设阈值为一次校验所需的字节数量,根据拼接位置,对第一校验数据以及第二校验数据同时进行拼接和校验,确定第一校验和以及第二校验和,对第一校验和以及第二校验和进行累加,确定数据帧的校验和,通过并行校验帧头数据与采集数据标识、采集数据,提高校验速度,减少校验时间,提高用户体验。

[0032] 可选的,对所述第一校验数据以及所述第二校验数据同时进行拼接和校验,确定第一校验和以及第二校验和,包括:

[0033] 在第一时间间隔对所述第一校验数据以及所述第二校验数据同时进行校验,确定所述第一校验和以及第三校验和,其中,所述第一时间间隔为所述第一校验数据校验完成

的时间间隔；

[0034] 在第二时间间隔对未校验的所述第二校验数据进行校验,确定第四校验和；

[0035] 对所述第三校验和以及所述第四校验和进行累加,确定所述第二校验和。

[0036] 第三方面,本申请实施例提供一种快速校验装置,包括：

[0037] 第一处理模块,用于将数据帧分为第一校验数据和第二校验数据,其中,所述第一校验数据为所述数据帧的帧头数据,所述第二校验数据为所述数据帧的采集标识和采集数据；

[0038] 第一确定模块,用于根据预设阈值,确定所述第一校验数据和所述第二校验数据的拼接位置,其中,所述预设阈值为一次校验所需的字节数量；

[0039] 第二确定模块,用于根据所述拼接位置,对所述第一校验数据以及所述第二校验数据同时进行拼接和校验,确定第一校验和以及第二校验和；

[0040] 第三确定模块,用于对所述第一校验和以及所述第二校验和进行累加,确定所述数据帧的校验和。

[0041] 可选的,所述第二确定模块具体用于：

[0042] 在第一时间间隔对所述第一校验数据以及所述第二校验数据同时进行校验,确定所述第一校验和以及第三校验和,其中,所述第一时间间隔为所述第一校验数据校验完成的时间间隔；

[0043] 在第二时间间隔对未校验的所述第二校验数据进行校验,确定第四校验和；

[0044] 对所述第三校验和以及所述第四校验和进行累加,确定所述第二校验和。

[0045] 第四方面,本申请实施例提供一种计算机存储介质,所述计算机可读存储介质包括计算机程序,当计算机程序在计算机上运行时,使得所述计算机执行上述第二方面所述的方法。

[0046] 第五方面,本申请实施例提供一种包含指令的计算机程序产品,当所述指令在计算机上运行时,使得所述计算机执行上述第二方面所述的方法。

附图说明

[0047] 为了更清楚地说明本申请实施例或现有技术中的技术方案,下面将对实施例描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本申请的一些实施例。

[0048] 图1为本申请实施例中的快速校验电路的结构示意图；

[0049] 图2为本申请实施例中的第一校验电路的结构示意图；

[0050] 图3为本申请实施例中的第二校验电路的结构示意图；

[0051] 图4为本申请实施例中的输出电路的结构示意图；

[0052] 图5为本申请实施例中的快速校验方法的流程示意图；

[0053] 图6为本申请实施例中的快速校验装置的结构示意图。

具体实施方式

[0054] 为使本申请的目的、技术方案和优点更加清楚明白,下面将结合本申请实施例中的附图,对本申请实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅

是本申请一部分实施例,而不是全部的实施例。基于本申请中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本申请保护的范围。在不冲突的情况下,本申请中的实施例及实施例中的特征可以相互任意组合。并且,虽然在流程图中示出了逻辑顺序,但是在某些情况下,能够以不同于此处的顺序执行所示出或描述的步骤。

[0055] 本申请的说明书和权利要求书及上述附图中的术语“第一”和“第二”是用于区别不同对象,而非用于描述特定顺序。此外,术语“包括”以及它们任何变形,意图在于覆盖不排他的保护。例如包含了一系列步骤或单元的过程、方法、系统、产品或设备没有限定于已列出的步骤或单元,而是可选地还包括没有列出的步骤或单元,或可选地还包括对于这些过程、方法、产品或设备固有的其它步骤或单元。

[0056] 本申请实施例中,“至少一个”可以表示至少两个,例如可以是两个、三个或者更多个,本申请实施例不做限制。

[0057] 另外,本文中术语“和/或”,仅仅是一种描述关联对象的关联关系,表示可以存在三种关系,例如,A和/或B,可以表示:单独存在A,同时存在A和B,单独存在B这三种情况。另外,本文中字符“/”,在不做特别说明的情况下,一般表示前后关联对象是一种“或”的关系。

[0058] 目前,校验电路常采用二进制反码求和方法,校验每个数据帧的流程是将数据帧的566字节数据按字节逐个累加,得到校验结果,每次累加时间为一个时钟周期,即从上升沿到下降沿的时间,因此,长度为54字节的帧头数据,需要消耗54个时钟周期完成校验,同理可得到采集数据标识与采集数据的校验时间为512个时钟周期,则一个数据帧的检验时间为566个时钟周期。可见,现有的校验电路需在帧头数据校验完成之后再开始校验数据帧的采集数据标识和采集数据,存在校验速度较低,校验时间较长,导致用户体验较差的问题。

[0059] 鉴于此,本申请实施例提供一种快速校验电路,该电路包括第一校验电路、第二校验电路、输出电路,第一校验电路基于帧头数据流信号、帧头数据流使能指示信号和时钟信号,确定帧头数据流信号中的帧头数据的拼接位置,对帧头数据进行拼接和校验,向输出电路输出第一校验和,第二校验电路基于采集数据流信号、采集数据流使能指示信号和时钟信号,确定采集数据流信号中的采集数据标识和采集数据的拼接位置,对采集数据标识和所述采集数据进行拼接和校验,向输出电路输出第二校验和,输出电路基于时钟信号,累加第一校验和以及第二校验和,确定数据帧的校验和,使得该快速校验电路可并行校验帧头数据与采集数据标识、采集数据,由于采集数据长度较长,所以帧头数据校验会先完成,等采集数据标识、采集数据校验完成后,再将两部分所得校验和相加,得到整个数据帧的校验和,从而提高校验速度,减少校验时间,提高用户体验。

[0060] 为了更好的理解上述技术方案,下面通过说明书附图以及具体实施例对本申请技术方案做详细的说明,应当理解本申请实施例以及实施例中的具体特征是对本申请技术方案的简单的说明,而不是对本申请技术方案的限定,在不冲突的情况下,本申请实施例以及实施例中的技术特征可以相互组合。

[0061] 请参见图1,本申请实施例所提供的快速校验电路至少包括第一校验电路101、第二校验电路102、输出电路103,其中,

[0062] 第一校验电路101的输出端与输出电路103的第一输入端相连接,第二校验电路

102的输出端与输出电路103的第二输入端相连接；

[0063] 第一校验电路101基于帧头数据流信号、帧头数据流使能指示信号和时钟信号，确定帧头数据流信号中的帧头数据的拼接位置，对帧头数据进行拼接和校验，向输出电路103输出第一校验和；

[0064] 第二校验电路102基于采集数据流信号、采集数据流使能指示信号和时钟信号，确定采集数据流信号中的采集数据标识和采集数据的拼接位置，对采集数据标识和采集数据进行拼接和校验，向输出电路103输出第二校验和；

[0065] 输出电路103基于时钟信号，累加第一校验和以及第二校验和，确定数据帧的校验和，其中，数据帧由帧头数据、采集数据标识和采集数据组成。

[0066] 在如图1所示的快速校验电路中，通过第一校验电路101和第二校验电路102并行校验帧头数据与采集数据标识、采集数据，其中，帧头数据的长度为54字节，包括16字节的板卡物理地址、16字节的接收端物理地址、4字节的接收类型、9字节的发送端口和9字节的接收端口，采集数据标识的长度为2字节，采集数据的长度为510字节，由于采集数据长度较长，所以第一校验电路101校验的帧头数据校验会先完成，等第二校验电路102的采集数据标识、采集数据校验完成后，第一校验电路101和第二校验电路102分别向输出电路103输出第一校验和以及第二校验和，输出电路103再对第一校验和以及第二校验和进行累加，从而确定由帧头数据、采集数据标识和采集数据组成的数据帧的校验和，相较于现有校验电路校验每个数据帧时需先在帧头数据校验完成之后再开始校验采集数据标识和采集数据，快速校验电路并行校验数据帧头与采集数据标识、采集数据，减少了54个时钟周期的校验时间，然后对第一校验和以及第二校验和进行累加共消耗了3个时钟周期的校验时间，所以快速校验电路的校验时间为 $566-54+3=515$ 个时钟周期，比现有的校验电路的校验时间减少了51个时钟周期，提高校验速度以及用户体验。

[0067] 在具体实施时，本申请实施例提供的快速校验电路中，第一校验电路101的具体结构如图2所示，第一校验电路101包括第一数据选择器201、第一D触发器202、第二D触发器203、第三D触发器204、第一比较器205、第一与门206、第二与门207以及第一累加器208，其中，

[0068] 第一数据选择器201的输出端与第一D触发器202的清零端相连接，第一D触发器202的输出端分别与第一比较器205的第一输入端和第二与门207的第一输入端相连接，第一比较器205的输出端与第一与门206的第一输入端相连接，第一与门206的输出端与第二D触发器203的使能端相连接，第二与门207的输出端与第三D触发器204的使能端相连接，第二D触发器203和第三D触发器204的输出端与第一累加器208的第一输入端相连接；

[0069] 第一数据选择器201基于帧头数据流使能指示信号对第一D触发器202清零，使得第一D触发器202向第一与门206和第二与门207输出第一信号；

[0070] 第一与门206和第二与门207基于帧头数据流使能指示信号以及第一信号，确定帧头数据流信号中的帧头数据的拼接位置，并分别控制第二D触发器203和第三D触发器204的使能端，使得第二D触发器203和第三D触发器204基于帧头数据流信号以及时钟信号，对帧头数据进行拼接，并将拼接后的帧头数据输入到第一累加器208进行校验，以确定第一校验和。

[0071] 在如图2所示的第一校验电路101中，为了保证快速校验电路能够正常工作，第一

校验电路101还包括第六累加器209和第十四D触发器210,第六累加器209的输出端与第一D触发器202的输入端相连接,第十四D触发器210的输入端与第一与门207的输出端相连接。

[0072] 在具体实施时,本申请实施例提供的快速校验电路中,第二校验电路102的具体结构如图3所示,第二校验电路102包括第二数据选择器301、第四D触发器302、第五D触发器303、第六D触发器304、第二比较器305、第三与门306、第四与门307以及第二累加器308,其中,

[0073] 第二数据选择器301的输出端与第四D触发器302的清零端相连接,第四D触发器302的输出端分别与第二比较器305的第一输入端和第四与门307的第一输入端相连接,第二比较器305的输出端与第三与门306的第一输入端相连接,第三与门306的输出端与第五D触发器303的使能端相连接,第四与门307的输出端与第六D触发器304的使能端相连接,第五D触发器303和第六D触发器304的输出端与第二累加器308的第一输入端相连接;

[0074] 第二数据选择器301基于采集数据流使能指示信号对第四D触发器302清零,使得第四D触发器302向第三与门306和第四与门307输出第二信号;

[0075] 第三与门306和第四与门307基于采集数据流使能指示信号以及第二信号,确定采集数据流信号中的采集数据标识和采集数据的拼接位置,并分别控制第五D触发器303和第六D触发器304的使能端,使得第五D触发器303和第六D触发器304基于帧头数据流信号以及时钟信号,对采集数据标识和采集数据进行拼接,并将拼接后的采集数据标识和采集数据输入到第二累加器308进行校验,以确定第二校验和。

[0076] 在如图3所示的第二校验电路102中,为了保证快速校验电路能够正常工作,第二校验电路102还包括第七累加器309和第十五D触发器310,第七累加器309的输出端与第四D触发器302的输入端相连接,第十五D触发器310的输入端与第四与门307的输出端相连接。

[0077] 在具体实施时,本申请实施例提供的快速校验电路中,输出电路103的具体结构如图4所示,输出电路103包括第七D触发器401、第八D触发器402、第九D触发器403、第三累加器404、第四累加器405以及第五累加器406,其中,

[0078] 第七D触发器401的输入端与如图2所示的第一校验电路101中的第一累加器208的输出端相连接,第七D触发器401的输出端与第四累加器405和第五累加器406的第二输入端以及第一累加器208的第二输入端相连接,第七D触发器401的使能端与第一校验电路101中的第十四累加器210的输出端相连接,第八D触发器402的输入端与如图3所示的第二校验电路102中的第二累加器308的输出端相连接,第八D触发器402的输出端与第三累加器404的输入端以及第二累加器308的第二输入端相连接,第八D触发器402的使能端与第二校验电路102中的第十五累加器310的输出端相连接,第三累加器404的输出端与第四累加器405的第一输入端相连接,第四累加器405的输出端与第五累加器406的第一输入端相连接,第五累加器406的输出端与第九D触发器403的输入端相连接;

[0079] 第五累加器406基于第一校验和以及第二校验和,确定数据帧的校验和,并向第九D触发器403输出校验和,使得第九D触发器403基于时钟信号输出校验和输出信号。

[0080] 可选的,输出电路103还包括第十D触发器407、第十一D触发器408、第十二D触发器409、第十三D触发器410以及第五与门411,其中,

[0081] 第十D触发器407的输出端与第十一D触发器408的输入端相连接,第十一D触发器408的输出端与第五与门411的第一输入端以及第二输入端相连接,第五与门411的输出端

与第十二D触发器409的输入端相连接,第十二D触发器409的输出端与第十三D触发器410的输入端相连接;

[0082] 第十三D触发器410基于采集数据流使能指示信号以及时钟信号,确定数据帧是否完成校验,若完成,则输出校验和有效输出信号。

[0083] 请参见图5,基于同一发明构思,本申请实施例还提供了一种快速校验方法。该方法可以由前述图1所示的快速校验电路执行。该方法的具体流程描述如下。

[0084] 步骤501:将数据帧分为第一校验数据和第二校验数据,其中,所述第一校验数据为所述数据帧的帧头数据,所述第二校验数据为所述数据帧的采集标识和采集数据。

[0085] 在本申请实施例中,数据帧的长度为566字节,由54字节的帧头数据、2字节的采集数据标识、510字节的采集数据组成,其中,54字节的帧头数据包括16字节的板卡物理地址、16字节的接收端物理地址、4字节的接收类型、9字节的发送端口和9字节的接收端口,将长度为566字节的数据帧分为第一校验数据和第二校验数据,其中,第一校验数据为数据帧中54字节的帧头数据,第二校验数据为数据帧中2字节的采集标识和510字节的采集数据。

[0086] 步骤502:根据预设阈值,确定所述第一校验数据和所述第二校验数据的拼接位置,其中,所述预设阈值为一次校验所需的字节数量。

[0087] 在本申请实施例中,在将数据帧分为第一校验数据和第二校验数据之后,根据预设阈值,确定第一校验数据和第二校验数据的拼接位置,其中,预设阈值为一次校验所需的字节数量。例如,若预设阈值为2,即一次校验所需的字节数量为2,需将第一校验数据中的54字节数据和第二校验数据中的512字节数据,依次拼接成长度为2字节的数据。

[0088] 步骤503:根据所述拼接位置,对所述第一校验数据以及所述第二校验数据同时进行拼接和校验,确定第一校验和以及第二校验和。

[0089] 在本申请实施例中,在确定第一校验数据和第二校验数据的拼接位置之后,根据拼接位置,对第一校验数据以及第二校验数据同时进行拼接和校验,确定第一校验和以及第二校验和,具体的,在第一时间间隔对第一校验数据以及第二校验数据同时进行校验,确定第一校验和以及第三校验和,其中,第一时间间隔为第一校验数据校验完成的时间间隔,在第二时间间隔对未校验的第二校验数据进行校验,确定第四校验和,对第三校验和以及第四校验和进行累加,确定第二校验和。

[0090] 步骤504:对所述第一校验和以及所述第二校验和进行累加,确定所述数据帧的校验和。

[0091] 在本申请实施例中,在确定第一校验和以及第二校验和之后,对第一校验和以及第二校验和进行累加,确定由帧头数据、采集数据标识和采集数据组成数据帧的校验和,相较于现有校验方法校验每个数据帧时需先在帧头数据校验完成之后再开始校验采集数据标识和采集数据,快速校验方法并行校验数据帧头与采集数据标识、采集数据,减少了54个时钟周期的校验时间,然后对第一校验和以及第二校验和进行累加共消耗了3个时钟周期的校验时间,所以快速校验方法的校验时间为515个时钟周期,比现有的校验方法的校验时间减少了51个时钟周期,提高校验速度以及用户体验。

[0092] 基于同一发明构思,本申请实施例还提供了一种快速校验装置,该快速校验装置应用于如前述图1所示的快速校验电路,能够实现前述的快速校验方法对应的功能。该快速校验装置可以是硬件结构、软件模块、或硬件结构加软件模块。该快速校验装置可以由芯片

系统实现,芯片系统可以由芯片构成,也可以包含芯片和其他分立器件。请参见图6所示,该快速校验装置包括第一处理模块601、第一确定模块602、第二确定模块603、第三确定模块604,其中:

[0093] 第一处理模块601,用于将数据帧分为第一校验数据和第二校验数据,其中,所述第一校验数据为所述数据帧的帧头数据,所述第二校验数据为所述数据帧的采集标识和采集数据;

[0094] 第一确定模块602,用于根据预设阈值,确定所述第一校验数据和所述第二校验数据的拼接位置,其中,所述预设阈值为一次校验所需的字节数量;

[0095] 第二确定模块603,用于根据所述拼接位置,对所述第一校验数据以及所述第二校验数据同时进行拼接和校验,确定第一校验和以及第二校验和;

[0096] 第三确定模块604,用于对所述第一校验和以及所述第二校验和进行累加,确定所述数据帧的校验和。

[0097] 可选的,第二确定模块603具体用于:

[0098] 在第一时间间隔对所述第一校验数据以及所述第二校验数据同时进行校验,确定所述第一校验和以及第三校验和,其中,所述第一时间间隔为所述第一校验数据校验完成的时间间隔;

[0099] 在第二时间间隔对未校验的所述第二校验数据进行校验,确定第四校验和;

[0100] 对所述第三校验和以及所述第四校验和进行累加,确定所述第二校验和。

[0101] 基于同一发明构思,本申请实施例还提供一种存储介质,该存储介质存储有计算机指令,当该计算机指令在计算机上运行时,使得计算机执行如前述的快速校验方法的步骤。

[0102] 在一些可能的实施方式中,本申请提供的快速校验方法的各个方面还可以实现为一种程序产品的形式,其包括程序代码,当程序产品在如前述图1所示的快速校验电路上运行时,程序代码用于如前述图1所示的快速校验电路执行本说明书上述描述的根据本申请各种示例性实施方式的快速校验方法中的步骤。

[0103] 本领域内的技术人员应明白,本申请的实施例可提供为方法、系统、或计算机程序产品。因此,本申请可采用完全硬件实施例、完全软件实施例、或结合软件和硬件方面的实施例的形式。而且,本申请可采用在一个或多个其中包含有计算机可用程序代码的计算机可用存储介质(包括但不限于磁盘存储器、CD-ROM、光学存储器等)上实施的计算机程序产品的形式。

[0104] 本申请是参照根据本申请的方法、设备(系统)、和计算机程序产品的流程图和/或方框图来描述的。应理解可由计算机程序指令实现流程图和/或方框图中的每一流程和/或方框、以及流程图和/或方框图中的流程和/或方框的结合。可提供这些计算机程序指令到通用计算机、专用计算机、嵌入式处理机或其他可编程数据处理设备的处理器以产生一个机器,使得通过计算机或其他可编程数据处理设备的处理器执行的指令产生用于实现在流程图一个流程或多个流程和/或方框图一个方框或多个方框中指定的功能的装置。

[0105] 这些计算机程序指令也可存储在能引导计算机或其他可编程数据处理设备以特定方式工作的计算机可读存储器中,使得存储在该计算机可读存储器中的指令产生包括指令装置的制造品,该指令装置实现在流程图一个流程或多个流程和/或方框图一个方框或

多个方框中指定的功能。

[0106] 这些计算机程序指令也可装载到计算机或其他可编程数据处理设备上,使得在计算机或其他可编程设备上执行一系列操作步骤以产生计算机实现的处理,从而在计算机或其他可编程设备上执行的指令提供用于实现在流程图一个流程或多个流程和/或方框图一个方框或多个方框中指定的功能的步骤。

[0107] 显然,本领域的技术人员可以对本申请进行各种改动和变型而不脱离本申请的精神和范围。这样,倘若本申请的这些修改和变型属于本申请权利要求及其等同技术的范围之内,则本申请也意图包含这些改动和变型在内。

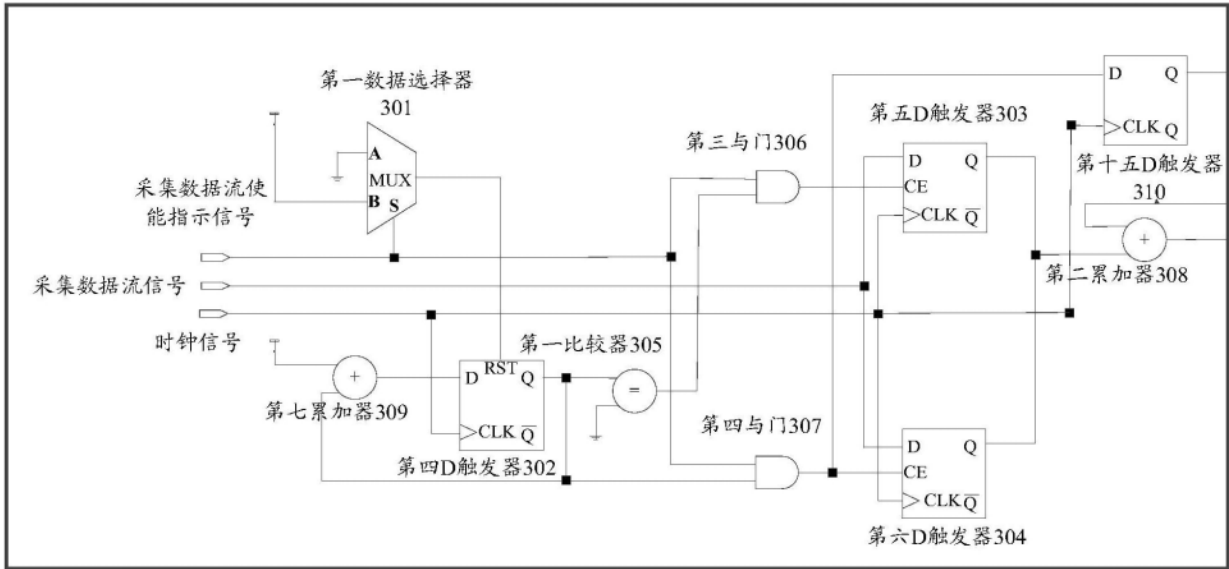


图3

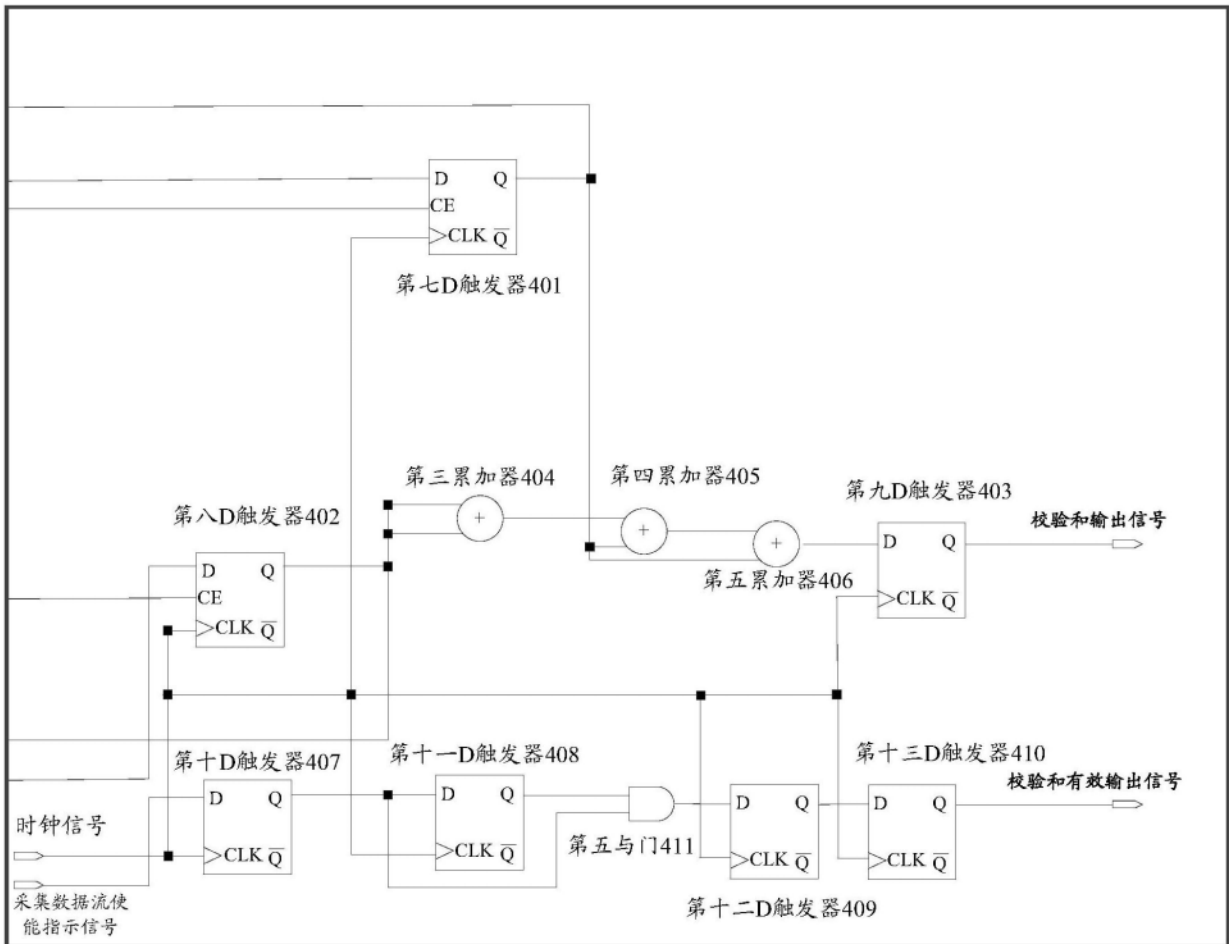


图4

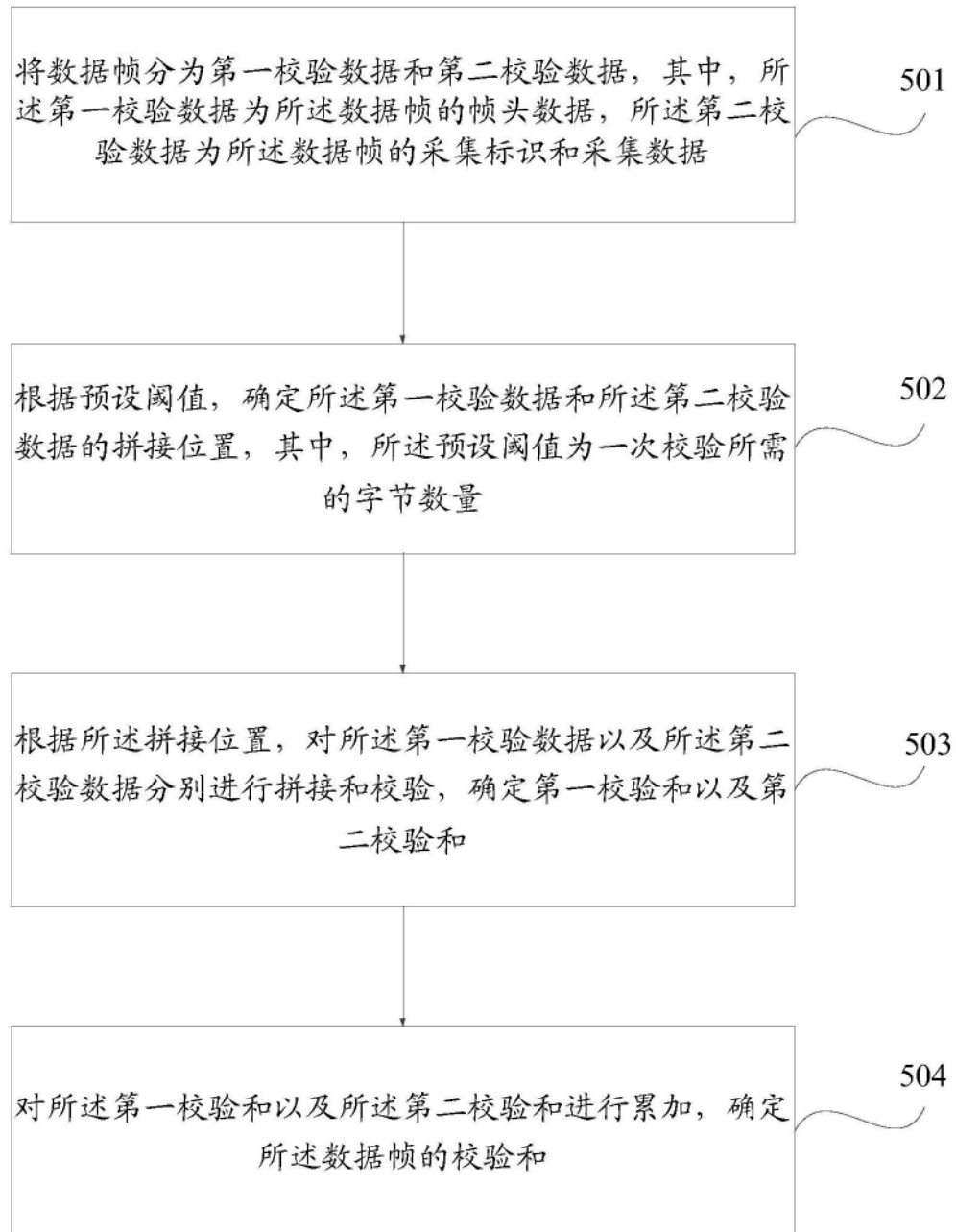


图5

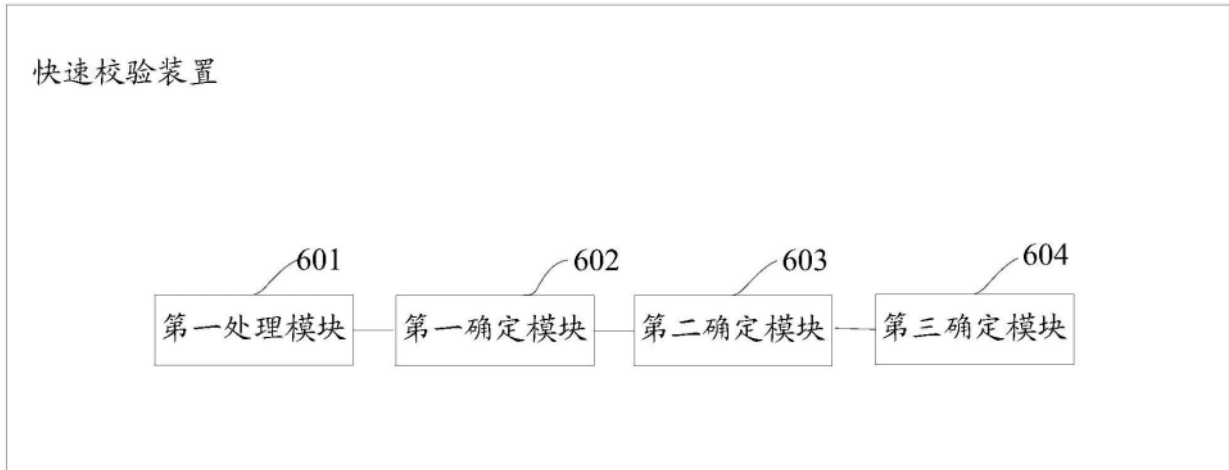


图6