

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6483491号
(P6483491)

(45) 発行日 平成31年3月13日(2019.3.13)

(24) 登録日 平成31年2月22日(2019.2.22)

(51) Int.Cl.

F I

HO3K	19/003	(2006.01)	HO3K	19/003	230
HO1L	21/822	(2006.01)	HO1L	27/04	H
HO1L	27/04	(2006.01)	HO1L	27/06	311B
HO1L	27/06	(2006.01)	HO1L	27/06	311A
HO3K	17/08	(2006.01)	HO1L	27/06	311C

請求項の数 8 (全 22 頁) 最終頁に続く

(21) 出願番号 特願2015-60425 (P2015-60425)
 (22) 出願日 平成27年3月24日(2015.3.24)
 (65) 公開番号 特開2016-181777 (P2016-181777A)
 (43) 公開日 平成28年10月13日(2016.10.13)
 審査請求日 平成30年2月15日(2018.2.15)

(73) 特許権者 591128453
 株式会社メガチップス
 大阪府大阪市淀川区宮原一丁目1番1号
 (74) 代理人 100103850
 弁理士 田中 秀▲てつ▼
 (74) 代理人 100109715
 弁理士 塩谷 英明
 (72) 発明者 佐々木 真吾
 千葉県千葉市美浜区中瀬一丁目3番地 株
 式会社メガチップス内

審査官 工藤 一光

最終頁に続く

(54) 【発明の名称】 半導体集積回路

(57) 【特許請求の範囲】

【請求項1】

電源線と出力線上の出力端子との間に設けられたP型MOSトランジスタと、
前記出力端子と接地線との間に設けられた第1のN型MOSトランジスタと、
前記出力端子と前記接地線との間に所定の電圧以上の電圧が印加されたか否かを検出する過電圧検出回路と、

前記P型MOSトランジスタのゲートと前記出力端子との間に設けられる第1のスイッチと、

前記第1のN型MOSトランジスタのゲートと前記接地線との間に設けられる第2のスイッチと、を備え、

前記過電圧検出回路は、

トリガ端子と、

前記出力端子と前記接地線との間に前記所定の電圧以上の電圧が印加された場合に前記出力端子と前記接地線との間を導通にする過電圧スイッチと、

前記過電圧スイッチの導通により決定される電位に基づいて前記トリガ端子の電位を決定する素子と、を備え、

前記第1のスイッチは、前記トリガ端子の電位に応じて前記P型MOSトランジスタを介した前記電源線と前記出力端子との間を導通又は非導通の状態に切り替え、

前記第2のスイッチは、前記トリガ端子の電位に応じて前記第1のN型MOSトランジスタを介した前記出力端子と前記接地線との間を導通又は非導通の状態に切り替える、

半導体集積回路。

【請求項 2】

前記過電圧スイッチは、ツェナーダイオードである、請求項 1 に記載の半導体集積回路

【請求項 3】

前記トリガ端子の電位を決定する素子は、MOS トランジスタと第 1 の抵抗素子とを含み、

前記 MOS トランジスタは、前記過電圧スイッチの導通により決定される電位に応じた電流を前記第 1 の抵抗素子に供給し、

前記第 1 の抵抗素子は、前記 MOS トランジスタから供給される前記電流に基づいて、前記トリガ端子の電位を決定する、
請求項 2 に記載の半導体集積回路。

10

【請求項 4】

前記出力端子と前記第 1 の N 型 MOS トランジスタとの間に設けられ、ゲートが前記電源線に接続された第 2 の N 型 MOS トランジスタをさらに備える、請求項 1 乃至 3 のいずれか一項に記載の半導体集積回路。

【請求項 5】

前記 P 型 MOS トランジスタのバルクとドレインとの間に形成される寄生ダイオードと

前記 P 型 MOS トランジスタのバルクとソースとの間に設けられた第 2 の抵抗素子とを

さらに備える、
請求項 1 乃至 4 のいずれか一項に記載の半導体集積回路。

20

【請求項 6】

前記第 1 のスイッチは、前記過電圧検出回路によって前記所定の電圧以上の電圧が印加されたことが検出された場合に、前記 P 型 MOS トランジスタを介した前記電源端子と前記出力端子との間を導通に切り替え、

前記第 2 のスイッチは、前記過電圧検出回路によって前記所定の電圧以上の電圧が印加されたことが検出された場合に、前記第 1 の N 型 MOS トランジスタを介した前記出力端子と前記接地線との間を導通に切り替える、

請求項 1 乃至 5 のいずれか一項に記載の半導体集積回路。

30

【請求項 7】

前記電源線と前記接地線との間に設けられ、前記トリガ端子の電位に従ってスイッチ動作する第 3 の N 型 MOS トランジスタと、を備え、

前記第 3 の N 型 トランジスタは、前記電源線と前記接地線との間に電圧が印加されておらず、かつ、前記過電圧検出回路によって前記出力端子と前記接地線との間に前記所定の電圧以上の電圧が印加されたことが検出された場合に、前記電源線と前記接地線との間を導通させることによって、前記出力端子から、前記 P 型 MOS トランジスタのバルクとドレインとの間に形成される寄生ダイオードと、前記 P 型 MOS トランジスタのバルクとソースとの間に設けられた第 2 の抵抗素子と、前記電源線及び前記第 3 の N 型 MOS トランジスタを介して、前記接地線に至る電流経路を形成する、

請求項 5 に記載の半導体集積回路。

40

【請求項 8】

前記 P 型 MOS トランジスタのバルクとドレインとの間に形成される寄生ダイオード、前記 P 型 MOS トランジスタのバルクとソースとの間に設けられた第 2 の抵抗素子、及び前記第 3 の N 型 MOS トランジスタは、前記出力端子と前記接地線との間に印加される電圧を分圧し、該分圧した電圧を前記電源線と前記接地線との間に与える分圧回路を構成する、請求項 7 に記載の半導体集積回路。

【発明の詳細な説明】

【技術分野】

【0001】

50

本発明は、半導体集積回路に関し、特に、EOS (Electric Over Stress) から内部回路を保護する機能を備えた半導体集積回路に関する。

【背景技術】

【0002】

半導体集積回路には、EOSと呼ばれる、電源電位よりも遥かに高い（又は接地電位よりも遥かに低い）電圧が数百msec程度の時間印加され続ける現象が起こる場合がある。かかる場合、半導体集積回路は、EOS対策が何ら施されていないと、EOSに起因する過電圧又は過電流によって破壊されてしまうおそれがある。

【0003】

EOSに起因する過電圧が印加されることによる半導体集積回路の破壊には幾つかの破壊モデルが存在する。なお、以下では、半導体集積回路の出力回路にEOSに起因する過電圧が印加されたものとして、該破壊モデルについて説明する。半導体集積回路の出力回路は、典型的には、ソースが電源線に接続され、ドレインが出力端子に接続され、ゲートが内部回路に接続されるP型MOSトランジスタと、ソースが接地線に接続され、ドレインが出力端子に接続され、ゲートが内部回路に接続されるN型MOSトランジスタとから構成される。

【0004】

破壊モデルの1つ目の例は、P型MOSトランジスタに大電流が流れることによって、P型MOSトランジスタが破壊されるモデルである。該モデルは、電源線と接地線との間に電源電圧が印加されている場合に、EOSに基づく過電圧が出力端子と接地線との間に印加された場合に発生する。該モデルでは、P型MOSトランジスタのソースよりもドレインの電位が高い状態となるため、P型MOSトランジスタのドレイン - バルク間に存在する寄生ダイオードが導通する。寄生ダイオードの両端が導通することによって、出力端子から寄生ダイオードを介して電源線に至る電流経路が形成され、該電流経路に大電流が流れ、P型MOSトランジスタは破壊される。

【0005】

破壊モデルの2つ目の例は、P型MOSトランジスタに過電圧が印加されることによって、P型MOSトランジスタが破壊されるモデルである。該モデルは、P型MOSトランジスタのゲート - ドレイン間の電位差が大きい（例えば、ゲートの電位が接地電位である）場合に発生する。該モデルでは、P型MOSトランジスタのゲート - ソース間に電源電圧を遥かに超える過電圧が印加されることによって、P型MOSトランジスタのゲートが破壊される。

【0006】

破壊モデルの3つ目の例は、電源線と接地線との間に過電圧が印加されることによって、電源線と接地線との間にある素子が破壊されるモデルである。該モデルは、電源線と接地線との間に電圧が印加されていない場合に発生する。該モデルでは、P型MOSトランジスタの寄生ダイオードを介して、電源線の電位が出力端子の電位と同程度の電位となる。電源線の電位が出力端子の電位と同電位となることによって、電源線と接地線との間に通常印加されるべき電源電圧を遥かに超える過電圧が印加され、電源線と接地線との間の素子は破壊される。

【0007】

破壊モデルの4つ目の例は、N型MOSトランジスタに大電流が流れることによって、N型MOSトランジスタが破壊されるモデルである。該モデルは、N型MOSトランジスタのゲート - ソース間、又はドレイン - ソース間に所定の電圧以上の電圧が印加されている場合に発生する。該モデルでは、N型MOSトランジスタのソース - ドレイン間が導通しているため、出力端子からN型MOSトランジスタを介して接地線に大電流が流れることによって、N型MOSトランジスタは破壊される。

【0008】

破壊モデルの5つ目の例は、N型MOSトランジスタに過電圧が印加されることによって、N型MOSトランジスタのゲートが破壊されるモデルである。該モデルは、N型MOS

10

20

30

40

50

Sトランジスタのゲート - ドレイン間の電位差が大きい場合に発生する。該モデルは、N型MOSトランジスタのゲート - ドレイン間に電源電圧を遥かに超える過電圧が印加されることによって、N型MOSトランジスタのゲートが破壊される。

【0009】

破壊モデルの6つ目の例は、N型MOSトランジスタに過電圧が印加されることによって、N型MOSトランジスタのドレインが破壊されるモデルである。該モデルでは、N型MOSトランジスタのドレイン - ソース間に電源電圧を遥かに超える過電圧が印加されることによって、N型MOSトランジスタのドレインが破壊される。

【0010】

EOSによる半導体集積回路のこのような破壊を防ぐために、EOSに起因する過電圧及び過電流が半導体集積回路に印加された際に、半導体集積回路の内部回路をEOSに起因する過電圧及び過電流から保護する過電圧過電流保護回路が必要とされる。

10

【0011】

例えば、下記特許文献1は、EOSから内部回路を保護するための過電圧保護回路を開示する。該過電圧保護回路は、出力トランジスタのドレインと出力端子との間に、前記出力端子を駆動する電流に対して順方向に接続された第1のダイオードと、該第1のダイオードと並列に接続された抵抗素子と、前記出力トランジスタのドレインとソースとの間に、前記出力端子を駆動する電流に対して逆方向に接続された第2のダイオードとを備える。かかる過電圧保護回路は、出力トランジスタのドレイン - ソース間に設けられたダイオードと、出力トランジスタのドレインと出力端子との間に設けられた抵抗素子とによって、出力端子と接地線との間にEOSに起因する過電圧が印加された場合に、出力トランジスタに大電流が流れることを防止する。

20

【先行技術文献】

【特許文献】

【0012】

【特許文献1】特開2014-63834号公報

【発明の概要】

【発明が解決しようとする課題】

【0013】

しかしながら、特許文献1に開示されるような従来の過電圧保護回路では、出力トランジスタのゲートの電位が接地電位である場合に出力端子と接地線との間にEOSに起因する過電圧が印加されることによって、出力トランジスタのゲート - ドレイン間に過電圧が印加され、出力トランジスタのゲートが破壊される現象に対して何ら対策が施されていない。また、従来の過電圧保護回路では、電源線と接地線との間に電圧が印加されていない場合に出力端子と接地線との間にEOSに起因する過電圧が印加されることによって、出力トランジスタの寄生ダイオードを介して電源線が出力端子の電位と同程度の電位となり、電源線と接地線との間に過電圧が印加され、電源線と接地線との間の素子が破壊される現象に対しても何ら対策が施されていない。このように、従来の過電圧保護回路では、出力端子と接地線との間にEOSに起因する過電圧が印加された場合、出力トランジスタが破壊されるか、電源線と接地線との間の素子が破壊されるか、又はその両方が起こる可能性を有していた。

30

40

【0014】

そこで、本発明は、トランジスタのゲート - ドレイン間に過電圧が印加されることによって、トランジスタが破壊されることを防止することができる半導体集積回路を提供することを目的とする。

【0015】

また、本発明は、電源線と接地線との間に過電圧が印加されることによって、電源線と接地線との間の素子が破壊されることを防止することができる半導体集積回路を提供することを目的とする。

【0016】

50

また、本発明によれば、半導体集積回路は、トランジスタのゲート - ソース間、又はドレイン - ソース間に過電圧が印加されることによって、通常動作以上の電流が流れ、トランジスタが破壊されることを防止することができる。

【課題を解決するための手段】

【0017】

上記課題を解決するための本発明は、以下の技術的特徴乃至は発明特定事項を含んで構成される。

【0018】

すなわち、ある観点に従う本発明は、電源線及び接地線と出力端子とを接続する出力線上の前記電源線と前記出力端子との間に設けられたP型MOSトランジスタと、前記出力線上の前記出力端子と前記接地線との間に設けられた第1のN型MOSトランジスタと、前記出力端子と前記接地線との間に所定の電圧以上の電圧が印加されたか否かを検出する過電圧検出回路と、前記P型MOSトランジスタのゲートと前記出力端子との間に設けられ、前記過電圧検出回路による検出の結果に従って、前記P型MOSトランジスタのゲートと前記出力端子との間を導通又は非導通の状態に切り替える第1のスイッチと、前記第1のN型MOSトランジスタのゲートと前記接地線との間に設けられ、前記検出の結果に従って、前記第1のN型MOSトランジスタのゲートと前記接地線との間を導通又は非導通の状態に切り替える第2のスイッチとを備える、半導体集積回路である。

【0019】

これにより、半導体集積回路は、出力端子と接地線との間に所定の電圧以上の電圧が印加されたか否かを検出し、該検出の結果に基づいて、P型MOSトランジスタのゲートと出力端子との間を導通又は非導通に切り替えるとともに、第1のN型MOSトランジスタのゲートと接地線との間を導通又は非導通に切り替えるため、P型MOSトランジスタのゲートの電位を出力端子の電位に決定するとともに、第1のN型MOSトランジスタのゲートの電位を接地線の電位に決定することができるようになる。

【0020】

ここで、前記半導体集積回路は、前記出力線上の前記出力端子と前記第1のN型MOSトランジスタとの間に設けられ、ゲートが前記電源線に接続された第2のN型MOSトランジスタをさらに備えても良い。

【0021】

これにより、半導体集積回路は、出力端子と接地線との間に所定の電圧以上の電圧が印加された場合に、第2のN型MOSトランジスタによる電圧降下によって、第1のN型MOSトランジスタのドレインの電位を低下させるため、所定の電圧以上の電圧が第1のN型MOSトランジスタのゲートと、ドレイン及びソースとの間に印加されることを防止することができ、所定の電圧以上の電圧によって第1のN型MOSトランジスタが破壊されることを防止することができるようになる。

【0022】

また、前記半導体集積回路は、前記P型MOSトランジスタの前記バルクとドレインとの間に寄生ダイオードが形成され、前記P型MOSトランジスタのバルクとソースとを接続する配線上に設けられた抵抗素子をさらに備えても良い。

【0023】

これにより、半導体集積回路は、出力端子と接地線との間に所定の電圧以上の電圧が印加された場合に、出力端子から寄生ダイオード及び抵抗素子を介して電源線に流れる電流を抵抗素子の電圧降下によって低減することによって、該電流によってP型MOSトランジスタが破壊されることを防止することができるようになる。

【0024】

また、前記第1のスイッチは、前記過電圧検出回路によって前記所定の電圧以上の電圧が印加されたことが検出された場合に、前記P型MOSトランジスタの前記ゲートと前記出力端子との間を導通に切り替え、前記第2のスイッチは、前記過電圧検出回路によって前記所定の電圧以上の電圧が印加されたことが検出された場合に、前記第1のN型MOS

10

20

30

40

50

トランジスタの前記ゲートと前記接地線との間を導通に切り替えても良い。

【0025】

さらに、別の観点に従う本発明は、電源線と出力端子とを接続する出力線上に設けられた第1のトランジスタと、前記出力端子と接地線との間に所定の電圧以上の電圧が印加されたか否かを検出する過電圧検出回路と、前記電源線と前記接地線との間に設けられ、前記検出の結果に従って動作する第2のトランジスタと、を備え、前記第1のトランジスタのバルクとドレインとの間に寄生ダイオードが形成され、前記第2のトランジスタは、前記電源線と前記接地線との間に電圧が印加されておらず、かつ、前記出力端子と前記接地線との間に前記所定の電圧以上の電圧が印加された場合に、前記電源線と前記接地線との間を導通に切り替えることによって、前記出力端子から前記寄生ダイオード、前記電源線及び前記第2のトランジスタを介して前記接地線に至る電流経路を形成する半導体集積回路である。

10

【0026】

これにより、半導体集積回路は、電源線と接地線との間に電圧が印加されておらず、出力端子と接地線との間に所定の電圧以上の電圧が印加された場合に、第2のトランジスタによって電源線と接地線との間を導通に切り替えることによって、電源線と接地線との間に所定の電圧以上の電圧が印加されることを防止することができ、所定の電圧以上の電圧によって電源線と接地線との間にある素子が破壊されることを防止することができるようになる。

【0027】

ここで、前記半導体集積回路は、前記第1のトランジスタの前記バルクとソースとを接続する配線上に設けられた抵抗素子をさらに備えても良い。

20

【0028】

これにより、半導体集積回路は、出力端子と接地線との間に所定の電圧以上の電圧が印加された場合に、出力端子から寄生ダイオード及び抵抗素子を介して電源線に流れる電流を抵抗素子の電圧降下によって低減することによって、該電流によって第1のトランジスタが破壊されることを防止することができるようになる。

【0029】

さらに、別の観点に従う本発明は、出力端子と接地線との間に所定の電圧以上の電圧が印加されたか否かを検出する過電圧検出回路と、電源線と前記接地線との間に電圧が印加されておらず、かつ、前記出力端子と前記接地線との間に前記所定の電圧以上の電圧が印加された場合に、前記出力端子と前記接地線との間に印加される電圧を分圧し、該分圧した電圧を前記電源線と前記接地線との間に与える分圧回路とを備える半導体集積回路である。

30

【0030】

これにより、半導体集積回路は、電源線と接地線との間に電圧が印加されておらず、出力端子と接地線との間に所定の電圧以上の電圧が印加された場合に、分圧回路によって所定の電圧以上の電圧を分圧し、該分圧した電圧を電源線と接地線との間に与えることによって、電源線と接地線との間に所定の電圧以上の電圧が印加されることを防止することができ、電源線と接地線との間にある素子が破壊されることを防止することができるようになる。

40

【0031】

ここで、前記分圧回路は、前記電源線と前記出力端子とを接続する出力線上に設けられた第1のトランジスタと、前記電源線と前記接地線との間に設けられ、前記検出の結果に従って動作する第2のトランジスタと、を含んでも良く、その場合、前記第1のトランジスタのバルクとドレインとの間に寄生ダイオードが形成される。

【0032】

これにより、半導体集積回路は、出力端子と接地線との間に印加された所定の電圧以上の電圧を寄生ダイオードと第2のトランジスタとによって分圧し、該分圧した電圧を電源線と接地線との間に与えるため、電源線と接地線との間に所定の電圧以上の電圧が印加さ

50

れることを防止することができ、電源線と接地線との間にある素子が破壊されることを防止することができるようになる。

【0033】

さらに、別の観点に従う本発明は、電源線及び接地線と出力端子とを接続する出力線の上の前記電源線と前記出力端子との間に設けられたP型MOSトランジスタと、前記出力線の上の前記出力端子と前記接地線との間に設けられた第1のN型MOSトランジスタと、前記出力線の上の前記出力端子と前記第1のN型MOSトランジスタとの間に設けられ、ゲートが前記電源線に接続された第2のN型MOSトランジスタと、前記出力端子と前記接地線との間に所定の電圧以上の電圧が印加されたか否かを検出する過電圧検出回路と、前記P型MOSトランジスタのゲートと前記出力端子との間に設けられ、前記過電圧検出回路による検出の結果に従って、前記P型MOSトランジスタのゲートと前記出力端子との間を導通又は非導通の状態に切り替える第1のスイッチと、前記第1のN型MOSトランジスタのゲートと前記接地線との間に設けられ、前記検出の結果に従って、前記第1のN型MOSトランジスタのゲートと前記接地線との間を導通又は非導通の状態に切り替える第2のスイッチと、前記電源線と前記接地線との間に設けられ、前記検出の結果に従って動作する第3のN型MOSトランジスタと、前記P型MOSトランジスタのバルクとソースとを接続する配線上に設けられた抵抗素子と、を備え、前記P型MOSトランジスタの前記バルクとドレインとの間に寄生ダイオードが形成される半導体集積回路である。

10

【0034】

これにより、半導体集積回路は、出力端子と接地線との間に所定の電圧以上の電圧が印加された場合に、P型MOSトランジスタのゲートと出力端子との間を導通にすることによって、P型MOSトランジスタのゲートと出力端子との間に所定の電圧以上の電圧が印加されることを防止することができ、所定の電圧以上の電圧によってP型MOSトランジスタが破壊されることを防止することができる。また、半導体集積回路は、出力端子から寄生ダイオード及び抵抗素子を介して電源線に流れる電流を抵抗素子によって低減するため、該電流によってP型MOSトランジスタが破壊されることを防止することができるようになる。

20

【0035】

さらに、半導体集積回路は、第1のN型MOSトランジスタのゲートと接地線との間を非導通にすることによって、第1のN型MOSトランジスタのソース-ドレイン間に電流が流れることを防止するため、該電流によって第1のN型MOSトランジスタが破壊されることを防止することができる。また、半導体集積回路は、第2のN型MOSトランジスタによる電圧降下によって、第1のN型MOSトランジスタのドレインの電位を低下させるため、所定の電圧以上の電圧が第1のN型MOSトランジスタのゲートと、ドレイン及びソースとの間に印加されることを防止することができ、所定の電圧以上の電圧によって第1のN型MOSトランジスタが破壊されることを防止することができるようになる。

30

【0036】

さらに、半導体集積回路は、電源線と接地線との間を導通に切り替えることによって、電源線と接地線との間に所定の電圧以上の電圧が印加されることを防止することができ、所定の電圧以上の電圧によって電源線と接地線との間にある素子が破壊されることを防止することができるようになる。

40

【発明の効果】

【0037】

本発明によれば、半導体集積回路は、トランジスタのゲート-ドレイン間に過電圧が印加されることによって、トランジスタが破壊されることを防止することができるようになる。

【0038】

また、本発明によれば、半導体集積回路は、電源線と接地線との間に過電圧が印加されることによって、電源線と接地線との間の素子が破壊されることを防止することができるようになる。

50

【0039】

また、本発明によれば、半導体集積回路は、トランジスタのゲート - ソース間、又はドレイン - ソース間に過電圧が印加されることによって、通常動作以上の電流が流れ、トランジスタが破壊されることを防止することができる。

【0040】

本発明の他の技術的特徴、目的、及び作用効果乃至は利点は、添付した図面を参照して説明される以下の実施形態により明らかにされる。

【図面の簡単な説明】

【0041】

【図1】本発明の一実施形態に係る半導体集積回路の概略構成の一例を示す図である。 10

【図2】本発明の一実施形態に係る半導体集積回路におけるトランジスタ、寄生ダイオード及び抵抗素子の接続関係を示す模式図である。

【図3】本発明の一実施形態に係る過電圧検出回路の構成の一例を示す図である。

【図4】本発明の一実施形態に係る半導体集積回路における過電圧検出回路の入出力特性を示す図である。

【図5】本発明の一実施形態に係る半導体集積回路の概略構成の他の例を示す図である。

【図6】本発明の一実施形態に係る半導体集積回路の概略構成の他の例を示す図である。

【図7】本発明の一実施形態に係る半導体集積回路の概略構成の他の例を示す図である。

【図8】本発明の一実施形態に係る半導体集積回路において、出力端子と接地線との間に過電圧が印加された場合に形成される電流経路の模式図である。 20

【図9】本発明の一実施形態に係る半導体集積回路の概略構成の他の例を示す図である。

【発明を実施するための形態】

【0042】

次に、本発明の実施の形態について、図面を参照しつつ説明する。

【0043】

図1は、本発明の一実施形態に係る半導体集積回路の概略構成の一例を示す図である。同図に示すように、本実施形態に係る半導体集積回路1は、例えば、論理回路10と、過電圧検出回路20と、トランジスタTR1乃至TR3と、寄生ダイオードD1と、抵抗素子R1とを含んで構成される。

【0044】

論理回路10は、半導体集積回路1において種々の処理を行う内部回路であり、該処理を行った結果をトランジスタTR1又はTR2のゲートに出力することによって、トランジスタTR1又はTR2のゲートの電位を決定する。具体的には、論理回路10(1)は、処理の結果をゲート信号PGATEとして、該信号をトランジスタTR1のゲートに出力することによって、トランジスタTR1のゲートの電位を決定する。また、論理回路10(2)は、処理の結果をゲート信号NGATEとしてトランジスタTR2のゲートに出力することによって、トランジスタTR2のゲートの電位を決定する。

【0045】

トランジスタTR1は、例えば、P型MOSトランジスタであり、電源スイッチとして機能する。トランジスタTR1は、例えば、論理回路10(1)から出力されるゲート信号PGATEに従って動作し、出力端子oと電源線VDDとの間を導通又は非導通に切り替えることによって、出力端子oの電位を決定する。トランジスタTR1は、電源線VDDと接地線GNDとを接続する出力線W__OUT上に設けられ、そのソースは、電源線VDDと抵抗素子R1の一端とに接続される一方で、ドレインは、寄生ダイオードD1のアノード端子と、出力端子oと、トランジスタTR2及びTR3のドレインと、過電圧検出回路20の検出端子dとに接続され、ゲートは、論理回路10(1)と、トランジスタTR3のソースとに接続される。また、トランジスタTR1のパルクは、寄生ダイオードD1のカソード端子と抵抗素子R1の他端とに接続される。

【0046】

寄生ダイオードD1は、一般に、トランジスタTR1の構造に由来して形成されるもの 50

であり、トランジスタTR1に付随するものである。寄生ダイオードD1のアノード端子は、トランジスタTR1乃至TR3のドレインと、出力端子oと、過電圧検出回路20の検出端子dとに接続される一方で、そのカソード端子は、トランジスタTR1のバルクと、抵抗素子R1の他端とに接続される。寄生ダイオードD1は、出力端子oと接地線GNDとの間に所定の電圧以上の電圧が印加された場合に導通し、出力端子oから寄生ダイオードD1及び抵抗素子R1を介して電源線VDDに電流を供給する。ここで、所定の電圧は、少なくとも電源線VDD+寄生ダイオードD1の閾値電圧以上の電圧である。また、所定の電圧以上の電圧とは、例えば、EOSに起因する過電圧であって、以下では、これを単に過電圧と呼ぶことにする。

【0047】

抵抗素子R1は、例えば、ポリシリコン抵抗である。抵抗素子R1は、出力端子oと接地線GNDとの間に過電圧が印加され、出力端子oから寄生ダイオードD1及び抵抗素子R1を介して電源線VDDに電流が供給される場合に、トランジスタTR1のドレイン-バルク間に大電流が流れることを防止する。抵抗素子R1の一端は、電源線VDDに接続される一方で、その他端は、寄生ダイオードD1のカソード端子と、トランジスタTR1のバルクとに接続される。

【0048】

トランジスタTR2は、例えば、N型MOSトランジスタであり、電源スイッチとして機能する。トランジスタTR2は、例えば、論理回路10(2)から出力されるゲート信号NGATEに従って動作し、出力端子oと接地線GNDとの間を導通又は非導通に切り替えることによって、出力端子oの電位を決定する。トランジスタTR2は、出力線W_{OUT}上に設けられ、そのソースは、接地線GNDに接続され、ドレインは、寄生ダイオードD1のアノード端子と、出力端子oと、トランジスタTR1及びTR3のドレインと、過電圧検出回路20の検出端子dとに接続され、ゲートは論理回路10(2)に接続される。

【0049】

過電圧検出回路20は、出力端子oと接地線GNDとの間に過電圧が印加されたか否かを検出端子dを介して検出し、該検出結果をトリガ信号TRIGとしてトリガ端子tを介してトランジスタTR3のゲートに出力する。過電圧検出回路20の検出端子dは、トランジスタTR1乃至TR3のドレインと、寄生ダイオードD1のアノード端子と、出力端子oとに接続され、そのトリガ端子tは、トランジスタTR3のゲートに接続され、そのグランド端子gは、接地線GNDに接続される。

【0050】

トランジスタTR3は、例えば、N型MOSトランジスタであり、スイッチとして機能する。トランジスタTR3は、例えば、過電圧検出回路20から出力されるトリガ信号TRIGに従って動作し、トランジスタTR1のゲートと出力端子oとの間を導通又は非導通に切り替えることによって、トランジスタTR1のゲートの電位を決定する。トランジスタTR3のソースは、トランジスタTR1のゲートと、論理回路10(1)とに接続され、トランジスタTR3のドレインは、トランジスタTR1及びTR2のドレインと、出力端子oと、過電圧検出回路20の検出端子dとに接続され、さらにトランジスタTR3のゲートは、過電圧検出回路20のトリガ端子tに接続される。

【0051】

[出力端子oと接地線GNDとの間に過電圧が印加されない場合の動作]

出力端子oと接地線GNDとの間に過電圧が印加されない場合、過電圧検出回路20によって過電圧は検出されず、半導体集積回路1は、トランジスタTR3がオフとなることによってトランジスタTR1と出力端子oとの間を切り離す(すなわち、非導通にする)。したがって、半導体集積回路1は、論理回路10(1)及び10(2)の処理結果に従うトランジスタTR1及びTR2の動作に基づいて、出力端子oの電位を決定し、該電位を出力信号OUTとして外部に出力する。

【0052】

10

20

30

40

50

より具体的には、トランジスタTR1及びTR2によって、電源線VDDと出力端子oとの間が導通し、出力端子oと接地線GNDとの間が非導通になる場合、半導体集積回路1は、出力信号OUTの電位を電源線VDDの電位(すなわち“H”)として、該信号を外部に出力する。また、トランジスタTR1及びTR2によって、電源線VDDと出力端子oとの間が非導通になり、出力端子oと接地線GNDとの間が導通する場合、半導体集積回路1は、出力信号OUTの電位を接地線GNDの電位(すなわち“L”)として、該信号を外部に出力する。なお、トランジスタTR1及びTR2は、典型的には、電源線VDDと出力端子oとの間と、出力端子oと接地線GNDとの間とのいずれもが導通又は非導通にならないように、論理回路10(1)及び10(2)によって制御される。

【0053】

[出力端子oと接地線GNDとの間に過電圧が印加される場合の動作]

出力端子oと接地線GNDとの間に過電圧が印加される場合、トランジスタTR1に付随する寄生ダイオードD1のアノード端子の電位がカソード端子の電位よりも大きくなることによって、寄生ダイオードD1の両端が導通するため、半導体集積回路1は、出力端子oから寄生ダイオードD1及び抵抗素子R1を介して電源線VDDに電流を供給する。かかる場合において、出力端子oから電源線VDDに流れる電流は、トランジスタTR1のバルクとソースとの間に設けられた抵抗素子R1によって、トランジスタTR1が破壊されない程度の値に決定される。

【0054】

また、出力端子oと接地線GNDとの間に過電圧が印加される場合、半導体集積回路1は、過電圧検出回路20に従うトランジスタTR3の動作に基づいて、トランジスタTR1のゲートの電位を出力端子oの電位に決定する。出力端子oと接地線GNDとの間に過電圧が印加されると、過電圧検出回路20は、該電圧を検出し、トリガ信号TRIGの電位を“H”として該信号をトランジスタTR3のゲートに出力する。トランジスタTR3は、トリガ信号TRIGの電位“H”に基づいてトランジスタTR1のゲートと出力端子oとの間を導通に切り替えることによって、トランジスタTR1のゲートの電位を出力端子oの電位に決定し、トランジスタTR1のゲート-ドレイン間に過電圧が印加されることを防止する。

【0055】

上述したように、出力端子oと接地線GNDとの間に過電圧が印加された場合に、半導体集積回路1は、出力端子oからトランジスタTR1に付随する寄生ダイオードD1を介して電源線VDDに流れる電流を抵抗素子R1によって減少させることによって、該電流によってトランジスタTR1が破壊されることを防止することができる。また、半導体集積回路1は、出力端子oと接地線GNDとの間に過電圧が印加された場合、過電圧検出回路20によって該電圧を検出し、該検出結果に従ってトランジスタTR3を動作させ、トランジスタTR1のゲートと出力端子oとの間を導通に切り替えることによって、トランジスタTR1のゲート-ドレイン間に過電圧が印加されることを防止する。これにより、半導体集積回路1は、トランジスタTR1のゲート-ドレイン間に過電圧が印加されることによって、トランジスタTR1が破壊されることを防止することができる。

【0056】

図2は、本発明の一実施形態に係る半導体集積回路におけるトランジスタ、寄生ダイオード及び抵抗素子の接続関係を示す模式図である。同図に示すように、トランジスタTR1は、例えば、ゲート端子GATE及びウェルWを含んで構成される。同図において、トランジスタTR1はP型MOSトランジスタであるものとする。

【0057】

ゲート端子GATEは、例えば、ゲート電極及びゲート酸化膜(図示せず)からなる。ゲート電極は、論理回路10(1)に至る配線と、ゲート酸化膜とに接続され、ゲート酸化膜はゲート電極及びウェルWに接続される。ゲート端子GATEは、論理回路10(1)から出力されるゲート信号PGATEをゲート電極で受け、該信号に従って、ゲート酸化膜を介してウェルWのドレイン端子DRNとソース端子SRCとの間に電流経路を生成

10

20

30

40

50

する。

【0058】

ウェルWは、N型半導体である。ウェルWは、例えば、ドレイン端子DRN、ソース端子SRC及びバルク端子BULKを含んで構成される。

【0059】

ドレイン端子DRN及びソース端子SRCは、P型半導体である。ドレイン端子DRNは、出力端子oに至る配線に接続され、ゲート端子GATEに出力されるゲート信号PGATEに基づいて、ソース端子SRCとの間に電流経路を生成する。ソース端子SRCは、電源線VDDに至る配線に接続され、ゲート端子GATEに出力されるゲート信号PGATEに基づいて、ドレイン端子DRNとの間に電流経路を生成する。

10

【0060】

バルク端子BULKはN型半導体である。バルク端子BULKは、抵抗素子R1を介して電源線VDD及びソース端子SRCに接続され、ウェルWの電位を抵抗素子R1の他端の電位に決定する。

【0061】

寄生ダイオードD1は、上述したように、トランジスタTR1の構造に由来して形成されるものである。寄生ダイオードD1は、P型半導体であるドレイン端子DRNと、N型半導体であるバルク端子BULK及びウェルWとがダイオード構造を構成することによって形成されるものであり、トランジスタTR1のウェルWにおけるドレイン端子DRNとソース端子SRCとの間に形成される。寄生ダイオードD1は、バルク端子BULKの電位より、ドレイン端子DRNの電位が寄生ダイオードD1の閾値電圧以上に高くなった場合に、ドレイン端子DRNとバルク端子BULKとの間を導通に切り替える。

20

【0062】

抵抗素子R1は、上述したように、例えば、ポリシリコン抵抗である。抵抗素子R1は、トランジスタTR1のバルク端子BULKとソース端子SRCとの間に設けられる。本例では、抵抗素子R1は、ソース端子SRCと電源線VDDとの間の配線上には設けられず、該配線上に設けられたノード(図中のノードa)から分岐してバルク端子BULKに至る配線上に設けられる。これにより、抵抗素子R1は、自身が出力端子oと接地線GNDとの間に過電圧が印加されない場合の半導体集積回路1の動作に影響を及ぼすことを防止することができる。また、抵抗素子R1は、出力端子oと接地線GNDとの間に過電圧が印加され、寄生ダイオードD1によってバルク端子BULKとドレイン端子DRNとの間が導通した場合に、寄生ダイオードD1を介して流れる電流を自身の抵抗値によって低減することによって、該電流によるトランジスタTR1の破壊を防止する。なお、抵抗素子R1の値は、出力端子oと接地線GNDとの間に過電圧が印加された場合に寄生ダイオードD1を介して流れる電流がトランジスタTR1を破壊しない程度の値に決定される。

30

【0063】

図3は、本発明の一実施形態に係る過電圧検出回路の構成の一例を示す図である。同図に示すように、過電圧検出回路20は、過電圧スイッチ21と、トランジスタTR4と、抵抗素子R2及びR3とを含んで構成される。

【0064】

過電圧スイッチ21は、例えば端子間に一定以上の電圧が印加された場合に該端子間を導通にする素子であり、このような素子としては、例えばツェナーダイオードが知られている。過電圧スイッチ21は、抵抗素子R2を介して検出端子dと接地端子gとの間に過電圧が印加されたか否かを検出し、該検出の結果に基づいて自身を導通又は非導通に切り替えることによって、抵抗素子R2とトランジスタTR4のゲートの電位を決定する。具体的には、過電圧スイッチ21は、検出端子dと接地端子gとの間に過電圧が印加された場合、自身を導通に切り替えることによって、検出端子dの電位を抵抗素子R2と自身の抵抗とによって分圧した電位に、トランジスタTR4のゲートの電位を決定する。一方、過電圧スイッチ21は、検出端子dと接地端子gとの間に過電圧が印加されない場合、自身を非導通に切り替えることによって、トランジスタTR4のゲートの電位を検出端子

40

50

dの電位に決定する。過電圧スイッチ21の一端は、トランジスタTR4のゲートと、抵抗素子R2の一端とに接続される一方で、その他端は、接地端子gを介して接地線GNDに接続される。

【0065】

抵抗素子R2は、例えば、ポリシリコン抵抗である。抵抗素子R2は、過電圧スイッチが導通している場合に、自身の抵抗値と過電圧スイッチ21の抵抗とによって検出端子dの電位を分圧することによって、トランジスタTR4のゲートの電位を決定する。抵抗素子R2の一端は、過電圧スイッチ21に接続される一方で、その他端は、検出端子dとトランジスタTR4のソースとに接続される。

【0066】

トランジスタTR4は、例えば、P型MOSトランジスタであり、電圧電流変換素子として機能する。トランジスタTR4は、過電圧スイッチ21及び抵抗素子R2によって決定されるゲートの電位に基づいて、抵抗素子R3に電流を供給する。具体的には、トランジスタTR4は、検出端子dと接地端子gとの間に過電圧が印加された場合、自身のゲート-ソース間に過電圧を抵抗素子R2及び過電圧スイッチ21によって分圧した電圧が印加されるため、ゲート-ソース間の電圧に応じた電流を抵抗素子R3に供給する。一方、トランジスタTR4は、検出端子dと接地端子gとの間に過電圧が印加されない場合、自身のゲート-ソース間に0Vに略等しい電圧が印加されるため、抵抗素子R3への電流の供給を停止する。トランジスタTR4のソースは、検出端子dと、抵抗素子R2の他端とに接続される一方で、そのドレインは、トリガ端子tと抵抗素子R3の一端に接続され、そのゲートは、抵抗素子R2の一端と過電圧スイッチ21の一端とに接続される。

【0067】

抵抗素子R3は、例えば、ポリシリコン抵抗である。抵抗素子R3は、トランジスタTR4から供給される電流に基づいて、トリガ端子tの電位を決定する。具体的には、抵抗素子R3は、検出端子dと接地端子gとの間に過電圧が印加される場合、トランジスタTR4から供給される電流に基づいて、自身の電圧降下に従って、トリガ端子tの電位を決定する一方で、検出端子dと接地端子gとの間に過電圧が印加されない場合、トランジスタTR4から電流が供給されないため、トリガ端子tの電位を“L”に決定する。抵抗素子R3の一端は、トランジスタTR4のドレインとトリガ端子tとに接続される一方で、その他端は、接地端子gを介して接地線GNDに接続される。

【0068】

以上のように構成される過電圧検出回路20は、検出端子dと接地端子gとの間に過電圧が印加される場合、トリガ端子tの電位をトランジスタTR4が抵抗素子R3に供給する電流と抵抗素子R3による電圧降下とによって決定される電位に決定し、該決定した電位をトリガ信号TRIGとして外部に出力する。一方で、過電圧検出回路20は、検出端子dと接地端子gとの間に過電圧が印加されない場合、トリガ端子tの電位を“L”に決定し、該決定した電位をトリガ信号TRIGとして外部に出力する。

【0069】

図4は、本発明の一実施形態に係る半導体集積回路における過電圧検出回路の入出力特性を示す図である。同図に示すように、検出端子dと接地端子gとの間の電圧が、通常動作電圧(すなわち、“H”)から所定の電圧に変化する場合において、過電圧検出回路20は、検出端子dと接地端子gとの間の電圧が過電圧スイッチ21が駆動する過電圧スイッチ駆動電圧に達するまで、トリガ端子tと接地端子gとの間の電圧を“L”とする。

【0070】

過電圧検出回路20は、検出端子dと接地端子gとの間の電圧が過電圧スイッチ駆動電圧に達して以降、トリガ端子tと接地端子gとの間の電圧を徐々に上昇させる。過電圧検出回路20は、検出端子dと接地端子gとの間の電圧が所定の電圧に達する前に、トリガ端子tと接地端子gとの間の電圧をN型MOSトランジスタが駆動するNMOS駆動電圧まで上昇させる。そして、過電圧検出回路20は、検出端子dと接地端子gとの間の電圧が所定の電圧に達した際、NMOS駆動電圧を上回る電圧にトリガ端子tと接地端子gと

10

20

30

40

50

の間の電圧を決定する。

【 0 0 7 1 】

上述したように、過電圧検出回路 2 0 は、検出端子 d と接地端子 g との間の電圧が半導体集積回路 1 の通常動作電圧である場合、トリガ端子 t と接地端子 g との間の電圧を “ L ” とする一方で、検出端子 d と接地端子 g との間の電圧が所定の電圧に達している場合、トリガ端子 t と接地端子 g との間の電圧を N M O S 駆動電圧以上の電圧とする。これにより、過電圧検出回路 2 0 は、検出端子 d と接地端子 g との間に所定の電圧が印加されたことを検出し、該検出結果を N 型 M O S トランジスタが十分に駆動可能な電圧を有するトリガ信号 T R I G としてトリガ端子 t から出力する。

【 0 0 7 2 】

図 5 は、本発明の一実施形態に係る半導体集積回路の概略構成の他の例を示す図である。同図に示すように、半導体集積回路 1 A は、論理回路 1 0 (1) 及び (2) と、過電圧検出回路 2 0 と、トランジスタ T R 1、T R 2、T R 5 及び T R 6 と、寄生ダイオード D 1 と、抵抗素子 R 1 とを含んで構成される。なお、論理回路 1 0 と、トランジスタ T R 1 と、寄生ダイオード D 1 と、抵抗素子 R 1 とに関しては、半導体集積回路 1 のものと同じであるため、その説明を省略する。

【 0 0 7 3 】

トランジスタ T R 2 は、例えば、N 型 M O S トランジスタであり、電源スイッチとして機能する。トランジスタ T R 2 は、論理回路 1 0 (2) から出力されるゲート信号 N G A T E に従って動作し、出力端子 o と接地線 G N D との間を導通又は非導通に切り替えることによって、出力端子 o の電位を決定する。トランジスタ T R 2 は、出力線 W _ O U T 上に設けられ、そのソースは接地線 G N D に接続される一方で、ドレインはトランジスタ T R 5 のソースに接続され、さらにゲートは論理回路 1 0 (2) に接続される。

【 0 0 7 4 】

トランジスタ T R 5 は、例えば、N 型 M O S トランジスタであり、バッファとして機能する。トランジスタ T R 5 は、そのゲートと接地線 G N D との間に電源線 V D D の電圧が印加されることによって常にトランジスタ T R 2 のドレインと出力端子 o との間を導通させ、出力端子 o と接地線 G N D との間に過電圧が印加された場合に、自身による電圧降下によって、トランジスタ T R 2 のドレインと、ソース及びゲートとの間に過電圧が印加されることを防止する。トランジスタ T R 5 は、出力線 W _ O U T 上に設けられ、そのソースはトランジスタ T R 2 のドレインに接続される一方で、ドレインはトランジスタ T R 1 のドレインと、寄生ダイオード D 1 のアノード端子と、出力端子 o と過電圧検出回路 2 0 の検出端子 d とに接続され、さらにゲートは電源線 V D D に接続される。

【 0 0 7 5 】

過電圧検出回路 2 0 は、出力端子 o と接地線 G N D との間に過電圧が印加されたか否かを検出端子 d を介して検出し、該検出結果をトリガ信号 T R I G としてトリガ端子 t を介してトランジスタ T R 6 のゲートに出力する。過電圧検出回路 2 0 の検出端子 d は、トランジスタ T R 1 及び T R 5 のドレインと、寄生ダイオード D 1 のアノード端子と、出力端子 o とに接続され、そのトリガ端子 t は、トランジスタ T R 6 のゲートに接続され、そのグランド端子 g は、接地線 G N D に接続される。

【 0 0 7 6 】

トランジスタ T R 6 は、例えば、N 型 M O S トランジスタであり、スイッチとして機能する。トランジスタ T R 6 は、過電圧検出回路 2 0 から出力されるトリガ信号 T R I G に従って動作し、トランジスタ T R 2 のゲートと接地線 G N D 上のノード b との間を導通又は非導通に切り替えることによって、トランジスタ T R 2 のゲートの電位を決定する。トランジスタ T R 6 のソースは、接地線 G N D 上のノード b に接続される一方で、ドレインは、トランジスタ T R 2 のゲートと論理回路 1 0 (2) とに接続され、さらにゲートは、過電圧検出回路 2 0 のトリガ端子 t に接続される。

【 0 0 7 7 】

[出力端子 o と接地線 G N D との間に過電圧が印加されない場合の動作]

10

20

30

40

50

出力端子oと接地線GNDとの間に過電圧が印加されない場合、過電圧検出回路20によって過電圧は検出されず、半導体集積回路1は、トランジスタTR6がオフとなること
 によってトランジスタTR2と接地線GNDとの間を切り離す。したがって、半導体集積
 回路1Aは、論理回路10(1)及び10(2)の処理結果に従うトランジスタTR1及
 びTR2の動作に基づいて、出力端子oの電位を決定し、該電位を出力信号OUTとして
 外部に出力する。

【0078】

より具体的には、トランジスタTR1及びTR2によって、電源線VDDと出力端子o
 との間が導通し、出力端子oと接地線GNDとの間が非導通になる場合、半導体集積回路
 1Aは、出力信号OUTの電位を電源線VDDの電位(すなわち“H”)として、該信号
 を外部に出力する。また、トランジスタTR1及びTR2によって、電源線VDDと出力
 端子oとの間が非導通になり、出力端子oと接地線GNDとの間が導通する場合、半導体
 集積回路1は、出力信号OUTの電位をトランジスタTR5を介して接地線GNDの電位
 (すなわち“L”)として、該信号を外部に出力する。

10

【0079】

[出力端子oと接地線GNDとの間に過電圧が印加される場合の動作]

出力端子oと接地線GNDとの間に過電圧が印加される場合、半導体集積回路1Aは、
 過電圧検出回路20に従うトランジスタTR6の動作に基づいて、トランジスタTR2の
 ゲートの電位を接地線GND上のノードbの電位“L”に決定する。出力端子oと接地線
 GNDとの間に過電圧が印加されると、過電圧検出回路20は、該電圧を検出し、該検出
 の結果に基づいて、トリガ信号TRIGの電位を“H”として該信号をトランジスタTR
 6のゲートに出力する。トランジスタTR6は、トリガ信号TRIGの電位“H”に基づ
 いて、トランジスタTR6のゲートと接地線GND上のノードbとの間を導通に切り替え
 ることによって、トランジスタTR2のゲートの電位を接地線GND上のノードbの電位
 に決定し、トランジスタTR2に大電流が流れることを防止する。なお、出力端子oと接
 地線GNDとの間に過電圧が印加されない場合の動作については、図1における内容と同
 じであるため、その説明を省略する。

20

【0080】

上述したように、出力端子oと接地線GNDとの間に過電圧が印加された場合、半導体
 集積回路1Aは、トランジスタTR2のドレインと、ソース及びゲートとの間に印加され
 る電圧をトランジスタTR5による電圧降下によって減少させることによって、該電圧に
 よってトランジスタTR2が破壊されることを防止することができる。また、半導体集積
 回路1Aは、出力端子oと接地線GNDとの間に過電圧が印加された場合、過電圧検出回
 路20によって該電圧を検出し、該検出結果に従ってトランジスタTR6を動作させ、ト
 ランジスタTR2のゲートと接地線GND上のノードbとの間を導通に切り替えること
 によって、トランジスタTR2のドレイン-ソース間を非導通に切り替えてトランジスタ
 TR2に大電流が流れることを防止する。これにより、半導体集積回路1Aは、トランジ
 スタTR2に大電流が流れることによって、トランジスタTR2が破壊されることを防止す
 ることができる。

30

【0081】

図6は、本発明の一実施形態に係る半導体集積回路の概略構成の他の例を示す図である
 。同図に示すように、半導体集積回路1Bは、半導体集積回路1及び1Aの全ての構成要
 素を含んで構成される。なお、同図における各構成要素の詳細に関しては、半導体集積回
 路1、1Aのものと同じであるため、その説明を省略する。

40

【0082】

[出力端子oと接地線GNDとの間に過電圧が印加される場合の動作]

出力端子oと接地線GNDとの間に過電圧が印加される場合、半導体集積回路1Bは、
 過電圧検出回路20によって過電圧を検出し、該検出結果をトランジスタTR3、TR6
 及びに出力する。

【0083】

50

半導体集積回路1Bは、寄生ダイオードD1及び抵抗素子R1を介して電源線VDDに流れる電流を抵抗素子R1の電圧降下によってトランジスタTR1が破壊されない程度の電流に決定する。また、半導体集積回路1Bは、トランジスタTR3の動作によってトランジスタTR1のゲートと出力端子oとの間を導通させ、トランジスタTR1のゲートの電位を出力端子oの電位に決定することによって、トランジスタTR1のゲート-ドレイン間に過電圧が印加されることを防止する。また、半導体集積回路1Bは、トランジスタTR6の動作によってトランジスタTR2のゲートと接地線GNDとの間を導通に切り替えることによって、トランジスタTR2のドレイン-ソース間に大電流が流れることを防止する。さらに、半導体集積回路1Bは、トランジスタTR5による電圧降下によって、トランジスタTR2のドレインと、ソース及びゲートとの間に過電圧が印加されることを防止する。

10

【0084】

上述したように、出力端子oと接地線GNDとの間に過電圧が印加された場合、半導体集積回路1Bは、過電圧検出回路20によって該電圧を検出し、トランジスタTR3、及びTR6を動作させる。これにより、半導体集積回路1Bは、トランジスタTR1のゲート-ドレイン間に過電圧が印加されることを、トランジスタTR3の動作で抑制し、寄生ダイオードD1に大電流が流れることを抵抗素子R1で抑制することによって、トランジスタTR1が破壊されることを防止することができる。また、半導体集積回路1Bは、トランジスタTR5が挿入されることにより、トランジスタTR2のドレインとソース及びゲートとの間に過電圧が印加されることを抑制し、さらにトランジスタTR6の動作でトランジスタTR2のゲートが接地しトランジスタTR2が非導通になることによってトランジスタTR2が破壊されることを防止することができる。

20

【0085】

図7は、本発明の一実施形態に係る半導体集積回路の概略構成の他の例を示す図である。同図に示すように、半導体集積回路1Cは、論理回路10(1)及び10(2)と、過電圧検出回路20と、寄生ダイオードD1と、抵抗素子R1と、トランジスタTR1、TR2、TR7(1)乃至TR7(n)とを含んで構成される。ここで、nは正の整数である。なお、論理回路10と、トランジスタTR1及びTR2と、寄生ダイオードD1と、抵抗素子R1とは、半導体集積回路1のものと同じであるため、その説明を省略する。

【0086】

過電圧検出回路20は、出力端子oと接地線GNDとの間に過電圧が印加されたか否かを検出端子dを介して検出し、該検出結果をトリガ信号TRIGとしてトリガ端子tを介してトランジスタTR7のゲートに出力する。過電圧検出回路20の検出端子dは、トランジスタTR1及びTR2のドレインと、寄生ダイオードD1のアノード端子と、出力端子oとに接続され、そのトリガ端子tは、トランジスタTR7のゲートに接続され、その接地端子gは、接地線GNDに接続される。

30

【0087】

トランジスタTR7(1)乃至TR7(n)は、例えば、N型MOSトランジスタであり、スイッチとして機能する。トランジスタTR7(1)乃至TR7(n)は、電源線VDDと接地線GNDとを接続する配線上に直列に設けられ、過電圧検出回路20から出力されるトリガ信号TRIGに従って動作し、電源線VDDと接地線GNDとの間を導通に切り替えることによって、電源線VDDと接地線GNDとの間に過電圧が印加されることを防止する。トランジスタTR7(1)のソースは、トランジスタTR7(2)のドレインに接続され、そのドレインは、電源線VDDに接続され、そのゲートは、過電圧検出回路20のトリガ端子tに接続される。また、トランジスタTR7(n)のソースは、接地線GNDに接続される一方で、そのドレインは、トランジスタTR7(n-1)のソースに接続され、そのゲートは、過電圧検出回路20のトリガ端子tに接続される。

40

【0088】

[出力端子oと接地線GNDとの間に過電圧が印加される場合の動作]

出力端子oと接地線GNDとの間に過電圧が印加される場合、半導体集積回路1Cは、

50

過電圧検出回路20に従うトランジスタTR7(1)乃至TR7(n)の動作に基づいて、電源線VDDと接地線GNDとの間を導通に切り替える。出力端子oと接地線GNDとの間に過電圧が印加されると、過電圧検出回路20は、該電圧を検出し、該検出の結果に基づいて、トリガ信号TRIGの電位を“H”として該信号をトランジスタTR7(1)乃至TR7(n)のゲートに出力する。トランジスタTR7(1)乃至TR7(n)は、トリガ信号TRIGの電位“H”に基づいて電源線VDDと接地線GNDとの間を導通に切り替える。かかる場合において、電源線VDDと接地線GNDとの間に電圧が印加されていない場合、半導体集積回路1Cは、出力端子oから寄生ダイオードD1と、抵抗素子R1と、電源線VDDと、トランジスタTR7(1)乃至TR7(n)とを介して接地線GNDに至る電流経路を形成する。半導体集積回路1Cは、電源線VDDの電位を寄生ダイオードD1の抵抗及び抵抗素子R1と、トランジスタTR7(1)乃至TR7(n)のオン抵抗とで分圧した電位に決定するため、半導体集積回路1Cは、電源線VDDと接地線GNDとの間に過電圧が印加されることを防止する。

10

【0089】

上述したように、電源線VDDと接地線GNDとの間に電圧が印加されていない状態で、出力端子oと接地線GNDとの間に過電圧が印加された場合、半導体集積回路1Cは、出力端子oから寄生ダイオードD1と、抵抗素子R1と、電源線VDDと、トランジスタTR7(1)乃至TR7(n)とを介して接地線GNDに至る電流経路を形成し、電源線VDDの電位を寄生ダイオードD1及び抵抗素子R1と、トランジスタTR7(1)乃至TR7(n)のオン抵抗とで分圧した電位に決定する。これにより、半導体集積回路1Cは、電源線VDDと接地線GNDとの間に電圧が印加されていない状態で、出力端子oと接地線GNDとの間に過電圧が印加された場合に、寄生ダイオードD1及び抵抗素子R1を介して電源線VDDの電位が出力端子oの電位と同電位となり、電源線VDDと接地線GNDとの間に過電圧が印加されることによって、電源線VDDと接地線GNDとの間にある種々の素子(図示せず)が過電圧によって破壊されることを防止することができる。

20

【0090】

図8は、本発明の一実施形態に係る半導体集積回路において、出力端子と接地線との間に過電圧が印加された場合に形成される電流経路の模式図であり、図7における半導体集積回路の一部を示す図である。同図に示すように、本実施形態に係る半導体集積回路1C(図7を参照)において、寄生ダイオードD1と、抵抗素子R1と、トランジスタTR7(1)乃至TR7(n)とは、分圧回路30を構成する。同図において、電源線VDDと接地線GNDとの間には電圧が印加されておらず、出力端子oと接地線GNDとの間には過電圧が印加されているものとする。

30

【0091】

分圧回路30は、出力端子oと接地線GNDとの間の電圧を寄生ダイオードD1の抵抗及び抵抗素子R1と、トランジスタTR7(1)乃至TR7(n)とによって分圧し、該分圧した電圧を電源線VDDと接地線GNDとの間に印加する。出力端子oと接地線GNDとの間に過電圧が印加されると、トランジスタTR7(1)乃至TR7(n)は、過電圧検出回路20(図5を参照)によって、電源線VDDと接地線GNDとの間を導通に切り替える。寄生ダイオードD1は、アノード端子の電位がカソード端子の電位より大きくなることによって、出力端子oと抵抗素子R1との間を導通に切り替える。これにより、出力端子oから寄生ダイオードD1と、抵抗素子R1と、電源線VDDと、トランジスタTR7(1)乃至TR7(n)とを介して接地線GNDに至る電流経路が形成され、電源線VDDと接地線GNDとの間には、出力端子oと接地線GNDとの間に印加される電圧を分圧した電圧が印加される。

40

【0092】

上述したように、電源線VDDと接地線GNDとの間に電位が印加されていない状態で出力端子oと接地線GNDとの間に過電圧が印加される場合、分圧回路30は、出力端子oと接地線GNDとの間に印加される過電圧を分圧し、該分圧した電圧を電源線VDDと接地線GNDとの間に印加する。これにより、分圧回路30は、電源線VDDと接地線G

50

N Dとの間に電圧が印加されていない状態で、出力端子oと接地線G N Dとの間に過電圧が印加された場合に、寄生ダイオードD 1及び抵抗素子R 1を介して電源線V D Dの電位が出力端子oの電位と同電位となり、電源線V D Dと接地線G N Dとの間に過電圧が印加されることによって、電源線V D Dと接地線G N Dとの間にある種々の素子（図示せず）が過電圧によって破壊されることを防止することができる。なお、上述したように、本例では、電源線V D Dと寄生ダイオードD 1との間に抵抗素子R 1が設けられているが、抵抗素子R 1は除外されていても良い。

【 0 0 9 3 】

図9は、本発明の一実施形態に係る半導体集積回路の概略構成の他の例を示す図である。同図に示すように、本実施形態に係る半導体集積回路1 Dは、半導体集積回路1、1 A及び1 Cの全ての構成要素を含んで構成される。なお、同図における各構成要素の詳細に関しては、半導体集積回路1、1 A及び1 Bのものと同じであるため、その説明を省略する。

10

【 0 0 9 4 】

[出力端子oと接地線G N Dとの間に過電圧が印加される場合の動作]

出力端子oと接地線G N Dとの間に過電圧が印加される場合、半導体集積回路1 Dは、過電圧検出回路2 0によって過電圧を検出し、該検出結果をトランジスタT R 3、T R 6及びT R 7 (1)乃至T R 7 (n)に出力する。

【 0 0 9 5 】

電源線V D Dと接地線G N Dとの間に何らかの電圧が印加されている場合の半導体集積回路1 Dの動作について説明する。半導体集積回路1 Dは、寄生ダイオードD 1及び抵抗素子R 1を介して電源線V D Dに流れる電流を抵抗素子R 1の電圧降下によってトランジスタT R 1が破壊されない程度の電流に決定する。また、半導体集積回路1 Dは、トランジスタT R 3の動作によってトランジスタT R 1のゲートと出力端子oとの間を導通させ、トランジスタT R 1のゲートの電位を出力端子oの電位に決定することによって、トランジスタT R 1のゲート-ドレイン間に過電圧が印加されることを防止する。また、半導体集積回路1 Dは、トランジスタT R 6の動作によってトランジスタT R 2のゲートと接地線G N Dとの間を導通に切り替えることによって、トランジスタT R 2のドレイン-ソース間に大電流が流れることを防止する。さらに、半導体集積回路1 Dは、トランジスタT R 5による電圧降下によって、トランジスタT R 2のドレインと、ソース及びゲートとの間に過電圧が印加されることを防止する。

20

30

【 0 0 9 6 】

電源線V D Dと接地線G N Dとの間に電圧が印加されていない場合の半導体集積回路1 Dの動作について説明する。半導体集積回路1 Dは、トランジスタT R 7 (1)乃至T R 7 (n)の動作によって電源線V D Dと接地線G N Dとの間を導通に切り替える。半導体集積回路1 Dは、寄生ダイオードD 1と、抵抗素子R 1と、電源線V D Dと、トランジスタT R 7 (1)乃至T R 7 (n)とを介して接地線G N Dに至る電流経路を形成する。半導体集積回路1 Dは、寄生ダイオードD 1、抵抗素子R 1及びトランジスタT R 7 (1)乃至T R 7 (n)によって構成される分圧回路3 0（図8を参照）によって、電源線V D Dと接地線G N Dとの間に、出力端子oと接地線G N Dとの間の電圧を寄生ダイオードD 1及び抵抗素子R 1と、トランジスタT R 7 (1)乃至T R 7 (n)とによって分圧した電圧を供給することによって、電源線V D Dと接地線G N Dとの間に過電圧が印加されることを防止する。

40

【 0 0 9 7 】

上述したように、出力端子oと接地線G N Dとの間に過電圧が印加された場合、半導体集積回路1 Dは、過電圧検出回路2 0によって該電圧を検出し、トランジスタT R 3、T R 6及びT R 7 (1)乃至T R 7 (n)を動作させる。これにより、半導体集積回路1 Dは、トランジスタT R 1のゲート-ソース間に過電圧が印加されるか、又は寄生ダイオードD 1に大電流が流れることによって、トランジスタT R 1が破壊されることを防止することができる。また、半導体集積回路1 Dは、トランジスタT R 2のドレインとソース及

50

びゲートとの間に過電圧が印加されるか、又はトランジスタTR2に大電流が流れることによってトランジスタTR2が破壊されることを防止することができる。また、半導体集積回路1Dは、電源線VDDと接地線GNDとの間に過電圧が印加されることによって、電源線VDDと接地線GNDとの間にある種々の素子（図示せず）が破壊されることを防止することができる。

【0098】

なお、本実施形態では、半導体集積回路1Dは、半導体集積回路1、1A、1B及び1Cの全ての構成要素を含んでいるが、これに限られるものではなく、半導体集積回路1Dは、半導体集積回路1、1A、1B及び1Cの一部の構成要素を含むものであっても良い。

10

【0099】

上記各実施形態は、本発明を説明するための例示であり、本発明をこれらの実施形態にのみ限定する趣旨ではない。本発明は、その要旨を逸脱しない限り、さまざまな形態で実施することができる。

【0100】

例えば、本明細書に開示される方法においては、その結果に矛盾が生じない限り、ステップ、動作又は機能を並行して又は異なる順に実施しても良い。説明されたステップ、動作及び機能は、単なる例として提供されており、ステップ、動作及び機能のうちのいくつかは、発明の要旨を逸脱しない範囲で、省略でき、また、互いに結合させることで一つのものとしてもよく、また、他のステップ、動作又は機能を追加してもよい。

20

【0101】

また、本明細書では、さまざまな実施形態が開示されているが、一の実施形態における特定のフィーチャ（技術的事項）を適宜改良しながら、他の実施形態に追加し、又は該他の実施形態における特定のフィーチャと置換することができ、そのような形態も本発明の要旨に含まれる。

【産業上の利用可能性】

【0102】

本発明は、半導体集積回路を備える機器の分野に広く利用することができる。

【符号の説明】

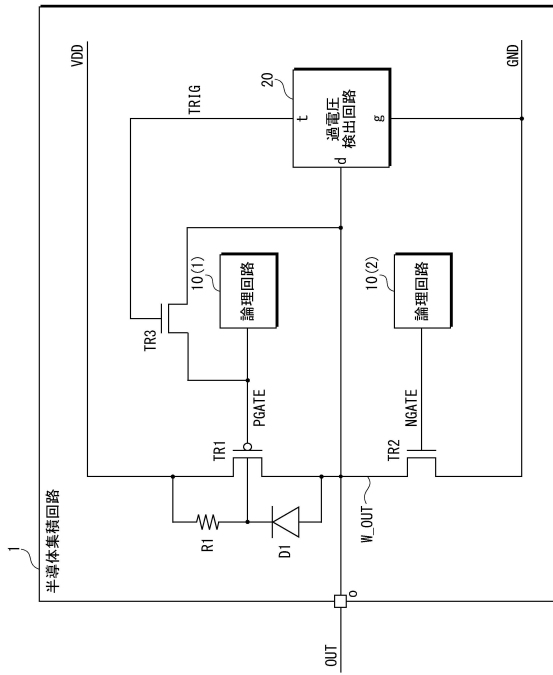
【0103】

- 1 ...半導体集積回路
- 10 ...論理回路
- 20 ...過電圧検出回路
- 21 ...過電圧スイッチ
- 30 ...分圧回路

30

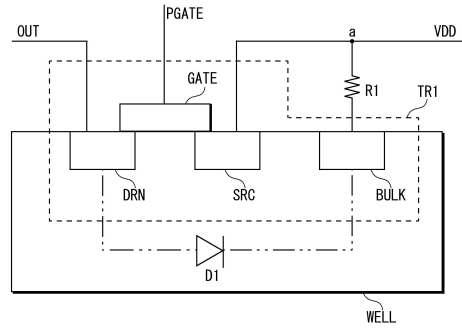
【図1】

図1



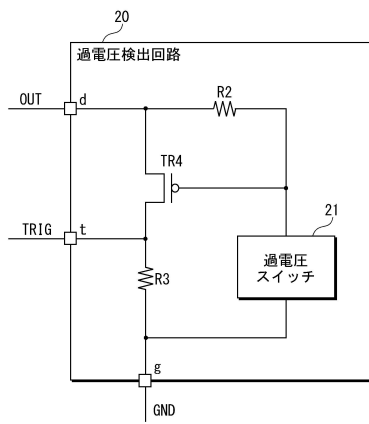
【図2】

図2



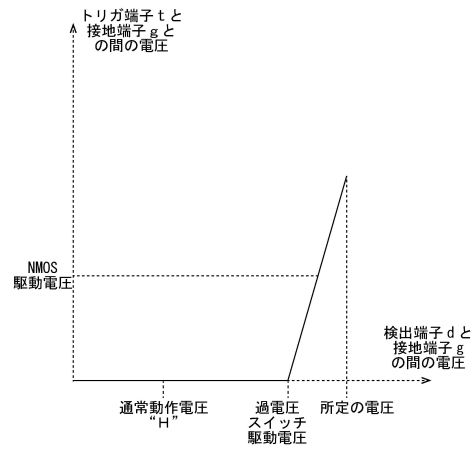
【図3】

図3



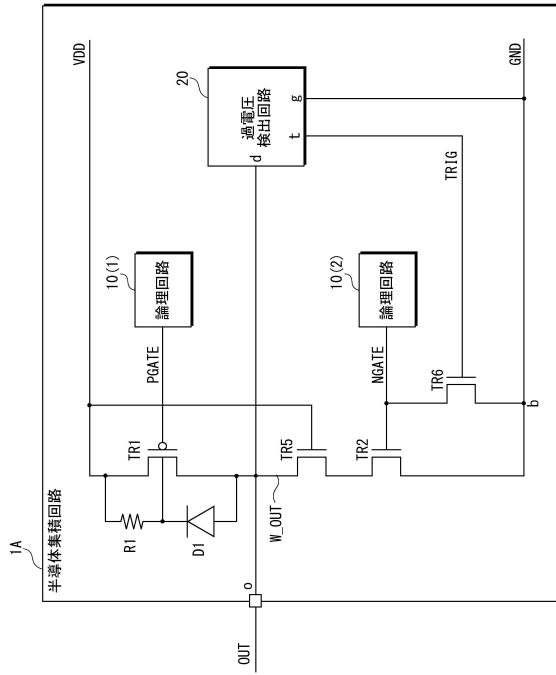
【図4】

図4



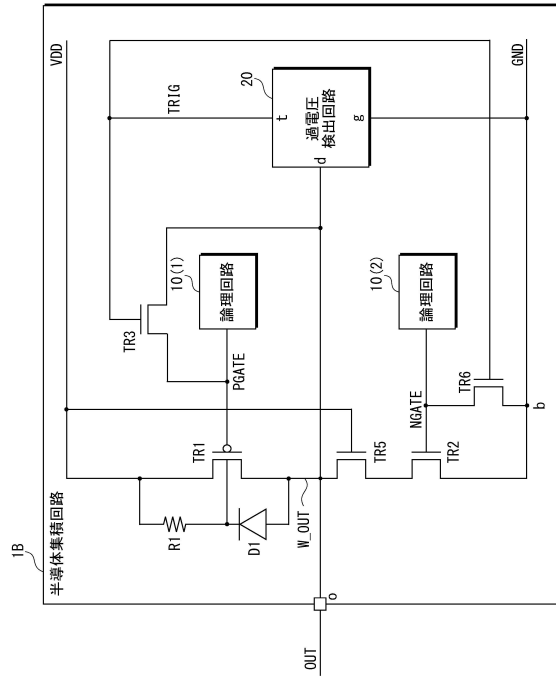
【 図 5 】

図 5



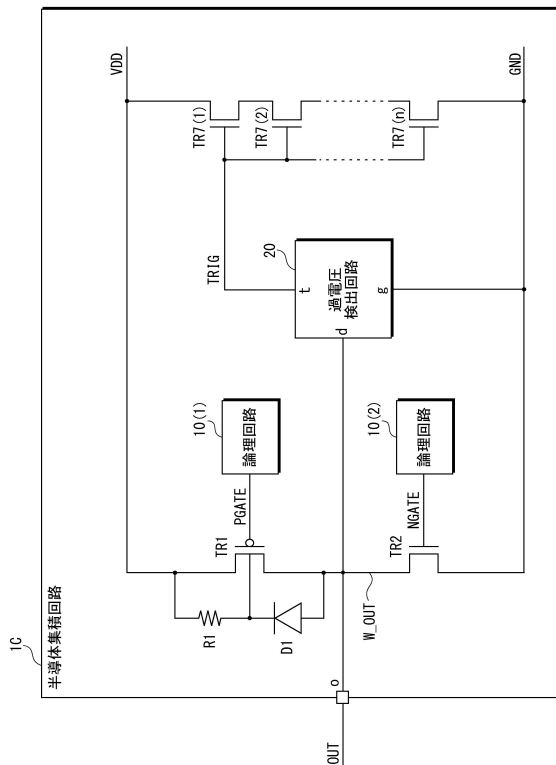
【 図 6 】

図 6



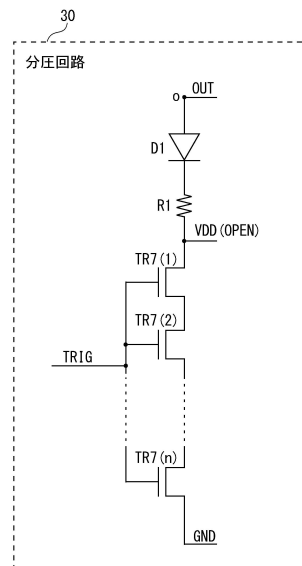
【 図 7 】

図 7



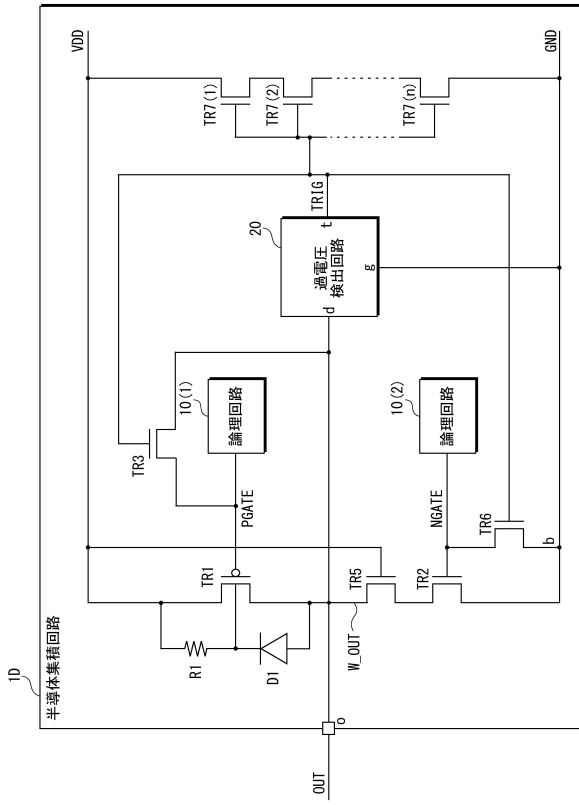
【 図 8 】

図 8



【 図 9 】

図 9



フロントページの続き

(51)Int.Cl. F I
H 0 3 K 17/08 C

(56)参考文献 特開平 8 - 1 3 9 5 8 4 (J P , A)
特開 2 0 0 7 - 3 1 6 9 5 4 (J P , A)
特開 2 0 1 0 - 6 2 7 3 7 (J P , A)
特開平 7 - 8 6 5 2 5 (J P , A)
特開平 8 - 1 4 8 9 8 5 (J P , A)
特開 2 0 0 6 - 2 2 8 0 2 7 (J P , A)
特開 2 0 0 5 - 1 9 7 9 8 0 (J P , A)
特開 2 0 0 0 - 7 7 5 3 7 (J P , A)
特開平 1 1 - 2 6 2 2 4 2 (J P , A)
特開平 1 - 2 9 8 9 4 9 (J P , A)
特開 2 0 0 9 - 1 3 1 0 3 5 (J P , A)

(58)調査した分野(Int.Cl. , DB名)

H 0 3 K 1 7 / 0 8
H 0 3 K 1 9 / 0 0 3
H 0 1 L 2 1 / 8 2 2
H 0 1 L 2 7 / 0 4
H 0 1 L 2 7 / 0 6