

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-165222

(P2006-165222A)

(43) 公開日 平成18年6月22日(2006.6.22)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 21/66 (2006.01)	HO 1 L 21/66 S	4M106
HO 1 L 23/52 (2006.01)	HO 1 L 21/66 Y	5F033
HO 1 L 21/3205 (2006.01)	HO 1 L 21/88 S	5F038
HO 1 L 21/822 (2006.01)	HO 1 L 27/04 T	
HO 1 L 27/04 (2006.01)		

審査請求 未請求 請求項の数 12 O L (全 15 頁)

(21) 出願番号 特願2004-353670 (P2004-353670)
 (22) 出願日 平成16年12月7日 (2004.12.7)

(71) 出願人 000002369
 セイコーエプソン株式会社
 東京都新宿区西新宿2丁目4番1号
 (74) 代理人 100095728
 弁理士 上柳 雅誉
 (74) 代理人 100107076
 弁理士 藤網 英吉
 (74) 代理人 100107261
 弁理士 須澤 修
 (72) 発明者 仮屋園 広宣
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
 Fターム(参考) 4M106 AA11 AB12 AB15 CA10 DJ38

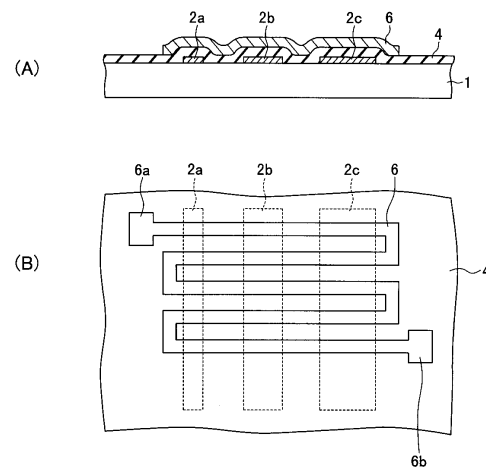
最終頁に続く

(54) 【発明の名称】 配線形成工程の検査方法、半導体装置の製造方法、評価用半導体基板、及び半導体装置

(57) 【要約】

【課題】 配線形成工程の条件が適切であるか否かを容易かつ安価に判断できるようにする。

【解決手段】 モニター用の半導体基板1の上方に、互いに略平行かつ幅が互いに異なる複数の下地配線2a, 2b, 2cを形成する工程と、複数の下地配線2a, 2b, 2c上に絶縁膜4を形成する工程と、絶縁膜4上に導電膜を形成する工程と、導電膜をパターニングすることにより、複数の下地配線2a, 2b, 2cを跨ぐ評価用配線パターン6を形成する工程と、評価用配線パターン6の抵抗を測定する工程と、抵抗値が基準を満たさない場合には、導電膜の形成条件及び導電膜のパターニング条件の少なくとも一つを変更し、抵抗値が基準を満たす場合には、導電膜の形成条件及び導電膜のパターニング条件それぞれが適切であると判断する工程とを具備する。



【選択図】 図3

【特許請求の範囲】

【請求項 1】

半導体基板の上方に、互いに略平行かつ幅が互いに異なる複数の下地配線を形成する工程と、

前記複数の下地配線上に絶縁膜を形成する工程と、

前記絶縁膜上に導電膜を形成する工程と、

前記導電膜をパターニングすることにより、前記複数の下地配線を跨ぐ評価用配線パターンを形成する工程と、

を具備する配線形成工程の検査方法。

【請求項 2】

前記評価用配線パターンを形成する工程の後に、前記評価用配線パターンの抵抗を測定する工程と、

前記抵抗値が基準を満たさない場合には、前記絶縁膜の形成条件、前記導電膜の形成条件、及び前記導電膜のパターニング条件の少なくとも一つを変更し、前記抵抗値が基準を満たす場合には、前記導電膜の形成条件及び前記導電膜のパターニング条件それぞれが適切であると判断する工程と、

を具備する請求項 1 に記載の配線形成工程の検査方法。

【請求項 3】

最も細い前記下地配線の幅は、検査対象となる配線形成工程で形成される最も細い配線の幅に略等しく、最も太い前記下地配線の幅は、検査対象となる配線形成工程で形成される最も太い配線の幅に略等しい請求項 1 又は 2 に記載の配線形成工程の検査方法。

【請求項 4】

前記評価用配線パターンを形成する工程において、前記評価用配線パターンが、前記複数の下地配線を複数回略直角に跨ぐように形成する請求項 1 ~ 3 のいずれか一項に記載の配線形成工程の検査方法。

【請求項 5】

半導体基板のチップ領域に第 1 の配線層を形成するとともに、前記半導体基板のダイシングラインに、互いに略平行な複数の下地配線を形成する工程と、

前記第 1 の配線層及び前記複数の下地配線上に絶縁膜を形成する工程と、

前記絶縁膜上に導電膜を形成する工程と、

前記導電膜をパターニングすることにより、前記チップ領域に、第 2 の配線層を形成するとともに、前記ダイシングラインに、前記複数の下地配線を跨ぐ評価用配線パターンを形成する工程と、

を具備する半導体装置の製造方法。

【請求項 6】

最も細い前記下地配線の幅は、前記第 1 の配線層が有する最も細い配線の幅に略等しく、最も太い前記下地配線の幅は、前記第 1 の配線層が有する最も太い配線の幅に略等しい請求項 5 に記載の半導体装置の製造方法。

【請求項 7】

前記第 1 の配線層は、ポリシリコン配線又は Al 合金配線のいずれかである請求項 5 に記載の半導体装置の製造方法。

【請求項 8】

配線形成用レジストパターンの形成条件を設定する工程と、

第 1 の配線層上に形成された絶縁膜上に導電膜を形成する工程と、

前記導電膜上に配線形成用レジストパターンを形成する工程と、

前記配線形成用レジストパターンをマスクとして、前記導電膜をエッチングすることにより、前記絶縁膜上に第 2 の配線層を形成する工程と、

を具備し、

前記配線形成用レジストパターンの形成条件を設定する工程は、

モニター用の半導体基板の上方に、互いに略平行な複数の下地配線を形成する工程と、

10

20

30

40

50

前記複数の下地配線上に絶縁膜を形成する工程と、
 前記絶縁膜上に導電膜を形成する工程と、
 前記配線形成用レジストパターンを形成する条件で、前記導電膜上に評価用レジストパターンを形成する工程と、
 前記評価用レジストパターンを用いて前記導電膜をパターンニングすることにより、前記複数の下地配線を跨ぐ評価用配線パターンを形成する工程と、
 前記評価用配線パターンの抵抗を測定する工程と、
 前記抵抗値が基準を満たさない場合には、前記配線形成用レジストパターンの形成条件を変更し、前記抵抗値が基準を満たす場合には、前記配線形成用レジストパターンの形成条件が適切であると判断する工程と、

10

【請求項 9】

導電膜形成装置の動作条件を設定する工程と、
 前記導電膜形成装置を用いて、第 1 の配線層上に形成された絶縁膜上に導電膜を形成する工程と、
 前記導電膜をパターンニングすることにより、前記絶縁膜上に第 2 の配線層を形成する工程と、
 を具備し、
 前記導電膜形成装置の動作条件を設定する工程は、
 モニター用の半導体基板の上方に、互いに略平行な複数の下地配線を形成する工程と、
 前記複数の下地配線上に絶縁膜を形成する工程と、
 前記導電膜形成装置を用いて、前記絶縁膜上に導電膜を形成する工程と、
 前記導電膜をパターンニングすることにより、前記複数の下地配線を跨ぐ評価用配線パターンを形成する工程と、
 前記評価用配線パターンの抵抗を測定する工程と、
 前記抵抗値が基準を満たさない場合には、前記導電膜形成装置の動作条件を変更し、前記抵抗値が基準を満たす場合には、前記導電膜形成装置の動作条件が適切であると判断する工程と、
 を具備する半導体装置の製造方法。

20

【請求項 10】

絶縁膜形成装置の動作条件を設定する工程と、
 前記絶縁膜形成装置を用いて、第 1 の配線層上に絶縁膜を形成する工程と、
 前記絶縁膜上に第 2 の配線層を形成する工程と、
 を具備し、
 前記絶縁膜形成装置の動作条件を設定する工程は、
 モニター用の半導体基板の上方に、互いに略平行な複数の下地配線を形成する工程と、
 前記絶縁膜形成装置を用いて、前記複数の下地配線上に絶縁膜を形成する工程と、
 前記絶縁膜上に導電膜を形成する工程と、
 前記導電膜をパターンニングすることにより、前記複数の下地配線を跨ぐ評価用配線パターンを形成する工程と、
 前記評価用配線パターンの抵抗を測定する工程と、
 前記抵抗値が基準を満たさない場合には、前記絶縁膜形成装置の動作条件を変更し、前記抵抗値が基準を満たす場合には、前記絶縁膜形成装置の動作条件が適切であると判断する工程と、
 を具備する半導体装置の製造方法。

30

40

【請求項 11】

互いに略平行に形成された複数の下地配線と、
 前記複数の下地配線上に形成された絶縁膜と、
 前記絶縁膜上に形成され、前記複数の下地配線を跨ぐ評価用配線パターンと、
 を具備する評価用半導体基板。

50

【請求項 1 2】

半導体基板の上方に形成され、チップ領域に位置する第 1 の配線層と、
 前記半導体基板の上方に形成され、前記配線層と同一層かつダイシングラインの上方に位置し、互いに略平行である複数の下地配線と、
 前記第 1 の配線層上及び前記複数の下地配線上に形成された絶縁膜と、
 前記絶縁膜上に形成され、前記チップ領域に位置する第 2 の配線層と、
 前記絶縁膜上に形成され、前記複数の下地配線を跨ぐ評価用配線パターンと、
 を具備する半導体装置。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、配線形成工程の検査方法、半導体装置の製造方法、評価用半導体基板、及び半導体装置に関する。特に本発明は、配線形成工程の条件が適切であるか否かを容易かつ安価に判断することができる配線形成工程の検査方法、半導体装置の製造方法、評価用半導体基板、及び半導体装置に関する。

【背景技術】

【0002】

図 10 (A) は、従来の半導体装置の構造を説明する為の断面図である。図 10 (B) は、図 10 (A) の平面図である。これらの図に示す半導体装置は、シリコン基板 101 に素子分離膜 102 が埋め込まれることにより、素子領域が互いに分離されている。

20

【0003】

素子領域にはトランジスタが形成されている。すなわち、シリコン基板 101 の表面にはゲート酸化膜 103 が形成されており、ゲート酸化膜 103 上にはゲート電極 104 が形成されている。ゲート電極 104 の側面は、サイドウォール 105 で覆われている。シリコン基板 101 には、ソース及びドレインとして機能する不純物領域 107a, 107b、及びサイドウォール 105 の下方に位置する低濃度不純物領域 (LDD 領域) 106a, 106b が形成されている。

【0004】

トランジスタ上には、第 1 の層間絶縁膜 108、及び第 1 の Al 合金配線 109a, 109b, 109c が形成されている。第 1 の Al 合金配線 109a, 109b それぞれは、接続孔 (図示せず) を介して不純物領域 107a, 107b に接続されており、第 1 の Al 合金配線 109c は接続孔 108a を介してゲート電極 104 に接続されている。

30

また、第 1 の層間絶縁膜 108 及び第 1 の Al 合金配線 109a, 109b, 109c それぞれ上には、第 2 の層間絶縁膜 110、及び第 2 の Al 合金配線 111 が形成されている。第 2 の Al 合金配線 111 は、第 1 の Al 合金配線 109a, 109b, 109c に略直交する方向に引き回されている (例えば特許文献 1 参照)。

【0005】

【特許文献 1】特開 2003 - 332398 号公報 (図 1 (d))

【発明の開示】

【発明が解決しようとする課題】

40

【0006】

配線パターンは、下地膜の段差の影響を受けやすく、段差が存在する部分で断線や細り (例えば図 10 (B) の符号 111a で示す部分) が生じやすい。従来は、レジストパターンを現像した後、または配線パターンを形成した後に外観検査を行うことにより、これらの異常を検出する場合が多かった。

【0007】

外観検査には、顕微鏡を使って目視検査を行う方法、及び自動外観検査装置を用いる方法がある。前者の方法は検査数に限界があるため、異常を見落とす可能性があった。後者は装置が高価であり、かつ、検査に時間を要していた。

【0008】

50

本発明は上記のような事情を考慮してなされたものであり、その目的は、配線形成工程の条件が適切であるか否かを容易かつ安価に判断することができる配線形成工程の検査方法、半導体装置の製造方法、評価用半導体基板、及び半導体装置を提供することにある。

【課題を解決するための手段】

【0009】

上記課題を解決するため、本発明に係る配線形成工程の検査方法は、半導体基板の上方に、互いに略平行かつ幅が互いに異なる複数の下地配線を形成する工程と、

前記複数の下地配線上に絶縁膜を形成する工程と、

前記絶縁膜上に導電膜を形成する工程と、

前記導電膜をパターンニングすることにより、前記複数の下地配線を跨ぐ評価用配線パターンを形成する工程と、
を具備する。

10

【0010】

この配線形成工程の検査方法によれば、評価用配線パターンの下方には、幅が互いに異なる複数の下地配線が形成されている。このため、評価用配線パターンの下地となる絶縁膜は、半導体装置の層間絶縁膜と同様に、表面に、下地配線に起因した凹凸が形成される。このため、評価用配線パターンは、半導体装置に近い状態に形成され、配線形成工程の条件が適切であるか否かの検出感度が高くなる。また、評価用配線パターンの抵抗を測定することにより、容易かつ安価に評価用配線パターンが正常であるか否かを判断することができる。

20

このように、本配線形成工程の検査方法によれば、容易かつ安価に配線形成工程の条件が適切であるか否かを精度よく判断することができる。

【0011】

評価用配線パターンを形成する工程の後に、評価用配線パターンの抵抗を測定する工程と、抵抗値が基準を満たさない場合には、導電膜の形成条件及び導電膜のパターンニング条件の少なくとも一つを変更し、抵抗値が基準を満たす場合には、絶縁膜の形成条件、導電膜の形成条件、及び導電膜のパターンニング条件それぞれが適切であると判断する工程とを具備してもよい。

評価用配線パターンを形成する工程において、評価用配線パターンが、複数の下地配線を複数回略直角に跨ぐように形成してもよい。この場合、評価用配線パターンの検出感度は更に高くなる。

30

【0012】

最も細い下地配線の幅は、検査対象となる配線形成工程で形成される最も細い配線の幅に略等しく、最も太い下地配線の幅は、検査対象となる配線形成工程で形成される最も太い配線の幅に略等しいのが好ましい。

【0013】

本発明に係る半導体装置の製造方法は、半導体基板のチップ領域に第1の配線層を形成するとともに、前記半導体基板のダイシングラインに、互いに略平行な複数の下地配線を形成する工程と、

前記第1の配線層及び前記複数の下地配線上に絶縁膜を形成する工程と、

40

前記絶縁膜上に導電膜を形成する工程と、

前記導電膜をパターンニングすることにより、前記チップ領域に、第2の配線層を形成するとともに、前記ダイシングラインに、前記複数の下地配線を跨ぐ評価用配線パターンを形成する工程とを具備する。

第1の配線層は、例えばポリシリコン配線又はAl合金配線のいずれかである。

【0014】

この半導体装置の製造方法によれば、ダイシングラインに形成された評価用配線パターンの抵抗を測定することにより、容易かつ安価に配線形成工程の条件が適切であるか否かを判断することができる。

【0015】

50

最も細い前記下地配線の幅は、前記第1の配線層が有する最も細い配線の幅に略等しく、最も太い前記下地配線の幅は、前記第1の配線層が有する最も太い配線の幅に略等しいのが好ましい。

【0016】

本発明に係る他の半導体装置の製造方法は、配線形成用レジストパターンの形成条件を設定する工程と、

絶縁膜上に導電膜を形成する工程と、

前記導電膜上に配線形成用レジストパターンを形成する工程と、

前記配線形成用レジストパターンをマスクとして、前記導電膜をエッチングすることにより、前記絶縁膜上に配線を形成する工程と、

10

を具備し、

前記配線形成用レジストパターンの形成条件を設定する工程は、

モニター用の半導体基板の上方に、互いに略平行な複数の下地配線を形成する工程と、

前記複数の下地配線の上に絶縁膜を形成する工程と、

前記絶縁膜上に導電膜を形成する工程と、

前記配線形成用レジストパターンを形成する条件で、前記導電膜上に評価用レジストパターンを形成する工程と、

前記評価用レジストパターンを用いて前記導電膜をパターンニングすることにより、前記複数の下地配線を跨ぐ評価用配線パターンを形成する工程と、

前記評価用配線パターンの抵抗を測定する工程と、

20

前記抵抗値が基準を満たさない場合には、前記配線形成用レジストパターンの形成条件を変更し、前記抵抗値が基準を満たす場合には、前記配線形成用レジストパターンの形成条件が適切であると判断する工程とを具備する。

【0017】

本発明に係る他の半導体装置の製造方法は、導電膜形成装置の動作条件を設定する工程と、

前記導電膜形成装置を用いて、絶縁膜上に導電膜を形成する工程と、

前記導電膜をパターンニングすることにより、前記絶縁膜上に配線を形成する工程と、

30

を具備し、

前記導電膜形成装置の動作条件を設定する工程は、

モニター用の半導体基板の上方に、互いに略平行な複数の下地配線を形成する工程と、

前記複数の下地配線の上に絶縁膜を形成する工程と、

前記導電膜形成装置を用いて、前記絶縁膜上に導電膜を形成する工程と、

前記導電膜をパターンニングすることにより、前記複数の下地配線を跨ぐ評価用配線パターンを形成する工程と、

前記評価用配線パターンの抵抗を測定する工程と、

前記抵抗値が基準を満たさない場合には、前記導電膜形成装置の動作条件を変更し、前記抵抗値が基準を満たす場合には、前記導電膜形成装置の動作条件が適切であると判断する工程とを具備する。

【0018】

40

本発明に係る他の半導体装置の製造方法は、絶縁膜形成装置の動作条件を設定する工程と、

前記絶縁膜形成装置を用いて、第1の配線層上に絶縁膜を形成する工程と、

前記絶縁膜上に第2の配線層を形成する工程と、

を具備し、

前記絶縁膜形成装置の動作条件を設定する工程は、

モニター用の半導体基板の上方に、互いに略平行な複数の下地配線を形成する工程と、

前記絶縁膜形成装置を用いて、前記複数の下地配線の上に絶縁膜を形成する工程と、

前記絶縁膜上に導電膜を形成する工程と、

前記導電膜をパターンニングすることにより、前記複数の下地配線を跨ぐ評価用配線パタ

50

ーンを形成する工程と、

前記評価用配線パターンの抵抗を測定する工程と、

前記抵抗値が基準を満たさない場合には、前記絶縁膜形成装置の動作条件を変更し、前記抵抗値が基準を満たす場合には、前記絶縁膜形成装置の動作条件が適切であると判断する工程とを具備する。

【0019】

本発明に係る評価用半導体基板は、互いに略平行に形成された複数の下地配線と、

前記複数の下地配線上に形成された絶縁膜と、

前記絶縁膜上に形成され、前記複数の下地配線を跨ぐ評価用配線パターンとを具備する

。

10

【0020】

本発明に係る半導体装置は、半導体基板の上方に形成され、チップ領域に位置する第1の配線層と、

前記半導体基板の上方に形成され、前記配線層と同一層かつダイシングラインの上方に位置し、互いに略平行である複数の下地配線と、

前記第1の配線層上及び前記複数の下地配線上に形成された絶縁膜と、

前記絶縁膜上に形成され、前記チップ領域に位置する第2の配線層と、

前記絶縁膜上に形成され、前記複数の下地配線を跨ぐ評価用配線パターンとを具備する

。

【発明を実施するための形態】

20

【0021】

以下、図面を参照して本発明の実施形態について説明する。図1(A)、図2及び図3(A)は、本発明の第1の実施形態に係る配線形成工程の検査方法を説明する為のモニター用のシリコン基板の断面図である。図1(B)及び図3(B)は、それぞれ図1(A)及び図3(A)の状態におけるモニター用のシリコン基板の平面図である。本実施形態では、モニター用のシリコン基板1にTEG(Test Element Group)を形成し、このTEGの抵抗値を測定することにより、配線形成工程で用いられるAl合金膜形成装置、及び露光装置の動作条件が適切であるか否かを判断する。

【0022】

まず、図1(A)に示すように、シリコン基板1上に下地導電膜を形成する。下地導電膜は、例えばポリシリコン膜であるが、Al合金膜であってもよい。下地導電膜は、ポリシリコン膜である場合はCVD法により形成され、Al合金膜である場合はスパッタリング法により形成される。

30

【0023】

次いで、下地導電膜上にフォトリジスト膜を塗布し、このフォトリジスト膜を露光及び現像する、これにより、下地導電膜上にはレジストパターン50が形成される。次いで、レジストパターン50をマスクとして下地導電膜をエッチングする。これにより、下地絶縁膜はパターンングされ、下地配線2a, 2b, 2cが形成される。

【0024】

図1(B)に示すように、下地配線2a, 2b, 2cは、互いに略平行に形成されており、幅が互いに異なっている。下地配線2a, 2b, 2cの間隔は、例えば実際の配線形成工程で形成される配線の間隔に略等しいか、これよりやや狭い。また、下地配線2aの幅は、例えば実際の配線形成工程で形成される配線の最小幅に等しく、下地配線2cの幅は、例えば実際の配線形成工程で形成される配線の最大幅に等しい。

40

【0025】

その後、図2に示すように、レジストパターン50を除去する。次いで、シリコン基板1上に、下地配線2a, 2b, 2cそれぞれを覆うように、層間絶縁膜4を形成する。層間絶縁膜4は酸化シリコンを主成分としており、例えばCVD装置を用いて形成される。層間絶縁膜4の形成条件は、実際の配線形成工程における条件と同一である。層間絶縁膜4の表面には、下地配線2a, 2b, 2cそれぞれとシリコン基板1の段差の影響により

50

、凹凸が形成される。

【0026】

次いで、図3(A)に示すように、スパッタリング装置を用いて、層間絶縁膜4上にAl合金膜を形成する。ここで用いられるスパッタリング装置及びその動作条件は、実際の配線形成工程における条件と同一である。

【0027】

次いで、Al合金膜上にフォトリソ膜(図示せず)を、塗布装置を用いて塗布する。次いで、このフォトリソ膜を、露光装置を用いて露光し、さらに現像装置を用いて現像する。これにより、Al合金膜上にはレジストパターンが形成される。ここで用いられる塗布装置、露光装置及び現像装置、ならびにこれらの動作条件は、それぞれ実際のAl合金配線形成工程と同一である。

10

【0028】

次いで、上記したレジストパターンをマスクとしてAl合金膜をエッチングする。これにより、Al合金膜はパターンニングされ、TEG6が形成される。ここで用いられるエッチング装置及びエッチング条件は、それぞれ実際のAl合金配線形成工程と同一である。

【0029】

図3(B)に示すように、TEG6は下地配線2a, 2cそれぞれの外側で180°折れ曲がっており、下地配線2a, 2b, 2cの上方を複数回略直角に跨っている。TEG6の両端には、端子を接続するためのパッド6a, 6bが形成されている。パッド6a, 6bそれぞれに端子を接続してTEG6の電気抵抗を測定し、測定値が高いか否かを判断することにより、TEG6における断線や細りの有無を検出することができる。

20

【0030】

TEG6の電気抵抗が十分に低く基準を満たす場合、Al合金膜を形成するためのスパッタリング装置、フォトリソ膜を塗布する装置、露光装置、現像装置、及びエッチング装置の動作条件それぞれが適切であると判断し、半導体装置の製造を開始し、配線を形成する。

電気抵抗が高く基準を満たさない場合、TEG6を電子顕微鏡で目視検査して異常箇所を特定し、断線が生じているか、又は配線が細くなっているかを判断する。

【0031】

図4は、TEG6に断線が生じている第1の例を示す平面図である。本図に示す断線6cは、下地配線(例えば2b)とシリコン基板1の境目、すなわち段差がある部分に生じている。この部分に断線が生じる原因としては、Al合金膜のカバレッジが悪く、段差部分でAl合金膜が形成されないことがある。他の原因としては、段差部分でフォトリソ膜が薄く塗布されてしまうため、Al合金膜をエッチングする際にレジストパターンがすべて除去されてしまうことがある。

30

【0032】

図4に示した異常が検出された場合は、TEGの抵抗値が基準を満たすまで、Al合金膜を形成するためのスパッタリング装置、フォトリソ膜を塗布する装置、露光装置、現像装置、及びエッチング装置の少なくとも一つの動作条件を変更した上で、再度シリコン基板上にTEGを形成し、抵抗を測定する。

40

【0033】

なお、デザインルール上における配線の間隔を変更してもよい。この場合、いずれの間隔で断線が生じているかを判断することにより、変更後の間隔を設定することができる。また、層間絶縁膜の表面が平坦化するように、層間絶縁膜を形成するCVD装置の動作条件を変更してもよい。

【0034】

図5は、TEG6に断線が生じている第2の例を示す平面図である。本図に示す断線6dは、下地配線(例えば2c)の上方で生じている。この原因としては、下地配線の上方では層間絶縁膜4が凸になっているため、この部分でフォトリソ膜が薄く塗布されてしまい、Al合金膜をエッチングする際にレジストパターンがすべて除去されてしまうこ

50

とにある。

【0035】

図6は、TEG6の一部が細くなっている例を示す平面図である。本図に示す細線部6eは、下地配線(例えば2c)の上方で生じている。この原因としては、下地配線の上方では層間絶縁膜4が凸になっているため、この部分でフォトレジスト膜が薄く塗布されてしまい、Al合金膜をエッチングする際にレジストパターンの一部が除去されてしまうことにある。

【0036】

図5又は図6に示した異常が検出された場合は、TEGの抵抗値が基準を満たすまで、フォトレジスト膜を塗布する装置、露光装置、及び現像装置の少なくとも一つの動作条件を変更した上で、再度シリコン基板上にTEGを形成し、抵抗を測定する。特にフォトレジスト膜を塗布する装置の動作条件は、フォトレジスト膜が厚くなるように変更される。

【0037】

なお、下地配線の幅を小さくするようにデザインルールを変更してもよい。この場合、いずれの幅を有する下地配線上で断線又は配線の細りが生じているかを判断することにより、変更後の配線の幅を設定することができる。また、層間絶縁膜の表面が平坦化するように、層間絶縁膜を形成するCVD装置の動作条件を変更してもよい。

【0038】

以上、第1の実施形態によれば、TEG6の下方に、半導体装置と同様に互いに幅が異なる複数の下地配線2a, 2b, 2cを形成したため、TEG6が、半導体装置が有する配線と同様に、下地配線に起因した段差の影響を受ける。従って、TEG6は、配線形成工程の条件が適切であるか否かを、従来と比べて高い精度で検出することができる。

なお、本実施形態では、一種類のTEGを図示したが、同一のシリコン基板1上に、下地配線の幅や間隔の組み合わせが異なる複数のTEGを形成してもよい。

【0039】

図7、図8及び図9の各図は、第2の実施形態に係る半導体装置の製造方法を説明する為の図である。本実施形態は、半導体装置が形成されるシリコン基板1のダイシングラインにTEGを形成する方法である。

【0040】

まず、図7の断面図に示すように、シリコン基板10に素子分離膜12を形成することにより、チップ領域1aの素子領域を互いに分離する。また、ダイシングライン1bにも素子分離膜12を形成する。なお、本図では、トレンチアイソレーション法を用いてシリコン基板10に素子分離膜12を埋め込んだが、LOCOS法により素子分離膜を形成してもよい。

【0041】

次いで、シリコン基板10を熱酸化する。これにより、チップ領域1aの素子領域にはゲート酸化膜13が形成される。次いで、ゲート酸化膜13上を含む全面上に、ポリシリコン膜をCVD法により形成する。次いで、ポリシリコン膜上にフォトレジスト膜を塗布し、このフォトレジスト膜を露光及び現像する。これにより、ポリシリコン膜上にはレジストパターンが形成される。

【0042】

次いで、このレジストパターンをマスクとしてポリシリコン膜をエッチングする。これにより、チップ領域1aには、ゲート酸化膜13上に位置するゲート電極14a、及びゲート電極14aに繋がるポリシリコン配線(図示せず)が形成され、ダイシングライン1bには、第1のダミー配線14b, 14c, 14dが形成される。

【0043】

第1のダミー配線14cの幅は、第1のダミー配線14bの幅より広く、第1のダミー配線14dの幅より狭い。なお、第1のダミー配線14bの幅は、ゲート電極14a及びポリシリコン配線のうち、最も狭い部分の幅に略等しく、第1のダミー配線14dの幅は、ゲート電極14a及びポリシリコン配線のうち、最も広い部分の幅に略等しい。

10

20

30

40

50

その後、レジストパターンを除去する。

【0044】

次いで、素子分離膜12及びゲート電極14aをマスクとして、シリコン基板10に不純物を注入する。これにより、シリコン基板10には、チップ領域1aに位置する低濃度不純物領域(LDD領域)16a, 16bが形成される。

【0045】

次いで、ゲート電極14a上を含む全面上に、酸化シリコン膜を例えばCVD法により形成し、この酸化シリコン膜をエッチバックする。これにより、ゲート電極14aの側壁はサイドウォール15aで覆われる。このとき、第1のダミー配線14b, 14c, 14dそれぞれの側壁も、サイドウォール15b, 15c, 15dで覆われる。

10

【0046】

次いで、素子分離膜12、ゲート電極14a及びサイドウォール15aをマスクとして、シリコン基板10に不純物を注入する。これにより、シリコン基板10のチップ領域1aには、ソース及びドレインとして機能する不純物領域17a, 17bが形成される。このようにして、チップ領域1aにはトランジスタが形成される。

【0047】

次いで、チップ領域1a及びダイシングライン1bそれぞれを含む全面上に、第1の層間絶縁膜18を形成する。第1の層間絶縁膜18は酸化シリコンを主成分としており、例えばCVD法により形成される。なお、第1の層間絶縁膜18は、下地にゲート電極14a、第1のダミー配線14b, 14c, 14dが形成されているため、チップ領域1a及びダイシングライン1bそれぞれにおいて、表面に凹凸が形成される。

20

【0048】

次いで、第1の層間絶縁膜18の全面上にフォトレジスト膜(図示せず)を塗布し、このフォトレジスト膜を露光及び現像する。これにより、第1の層間絶縁膜18上にはレジストパターンが形成される。次いで、レジストパターンをマスクとして第1の層間絶縁膜18をエッチングする。これにより、第1の層間絶縁膜18には、不純物領域17a, 17b上に位置する接続孔(図示せず)、及びゲート電極14a上に位置する接続孔18aが形成される。その後、レジストパターンを除去する。

【0049】

次いで、図8(A)の平面図、図8(B)のA-A断面図、及び図8(C)のB-B断面図に示すように、スパッタリング装置を用いて、接続孔それぞれの中及び第1の層間絶縁膜18の全面上に、Al合金膜を形成する。次いで、塗布装置を用いて、Al合金膜上にフォトレジスト膜を塗布し、露光装置を用いてフォトレジスト膜を露光し、さらに現像装置を用いてフォトレジスト膜を現像する。これにより、Al合金膜上にはレジストパターン52が形成される。

30

【0050】

次いで、エッチング装置を用いてAl合金膜をエッチングする。このとき、レジストパターン52はマスクとして用いられる。これにより、Al合金膜はパターンニングされ、チップ領域1aにはAl合金配線19a, 19b, 19cが形成され、ダイシングライン1bにはTEG19d及び第2のダミー配線19e, 19f, 19gが形成される。

40

【0051】

Al合金配線19a, 19bそれぞれは、一部が接続孔に埋め込まれることにより、不純物領域17a, 17bに接続している。Al合金配線19cは、一部が接続孔18aに埋め込まれることにより、ゲート電極14aに接続している。

【0052】

TEG19dは、第1の実施形態に係るTEG6と略同一の形状をしている。TEG19dと第1のダミー配線14b, 14c, 14dの位置関係は、第1の実施形態に係るTEG6と下地配線2a, 2b, 2cの位置関係と略同一である。このため、TEG19dの両端に形成されたパッドに端子を接続し、これら端子間の電気抵抗を測定することにより、第1の実施形態と同様に、Al合金配線19a, 19bの形成条件が適切であったか

50

否かを判断することができる。

【0053】

A1合金配線19a, 19bの形成条件が適切でなかった場合、A1合金膜を形成するスパッタリング装置、フォトリソ膜を塗布する装置、露光装置、現像装置、及びエッチング装置の少なくとも一つの動作条件を調整する。

【0054】

また、第2のダミー配線19e, 19f, 19gは互いに平行であり、かつA1合金配線19a, 19b, 19cと略平行である。第2のダミー配線19eの幅は、A1合金配線19a, 19b, 19cの最も細い部分に等しく、第2のダミー配線19gの幅は、A1合金配線19a, 19b, 19cの最も太い部分に等しい。

10

【0055】

次いで、図9(A)の断面図及び図9(B)の平面図に示すように、A1合金配線19a, 19b, 19c、TEG19d、及び第2のダミー配線19e, 19f, 19gそれぞれ上を含む全面上に、第2の層間絶縁膜20を形成する。第2の層間絶縁膜20は酸化シリコンを主成分としており、例えばCVD法により形成される。なお、第2の層間絶縁膜20の表面には、下地にA1合金配線19a, 19b, 19c、第2のダミー配線19e, 19f, 19gの影響を受けるため、チップ領域1a及びダイシングライン1bそれぞれにおいて、凹凸が形成される。

【0056】

次いで、第2の層間絶縁膜20の全面上にフォトリソ膜(図示せず)を塗布し、このフォトリソ膜を露光及び現像する。これにより、第2の層間絶縁膜20上にはレジストパターンが形成される。次いで、レジストパターンをマスクとして第2の層間絶縁膜20をエッチングする。これにより、第2の層間絶縁膜20には、A1合金配線19a, 19b, 19cそれぞれ上に位置する接続孔(図示せず)が形成される。その後、レジストパターンを除去する。

20

【0057】

次いで、スパッタリング装置を用いて、第2の層間絶縁膜20の全面上にA1合金膜を形成する。次いで、塗布装置を用いて、A1合金膜上にフォトリソ膜を塗布し、露光装置を用いてフォトリソ膜を露光し、さらに現像装置を用いて現像する。これにより、A1合金膜上にはレジストパターン54が形成される。

30

【0058】

次いで、エッチング装置を用いてA1合金膜をエッチングする。このとき、レジストパターン54はマスクとして用いられる。これにより、A1合金膜はパターニングされ、チップ領域1aには複数のA1合金配線21aが形成され、ダイシングライン1bにはTEG21bが形成される。

【0059】

複数のA1合金配線21aは、一部が接続孔に埋め込まれることにより、A1合金配線19a, 19b, 19cのいずれかに接続している。TEG21bは、TEG19dと略同一の形状をしている。TEG21bと第2のダミー配線19e, 19f, 19gの位置関係は、第1の実施形態に係るTEG19dと第1のダミー配線14b, 14c, 14dの位置関係と略同一である。このため、TEG21bの両端に形成されたパッドに端子を接続し、これら端子間の電気抵抗を測定することにより、A1合金配線21aの形成条件が適切であったか否かを判断することができる。

40

【0060】

A1合金配線21aの形成条件が適切でなかった場合、A1合金膜を形成するスパッタリング装置、フォトリソ膜を塗布する装置、露光装置、現像装置、及びエッチング装置の少なくとも一つの動作条件を調整する。

【0061】

以上、第2の実施形態によれば、ダイシングラインのTEG19d, 21bそれぞれの下方に、ダミー配線を形成して段差を設けたため、TEG19d, 21bが、チップ領域

50

1 a の A l 合金配線 1 9 a , 1 9 b , 1 9 c 、 2 1 a と同様に、下地配線に起因した段差の影響を受ける。従って、T E G 1 9 d , 2 1 b は、配線形成工程の条件が適切であるか否かを、従来と比べて高い精度で検出することができる。

【 0 0 6 2 】

尚、本発明は上述した実施形態に限定されるものではなく、本発明の主旨を逸脱しない範囲内で種々変更して実施することが可能である。

【 図面の簡単な説明 】

【 0 0 6 3 】

【 図 1 】 (A) は第 1 の実施形態に係る配線形成工程の検査方法を説明する為のモニター用のシリコン基板の断面図、(B) は (A) の状態におけるシリコン基板の平面図。 10

【 図 2 】 図 1 の次の工程を説明する為の断面図。

【 図 3 】 (A) は図 2 の次の工程を説明する為の断面図、(B) は (A) の状態におけるシリコン基板の平面図。

【 図 4 】 T E G 6 に断線が生じている第 1 の例を示す平面図。

【 図 5 】 T E G 6 に断線が生じている第 2 の例を示す平面図。

【 図 6 】 T E G 6 の一部が細くなっている例を示す平面図。

【 図 7 】 第 2 の実施形態に係る半導体装置の製造方法を説明する為の断面図。

【 図 8 】 (A) は図 7 の次の工程を説明する為の平面図、(B) は (A) の A - A 断面図、(C) は (A) の B - B 断面図。

【 図 9 】 (A) は図 8 の次の工程を説明する為の断面図、(B) は (A) の状態におけるシリコン基板の平面図。 20

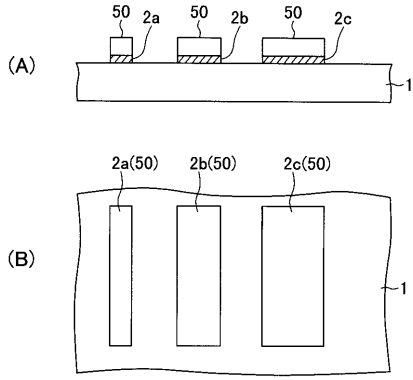
【 図 1 0 】 (A) は従来の半導体装置の構造を説明する為の断面図、(B) は (A) の平面図。

【 符号の説明 】

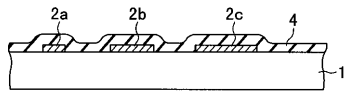
【 0 0 6 4 】

1 , 1 0 , 1 0 1 ... シリコン基板、1 a ... チップ領域、1 b ... ダイシングライン、2 a , 2 b , 2 c ... 下地配線、4 ... 層間絶縁膜、6 a , 6 b ... パッド、6 c , 6 d ... 断線、6 e ... 細線部、1 2 , 1 0 2 ... 素子分離膜、1 3 , 1 0 3 ... ゲート酸化膜、1 4 a , 1 0 4 ... ゲート電極、1 4 b , 1 4 c , 1 4 d ... 第 1 のダミー配線、1 5 a , 1 5 b , 1 5 c , 1 5 d , 1 0 5 ... サイドウォール、1 6 a , 1 6 b , 1 0 6 a , 1 0 6 b ... 低濃度不純物領域、1 7 a , 1 7 b , 1 0 7 a , 1 0 7 b ... 不純物領域、1 8 , 1 0 8 ... 第 1 の層間絶縁膜、1 8 a , 1 0 8 a ... 接続孔、1 9 a , 1 9 b , 1 9 c , 2 1 a , 1 0 9 a , 1 0 9 b , 1 0 9 c , 1 1 1 ... A l 合金配線、1 9 d , 2 1 b ... T E G、1 9 e , 1 9 f , 1 9 g ... 第 2 のダミー配線、2 0 , 1 1 0 ... 第 2 の層間絶縁膜、5 0 , 5 2 , 5 4 ... レジストパターン 30

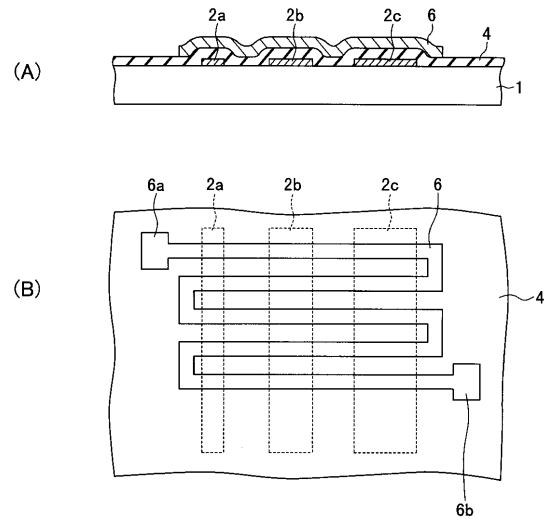
【 図 1 】



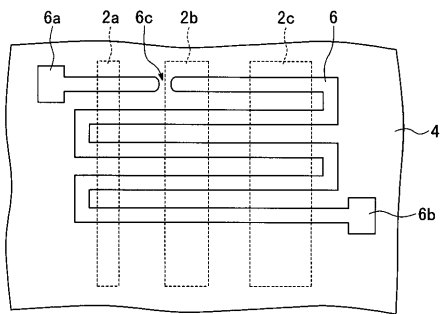
【 図 2 】



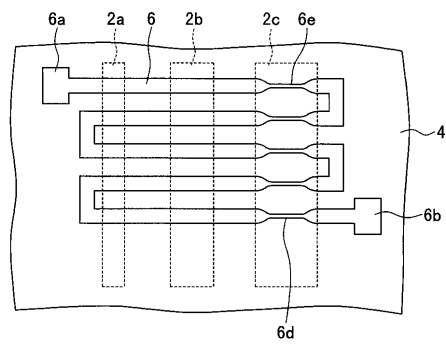
【 図 3 】



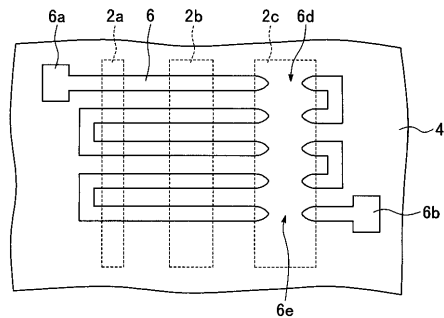
【 図 4 】



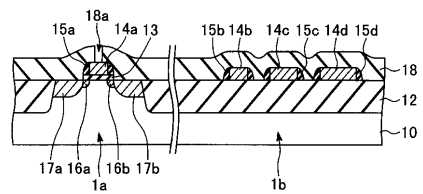
【 図 6 】



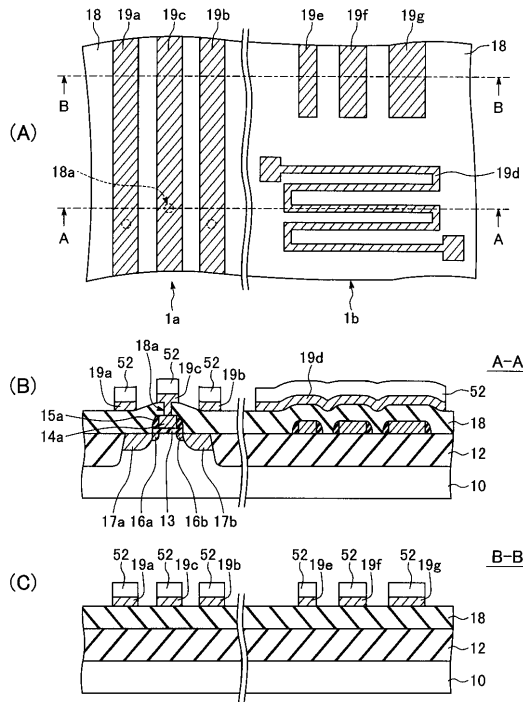
【 図 5 】



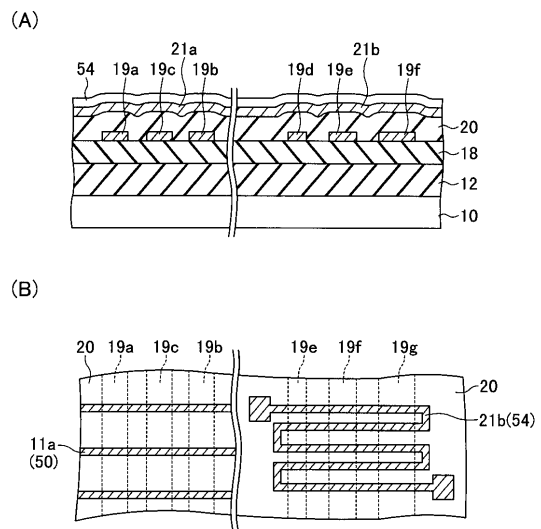
【 図 7 】



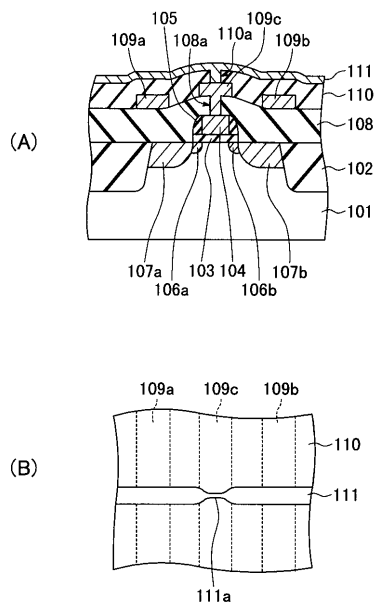
【 図 8 】



【 図 9 】



【 図 10 】



フロントページの続き

Fターム(参考) 5F033 HH09 KK04 KK09 PP06 PP15 QQ08 RR04 SS11 VV01 VV12
XX02 XX37
5F038 CA13 CA18 CD10 DT12 DT16 EZ20