

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.  
H03M 1/38 (2006.01)



# [12] 发明专利申请公布说明书

[21] 申请号 200710020386.2

[43] 公开日 2007年9月12日

[11] 公开号 CN 101034890A

[22] 申请日 2007.2.16

[21] 申请号 200710020386.2

[71] 申请人 东南大学

地址 210096 江苏省南京市四牌楼2号

[72] 发明人 吴建辉 龙善丽 王沛 茆邦琴

张萌 李红

[74] 专利代理机构 南京经纬专利商标代理有限公司  
代理人 叶连生

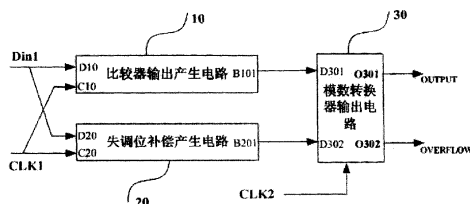
权利要求书4页 说明书9页 附图3页

## [54] 发明名称

用于逐次逼近型模数转换器的失调位补偿电路

## [57] 摘要

用于逐次逼近型模数转换器的失调位补偿电路，属于数模混合信号处理技术领域，该电路中的比较器输出产生电路和失调位补偿产生电路的第一输入端接第一时钟信号，比较器输出产生电路和失调位补偿产生电路的第二输入端接比较器比较结果，比较器输出产生电路的输出端和失调位补偿产生电路的输出端分别对应连接模数转换器输出调整电路的两个输入端，模数转换器输出调整电路的时钟输入端接入第二时钟信号，从模数转换器输出调整电路的输出端引出模数转换器的输出数据信号和溢出信号。该电路设置的置位功能，提高了模数转换器的转换速度，同时通过增加补偿位和利用输出调整电路对输出信号进行调整，消除提前置位所可能引起的误差并产生溢出信号。



1、一种用于逐次逼近型模数转换器的失调位补偿电路，其特征在于，它包括比较器输出产生电路（10）、失调位补偿产生电路（20）和模数转换器输出调整电路（30），其中：比较器输出产生电路（10）的数据输入端（D10）和失调位补偿产生电路（20）的数据输入端（D20）接入比较器比较结果信号（Din1），比较器输出产生电路（10）的时钟输入端（C10）和失调位补偿产生电路（20）的时钟输入端（C20）接入第一时钟信号（CLK1）；比较器输出产生电路（10）的输出端（B101）接模数转换器输出调整电路（30）的第一输入端（D301），失调位补偿产生电路（20）的输出端（B201）接模数转换器输出调整电路（30）的第二输入端（D302）；模数转换器输出调整电路（30）的时钟输入端（C30）接入第二时钟信号（CLK2），从模数转换器输出调整电路（30）的数据信号输出端（O301）引出模数转换器的输出数据信号（OUTPUT），从溢出位输出端（O302）引出溢出信号（OVERFLOW）。

2、根据权利要求1所述的用于逐次逼近型模数转换器的失调位补偿电路，其特征在于，比较器输出产生电路（10）和失调位补偿产生电路（20）由11个单元级联而成，比较器输出产生电路（10）的十个单元分别对应于10位有效数据信号，第十一单元是失调位补偿产生电路（20），对应于1位补偿位；每一个单元都由一个相位处理与非门、一个RS触发器、一个倒相器和一个传输门组成，相位处理与非门的输出端接RS触发器的第一输入端，RS触发器的输出端接倒相器的输入端，倒相器的输出端接传输门的输入端，传输门受互补时钟信号NI及I控制，从传输门的输出端引出模数转换器输出的数据信号。

3、根据权利要求1或2所述的用于逐次逼近型模数转换器的失调位补偿电路，其特征在于比较器输出产生电路（10）和失调位补偿产生电路（20）中，第三单元（103）、第四单元（104）、第五单元（105）、第六单元（106）和第十一单元失调位补偿产生电路（20）的RS触发器的内部构成及连接相同，第三单元（103）中第三RS触发器（1030）由第三三输入与非门（1031）和第四三输入与非门（1032）交叉耦合组成，其中，第三三输入与非门（1031）的第三输入端和第四三输入与非门（1032）的第一输入端分别连接对方的输出端，第三三输入与非门（1031）的第一输入端和输出端是该触发器的第一输入端和输出端，第三

三输入与非门(1031)的第二输入端是该触发器的第二输入端,第四三输入与非门(1032)的第三输入端是该触发器的第三输入端,第四三输入与非门(1032)的第二输入端是该触发器的置位端;

第十单元(100)、第一单元(101)、第二单元(102)、第七单元(107)、第八单元(108)和第九单元(109)的RS触发器的内部构成及连接相同,第十单元(100)的中第十RS触发器(1000)由第十六三输入与非门(1001)和第十六两输入与非门(1002)交叉耦合组成,其中,第十六三输入与非门(1001)的第三输入端和第十六两输入与非门(1002)的第一输入端分别连接对方的输出端,第十六三输入与非门(1001)的第一输入端和输出端是该触发器的第一输入端和输出端,第十六三输入与非门(1001)的第二输入端是该触发器的第二输入端,第十六两输入与非门(1002)的第二输入端是第十RS触发器的置位端;

比较器比较结果信号Din1经过第一倒相器(0001)分别接入所述11个单元的相位处理与非门的第一输入端,第一时钟信号(CLK1)在不同相位的时钟信号“I6、I7、I8、I9、I10、I11、I12、I13、I14、I15、I16”分别对应接入所述第九单元(109)、第八单元(108)、第七单元(107)、第六单元(106)、第五单元(105)、第四单元(104)、第十一单元失调位补偿产生电路(20)、第三单元(103)、第二单元(102)、第一单元(101)、第十单元(100)的相位处理与非门的第二输入端;

第一时钟信号(CLK1)在不同相位的时钟信号“I6、I7、I13、I14、I15、I8、I9、I10、I11、I12”分别经过各自的倒相器对应接入所述第八单元(108)、第七单元(107)、第二单元(102)、第一单元(101)、第十单元(100)的RS触发器的置位端和第六单元(106)、第五单元(105)、第四单元(104)、第十一单元失调位补偿产生电路(20)、第三单元(103)的RS触发器的第三输入端,第一时钟信号(CLK1)在I5相位的信号(I5)经其倒相器接入所述第三单元(103)的RS触发器(1030)的置位端;

第一时钟信号(CLK1)在I1相位的时钟信号(I1)经过第二倒相器(0002)分别接入所述第七单元(107)、第八单元(108)、第九单元(109)、第十单元(100)、第一单元(101)、第二单元(102)的RS触发器的第二输入端和第六单元(106)、第九单元(109)的RS触发器的置位端;

第一时钟信号(CLK1)在I3相位的时钟信号(I3)经过第三倒相器(0003)

分别接入所述第四单元(104)、第五单元(105)、第十一单元失调位补偿产生电路(20)的RS触发器的置位端和第六单元(106)的RS触发器的第二输入端;

第一时钟信号(CLK1)在I1和I4相位的时钟信号(I1)和(I4)分别对应接入第一或非门(0004)的两个输入端,第一或非门(0004)的输出端分别接第四单元(104)、第五单元(105)、第十一单元失调位补偿产生电路(20)的RS触发器的第二输入端;

第一时钟信号(CLK1)在I1和I10相位的时钟信号(I1)和(I10)分别对应接入第二或非门(0005)的两个输入端,第二或非门(0005)的输出端接第三单元(103)的RS触发器(1030)的第二输入端。

4、根据权利要求1所述的用于逐次逼近型模数转换器的失调位补偿电路,其特征在于,模数转换器输出调整电路(30)由11个同相锁存器、6个加法器、11个两输入或非门、11个晶体管以及11个触发器级联而成,11个同相锁存器的输入端分别对应连接比较器输出产生电路(10)和失调位补偿产生电路(20)的输出端,分别对应于10位有效数据信号及1位补偿位,其中:

第一同相锁存器(302)、第二同相锁存器(303)、第三同相锁存器(304)、第四同相锁存器(305)的输出端分别对应连接第一两输入或非门(313)、第二两输入或非门(314)、第三两输入或非门(315)、第四两输入或非门(316)的第一输入端,第五同相锁存器(306)、第六同相锁存器(307)的输出端对应连接第一加法器(342)的两个输入端,第七同相锁存器(308)、第八同相锁存器(309)、第九同相锁存器(310)、第十同相锁存器(311)、第十一同相锁存器(312)的输出端分别对应连接第二加法器(343)、第三加法器(344)、第四加法器(345)、第五加法器(346)、第六加法器(347)的第二输入端;

第二加法器(343)、第三加法器(344)、第四加法器(345)、第五加法器(346)、第六加法器(347)的第一输入端分别对应连接第一加法器(342)、第二加法器(343)、第三加法器(344)、第四加法器(345)、第五加法器(346)的第二输出端;

第一加法器(342)、第二加法器(343)、第三加法器(344)、第四加法器(345)、第五加法器(346)、第六加法器(347)的第一输出端分别对应连接第五两输入或非门(317)、第六两输入或非门(318)、第七两输入或非门(319)、第八两输入或非门(320)、第九两输入或非门(321)、第十两输入或非门(322)的第一

输入端；

第一晶体管(M1)、第二晶体管(M2)、第三晶体管(M3)、第四晶体管(M4)的栅极分别对应连接第一同相锁存器(302)、第二同相锁存器(303)、第三同相锁存器(304)、第四同相锁存器(305)的输出端，第五晶体管(M5)、第六晶体管(M6)、第七晶体管(M7)、第八晶体管(M8)、第九晶体管(M9)、第十晶体管(M10)的栅极分别对应连接第一加法器(342)、第二加法器(343)、第三加法器(344)、第四加法器(345)、第五加法器(346)、第六加法器(347)的第一输出端，第十一晶体管(M0)的漏极和所述其它十个晶体管的漏极接第十两输入或非门(323)的第一输入端，第十一晶体管(M0)的栅极和所述其它十个晶体管的源极接地，第十一晶体管(M0)的源极接电源；

第六加法器(347)的第二输出端接第二十五倒相器(349)的输入端，第二十五倒相器(349)的输出端接所述11个两输入或非门的第二输入端，所述11个两输入或非门的输出端分别对应连接所述11个触发器的数据输入端，第二时钟信号(CLK2)接入第二十五倒相器(324)的输入端，第二十五倒相器(324)的输出端接所述11个触发器的时钟输入端，从第十一触发器(340)的输出端引出溢出信号(OVERFLOW)，从所述其它10个触发器的输出端引出10位数据信号。

## 用于逐次逼近型模数转换器的失调位补偿电路

### 技术领域

本发明涉及一种用于逐次逼近型模数转换器的失调位补偿电路,属于数模混合信号处理技术领域。

### 背景技术

逐次逼近型模数转换器是现在最为流行的高速高精度模数转换器结构之一,在常见的用开关电容网络来实现的逐次逼近型模数转换器电路中,电容充放电的时间是影响转换速率的决定性因素,因电容充放电时间常数的增加造成了模数转换器转换速率的降低。

### 发明内容

**技术问题:**本发明的目的在于提供一种用于逐次逼近型模数转换器的失调位补偿电路,解决上述现有技术中存在的由于电容充放电时间常数的增加而造成的模数转换器转换速率降低的问题,提高逐次逼近型模数转换器的转换速率。

**技术方案:**为实现本发明的目的,本发明的失调位补偿电路,由比较器输出产生电路、失调位补偿产生电路、模数转换器输出调整电路构成,其中:比较器输出产生电路和失调位补偿产生电路的数据信号输入端、时钟控制信号输入端分别对应接入比较器输出的有效数据信号和第一时钟控制信号;比较器输出产生电路的输出端接模数转换器输出调整电路的第一输入端,失调位补偿产生电路的输出端接模数转换器输出调整电路的第二输入端,模数转换器输出调整电路的时钟输入端接入第二时钟控制信号,从模数转换器输出调整电路的数据信号输出端引出模数转换器的输出数据信号,从溢出位输出端引出溢出信号。比较器输出产生电路和失调位补偿电路,在时钟信号的控制下产生比较器的输出结果和失调位,利用对某一相位的置位的功能,预先在电容上加上一一定的电压偏移量以加快电容充放电过程,从而缩短电容的充放电时间,提高模数转换器的转换速率,并通过增加补偿位来修正由于提前置位可能引起的误差。模数转换器输出调整电路

对比较器输出产生和失调位产生电路的输出信号进行调整,消除用于提高转换速度的所增加的补偿位并通过调整产生溢出信号,判断模数转换器的输入信号是否超过输入范围。

**有益效果:** 本发明的失调位补偿电路,利用比较器产生电路和失调位产生电路的置位功能,缩短了电容的冲放电时间,提高了模数转换器的转换速率;在增加补偿位来修正由于提前置位可能引起的误差的同时,通过模数转换器的输出调整电路的输出信号进行调整并产生溢出信号,在提高模数转换器的转换速率的同时,又增大了模数转换器的信噪比和无杂散动态范围。

#### 附图说明:

图 1 为本发明的失调位补偿电路框图。

图 2 为本发明的比较器输出产生电路和失调位补偿产生电路。

图 3 为本发明的模数转换器的输出调整电路。

图 4 为本发明的比较器产生电路和失调位补偿产生电路各相位的时序图。

#### 具体实施方式

下面结合附图与具体实施方式对本发明作进一步详细描述。

参见图 1,图 1 为本发明的原理框图。本发明的用于逐次逼近型模数转换器的失调位补偿电路,由比较器输出产生电路 10、失调位补偿产生电路 20 和模数转换器输出调整电路 30 构成,其中,比较器输出产生电路 10 的数据输入端 D10 和失调位补偿产生电路 20 的数据输入端 D20 接入比较器比较结果信号 Din1,比较器输出产生电路 10 的时钟输入端 C10 和失调位补偿产生电路 20 的时钟输入端 C20 接入第一时钟信号 CLK1;比较器输出产生电路 10 的输出端 B101 接模数转换器输出调整电路 30 的第一输入端 D301,失调位补偿产生电路 20 的输出端 B201 接模数转换器输出调整电路 30 的第二输入端 D302;模数转换器输出调整电路 30 的时钟输入端 C30 接入第二时钟信号 CLK2,从模数转换器输出调整电路 30 的数据信号输出端 O301 引出模数转换器的输出数据信号,从溢出位输出端 O302 引出溢出信号。比较器输出产生电路 10 和失调位补偿产生电路 20,在第一时钟信号的控制下产生比较器的输出结果和失调位,利用对其中一个相位的置位的功能,预先在电容上加上一定的电压偏移量以加快电容充放电过程,缩短

电容的冲放电时间,提高模数转换器的转换速率,并通过增加一位补偿位来修正由于提前置位可能引起的误差,在提高模数转换器的转换速率的同时,又增大了模数转换器的信噪比和无杂散动态范围。模数转换器输出调整电路 30 对比较器输出产生电路 10 和失调位补偿产生电路 20 的输出信号进行调整,消除用于提高转换速度的所增加的补偿位并通过调整产生溢出信号,判断模数转换器的输入信号是否超过输入范围。

参见图 2,图 2 是本发明的比较器输出产生电路 10 和失调位补偿产生电路 20 的一个实施例的具体电路图。图中,比较器输出产生电路 10 和失调位补偿产生电路 20 由 11 个单元级联而成,比较器输出产生电路 10 的十个单元分别对应于 10 位有效数据信号 B0、B1、B2、B3、B04、B5、B6、B7、B8、B9,第十一单元是失调位补偿产生电路 20,对应于 1 位补偿位 B04;每一个单元都由一个相位处理与非门、一个 RS 触发器、一个倒相器和一个传输门组成,相位处理与非门的输出端接 RS 触发器的第一输入端,RS 触发器的输出端接倒相器的输入端,倒相器的输出端接传输门的输入端,传输门受互补时钟信号 NI 及 I 控制,这一结构用来锁存比较器的输出结果并在第一时钟信号 CLK1 的控制下将锁存信号输出。从传输门的输出端引出模数转换器输出的有效数据信号。

第三单元 103、第四单元 104、第五单元 105、第六单元 106 和第十一单元失调位补偿产生电路 20 的 RS 触发器的内部构成及连接相同,第三单元 103 中第三 RS 触发器 1030 由第三三输入与非门 1031 和第四三输入与非门 1032 交叉耦合组成,其中,第三三输入与非门 1031 的第三输入端和第四三输入与非门 1032 的第一输入端分别连接对方的输出端,第三三输入与非门 1031 的第一输入端和输出端是该触发器的第一输入端和输出端,第三三输入与非门 1031 的第二输入端是该触发器的第二输入端,第四三输入与非门 1032 的第三输入端是该触发器的第三输入端,第四三输入与非门 1032 的第二输入端是该触发器的置位端。

第十单元 100、第一单元 101、第二单元 102、第七单元 107、第八单元 108 和第九单元 109 的 RS 触发器的内部构成及连接相同,第十单元 100 的第十 RS 触发器 1000 由第十六三输入与非门 1001 和第十六两输入与非门 1002 交叉耦合组成,其中,第十六三输入与非门 1001 的第三输入端和第十六两输入与非门 1002 的第一输入端分别连接对方的输出端,第十六三输入与非门 1001 的第一输入端和输出端是该触发器的第一输入端和输出端,第十六三输入与非门 1001 的



第二输入端是该触发器的第二输入端，第十六两输入与非门 1002 的第二输入端是第十 RS 触发器的置位端。

比较器比较结果信号 Din1 经过第一倒相器 0001 分别接入所述 11 个单元的相位处理与非门的第一输入端。

第一时钟信号 CLK1 在不同相位的时钟信号 I6、I7、I8、I9、I10、I11、I12、I13、I14、I15、I16 分别对应接入所述第九单元 109、第八单元 108、第七单元 107、第六单元 106、第五单元 105、第四单元 104、第十一单元 20、第三单元 103、第二单元 102、第一单元 101、第十单元 100 的相位处理与非门的第二输入端；第一时钟信号 CLK1 在不同相位的时钟信号 “I6、I7、I13、I14、I15、I8、I9、I10、I11、I12” 分别经过各自的倒相器对应接入所述第八单元 108、第七单元 107、第二单元 102、第一单元 101、第十单元 100 的 RS 触发器的置位端和第六单元 106、第五单元 105、第四单元 104、第十一单元失调位补偿产生电路 20、第三单元 103 的 RS 触发器的第三输入端；第一时钟信号 CLK1 在 I5 相位的时钟信号 I5 经其倒相器接入所述第三单元 103 的 RS 触发器 1030 的置位端；第一时钟信号 CLK1 在 I1 相位的时钟信号 I1 经过第二倒相器 0002 分别接入所述第七单元 107、第八单元 108、第九单元 109、第十单元 100、第一单元 101、第二单元 102 的 RS 触发器的第二输入端和第六单元 106、第九单元 109 的 RS 触发器的置位端；第一时钟信号 CLK1 在 I3 相位的时钟信号 I3 经过第三倒相器 0003 分别接入所述第四单元 104、第五单元 105、第十一单元 20 的 RS 触发器的置位端和第六单元 106 的 RS 触发器的第二输入端；第一时钟信号 CLK1 在 I1 和 I4 相位的时钟信号 I1 和 I4 分别对应接入第一或非门 0004 的两个输入端，第一或非门 0004 的输出端分别接第四单元 104、第五单元 105、第十一单元 105 的 RS 触发器的第二输入端；第一时钟信号 CLK1 在 I1 和 I10 相位的时钟信号 I1 和 I10 分别对应接入第二或非门 0005 的两个输入端，第二或非门 0005 的输出端接第三单元 103 的 RS 触发器 1030 的第二输入端。

本发明实施例的工作原理如下：参见图 4，图 4 为本发明的比较器输出产生电路和补偿为产生电路各相位的时序图，比较器的输出的比较结果信号 Din1 加在第一倒相器 0001 的输入端，第一倒相器 0001 的输出端产生信号，接第九单元 109 的两输入与非门的第一输入端，该两输入与非门的第二输入端接入第一时钟信号 CLK1 在 I6 相位的时钟信号 I6，当该时钟信号 I6 上升沿到来时，第九单元

109 的两输入与非门的输出信号即是输入信号 Din1，如果这个信号为逻辑高电平，则第九单元 109 的 RS 触发器被置位，且此时 B9 位逻辑高电平，如果第九单元 109 的两输入与非门的输出为逻辑低电平，那么第九单元 109 的 RS 触发器被复位，B9 位逻辑低电平。

产生逻辑电平 B9 的第九单元 109 的 RS 触发器在第一时钟信号 CLK1 的 I1 相位时被复位，时钟信号 I1 经过第二倒相器 0002 的信号加在第九单元 109 的 RS 触发器的第二输入端。产生逻辑电平 B8、B7、B5、B4、B3、B2、B1、B0 的相应单元的 RS 触发器在第一时钟信号 CLK1 的 I1 相位时也被复位。产生逻辑电平 B6 的第六单元的 RS 触发器在第一时钟信号 CLK1 的 I1 相位时被置位并且在第一时钟信号 CLK1 在 I3 相位的倒相信号 I3N 时被复位，倒相信号 I3N 同时也将产生逻辑电平 B5、B4 和补偿位 B04 的相应单元的 RS 触发器复位，同时，产生逻辑电平 B5、B4 和补偿位 B04 的相应单元的 RS 触发器也在第一时钟信号 CLK1 的 I4 相位时被复位，产生逻辑电平 B3 的第三单元 103 的第三 RS 触发器 1030 在第一时钟信号 CLK1 的 I10 相位时被复位。

除了复位和置位的信号有所不同以外，产生逻辑电平 B8、B7、B6、B5、B4、B3、B2、B1、B0 以及产生相应补偿位 B04 的其它相应 10 个单元的 10 个 RS 触发器的工作原理和产生逻辑电平 B9 的第九单元 109 的 RS 触发器的工作原理相同，所有单元的 RS 触发器的输出接在由互补时钟信号 NI 及 I 控制的传输门上，信号 NI 及 I 在相位 I16 时产生，当信号 NI 及 I 加载传输门上时，10 位有效信号 B9、B8、B7、B6、B5、B4、B3、B2、B1、B0 加上一位补偿位 B04 共 11 位信号同时输出至模数转换器输出调整电路 30，模数转换器输出调整电路 30 将 11 位信号转化为 10 位有效信号 O0、O1、O2、O3、O4、O5、O6、O7、O8 和 O9 对应于模数转换器的输出，并产生一位溢出位 OVERFLOW 用来判断是否溢出。表一为逻辑电平 B9、B8、B7、B6、B5、B4、B3、B2、B1、B0 十位有效数据加上一位补偿位 B04，共十一位各时钟周期电容电压复位和置位情况。

如表一所示，在第一时钟信号 CLK1 的 I5 相位时对于逻辑电平 B3 的置位可以加快模数转换器的转换速率。通过对电容的预充电，缩短了决定高位数字量时开关电容需要的充放电时间，缩短的时间与 B3 对应的权重成正比。当高位产生以后，逻辑电平 B3 被复位，确保了最后正确的数字量的输出。补偿位 B04 用来补偿由于预先将逻辑电平 B3 置位可能引起的任何误差。

	B9	B8	B7	B6	B5	B4	B04	B3	B2	B1	B0
I1	0	0	0	1	0	0	0	0	0	0	0
I2	0	0	0	1	0	0	0	0	0	0	0
I3	0	0	0	0	1	1	1	0	0	0	0
I4	0	0	0	0	0	0	0	0	0	0	0
I5	1	0	0	0	0	0	0	1	0	0	0
I6	S	1	0	0	0	0	0	1	0	0	0
I7	S	S	1	0	0	0	0	1	0	0	0
I8	S	S	S	1	0	0	0	1	0	0	0
I9	S	S	S	S	1	0	0	1	0	0	0
I10	S	S	S	S	S	1	0	0	0	0	0
I11	S	S	S	S	S	S	1	0	0	0	0
I12	S	S	S	S	S	S	S	1	0	0	0
I13	S	S	S	S	S	S	S	S	1	0	0
I14	S	S	S	S	S	S	S	S	S	1	0
I15	S	S	S	S	S	S	S	S	S	S	1
I16	S	S	S	S	S	S	S	S	S	S	S

表 1 各时钟周期电容电压复位和置位情况

预先被置位的 B3 所对应的权重为  $\frac{1}{128}F_s$ ，对 B3 预先进行置位可以增加比较器的比较速度，从而增加整个模数转换器的转换速率，由于开关电容网络的充放电时间常数为  $RC$ ，其中  $R$  为开关电阻， $C$  为电容值，充放电时间与充放电时间常数和充放电前后电容上电压的变化量均有关。在需要对高位数字量进行确定时，预先在电容上加上小的电压偏移量，则可以缩短电容充放电所需要的建立时间，从而加快充放电过程，允许模数转换器在更高的转换速率下工作。例如，在决定最高位对应的数字量时，电容首先要被充电至  $\frac{1}{2}F_s$ ，在预先对 B3 进行置位以后，即对电容与充电至  $\frac{1}{128}F_s$ ，在决定最高位时，电容只需要被充电至  $\frac{1}{2}F_s - \frac{1}{128}F_s = \frac{63}{128}F_s$ ，就可以正确的确定最高位，也就是说，只要输入的模拟

信号大于  $\frac{1}{128}F_s$ ，就可以以更快的速度决定高位数字量。当越来越多的数字量被确定后，在 I10 相位，B3 被复位，这样比较器仍然可以在很高的速度下工作，并且保证了精度。但是这样做有可能会引入误差，当输入的模拟信号在  $[\frac{1}{2}F_s, \frac{1}{2}F_s + \frac{1}{128}F_s]$  并且电容能够完全充电时，对于最高位的决定就会出现误差。从而导致整个模数转换器出现错误的转换。为解决上述问题，可以增加一个权重合适的补偿位，补偿位的权重应该比较小，在本发明中为  $\frac{1}{64}F_s$ ，在确定最高位以后，由补偿位来判断是否应该将自身权重的  $\frac{1}{2}(\frac{1}{128}F_s)$ ，即对应于 B3 的权重加在比较器的求和节点上来改变部分和，从而得出正确的输出结果。补偿位的产生可以通过增加一个时钟周期 I11 来实现，在 I11 周期，可以确定比较器是否出错，从而决定补偿位是否应在加在求和节点已得到正确的输出结果。

参见图 3，图 3 是本发明的模数转换器输出调整电路 30 的一个实施例的具体电路图。图中，模数转换器输出调整电路 30 由 11 个同相锁存器、6 个加法器、11 个两输入或非门、11 个晶体管以及 11 个触发器级联而成。第一同相锁存器 302、第二同相锁存器 303、第三同相锁存器 304、第四同相锁存器 305、第六同相锁存器 307、第七同相锁存器 308、第八同相锁存器 309、第九同相锁存器 310、第十同相锁存器 311、第十一同相锁存器 312 分别对应接入 10 位有效数据信号 B0、B1、B2、B3、B04、B5、B6、B7、B8、B9，第五同相锁存器 306 接入 1 位补偿位 B04。第一同相锁存器 302、第二同相锁存器 303、第三同相锁存器 304、第四同相锁存器 305 的输出端分别对应连接第一两输入或非门 313、第二两输入或非门 314、第三两输入或非门 315、第四两输入或非门 316 的第一输入端，第五同相锁存器 306、第六同相锁存器 307 的输出端对应连接第一加法器 342 的两个输入端，第七同相锁存器 308、第八同相锁存器 309、第九同相锁存器 310、第十同相锁存器 311、第十一同相锁存器 312 的输出端分别对应连接第二加法器 343、第三加法器 344、第四加法器 345、第五加法器 346、第六加法器 347 的第二输入端用于产生最终比较结果。

第二加法器 343、第三加法器 344、第四加法器 345、第五加法器 346、第六加法器 347 的第一输入端分别对应连接第一加法器 342、第二加法器 343、第三加法器 344、第四加法器 345、第五加法器 346 的第二输出端；第一加法器 342、第二加法器 343、第三加法器 344、第四加法器 345、第五加法器 346、第六加法

器 347 的第一输出端分别对应连接第五两输入或非门 317、第六两输入或非门 318、第七两输入或非门 319、第八两输入或非门 320、第九两输入或非门 321、第十两输入或非门 322 的第一输入端；

第一晶体管 M1、第二晶体管 M2、第三晶体管 M3、第四晶体管 M4 的栅极分别对应连接第一同相锁存器 302、第二同相锁存器 303、第三同相锁存器 304、第四同相锁存器 305 的输出端，第五晶体管 M5、第六晶体管 M6、第七晶体管 M7、第八晶体管 M8、第九晶体管 M9、第十晶体管 M10 的栅极分别对应连接第一加法器 342、第二加法器 343、第三加法器 344、第四加法器 345、第五加法器 346、第六加法器 347 的第一输出端，第十一晶体管 M0 的漏极和所述其它十个晶体管的漏极接第十两输入或非门 323 的第一输入端，第十一晶体管 M0 的栅极和所述其它十个晶体管的源极接地，第十一晶体管 M0 的源极接电源；

第六加法器 347 的第二输出端接第二十五倒相器 349 的输入端，第二十五倒相器 349 的输出端接所述 11 个两输入或非门的第二输入端，所述 11 个两输入或非门的输出端分别对应连接所述 11 个触发器的数据输入端，第二时钟信号 CLK2 经第二十五倒相器 324 后的输出信号接入所述 11 个触发器的时钟输入端，从第十一触发器 340 的输出端引出溢出信号 OVERFLOW，从所述其它 10 个触发器的输出端引出 10 位数据信号。

本发明实施例的工作原理如下：模数转换器在不同时刻从 P0 到 P15 的输出经过一定的格式转换，输出到下一级电路中去。其中，所述 11 个触发器为主从式触发器。在时钟信号 CLK2 经过第二十五倒相器 324 产生的信号上升沿时，所述 11 个触发器更新锁存输出；在时钟信号 CLK2 经过第二十五倒相器 324 产生的信号下降沿时，所述 11 个触发器接收数据。该电路在把 11bit 数据转换为 10bit 数据的同时，能够消除补偿位并产生溢出位的加法器电路，当输入信号低于或者高于模数转换器能够处理的信号范围时，模数转换器将溢出，产生溢出位判断错误信息。首先，对于向上的溢出，如图 3 所示，是通过所述 11 个晶体管的有比逻辑来实现的，由于输入模拟信号超过了模数转换器能处理的最大信号的上限，则比较器输出产生电路 10 的输出信号全部为逻辑高电平，即为 1，并通过所述 11 个同相锁存器和所述 11 个加法器接在除第十一晶体管之外的所述 10 个晶体管的栅极，当这些晶体管的栅极输入均为 1 时这些晶体管导通，产生溢出位 OVERFLOW 的第二十三两输入或非门 323 的第一输入端为 0，溢出

位 OVERFLOW 输出为 1，同时 10 个数据信号输出端的输出均为 1，表示向上溢出。其次，对于向下的溢出，也是通过所述晶体管的有比逻辑来实现的，由于输入模拟信号超过了模数转换器能处理的最大信号的下限，则比较器输出产生电路 10 的输出信号全部为逻辑低电平，即为 0，并通过所述 11 个同相锁存器和所述 11 个加法器接在除第十一晶体管之外的所述 10 个晶体管的栅极，当这些晶体管的栅极输入均为 0 时，这些晶体管截止，产生溢出位 OVERFLOW 的第二十三两输入或非门 323 的第一输入端为 1，通过对第六加法器 347 的特殊设计，使得其第二输出端输出为 1，则溢出位 OVERFLOW 输出为 1。同时 10 个数据信号输出端的输出均为 0，表示向下溢出。

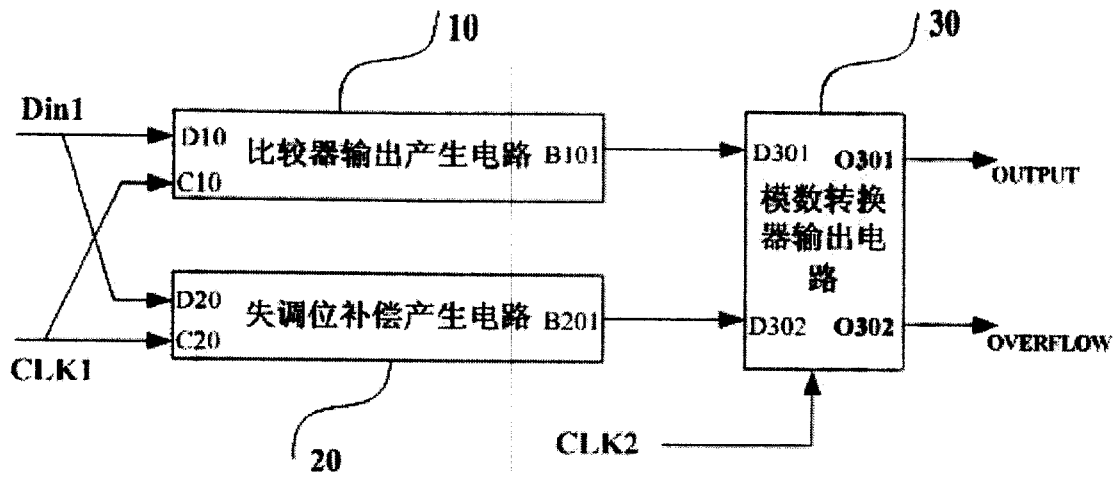


图 1

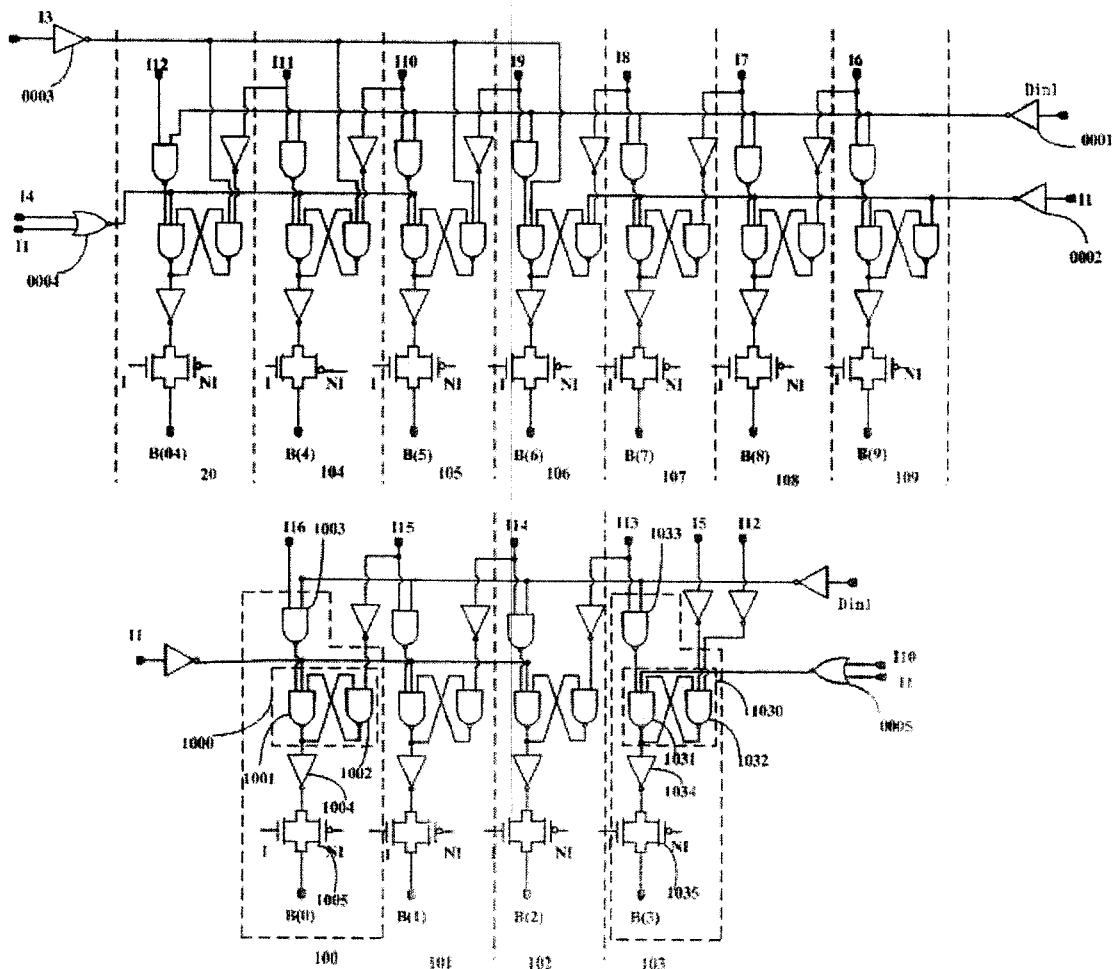


图 2

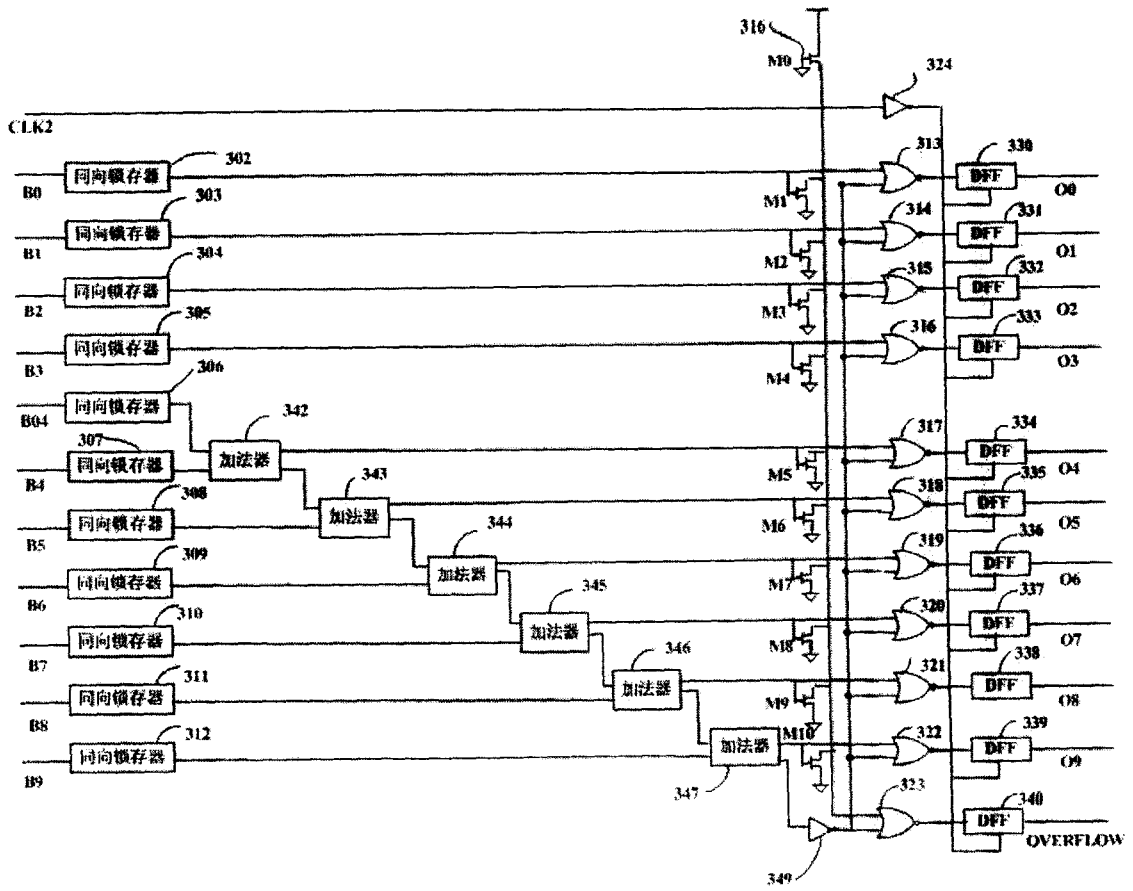


图 3



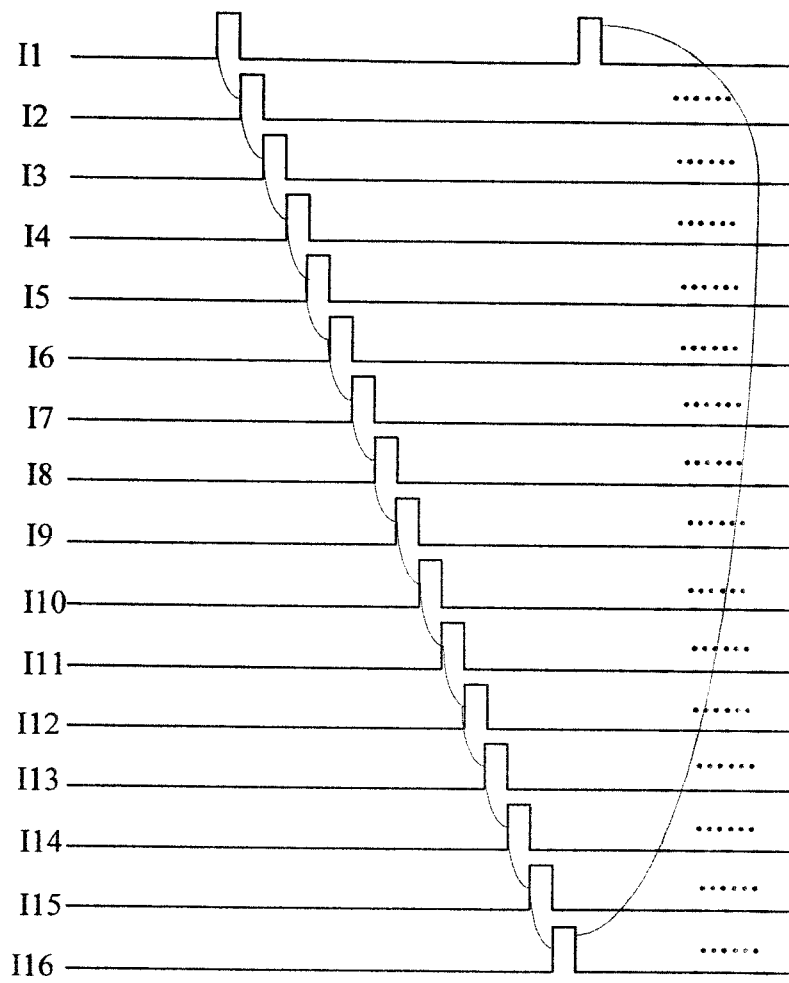


图 4