

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7225127号
(P7225127)

(45)発行日 令和5年2月20日(2023.2.20)

(24)登録日 令和5年2月10日(2023.2.10)

(51)国際特許分類 F I
H 0 4 N 25/78 (2023.01) H 0 4 N 25/78

請求項の数 20 (全52頁)

(21)出願番号	特願2019-568967(P2019-568967)	(73)特許権者	316005926 ソニーセミコンダクタソリューションズ株式会社 神奈川県厚木市旭町四丁目14番1号
(86)(22)出願日	平成31年1月11日(2019.1.11)	(74)代理人	100091487 弁理士 中村 行孝
(86)国際出願番号	PCT/JP2019/000666	(74)代理人	100094363 山本 孝久
(87)国際公開番号	WO2019/150917	(74)代理人	100118290 弁理士 吉井 正明
(87)国際公開日	令和1年8月8日(2019.8.8)	(72)発明者	富田 和寿 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内
審査請求日	令和3年11月29日(2021.11.29)	(72)発明者	池田 裕介
(31)優先権主張番号	特願2018-16994(P2018-16994)		
(32)優先日	平成30年2月2日(2018.2.2)		
(33)優先権主張国・地域又は機関	日本国(JP)		
(31)優先権主張番号	特願2018-120557(P2018-120557)		
(32)優先日	平成30年6月26日(2018.6.26)		
(33)優先権主張国・地域又は機関	日本国(JP)		

最終頁に続く

(54)【発明の名称】 撮像素子及び電子機器

(57)【特許請求の範囲】

【請求項1】

光電変換部を含む複数の画素が配置されて成る画素アレイ部、及び、画素から出力されるアナログの画素信号と所定の参照信号とを比較し、画素信号の信号レベルに応じた比較結果を出力する比較器を備え、

比較器は、

差動対トランジスタ、

差動対の一方のトランジスタに対し直列に接続された第1の負荷トランジスタ、及び、差動対の他方のトランジスタに対し直列に接続された第2の負荷トランジスタを有し、差動対の一方のトランジスタは、画素信号と所定の参照信号とが合成された信号をゲート入力とし、

差動対の他方のトランジスタは、所定の電圧をゲート入力とし、

差動対の一方のトランジスタ及び第1の負荷トランジスタの共通接続ノードと所定の電圧のノードとの間に容量部が接続されている、

撮像素子。

【請求項2】

画素信号及び所定の参照信号はそれぞれ容量素子を介して、差動対の一方のトランジスタのゲート入力となる、

請求項1に記載の撮像素子。

【請求項3】

- 所定の電圧は、任意の電圧である、
請求項 1 に記載の撮像素子。
- 【請求項 4】
容量部の容量値は可変である、
請求項 1 に記載の撮像素子。
- 【請求項 5】
容量部は、容量値が可変な可変容量素子から成る、
請求項 4 に記載の撮像素子。
- 【請求項 6】
容量部は、複数の容量素子、及び、制御信号に基づいて、複数の容量素子の少なくとも
一つを選択する切替えスイッチから成る、 10
請求項 4 に記載の撮像素子。
- 【請求項 7】
複数の容量素子は、容量値が互いに同じ容量素子から成る、
請求項 6 に記載の撮像素子。
- 【請求項 8】
複数の容量素子は、容量値が互いに異なる容量素子から成る、
請求項 6 に記載の撮像素子。
- 【請求項 9】
容量部は、制御信号を供給する制御線と切替えスイッチとの間を電氣的に分離する分離
回路を有する、 20
請求項 6 に記載の撮像素子。
- 【請求項 10】
分離回路は、インバータ回路又はバッファ回路から成る、
請求項 9 に記載の撮像素子。
- 【請求項 11】
第 1 の負荷トランジスタは、ダイオード接続の構成となっている、
請求項 1 に記載の撮像素子。
- 【請求項 12】
第 1 の負荷トランジスタ及び第 2 の負荷トランジスタは、カレントミラー回路を構成し
ている、 30
請求項 11 に記載の撮像素子。
- 【請求項 13】
差動対の他方のトランジスタと第 2 の負荷トランジスタとの共通接続ノードが出力ノ
ードである、
請求項 11 に記載の撮像素子。
- 【請求項 14】
比較器は、画素アレイ部の画素列に対応して設けられ、画素から出力されるアナログの
画素信号をデジタル信号に変換するアナログ - デジタル変換器に用いられる、
請求項 1 に記載の撮像素子。 40
- 【請求項 15】
アナログ - デジタル変換器は、画素アレイ部の画素列毎、もしくは、複数画素列毎に設
けられている、
請求項 14 に記載の撮像素子。
- 【請求項 16】
光電変換部を含む複数の画素が配置されて成る画素アレイ部、及び、画素から出力され
るアナログの画素信号と所定の参照信号とを比較し、画素信号の信号レベルに応じた比較
結果を出力する比較器を備え、
比較器は、
差動対トランジスタ、 50

差動対の一方のトランジスタに対し直列に接続された第 1 の負荷トランジスタ、及び、
差動対の他方のトランジスタに対し直列に接続された第 2 の負荷トランジスタを有し、
差動対の一方のトランジスタは、画素信号と所定の参照信号とが合成された信号をゲート入力とし、

差動対の他方のトランジスタは、所定の電圧をゲート入力とし、

差動対の一方のトランジスタ及び第 1 の負荷トランジスタの共通接続ノードと所定の電圧のノードとの間に容量部が接続されている、

撮像素子を有する電子機器。

【請求項 17】

光電変換部を含む複数の画素が配置されて成る画素アレイ部、及び、画素から出力されるアナログの画素信号と所定の参照信号とを比較し、画素信号の信号レベルに応じた比較結果を出力する比較器を備え、

10

比較器は、縦続接続された第 1 増幅部及び第 2 増幅部から成り、

第 1 増幅部は、

差動対トランジスタ、

差動対の一方のトランジスタに対し直列に接続された第 1 の負荷トランジスタ、及び、
差動対の他方のトランジスタに対し直列に接続された第 2 の負荷トランジスタを有し、
差動対の一方のトランジスタは、画素信号と所定の参照信号とが合成された信号をゲート入力とし、

差動対の他方のトランジスタは、所定の電圧をゲート入力とし、

20

第 2 の増幅部は、

出力ノードと所定の電圧のノードとの間に接続された第 1 の容量部を有する、

撮像素子。

【請求項 18】

第 1 増幅部は、差動対の一方のトランジスタ及び第 1 の負荷トランジスタの共通接続ノードと所定の電圧のノードとの間に接続された第 2 の容量部を有する、

請求項 17 に記載の撮像素子。

【請求項 19】

第 2 の増幅部の出力の反転時に、第 1 増幅部の出力ノードの電位を所定の電位にクランプするクランプ回路を備える、

30

請求項 17 に記載の撮像素子。

【請求項 20】

光電変換部を含む複数の画素が配置されて成る画素アレイ部、及び、画素から出力されるアナログの画素信号と所定の参照信号とを比較し、画素信号の信号レベルに応じた比較結果を出力する比較器を備え、

比較器は、縦続接続された第 1 増幅部及び第 2 増幅部から成り、

第 1 増幅部は、

差動対トランジスタ、

差動対の一方のトランジスタに対し直列に接続された第 1 の負荷トランジスタ、及び、
差動対の他方のトランジスタに対し直列に接続された第 2 の負荷トランジスタを有し、
差動対の一方のトランジスタは、画素信号と所定の参照信号とが合成された信号をゲート入力とし、

40

差動対の他方のトランジスタは、所定の電圧をゲート入力とし、

第 2 の増幅部は、

出力ノードと所定の電圧のノードとの間に接続された容量部を有する、

撮像素子を有する電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、撮像素子及び電子機器に関する。

50

【背景技術】

【0002】

画素から出力されるアナログの画素信号をデジタル信号に変換するアナログ - デジタル変換部を備えた撮像素子が知られている。アナログ - デジタル変換部は、画素列に対応して設けられた複数のアナログ - デジタル変換器を備えている。そして、アナログ - デジタル変換部の各アナログ - デジタル変換器は、アナログの画素信号と所定の参照信号とを比較し、画素信号の信号レベルに応じた比較結果を出力する比較器を備えている（例えば、特許文献1参照）。

【先行技術文献】

【特許文献】

10

【0003】

【文献】特開2009 - 124513号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

撮像素子や当該撮像素子を用いる電気機器では、低消費電力化が望まれる。低消費電力化に当たっては、例えば、撮像素子の低電源電圧化を図ることが考えられる。しかし、撮像素子の電源電圧が下がると、比較器の電源電圧も下がることになるために、画素信号の信号レベルが比較器の入力ダイナミックレンジを超えてしまい、アナログ - デジタル変換の線形性、即ち、アナログの画素信号に対するデジタル値の線形性を確保できなくなるおそれがある。

20

【0005】

本開示は、低消費電力化を図るべく電源電圧を下げても、アナログ - デジタル変換の線形性を確保できる撮像素子、及び、当該撮像素子を有する電子機器を提供することを目的とする。

【課題を解決するための手段】

【0006】

上記の目的を達成するための本開示の第1態様に係る撮像素子は、光電変換部を含む複数の画素が配置されて成る画素アレイ部、及び、画素から出力されるアナログの画素信号と所定の参照信号とを比較し、画素信号の信号レベルに応じた比較結果を出力する比較器を備えている。

30

この撮像素子において、

比較器は、差動対トランジスタ、差動対の一方のトランジスタに対し直列に接続された第1の負荷トランジスタ、及び、差動対の他方のトランジスタに対し直列に接続された第2の負荷トランジスタを有する。

差動対の一方のトランジスタは、画素信号と所定の参照信号とが合成された信号をゲート入力とし、差動対の他方のトランジスタは、所定の電圧をゲート入力とする。

そして、差動対の一方のトランジスタ及び第1の負荷トランジスタの共通接続ノードと、所定の電圧のノードとの間に容量部が接続された構成となっている。

【0007】

40

上記の目的を達成するための本開示の第2態様に係る撮像素子は、光電変換部を含む複数の画素が配置されて成る画素アレイ部、及び、画素から出力されるアナログの画素信号と所定の参照信号とを比較し、画素信号の信号レベルに応じた比較結果を出力する比較器を備え、

比較器は、縦続接続された第1増幅部及び第2増幅部から成り、

第1増幅部は、

差動対トランジスタ、

差動対の一方のトランジスタに対し直列に接続された第1の負荷トランジスタ、及び、差動対の他方のトランジスタに対し直列に接続された第2の負荷トランジスタを有し、

差動対の一方のトランジスタは、画素信号と所定の参照信号とが合成された信号をゲ-

50

ト入力とし、

差動対の他方のトランジスタは、所定の電圧をゲート入力とし、

第 2 の増幅部は、

出力ノードと所定の電圧のノードとの間に接続された第 1 の容量部を有する構成となっている。

【 0 0 0 8 】

また、上記の目的を達成するための本開示の電子機器は、上記の構成の第 2 態様に係る撮像素子、あるいは、第 2 態様に係る撮像素子を有する構成となっている。

【図面の簡単な説明】

【 0 0 0 9 】

【図 1】図 1 は、本開示の撮像素子の一例である CMOS イメージセンサの基本的な構成の概略を示すブロック図である。

【図 2】図 2 は、画素の回路構成の一例を示す回路図である。

【図 3】図 3 は、本開示の撮像素子の一例である CMOS イメージセンサに搭載される列並列アナログ - デジタル変換部の構成の一例を示すブロック図である。

【図 4】図 4 は、本開示の撮像素子の一例である CMOS イメージセンサの平置型のチップ構造の概略を示す平面図である。

【図 5】図 5 は、本開示の撮像素子の一例である CMOS イメージセンサの積層型のチップ構造の概略を示す分解斜視図である。

【図 6】図 6 は、参考例に係る比較器の回路構成を示す回路図である。

【図 7】図 7 は、参考例に係る比較器の動作説明に供するタイミングチャートである。

【図 8】図 8 A は、参考例に係る比較器の出力信号の反転時の動作についての説明図であり、図 8 B は、従来技術に係る比較器の出力信号の反転時の動作についての説明図である。

【図 9】図 9 A は、参考例の場合における、画面全体が黒地の画像の場合の撮像画面を示す図であり、図 9 B は、図 9 A の場合の P 相及び D 相の比較器の出力波形を示す波形図である。

【図 10】図 10 A は、参考例の場合における、画面の左右方向の半分ずつ黒画像及び白画像の場合の撮像画面を示す図であり、図 10 B は、図 10 A の場合の P 相及び D 相の比較器の出力波形を示す波形図である。

【図 11】図 11 は、実施例 1 に係る比較器の回路構成を示す回路図である。

【図 12】図 12 は、容量部の作用によるキックバックと逆相の信号の経路についての説明図である。

【図 13】図 13 A は、実施例 1 の場合における、画面全体が黒地の画像の場合の撮像画面を示す図であり、図 13 B は、図 13 A の場合の P 相及び D 相の比較器の出力波形を示す波形図である。

【図 14】図 14 A は、実施例 1 の場合における、画面の左右方向の半分ずつ黒画像及び白画像の場合の撮像画面を示す図であり、図 14 B は、図 14 A の場合の P 相及び D 相の比較器の出力波形を示す波形図である。

【図 15】図 15 は、実施例 2 に係る比較器の回路構成を示す回路図である。

【図 16】図 16 は、実施例 3 の第 1 例に係る比較器の回路構成を示す回路図である。

【図 17】図 17 は、実施例 3 の第 2 例に係る比較器の回路構成を示す回路図である。

【図 18】図 18 は、実施例 4 に係る比較器の回路構成を示す回路図である。

【図 19】図 19 は、実施例 5 に係る比較器の回路構成を示す回路図である。

【図 20】図 20 は、実施例 6 に係る比較器の回路構成を示す回路図である。

【図 21】図 21 は、実施例 6 に係る比較器の動作説明図（その 1）である。

【図 22】図 22 は、実施例 6 に係る比較器の動作説明図（その 2）である。

【図 23】図 23 は、実施例 6 に係る比較器の動作説明に供するタイミングチャートである。

【図 24】図 24 は、実施例 6 に係る比較器における出力アンプの他の回路構成（その 1）を示す回路図である。

10

20

30

40

50

【図 25】図 25 は、実施例 6 に係る比較器における出力アンプの他の回路構成（その 2）を示す回路図である。

【図 26】図 26 は、実施例 6 に係る比較器における出力アンプの他の回路構成（その 3）を示す回路図である。

【図 27】図 27 は、実施例 7 に係る比較器の回路構成を示す回路図である。

【図 28】図 28 は、実施例 8 に係る比較器の回路構成を示す回路図である。

【図 29】図 29 A は、実施例 8 に係る比較器におけるノード N_{32} の電圧 H_{iZ} に対するテール電流の変化を示す波形図であり、図 29 B は、比較器の出力反転時の動作波形を示す波形図であり、図 29 C は、時間に対するテール電流の変化を示す波形図である。

【図 30】図 30 は、実施例 9 に係る比較器の回路構成を示す回路図である。

10

【図 31】図 31 A は、実施例 9 に係る比較器におけるノード N_{22} の電圧 H_{iZ} に対するテール電流の変化を示す波形図であり、図 31 B は、比較器の出力反転時の動作波形を示す波形図であり、図 31 C は、時間に対するテール電流の変化を示す波形図である。

【図 32】図 32 は、本開示に係る技術の適用例を示す図である。

【図 33】図 33 は、本開示の電子機器の一例である撮像装置の構成を示すブロック図である。

【図 34】図 34 は、本開示に係る技術が適用され得る移動体制御システムの一部である車両制御システムの概略的な構成例を示すブロック図である。

【図 35】図 35 は、撮像部の設置位置の例を示す図である。

【発明を実施するための形態】

20

【0010】

以下、本開示の技術を実施するための形態（以下、「実施形態」と記述する）について図面を用いて詳細に説明する。本開示の技術は実施形態に限定されるものではない。以下の説明において、同一要素又は同一機能を有する要素には同一符号を用いることとし、重複する説明は省略する。尚、説明は以下の順序で行う。

1. 本開示の撮像素子及び電子機器、全般に関する説明

2. 本開示の撮像素子

2-1. CMOS イメージセンサの構成例

2-2. 画素の構成例

2-3. アナログ - デジタル変換部の構成例

30

2-4. チップ構造

2-4-1. 平置型のチップ構造（所謂、平置構造）

2-4-2. 積層型のチップ構造（所謂、積層構造）

2-5. 撮像素子の低消費電力化について

2-6. 参考例に係る比較器

2-6-1. 参考例に係る比較器の構成

2-6-2. 参考例に係る比較器の動作

2-6-3. 参考例に係る比較器の作用、効果

2-6-4. 参考例に係る比較器の問題点

3. 第 1 実施形態

40

3-1. 実施例 1（差動アンプに容量部を設ける例）

3-2. 実施例 2（容量部の具体例 1：可変容量素子を用いる例）

3-3. 実施例 3（容量部の具体例 2：複数の容量素子及び切替えスイッチの組み合わせから成る例）

3-4. 実施例 4（容量部の具体例 3：切替えスイッチの制御端子に電気的な分離回路を設ける例）

3-5. 実施例 5（実施例 1 の変形例：逆導電型のトランジスタを用いる例）

4. 第 2 実施形態

4-1. 実施例 6（出力アンプに容量部を設ける例）

4-2. 実施例 7（差動アンプ及び出力アンプの双方に容量部を設ける例）

50

- 4 - 3 . 実施例 8 (実施例 6 の変形例 : クランプ回路を備える例)
 - 4 - 4 . 実施例 9 (実施例 8 の変形例 : 逆導電型のトランジスタを用いる例)
 - 5 . 変形例
 - 6 . 応用例
 - 7 . 本開示に係る技術の適用例
 - 7 - 1 . 本開示の電子機器 (撮像装置の例)
 - 7 - 2 . 移動体への応用例
 - 8 . 本開示がとることができる構成
- 【 0 0 1 1 】
- < 本開示の撮像素子及び電子機器、全般に関する説明 > 10
- 本開示の第 1 態様に係る撮像素子及び電子機器にあつては、画素信号及び所定の参照信号はそれぞれ容量素子を介して、差動対の一方のトランジスタのゲート入力となる構成とすることができる。また、所定の電圧について、任意の電圧である構成とすることができる。任意の電圧については、グランド (G N D) レベルや電源電圧等を例示することができる。
- 【 0 0 1 2 】
- 上述した好ましい構成を含む第 1 態様に係る撮像素子及び電子機器にあつては、容量部について、その容量値が可変である構成とすることができる。そして、容量部について、容量値が可変な可変容量素子から成る構成とすることができる。
- 【 0 0 1 3 】 20
- あるいは又、上述した好ましい構成を含む第 1 態様に係る撮像素子及び電子機器にあつては、容量部について、複数の容量素子、及び、制御信号に基づいて、複数の容量素子の少なくとも一つを選択する切替えスイッチから成る構成とすることができる。複数の容量素子については、容量値が互いに同じ容量素子から成る構成とすることもできるし、容量値が互いに異なる容量素子から成る構成とすることもできる。
- 【 0 0 1 4 】
- 更に、上述した好ましい構成を含む第 1 態様に係る撮像素子及び電子機器にあつては、容量部について、制御信号を供給する制御線と切替えスイッチとの間を電氣的に分離する分離回路を有する構成とすることができる。また、分離回路として、インバータ回路又はバッファ回路を用いる構成とすることができる。 30
- 【 0 0 1 5 】
- また、上述した好ましい構成を含む第 1 態様に係る撮像素子及び電子機器にあつては、第 1 の負荷トランジスタについて、ダイオード接続の構成とすることができる。そして、第 1 の負荷トランジスタ及び第 2 の負荷トランジスタは、カレントミラー回路を構成することが好ましい。また、差動対の他方のトランジスタと第 2 の負荷トランジスタとの共通接続ノードを出力ノードとすることが好ましい。
- 【 0 0 1 6 】
- また、上述した好ましい構成を含む第 1 態様に係る撮像素子及び電子機器にあつては、比較器について、画素アレイ部の画素列に対応して設けられ、画素から出力されるアナログの画素信号をデジタル信号に変換するアナログ - デジタル変換器に用いることが好ましい。アナログ - デジタル変換器について、画素アレイ部の画素列毎、もしくは、複数画素列毎に設けられる構成とすることができる。 40
- 【 0 0 1 7 】
- 本開示の第 2 態様に係る撮像素子及び電子機器にあつては、第 1 増幅部について、差動対の一方のトランジスタ及び第 1 の負荷トランジスタの共通接続ノードと所定の電圧のノードとの間に接続された第 2 の容量部を有する構成とすることができる。また、第 2 の増幅部の出力の反転時に、第 1 増幅部の出力ノードの電位を所定の電位にクランプするクランプ回路を備える構成とすることができる。
- 【 0 0 1 8 】
- < 本開示の撮像素子 > 50

本開示の技術が適用される、本開示の撮像素子の基本的な構成について説明する。ここでは、撮像素子として、X-Yアドレス方式の撮像素子の一種であるCMOS (Complementary Metal Oxide Semiconductor) イメージセンサを例に挙げて説明する。CMOSイメージセンサは、CMOSプロセスを応用して、又は、部分的に使用して作製されたイメージセンサである。

【0019】

[CMOSイメージセンサの構成例]

図1は、本開示の撮像素子の一例であるCMOSイメージセンサの基本的な構成の概略を示すブロック図である。

【0020】

本例に係るCMOSイメージセンサ1は、光電変換部を含む画素2が行方向及び列方向に、即ち、行列状に2次元配置されて成る画素アレイ部11、及び、当該画素アレイ部11の周辺回路部を有する構成となっている。ここで、行方向とは、画素行の画素2の配列方向(所謂、水平方向)を言い、列方向とは、画素列の画素2の配列方向(所謂、垂直方向)を言う。画素2は、光電変換を行うことにより、受光した光量に応じた光電荷を生成し、蓄積する。

【0021】

画素アレイ部11の周辺回路部は、例えば、行選択部12、定電流源部13、アナログ-デジタル変換部14、水平転送走査部15、信号処理部16、及び、タイミング制御部17等によって構成されている。

【0022】

画素アレイ部11において、行列状の画素配列に対し、画素行毎に画素駆動線31₁~31_m(以下、総称して「画素駆動線31」と記述する場合がある)が行方向に沿って配線されている。また、画素列毎に垂直信号線32₁~32_n(以下、総称して「垂直信号線32」と記述する場合がある)が列方向に沿って配線されている。画素駆動線31は、画素2から信号を読み出す際の駆動を行うための駆動信号を伝送する。図1では、画素駆動線31について1本の配線として図示しているが、1本に限られるものではない。画素駆動線31の一端は、行選択部12の各行に対応した出力端に接続されている。

【0023】

以下に、画素アレイ部11の周辺回路部の各回路部、即ち、行選択部12、定電流源部13、アナログ-デジタル変換部14、水平転送走査部15、信号処理部16、及び、タイミング制御部17について説明する。

【0024】

行選択部12は、シフトレジスタやアドレスデコーダなどによって構成され、画素アレイ部11の各画素2の選択に際して、画素行の走査や画素行のアドレスを制御する。この行選択部12は、その具体的な構成については図示を省略するが、一般的に、読出し走査系と掃出し走査系の2つの走査系を有する構成となっている。

【0025】

読出し走査系は、画素2から画素信号を読み出すために、画素アレイ部11の画素2を行単位で順に選択走査する。画素2から読み出される画素信号はアナログ信号である。掃出し走査系は、読出し走査系によって読出し走査が行われる読出し行に対して、その読出し走査よりもシャッタスピードの時間分だけ先行して掃出し走査を行う。

【0026】

この掃出し走査系による掃出し走査により、読出し行の画素2の光電変換部から不要な電荷が掃き出されることによって当該光電変換部がリセットされる。そして、この掃出し走査系による不要電荷の掃き出す(リセットする)ことにより、所謂、電子シャッタ動作が行われる。ここで、電子シャッタ動作とは、光電変換部の光電荷を捨てて、新たに露光を開始する(光電荷の蓄積を開始する)動作のことを言う。

【0027】

定電流源部13は、画素列毎に垂直信号線32₁~32_nの各々に接続された、例えばM

10

20

30

40

50

OSトランジスタから成る複数の電流源Iを備えており、行選択部12によって選択走査された画素行の各画素2に対し、垂直信号線32₁~32_nの各々を通してバイアス電流を供給する。

【0028】

アナログ-デジタル変換部14は、画素アレイ部11の画素列に対応して設けられた、例えば、画素列毎に設けられた複数のアナログ-デジタル変換器の集合から成る。アナログ-デジタル変換部14は、画素列毎に垂直信号線32₁~32_nの各々を通して出力されるアナログの画素信号を、Nビットのデジタル信号に変換する列並列型のアナログ-デジタル変換部である。

【0029】

列並列アナログ-デジタル変換部14におけるアナログ-デジタル変換器としては、例えば、参照信号比較型のアナログ-デジタル変換器の一例であるシングルスロープ型アナログ-デジタル変換器を用いることができる。但し、アナログ-デジタル変換器としては、シングルスロープ型アナログ-デジタル変換器に限られるものではなく、逐次比較型アナログ-デジタル変換器やデルタ-シグマ変調型(変調型)アナログ-デジタル変換器などを用いることができる。

【0030】

水平転送走査部15は、シフトレジスタやアドレスデコーダなどによって構成され、画素アレイ部11の各画素2の信号の読出しに際して、画素列の走査や画素列のアドレスを制御する。この水平転送走査部15による制御の下に、アナログ-デジタル変換部14でデジタル信号に変換された画素信号が画素列単位で、2Nビット幅の水平転送線18に読み出される。

【0031】

信号処理部16は、水平転送線18を通して供給されるデジタルの画素信号に対して、所定の信号処理を行い、2次元の画像データを生成する。例えば、信号処理部16は、縦線欠陥、点欠陥の補正、又は、信号のクランプを行ったり、パラレル-シリアル変換、圧縮、符号化、加算、平均、及び、間欠動作などデジタル信号処理を行ったりする。信号処理部16は、生成した画像データを、本CMOSイメージセンサ1の出力信号として後段の装置に出力する。

【0032】

タイミング制御部17は、各種のタイミング信号、クロック信号、及び、制御信号等を生成し、これら生成した信号を基に、行選択部12、定電流源部13、アナログ-デジタル変換部14、水平転送走査部15、及び、信号処理部16等の駆動制御を行う。

【0033】

[画素の回路構成例]

図2は、画素2の回路構成の一例を示す回路図である。画素2は、光電変換部として、例えば、フォトダイオード21を有している。画素2は、フォトダイオード21に加えて、転送トランジスタ22、リセットトランジスタ23、増幅トランジスタ24、及び、選択トランジスタ25を有する画素構成となっている。

【0034】

尚、ここでは、転送トランジスタ22、リセットトランジスタ23、増幅トランジスタ24、及び、選択トランジスタ25の4つのトランジスタとして、例えばNチャンネルのMOS型電界効果トランジスタ(Field effect transistor: FET)を用いている。但し、ここで例示した4つのトランジスタ22~25の導電型の組み合わせは一例に過ぎず、これらの組み合わせに限られるものではない。

【0035】

この画素2に対して、先述した画素駆動線31として、複数の画素駆動線が同一画素行の各画素2に対して共通に配線されている。これら複数の画素駆動線は、行選択部12の各画素行に対応した出力端に画素行単位で接続されている。行選択部12は、複数の画素駆動線に対して転送信号TRG、リセット信号RST、及び、選択信号SELを適宜出力

10

20

30

40

50

する。

【0036】

フォトダイオード21は、アノード電極が低電位側電源(例えば、グランド)に接続されており、受光した光をその光量に応じた電荷量の光電荷(ここでは、光電子)に光電変換してその光電荷を蓄積する。フォトダイオード21のカソード電極は、転送トランジスタ22を介して増幅トランジスタ24のゲート電極と電氣的に接続されている。ここで、増幅トランジスタ24のゲート電極が電氣的に繋がった領域は、フローティングディフュージョン(浮遊拡散領域/不純物拡散領域)FDである。フローティングディフュージョンFDは、電荷を電圧に変換する電荷電圧変換部である。

【0037】

転送トランジスタ22のゲート電極には、高レベル(例えば、 V_{DD} レベル)がアクティブとなる転送信号TRGが行選択部12から与えられる。転送トランジスタ22は、転送信号TRGに応答して導通状態となることで、フォトダイオード21で光電変換され、当該フォトダイオード21に蓄積された光電荷をフローティングディフュージョンFDに転送する。

【0038】

リセットトランジスタ23は、高電位側電源電圧 V_{DD} のノードとフローティングディフュージョンFDとの間に接続されている。リセットトランジスタ23のゲート電極には、高レベルがアクティブとなるリセット信号RSTが行選択部12から与えられる。リセットトランジスタ23は、リセット信号RSTに応答して導通状態となり、フローティングディフュージョンFDの電荷を電圧 V_{DD} のノードに捨てることによってフローティングディフュージョンFDをリセットする。

【0039】

増幅トランジスタ24は、ゲート電極がフローティングディフュージョンFDに、ドレイン電極が高電位側電源電圧 V_{DD} のノードにそれぞれ接続されている。増幅トランジスタ24は、フォトダイオード21での光電変換によって得られる信号を読み出すソースフォロワの入力部となる。すなわち、増幅トランジスタ24は、ソース電極が選択トランジスタ25を介して垂直信号線32に接続される。そして、増幅トランジスタ24と、垂直信号線32の一端に接続される電流源Iとは、フローティングディフュージョンFDの電圧を垂直信号線32の電位に変換するソースフォロワを構成している。

【0040】

選択トランジスタ25は、ドレイン電極が増幅トランジスタ24のソース電極に接続され、ソース電極が垂直信号線32に接続されている。選択トランジスタ25のゲート電極には、高レベルがアクティブとなる選択信号SELが行選択部12から与えられる。選択トランジスタ25は、選択信号SELに応答して導通状態となることで、画素2を選択状態として増幅トランジスタ24から出力される信号を垂直信号線32に伝達する。

【0041】

上記の構成の画素2からは、例えば、リセットレベル(所謂、P相)、及び、信号レベル(所謂、D相)の順に読み出される。リセットレベルは、画素2のフローティングディフュージョンFDをリセットしたときの当該フローティングディフュージョンFDの電位に相当する。信号レベルは、フォトダイオード21での光電変換によって得られる電位、即ち、フォトダイオード21に蓄積された電荷をフローティングディフュージョンFDへ転送したときの当該フローティングディフュージョンFDの電位に相当する。

【0042】

尚、選択トランジスタ25については、高電位側電源電圧 V_{DD} のノードと増幅トランジスタ24のドレイン電極との間に接続する回路構成を採ることもできる。また、本例では、画素2の画素回路として、転送トランジスタ22、リセットトランジスタ23、増幅トランジスタ24、及び、選択トランジスタ25から成る、即ち4つのトランジスタ(T_r)から成る4 T_r 構成を例に挙げたが、これに限られるものではない。例えば、選択トランジスタ25を省略し、増幅トランジスタ24に選択トランジスタ25の機能を持たせる

10

20

30

40

50

3 Tr 構成とすることもできるし、必要に応じて、トランジスタの数を増やした 5 Tr 以上の構成とすることもできる。

【 0 0 4 3 】

[アナログ - デジタル変換部の構成例]

次に、列並列アナログ - デジタル変換部 1 4 の構成例について説明する。図 3 は、列並列アナログ - デジタル変換部 1 4 の構成の一例を示すブロック図である。本開示の C M O S イメージセンサ 1 におけるアナログ - デジタル変換部 1 4 は、垂直信号線 3 2₁ ~ 3 2_n の各々に対応して設けられた複数のシングルスロープ型アナログ - デジタル変換器の集合から成る。ここでは、n 列目のシングルスロープ型アナログ - デジタル変換器 1 4 0 を例に挙げて説明する。

10

【 0 0 4 4 】

シングルスロープ型アナログ - デジタル変換器 1 4 0 は、比較器 1 4 1、カウンタ回路 1 4 2、及び、ラッチ回路 1 4 3 を有する回路構成となっている。シングルスロープ型アナログ - デジタル変換器 1 4 0 では、時間が経過するにつれて電圧値が線形に変化する、所謂、R A M P 波形（スロープ波形）の参照信号が用いられる。ランプ波形の参照信号は、参照信号生成部 1 9 で生成される。参照信号生成部 1 9 については、例えば、D A C（デジタル - アナログ変換）回路を用いて構成することができる。

【 0 0 4 5 】

比較器 1 4 1 は、画素 2 から読み出されるアナログの画素信号を比較入力とし、参照信号生成部 1 9 で生成されるランプ波形の参照信号を基準入力とし、両信号を比較する。そして、比較器 1 4 1 は、例えば、参照信号が画素信号よりも大きいときに出力が第 1 の状態（例えば、高レベル）になり、参照信号が画素信号以下のときに出力が第 2 の状態（例えば、低レベル）になる。これにより、比較器 1 4 1 は、画素信号の信号レベルに応じた、具体的には、信号レベルの大きさに対応したパルス幅を持つパルス信号を比較結果として出力する。

20

【 0 0 4 6 】

カウンタ回路 1 4 2 には、比較器 1 4 1 に対する参照信号の供給開始タイミングと同じタイミングで、タイミング制御部 1 7 からクロック信号 C L K が与えられる。そして、カウンタ回路 1 4 2 は、クロック信号 C L K に同期してカウント動作を行うことによって、比較器 1 4 1 の出力パルスのパルス幅の期間、即ち、比較動作の開始から比較動作の終了までの期間を計測する。このカウンタ回路 1 4 2 のカウント結果（カウント値）が、アナログの画素信号をデジタル化したデジタル値となる。

30

【 0 0 4 7 】

ラッチ回路 1 4 3 は、カウンタ回路 1 4 2 のカウント結果であるデジタル値を保持（ラッチ）する。また、ラッチ回路 1 4 3 は、信号レベルの画素信号に対応する D 相のカウント値と、リセットレベルの画素信号に対応する P 相のカウント値との差分をとることにより、ノイズ除去処理の一例である、C D S（Correlated Double Sampling; 相関二重サンプリング）を行う。そして、水平転送走査部 1 5 による駆動の下に、ラッチしたデジタル値を水平転送線 1 8 に出力する。

【 0 0 4 8 】

上述したように、シングルスロープ型アナログ - デジタル変換器 1 4 0 の集合から成る列並列アナログ - デジタル変換部 1 4 では、参照信号生成部 1 9 で生成される、線形に変化するアナログ値の参照信号と、画素 2 から出力されるアナログの画素信号との大小関係が変化するまでの時間情報からデジタル値を得る。尚、上記の例では、画素列に対して 1 対 1 の関係でアナログ - デジタル変換器 1 4 0 が配置されて成るアナログ - デジタル変換部 1 4 を例示したが、複数の画素列を単位としてアナログ - デジタル変換器 1 4 0 が配置されて成るアナログ - デジタル変換部 1 4 とすることも可能である。

40

【 0 0 4 9 】

[チップ構造]

上記の構成の C M O S イメージセンサ 1 のチップ（半導体集積回路）構造としては、平

50

置型のチップ構造及び積層型のチップ構造を例示することができる。平置型のチップ構造及び積層型のチップ構造のいずれのCMOSイメージセンサ1においても、画素2について、配線層が配される側の基板面を表面（正面）とするとき、その反対側の裏面側から照射される光を取り込む裏面照射型の画素構造とすることができる。以下に、平置型のチップ構造及び積層型のチップ構造について説明する。

【0050】

・平置型のチップ構造

図4は、CMOSイメージセンサ1の平置型のチップ構造の概略を示す平面図である。図4に示すように、平置型のチップ構造、所謂、平置構造は、画素2が行列状に配置されて成る画素アレイ部11と同じ半導体基板41上に、画素アレイ部11の周辺の回路部分を形成した構造となっている。具体的には、画素アレイ部11と同じ半導体基板41上に、行選択部12、定電流源部13、アナログ-デジタル変換部14、水平転送走査部15、信号処理部16、タイミング制御部17、及び、参照信号生成部19等が形成されている。

10

【0051】

・積層型のチップ構造

図5は、CMOSイメージセンサ1の積層型のチップ構造の概略を示す分解斜視図である。図5に示すように、積層型のチップ構造、所謂、積層構造は、第1半導体基板42及び第2半導体基板43の少なくとも2つの半導体基板が積層された構造となっている。この積層構造において、画素アレイ部11は、1層目の第1半導体基板42に形成される。また、行選択部12、定電流源部13、アナログ-デジタル変換部14、水平転送走査部15、信号処理部16、タイミング制御部17、及び、参照信号生成部19等の回路部分は、2層目の第2半導体基板43に形成される。そして、1層目の第1半導体基板42と2層目の第2半導体基板43とは、TCV（Through Chip Via）やCu-Cuハイブリッドボンディングなどの接続部44を通して電氣的に接続される。

20

【0052】

この積層構造のCMOSイメージセンサ1によれば、第1半導体基板42として画素アレイ部11を形成できるだけの大きさ（面積）のもので済むため、1層目の第1半導体基板42のサイズ（面積）、ひいては、チップ全体のサイズを小さくできる。更に、1層目の第1半導体基板42には画素2の作製に適したプロセスを適用でき、2層目の第2半導体基板43には回路部分の作製に適したプロセスを適用できるため、CMOSイメージセンサ1の製造に当たって、プロセスの最適化を図ることができるメリットもある。特に、回路部分の作製に当たっては、先端プロセスの適用が可能になる。

30

【0053】

尚、ここでは、第1半導体基板42及び第2半導体基板43が積層されて成る2層構造の積層構造を例示したが、積層構造としては、2層構造に限られるものではなく、3層以上の構造とすることもできる。そして、3層以上の積層構造の場合、行選択部12、定電流源部13、アナログ-デジタル変換部14、水平転送走査部15、信号処理部16、タイミング制御部17、及び、参照信号生成部19等の回路部分については、2層目以降の半導体基板に分散して形成することができる。

40

【0054】

[撮像素子の低消費電力化について]

上記の構成の撮像素子1において、低消費電力化を図るために電源電圧 V_{DD} を下げると、アナログ-デジタル変換器140を構成する比較器141の電源電圧も下がることとなるため、画素信号の信号レベルが比較器141の入力ダイナミックレンジを超えてしまう。その結果、アナログ-デジタル変換の線形性（即ち、アナログの画素信号に対するデジタル値の線形性）を確保できないおそれがある。

【0055】

[参考例に係る比較器]

ここで、図3の比較器141として用いることで、電源電圧 V_{DD} を下げて、アナログ

50

- デジタル変換の線形性を確保できる比較器について参考例として説明する。参考例に係る比較器の回路構成を図6に示す。

【0056】

(参考例に係る比較器の構成)

参考例に係る比較器50は、差動アンプ51、第1の容量素子 C_{11} 、第2の容量素子 C_{12} 、第3の容量素子 C_{13} 、第1のスイッチトランジスタ NT_{13} 、及び、第2のスイッチトランジスタ NT_{14} を備えている。ここでは、第1のスイッチトランジスタ NT_{13} 及び第2のスイッチトランジスタ NT_{14} として、例えば、NチャネルのMOS型電界効果トランジスタ(以下、「MOSトランジスタ」と記述する)を用いている。

【0057】

差動アンプ51は、第1の差動トランジスタ NT_{11} 、第2の差動トランジスタ NT_{12} 、電流源 I_{11} 、第1の負荷トランジスタ PT_{11} 、及び、第2の負荷トランジスタ PT_{12} から構成されている。ここでは、第1の差動トランジスタ NT_{11} 及び第2の差動トランジスタ NT_{12} としてNチャネルのMOSトランジスタを用い、第1の負荷トランジスタ PT_{11} 及び第2の負荷トランジスタ PT_{12} としてPチャネルのMOSトランジスタを用いている。

【0058】

差動アンプ51において、第1の差動トランジスタ NT_{11} 及び第2の差動トランジスタ NT_{12} は、ソース電極が共通に接続されて差動動作をなす差動対を構成している。電流源 I_{11} は、第1の差動トランジスタ NT_{11} 及び第2の差動トランジスタ NT_{12} のソース共通接続ノードとグランド GND との間に接続されている。第1の負荷トランジスタ PT_{11} は、ゲート電極とドレイン電極とが共通に接続されたダイオード接続の構成となっており、第1の差動トランジスタ NT_{11} に対して直列に接続されている。すなわち、第1の負荷トランジスタ PT_{11} 及び第1の差動トランジスタ NT_{11} の各ドレイン電極が共通に接続されている。

【0059】

第2の負荷トランジスタ PT_{12} は、第2の差動トランジスタ NT_{12} に対して直列に接続されている。すなわち、第2の負荷トランジスタ PT_{12} 及び第2の差動トランジスタ NT_{12} の各ドレイン電極が共通に接続されている。そして、第1の負荷トランジスタ PT_{11} 及び第2の負荷トランジスタ PT_{12} は、ゲート電極が共通に接続されることで、カレントミラー回路を構成している。

【0060】

また、第2の差動トランジスタ NT_{12} と第2の負荷トランジスタ PT_{12} との共通接続ノード N_{11} が、差動アンプ51の出力ノードとなっており、当該出力ノード N_{11} から出力端子 T_{10} を通して出力信号 OUT が導出される。第1の負荷トランジスタ PT_{11} 及び第2の負荷トランジスタ PT_{12} の各ソース電極は、電源電圧 V_{DD} のノードに接続されている。

【0061】

第1の容量素子 C_{11} は、画素信号 VSL の入力端子 T_{11} と第1の差動トランジスタ NT_{11} のゲート電極との間に接続されており、画素信号 VSL に対する入力容量となる。第2の容量素子 C_{12} は、参照信号 $RAMP$ の入力端子 T_{12} と第1の差動トランジスタ NT_{11} のゲート電極との間に接続されており、参照信号 $RAMP$ に対する入力容量となる。これにより、第1の差動トランジスタ NT_{11} は、画素信号 VSL と参照信号 $RAMP$ とが、第1の容量素子 C_{11} 及び第2の容量素子 C_{12} を通して合成された信号をゲート入力とする。

【0062】

第1のスイッチトランジスタ NT_{13} は、第1の差動トランジスタ NT_{11} のゲート電極とドレイン電極との間に接続されており、図1に示すタイミング制御部17から入力端子 T_{13} を介して入力される駆動信号 AZ によってオン(導通)/オフ(非導通)制御が行われる。第2のスイッチトランジスタ NT_{14} は、第2の差動トランジスタ NT_{12} のゲート電極とドレイン電極との間に接続されており、タイミング制御部17から入力端子 T_{13} を介して入力される駆動信号 AZ によってオン/オフ制御が行われる。

【0063】

10

20

30

40

50

第3の容量素子 C_{13} は、第2の差動トランジスタ N_{T12} のゲート電極と、所定の電圧 R_{EF} の端子 T_{14} との間に接続されている。これにより、第2の差動トランジスタ N_{T12} は、端子 T_{14} を通して与えられる所定の電圧 R_{EF} 、例えば GND レベルをゲート入力とする。

【0064】

尚、以下、第1の容量素子 C_{11} 、第2の容量素子 C_{12} 、第1の差動トランジスタ N_{T11} のゲート電極、及び、第1のスイッチトランジスタ N_{T13} の共通接続ノードをノード N_{12} とし、当該ノード N_{12} の電圧を H_{iZ} とする。また、以下、第2の差動トランジスタ N_{T12} のゲート電極、第3の容量素子 C_{13} 、及び、第2のスイッチトランジスタ N_{T14} の共通接続ノードをノード N_{13} とし、当該ノード N_{13} の電圧を V_{SH} とする。

10

【0065】

(参考例に係る比較器の動作)

次に、図7のタイミングチャートを参照して、参考例に係る比較器50の動作について説明する。図7のタイミングチャートは、駆動信号 AZ 、参照信号 $RAMP$ 、画素信号 V_{SL} 、ノード N_{12} の電圧 H_{iZ} 、ノード N_{13} の電圧 V_{SH} 、及び、出力信号 OUT のタイミング関係を示している。

【0066】

時刻 t_1 において、駆動信号 AZ が低レベルから高レベルに遷移する。すると、第1のスイッチトランジスタ N_{T13} 及び第2のスイッチトランジスタ N_{T14} がオン状態となるため、第1の差動トランジスタ N_{T11} のドレイン電極とゲート電極とが接続され、第2の差動トランジスタ N_{T12} のドレイン電極とゲート電極とが接続される。また、参照信号 $RAMP$ が所定のリセットレベルに設定される。更に、読み出し対象となる画素2のフローティングディフュージョン FD (図2参照)がリセットされ、画素信号 V_{SL} がリセットレベルに設定される。

20

【0067】

以上により、差動アンプ51の初期化動作であるオートゼロ動作が開始される。すなわち、第1の差動トランジスタ N_{T11} のドレイン電極及びゲート電極、並びに、第2の差動トランジスタ N_{T12} のドレイン電極及びゲート電極が、所定の同じ電圧(以下、「基準電圧」と記述する)に収束する。これにより、ノード N_{12} の電圧 H_{iZ} 及びノード N_{13} の電圧 V_{SH} が基準電圧に設定される。

30

【0068】

次に、時刻 t_2 において、駆動信号 AZ が高レベルから低レベルに遷移する。これにより、第1のスイッチトランジスタ N_{T13} 及び第2のスイッチトランジスタ N_{T14} がオフ状態となり、差動アンプ51のオートゼロ動作が終了する。ノード N_{12} の電圧 H_{iZ} は、画素信号 V_{SL} 及び参照信号 $RAMP$ が変化しないため、基準電圧のまま保持される。また、ノード N_{13} の電圧 V_{SH} は、第3の容量素子 C_{13} に蓄積された電荷により基準電圧のまま保持される。

【0069】

その後、時刻 t_3 において、参照信号 $RAMP$ の電圧がリセットレベルから所定の値だけ下げられる。これにより、ノード N_{12} の電圧 H_{iZ} が低下し、ノード N_{13} の電圧(基準電圧) V_{SH} を下回ることによって、差動アンプ51の出力信号 OUT が低レベルとなる。

40

【0070】

次に、時刻 t_4 において、参照信号 $RAMP$ が線形に増加を開始し、これに合わせて、ノード N_{12} の電圧 H_{iZ} も線形に増加する。また、カウンタ回路142(図3参照)が、カウント動作を開始する。その後、ノード N_{12} の電圧 H_{iZ} がノード N_{13} の電圧(基準電圧) V_{SH} を上回ったとき、差動アンプ51の出力信号 OUT が反転し、高レベルとなる。そして、出力信号 OUT が高レベルに反転したときのカウンタ回路142のカウント値が、 P 相(リセットレベル)の画素信号 V_{SL} の値として、ラッチ回路143(図3参照)に保持される。

【0071】

50

次に、時刻 t_5 において、参照信号 RAMP の電圧がリセット電圧に設定される。また、画素 2 の転送トランジスタ 22 がオン状態となることで、露光期間中にフォトダイオード 21 に蓄積された電荷がフローティングディフュージョン FD に転送され、画素信号 VSL が信号レベルに設定される。これにより、ノード N_{12} の電圧 H_{iZ} が信号レベルに対応する値だけ低下し、ノード N_{13} の電圧（基準電圧）VSH を下回り、差動アンプ 51 の出力信号 OUT が低レベルに反転する。

【0072】

次に、時刻 t_6 において、時刻 t_3 のときと同様に、参照信号 RAMP の電圧がリセットレベルから所定の値だけ下げられる。これにより、ノード N_{12} の電圧 H_{iZ} が更に低下する。

10

【0073】

次に、時刻 t_7 において、時刻 t_4 のときと同様に、参照信号 RAMP が線形に増加を開始する。これに合わせて、ノード N_{12} の電圧 H_{iZ} も線形に増加する。また、カウンタ回路 142 が、カウント動作を開始する。

【0074】

その後、ノード N_{12} の電圧 H_{iZ} がノード N_{13} の電圧（基準電圧）VSH を上回ったとき、差動アンプ 51 の出力信号 OUT が反転し、高レベルとなる。そして、出力信号 OUT が高レベルに反転したときのカウンタ回路 142 のカウント値が、D 相（信号レベル）の画素信号 VSL の値としてラッチ回路 143 に保持される。また、ラッチ回路 143 は、D 相の画素信号 VSL と、時刻 t_4 と時刻 t_5 との間に読み出された P 相の画素信号 VSL との差分をとることにより、ノイズ除去処理である CDS を行う。このようにして、アナログの画素信号 VSL のアナログ - デジタル変換が行われる。

20

【0075】

その後、時刻 t_8 以降において、時刻 t_1 乃至時刻 t_7 のときと同様の動作が繰り返される。

【0076】

（参考例に係る比較器の作用、効果）

上述したように、参考例に係る比較器 50 では、画素信号 VSL と参照信号 RAMP とを、入力容量 (C_{11} , C_{12}) を介して合成（加算）した信号（ノード N_{12} の電圧 H_{iZ} ）を、第 1 の差動トランジスタ NT_{11} のゲート入力としている。また、入力容量 (C_{13}) を介して入力される所定の電圧 REF（ノード N_{13} の電圧）VSH を第 2 の差動トランジスタ NT_{12} のゲート入力としている。そして、差動アンプ 51 における、ノード N_{12} の電圧 H_{iZ} とノード N_{13} の電圧（基準電圧）VSH との比較結果が、差動アンプ 51 の出力信号 OUT として出力される。このとき、図 8A に示すように、出力信号 OUT の反転時の差動アンプ 51 の入力電圧（ノード N_{12} の電圧 H_{iZ} 及びノード N_{13} の電圧 VSH の電圧）は、変動せず一定となる。

30

【0077】

因みに、特許文献 1 に記載の従来技術のように、線形に減少するランプ波形の参照信号 RAMP を、入力容量 (C_{11}) を介して第 1 の差動トランジスタ NT_{11} のゲート入力とし、アナログの画素信号 VSL を、入力容量 (C_{13}) を介して第 2 の差動トランジスタ NT_{12} のゲート入力とする比較器の場合の出力信号 OUT の波形を図 8B に示す。出力信号 OUT の反転時の差動アンプ 51 の入力電圧（参照信号 RAMP 及び画素信号 VSL の電圧）は、画素信号 VSL の電圧により変動する。従って、例えば、CMOS イメージセンサ 1 の低電源電圧化によって比較器の駆動用の電源電圧 V_{DD} が下がると、出力信号 OUT の反転時の差動アンプ 51 の入力電圧が、比較器の入力ダイナミックレンジを超え、アナログ - デジタル変換の線形性を確保できなくなるおそれがある。

40

【0078】

また、参考例に係る比較器 50 では、参照信号 RAMP が線形に変化する方向が、特許文献 1 に記載の従来技術の場合と逆であり、画素信号 VSL と逆方向に線形に変化する。ここで、画素信号 VSL と逆方向に変化するとは、画素信号 VSL が信号成分が大きくな

50

るにつれて変化する方向と逆方向に変化することをいう。例えば、この例では、画素信号 V_{SL} は、信号レベルが大きくなるにつれて負の方向に変化するのに対し、参照信号 R_{AMP} はその逆の正の方向に変化している。従って、反転時の電圧は一定となる。一方、ノード N_{12} の電圧 H_{iZ} (差動アンプ 51 の入力電圧) は、初期化 (AZ) 時にバイアスされた電圧となる。

【0079】

このように、参考例に係る比較器 50 によれば、出力信号 O_{UT} の反転時の差動アンプ 51 の入力電圧が一定になるとともに、反転時に画素信号 V_{SL} の振幅に依存しなくなるため、差動アンプ 51 の入力ダイナミックレンジを狭くすることができる。従って、参考例に係る比較器 50 の駆動用の電源電圧 V_{DD} を、上記の従来技術に係る比較器よりも下げることができ、その結果、アナログ - デジタル変換部 14 の消費電力を低減できるため、CMOS イメージセンサ 1 の低消費電力化を図ることができる。

10

【0080】

(参考例に係る比較器の問題点)

参考例に係る比較器 50 では、第 2 の差動トランジスタ N_{T12} のゲート電極に、入力端子 T_{14} を介して所定の電圧 R_{EF} を入力するようにしているが、入力端子 T_{14} の接続先 (例えば、 G_{ND} や電源電圧 V_{DD}) が、画素列間で共通の幹線となる。そのため、比較器 50 の出力信号 O_{UT} の反転時のキックバックが、第 2 の差動トランジスタ N_{T12} あるいは第 2 のスイッチトランジスタ N_{T14} の寄生容量を介して所定の電圧 R_{EF} の揺れとなり、当該揺れが他の画素列の比較器 50 へ伝搬される。そして、撮像画像の明暗でのキックバック量の差分により、映像波形のノイズの一種であるストリーキングが発生する。ここで、キックバックとは、電荷が注入される、又は、電荷が引かれることに伴って電位が変動する (揺れる) 現象のことである。また、ストリーキングとは、黒地の画像の中に、一部、白い領域が存在するような画像において、左右方向に白く、又は、黒く尾を引く現象のことである。

20

【0081】

以下に、具体例を挙げて、キックバックに起因するストリーキングについて説明する。画面全体が黒地の画像の場合の撮像画面を図 9A に示し、図 9A の場合の P 相及び D 相の比較器の出力波形を図 9B に示す。画面全体が黒地の画像の場合、P 相及び D 相共に、全画素列同時に比較器 50 が反転し、P 相及び D 相のキックバック量が同じになるため、ストリーキングの発生は抑えられる。キックバックパスの一例として、図 9A において、第 2 のスイッチトランジスタ N_{T14} の寄生容量を介して他の画素列の比較器 50 へ伝搬されるキックバックの様子を矢印で示している。

30

【0082】

画面の左右方向の半分ずつ黒画像及び白画像の場合の撮像画面を図 10A に示し、図 10A の場合の P 相及び D 相の比較器の出力波形を図 10B に示す。画面の左右方向の半分ずつ黒画像及び白画像の場合、P 相は全画素列同時に比較器 50 が反転するが、D 相は白画像に対応する半分の比較器 50 の反転が遅くなることで、D 相 - P 相間でキックバック量が変わるため、ストリーキングが発生する。キックバックパスの一例として、図 10A において、第 2 のスイッチトランジスタ N_{T14} の寄生容量を介して他の画素列の比較器 50 へ伝搬されるキックバックの様子を矢印で示している。

40

【0083】

< 第 1 実施形態 >

本開示の第 1 実施形態では、キックバック量自体を低減し、ストリーキングの発生を抑制するようにする。具体的には、本開示の第 1 実施形態では、キックバックと逆相の信号を、所定の電圧 R_{EF} に入れることで、キックバックによる所定の電圧 R_{EF} の揺れを抑え、キックバックに起因するストリーキングの発生を抑制する。本開示の第 1 実施形態によれば、アナログ - デジタル変換部 14 の消費電力を低減し、CMOS イメージセンサ 1 の低消費電力化を図ることができる。これに加えて、第 1 実施形態によれば、キックバックに起因するストリーキングの発生を抑制できるため、高画質の撮像画像を得ることがで

50

きる。

【 0 0 8 4 】

以下に、キックバック量自体を低減し、ストリーキングの発生を抑制するための第 1 実施形態の具体的な実施例について説明する。

【 0 0 8 5 】

[実施例 1]

実施例 1 は、本開示の第 1 実施形態に係る比較器の基本的な構成例である。実施例 1 に係る比較器の回路構成を図 1 1 に示す。

【 0 0 8 6 】

実施例 1 に係る比較器 5 0 A は、差動アンプ 5 1、第 1 の容量素子 C_{21} 、第 2 の容量素子 C_{22} 、第 3 の容量素子 C_{23} 、第 1 のスイッチトランジスタ $P T_{23}$ 、第 2 のスイッチトランジスタ $P T_{24}$ 、及び、容量部 5 2 を備えている。第 1 のスイッチトランジスタ $P T_{23}$ 及び第 2 のスイッチトランジスタ $P T_{24}$ はスイッチ素子の一例である。ここでは、第 1 のスイッチトランジスタ $P T_{23}$ 及び第 2 のスイッチトランジスタ $P T_{24}$ として、例えば、P チャンネルの MOS トランジスタを用いているが、N チャンネルの MOS トランジスタを用いても構わない。

10

【 0 0 8 7 】

差動アンプ 5 1 は、第 1 の差動トランジスタ $P T_{21}$ 、第 2 の差動トランジスタ $P T_{22}$ 、電流源 I_{21} 、第 1 の負荷トランジスタ $N T_{21}$ 、及び、第 2 の負荷トランジスタ $N T_{22}$ から構成されている。ここでは、第 1 の差動トランジスタ $P T_{21}$ 及び第 2 の差動トランジスタ $P T_{22}$ として P チャンネルの MOS トランジスタを用い、第 1 の負荷トランジスタ $N T_{21}$ 及び第 2 の負荷トランジスタ $N T_{22}$ として N チャンネルの MOS トランジスタを用いているが、これらの差動トランジスタ及び負荷トランジスタを逆のチャンネル（逆導電型）で構成しても構わない。

20

【 0 0 8 8 】

差動アンプ 5 1 において、第 1 の差動トランジスタ $P T_{21}$ 及び第 2 の差動トランジスタ $P T_{22}$ は、ソース電極が共通に接続されて差動動作をなす差動対を構成している。電流源 I_{21} は、第 1 の差動トランジスタ $P T_{21}$ 及び第 2 の差動トランジスタ $P T_{22}$ のソース共通接続ノードと電源電圧 V_{DD} のノードとの間に接続されている。第 1 の負荷トランジスタ $N T_{21}$ は、ゲート電極とドレイン電極とが共通に接続されたダイオード接続の構成となっており、第 1 の差動トランジスタ $P T_{21}$ に対して直列に接続されている。すなわち、第 1 の負荷トランジスタ $N T_{21}$ 及び第 1 の差動トランジスタ $P T_{21}$ の各ドレイン電極が共通に接続されている。

30

【 0 0 8 9 】

第 2 の負荷トランジスタ $N T_{22}$ は、第 2 の差動トランジスタ $P T_{22}$ に対して直列に接続されている。すなわち、第 2 の負荷トランジスタ $N T_{22}$ 及び第 2 の差動トランジスタ $P T_{22}$ の各ドレイン電極が共通に接続されている。そして、第 1 の負荷トランジスタ $N T_{21}$ 及び第 2 の負荷トランジスタ $N T_{22}$ は、ゲート電極が共通に接続されることで、カレントミラー回路を構成している。

【 0 0 9 0 】

また、第 2 の差動トランジスタ $P T_{22}$ と第 2 の負荷トランジスタ $N T_{22}$ との共通接続ノード N_{21} が、差動アンプ 5 1 の出力ノードとなっており、当該出力ノード N_{21} から出力端子 T_{20} を通して出力信号 $O U T$ が導出される。第 1 の負荷トランジスタ $N T_{21}$ 及び第 2 の負荷トランジスタ $N T_{22}$ の各ソース電極は、低電位側電源であるグランド $G N D$ に接続されている。

40

【 0 0 9 1 】

第 1 の容量素子 C_{21} は、画素信号 $V S L$ の入力端子 T_{21} と第 1 の差動トランジスタ $P T_{21}$ のゲート電極との間に接続されており、画素信号 $V S L$ に対する入力容量となる。第 2 の容量素子 C_{22} は、参照信号 $R A M P$ の入力端子 T_{22} と第 1 の差動トランジスタ $P T_{21}$ のゲート電極との間に接続されており、参照信号 $R A M P$ に対する入力容量となる。これに

50

より、第1の差動トランジスタ $P T_{21}$ は、画素信号 $V S L$ と参照信号 $R A M P$ とが、第1の容量素子 C_{21} 及び第2の容量素子 C_{22} を通して合成(加算)された信号をゲート入力とする。

【0092】

第1のスイッチトランジスタ $P T_{23}$ は、第1の差動トランジスタ $P T_{21}$ のゲート電極とドレイン電極との間に接続されており、図1に示すタイミング制御部17から入力端子 T_{23} を介して入力される駆動信号 $A Z$ によってオン/オフ制御が行われる。駆動信号 $A Z$ は、差動アンプ51を初期化するための信号である。第2のスイッチトランジスタ $P T_{24}$ は、第2の差動トランジスタ $P T_{22}$ のゲート電極とドレイン電極との間に接続されており、タイミング制御部17から入力端子 T_{23} を介して入力される駆動信号 $A Z$ によってオン/オフ制御が行われる。

10

【0093】

第3の容量素子 C_{23} は、第2の差動トランジスタ $P T_{22}$ のゲート電極と所定の電圧 $R E F$ の入力端子 T_{24} との間に接続されている。これにより、第2の差動トランジスタ $P T_{22}$ は、端子 T_{24} を通して与えられる所定の電圧 $R E F$ を、第3の容量素子 C_{23} を介してゲート入力とする。所定の電圧 $R E F$ は、電源電圧 V_{DD} 、 $G N D$ (グラウンド)レベルなど任意の一定電圧である。ここでは、所定の電圧 $R E F$ を $G N D$ レベルとする。

【0094】

容量部52は、差動対の一方のトランジスタである第1の差動トランジスタ $P T_{21}$ と第1の負荷トランジスタ $N T_{21}$ との共通接続ノード N_{24} と、所定の電圧 $R E F$ が与えられる端子 T_{25} との間に接続されている。容量部52については、容量値が可変な構成とすることができる。容量部52は、比較器50Aの出力信号 $O U T$ の反転時のキックバックと逆相の信号を、端子 T_{25} を通して所定の電圧 $R E F$ のノードに入れる作用をなす。この容量部52の作用により、キックバックによる所定の電圧 $R E F$ の揺れを抑えることができるため、キックバックに起因するストリーキングの発生を抑制することができる。

20

【0095】

上記の構成の実施例1に係る比較器50Aにおいて、第1の差動トランジスタ $P T_{21}$ 、第2の差動トランジスタ $P T_{22}$ 、第1の負荷トランジスタ $N T_{21}$ 、及び、第2の負荷トランジスタ $N T_{22}$ が、参考例の場合と逆導電型であるが、基本的な回路動作は参考例の場合と基本的に同じである。そして、それに伴って、参考例の場合と同様の作用、効果を得ることができる。すなわち、出力信号 $O U T$ の反転時の差動アンプ51の入力電圧が一定になるとともに、反転時の画素信号 $V S L$ の振幅の依存がなくなるため、差動アンプ51の入力ダイナミックレンジを狭くすることができる。従って、電源電圧 V_{DD} を下げることができ、その結果、アナログ-デジタル変換部14の消費電力を低減できるため、 $C M O S$ イメージセンサ1の低消費電力化を図ることができる。

30

【0096】

上記の作用、効果に加えて、実施例1に係る比較器50Aによれば、容量部52の作用により、図12に矢印で示すように、比較器50Aの出力信号 $O U T$ の反転時のキックバックと逆相の信号を、所定の電圧 $R E F$ に入れることで、キックバックによる所定の電圧 $R E F$ の揺れを抑えることができる。従って、比較器50Aの出力信号 $O U T$ の反転時のキックバックに起因するストリーキングの発生を抑制することができる。そして、容量部52の容量値が可変であることで、ストリーキングの発生を抑制するのに最適な容量値を設定することができる。

40

【0097】

比較器50Aの出力信号 $O U T$ の反転時のキックバックに起因するストリーキングについて、画面全体が黒地の画像の場合と、画面の左右方向の半分ずつ黒画像及び白画像の場合を例に挙げて具体的に説明する。

【0098】

画面全体が黒地の画像の場合の撮像画面を図13Aに示し、図13Aの場合のP相及びD相の比較器の出力波形を図13Bに示す。画面全体が黒地の画像の場合、P相及びD相

50

共に、全画素列同時に比較器 50 が反転し、P 相及び D 相のキックバック量が同じになるため、ストリーキングの発生は抑えられる。図 13A において、第 2 の差動トランジスタ PT_{22} あるいは第 2 のスイッチトランジスタ PT_{24} の寄生容量を介して他の画素列の比較器 50 へ伝搬されるキックバック、及び、キックバックと逆相の信号の様子を矢印で示している。

【0099】

画面の左右方向の半分ずつ黒画像及び白画像の場合の撮像画面を図 14A に示し、図 14A の場合の P 相及び D 相の比較器の出力波形を図 14B に示す。画面の左右方向の半分ずつ黒画像及び白画像の場合、P 相は全画素列同時に比較器 50 が反転するが、D 相は白画像に対応する半分の比較器 50 A の反転が遅くなる。しかし、容量部 52 の作用により、キックバックと逆相の信号が、所定の電圧 REF に入れられることで、キックバック量自体が低減されるため、D 相 - P 相でのストリーキングの発生が抑制される。図 14A において、第 2 の差動トランジスタ PT_{22} あるいは第 2 のスイッチトランジスタ PT_{24} の寄生容量を介して他の画素列の比較器 50 へ伝搬されるキックバック、及び、キックバックと逆相の信号の様子を矢印で示している。

10

【0100】

[実施例 2]

実施例 2 は、容量部 52 の具体例 1 であり、容量部 52 として可変容量素子を用いる例である。実施例 2 に係る比較器の回路構成を図 15 に示す。

【0101】

図 15 に示すように、実施例 2 に係る比較器 50 B では、容量部 52 として可変容量素子 521 を用いている。可変容量素子 521 としては、電圧によって容量値が変化する、バリキャップあるいはバラクタ等と呼ばれる可変容量ダイオードや、圧電体で動作する RF (Radio Frequency) MEMS (Micro Electro Mechanical System) 可変容量素子を例示することができる。但し、ここで例示したものに限定されず、容量値が可変な構成のものであればよい。

20

【0102】

容量部 52 として可変容量素子を用いる実施例 2 に係る比較器 50 B の場合にも、実施例 1 に係る比較器 50 A と同様の作用、効果を得ることができる。また、容量部 52 が可変容量素子 521 から成ることで、当該可変容量素子 521 によって、ストリーキングの発生を抑制するのに最適な容量値を設定することができる。

30

【0103】

[実施例 3]

実施例 3 は、容量部 52 の具体例 2 であり、容量部 52 が複数の容量素子及び切替えスイッチの組み合わせから成る例である。実施例 3 に係る比較器 50 C の場合にも、実施例 1 に係る比較器 50 A と同様の作用、効果を得ることができる。

【0104】

複数の容量素子としては、容量値が同じ容量素子から成る構成とすることもできるし、容量値が互いに異なる容量素子から成る構成とすることもできる。複数の容量素子が、互いに同じ容量値の容量素子から成る場合を第 1 例として、複数の容量素子が、互いに異なる容量値の容量素子から成る場合を第 2 例として以下に説明する。

40

【0105】

(第 1 例)

図 16 は、実施例 3 の第 1 例に係る比較器の回路構成を示す回路図である。図 16 に示すように、容量部 52 は、複数の容量素子から成る容量素子群 522、及び、複数の容量素子の少なくとも一つを選択する切替えスイッチ群 523 から構成されている。容量素子群 522 は、互いに同じ容量値 C の複数の容量素子から成る。切替えスイッチ群 523 の切替えスイッチ (スイッチ素子) は、例えば N チャネルの MOS トランジスタから成る。但し、N チャネルの MOS トランジスタに限られるものではなく、P チャネルの MOS トランジスタや、N チャネルの MOS トランジスタ及び P チャネルの MOS トランジスタが

50

並列接続されて成るCMOSトランジスタを用いることもできる。

【0106】

上記の構成の容量部52において、切替えスイッチ群523の各切替えスイッチは、多ビットの制御信号に基づいて、同じ容量値Cの複数の容量素子の少なくとも一つ、即ち、複数の容量素子の一つ、又は、複数個を選択することで、容量部52の容量値を任意に設定することができる。そして、多ビットの制御信号による制御の下に、ストリーキングの発生を抑制するのに最適な容量値を設定することができる。

【0107】

(第2例)

図17は、実施例3の第2例に係る比較器の回路構成を示す回路図である。第1例の場合と同様に、容量素子群522及び切替えスイッチ群523から成る容量部52において、容量素子群522は、互いに容量値が異なる複数の容量素子から成る。ここで、一例として、複数の容量素子の容量値を、基数：2のバイナリ($C, \dots, C^{2-1}, C^{n-1}, C^n$)にした場合を例示しているが、任意の値とすることができる。

10

【0108】

切替えスイッチ群523の切替えスイッチについては、第1例の場合と同様である。すなわち、切替えスイッチ群523の切替えスイッチは、例えばNチャネルのMOSトランジスタから成る。但し、NチャネルのMOSトランジスタに限られるものではなく、PチャネルのMOSトランジスタや、NチャネルのMOSトランジスタ及びPチャネルのMOSトランジスタが並列接続されて成るCMOSトランジスタを用いることもできる。

20

【0109】

上記の構成の第2例に係る容量部52においても、第1例に係る容量部52の場合と同様に、多ビットの制御信号に基づいて、異なる容量値の複数の容量素子の少なくとも一つを選択することで、容量部52の容量値を任意に設定することができる。そして、多ビットの制御信号による制御の下に、ストリーキングの発生を抑制するのに最適な容量値を設定することができる。

【0110】

[実施例4]

実施例4は、容量部52の具体例3であり、切替えスイッチの制御端子に電気的な分離回路を設ける例である。実施例4は、実施例3の第1例に係る容量部52に対しても適用できるし、第2例に係る容量部52に対しても適用できる。

30

【0111】

実施例3の第1例に係る容量部52や、第2例に係る容量部52において、切替えスイッチ群523の各切替えスイッチを制御する制御信号を伝送する制御線(図示せず)は、全画素列に共通の制御線である。そのため、ダイオード接続構成の第1の負荷トランジスタ N_{21} 側のノード N_{24} の電位が反転する際のキックバックにより、ストリーキングが発生する懸念がある。

【0112】

そこで、実施例4では、制御信号を供給する制御線と、切替えスイッチ群523の各切替えスイッチとの間を電気的に分離する分離回路を、切替えスイッチの制御端子に設ける構成を採っている。実施例4に係る比較器の回路構成を図18に示す。ここでは、実施例4を、実施例3の第1例に係る容量部52に適用した場合を例示するが、実施例3の第2例に係る容量部52の場合も同様である。

40

【0113】

図18に示すように、実施例4に係る容量部52では、切替えスイッチ群523の各切替えスイッチの制御端子(ゲート電極)に、電気的な分離回路として、例えばインバータ回路524を設ける構成を採っている。これにより、制御信号を供給する制御線と、切替えスイッチ群523の各切替えスイッチとの間を電気的に分離することができる。その結果、第1の負荷トランジスタ N_{21} 側のノード N_{24} の電位が反転する際のキックバックの、他の画素列の比較器50への伝搬を阻止することができるため、当該キックバックに起因

50

するストリーキングの発生を抑制することができる。

【0114】

尚、本例では、電気的な分離回路として、インバータ回路524を設ける場合を例示したが、インバータ回路524に限られるものではなく、インバータ回路524の代わりに例えばバッファ回路を用いても、同様の作用、効果を得ることができる。

【0115】

[実施例5]

実施例5は、実施例1の変形例であり、実施例1と逆導電型のトランジスタを用いる例である。すなわち、実施例1では、差動アンプ51がPチャネル入力であるのに対して、実施例5では、差動アンプ51がNチャネル入力となっている。実施例5に係る比較器の回路構成を図19に示す。

10

【0116】

実施例5に係る比較器50Dは、差動アンプ51、第1の容量素子 C_{31} 、第2の容量素子 C_{32} 、第3の容量素子 C_{33} 、第1のスイッチトランジスタ NT_{33} 、第2のスイッチトランジスタ NT_{34} 、及び、容量部52を備えている。第1のスイッチトランジスタ NT_{33} 及び第2のスイッチトランジスタ NT_{34} は、NチャネルのMOSトランジスタから成るが、PチャネルのMOSトランジスタから成る構成とすることもできる。

【0117】

差動アンプ51は、第1の差動トランジスタ NT_{31} 、第2の差動トランジスタ NT_{32} 、電流源 I_{31} 、第1の負荷トランジスタ PT_{31} 、及び、第2の負荷トランジスタ PT_{32} から構成されている。第1の差動トランジスタ NT_{31} 及び第2の差動トランジスタ NT_{32} は、NチャネルのMOSトランジスタから成り、第1の負荷トランジスタ PT_{31} 及び第2の負荷トランジスタ PT_{32} は、PチャネルのMOSトランジスタから成る。

20

【0118】

差動アンプ51において、第1の差動トランジスタ NT_{31} 及び第2の差動トランジスタ NT_{32} は、差動対を構成している。電流源 I_{31} は、第1の差動トランジスタ NT_{31} 及び第2の差動トランジスタ NT_{32} のソース共通接続ノードとグランドGNDとの間に接続されている。第1の負荷トランジスタ PT_{31} は、ダイオード接続の構成となっており、第1の差動トランジスタ NT_{31} に対して直列に接続されている。

【0119】

第2の負荷トランジスタ PT_{32} は、第2の差動トランジスタ NT_{32} に対して直列に接続されている。そして、第1の負荷トランジスタ PT_{31} 及び第2の負荷トランジスタ PT_{32} は、ゲート電極が共通に接続されることで、カレントミラー回路を構成している。

30

【0120】

また、第2の差動トランジスタ NT_{32} と第2の負荷トランジスタ PT_{32} との共通接続ノード N_{31} が、差動アンプ51の出力ノードとなっており、当該出力ノード N_{31} から出力端子 T_{30} を通して出力信号OUTが導出される。第1の負荷トランジスタ PT_{31} 及び第2の負荷トランジスタ PT_{32} の各ソース電極は、電源電圧 V_{DD} のノードに接続されている。

【0121】

第1の容量素子 C_{31} は、画素信号VSLの入力端子 T_{31} と第1の差動トランジスタ NT_{31} のゲート電極との間に接続されており、画素信号VSLに対する入力容量となる。第2の容量素子 C_{32} は、参照信号RAMPの入力端子 T_{32} と第1の差動トランジスタ NT_{31} のゲート電極との間に接続されており、参照信号RAMPに対する入力容量となる。これにより、第1の差動トランジスタ NT_{31} は、画素信号VSLと参照信号RAMPとが、第1の容量素子 C_{31} 及び第2の容量素子 C_{32} を通して合成された信号をゲート入力とする。

40

【0122】

第1のスイッチトランジスタ NT_{33} は、第1の差動トランジスタ NT_{31} のゲート電極とドレイン電極との間に接続されており、図1に示すタイミング制御部17から入力端子 T_{33} を介して入力される駆動信号AZによってオン/オフ制御が行われる。第2のスイッチトランジスタ NT_{34} は、第2の差動トランジスタ NT_{32} のゲート電極とドレイン電極との間

50

に接続されており、タイミング制御部 17 から入力端子 T_{33} を介して入力される駆動信号 AZ によってオン/オフ制御が行われる。

【0123】

第3の容量素子 C_{33} は、第2の差動トランジスタ NT_{32} のゲート電極と、所定の電圧 REF の入力端子 T_{34} との間に接続されている。これにより、第2の差動トランジスタ NT_{32} は、端子 T_{34} を通して与えられる所定の電圧 REF 、例えば GND レベルを、第3の容量素子 C_{33} を介してゲート入力とする。

【0124】

容量部 52 は、第1の差動トランジスタ PT_{31} と第1の負荷トランジスタ NT_{31} との共通接続ノード N_{34} と、所定の電圧 REF が与えられる端子 T_{35} との間に接続されている。容量部 52 は、比較器 50D の出力信号 OUT の反転時のキックバックと逆相の信号を、端子 T_{35} を通して所定の電圧 REF のノードに入れる作用をなす。この容量部 52 の作用により、キックバックによる所定の電圧 REF の揺れを抑えることができるため、キックバックに起因するストリーキングの発生を抑制することができる。

10

【0125】

上記の構成の実施例 5 に係る比較器 50D において、第1の差動トランジスタ NT_{31} 、第2の差動トランジスタ NT_{32} 、第1の負荷トランジスタ PT_{31} 、第2の負荷トランジスタ PT_{32} 、第1のスイッチトランジスタ NT_{33} 、及び、第2のスイッチトランジスタ NT_{34} が、実施例 1 の場合と逆導電型となっている。

【0126】

そして、実施例 5 に係る比較器 50D の場合にも、実施例 1 に係る比較器 50A の場合と同様の作用、効果を得ることができる。すなわち、容量部 52 の作用により、比較器 50D の出力信号 OUT の反転時のキックバックと逆相の信号を、所定の電圧 REF に入れることで、キックバックによる所定の電圧 REF の揺れを抑えることができる。従って、比較器 50D の出力信号 OUT の反転時のキックバックに起因するストリーキングの発生を抑制することができる。

20

【0127】

<第2実施形態>

本開示の第2実施形態では、縦続接続された第1増幅部及び第2増幅部から成る比較器を前提とし、当該比較器において、キックバック量自体を低減し、ストリーキングの発生を抑制するようにする。前段の第1増幅部は、差動アンプから成り、後段の第2増幅部は、差動アンプに対して縦続接続された出力アンプから成る。すなわち、第2実施形態に係る比較器は、縦続接続された差動アンプ及び出力アンプから成る。差動アンプは、第1実施形態に係る比較器における差動アンプ 51 に相当する。

30

【0128】

第1実施形態では、前段の差動アンプ 51 において、キックバックと逆相の信号を、所定の電圧 REF に入れることで、キックバックによる所定の電圧 REF の揺れを抑え、キックバックに起因するストリーキングの発生を抑制するようにしている。これに対して、第2実施形態では、後段の出力アンプにおいて、キックバックと逆相の信号を、所定の電圧 REF に入れることで、キックバックによる所定の電圧 REF の揺れを抑え、キックバックに起因するストリーキングの発生を抑制するようにしている。

40

【0129】

本開示の第2実施形態によっても、第1実施形態の場合と同様に、アナログ - デジタル変換部 14 の消費電力を低減し、 $CMOS$ イメージセンサ 1 の低消費電力化を図ることができることに加えて、キックバックに起因するストリーキングの発生を抑制できるため、高画質の撮像画像を得ることができる。

【0130】

以下に、キックバック量自体を低減し、ストリーキングの発生を抑制するための第2実施形態の具体的な実施例について説明する。

【0131】

50

[実施例 6]

実施例 6 は、本開示の第 2 実施形態に係る比較器の基本的な構成例である。実施例 6 に係る比較器の回路構成を図 20 に示す。

【 0 1 3 2 】

実施例 6 に係る比較器 50E は、第 1 増幅部である差動アンプ 51 を含む前段の回路部分と、第 2 増幅部である出力アンプ 53 を含む後段の回路部分とから構成されている。

【 0 1 3 3 】

前段の回路部分は、第 1 の差動トランジスタ $N T_{31}$ 、第 2 の差動トランジスタ $N T_{32}$ 、電流源 I_{31} 、第 1 の負荷トランジスタ $P T_{31}$ 、及び、第 2 の負荷トランジスタ $P T_{32}$ から成る差動アンプ 51 を有している。前段の回路部分は、差動アンプ 51 の他に、第 1 の容量素子 C_{31} 、第 2 の容量素子 C_{32} 、第 1 のスイッチトランジスタ $N T_{33}$ 、及び、第 2 のスイッチトランジスタ $N T_{34}$ を有している。

10

【 0 1 3 4 】

この前段の回路部分は、実施例 5 に係る比較器 50D の回路部分と同じ回路構成となっている。すなわち、差動アンプ 51 は、第 1 の差動トランジスタ $N T_{31}$ 及び第 2 の差動トランジスタ $N T_{32}$ が N チャンネルの MOS トランジスタから成る、N チャンネル入力の回路構成となっている。但し、差動アンプ 51 に容量部 52 が設けられていない点で、実施例 5 に係る比較器 50D の回路構成と異なっている。

【 0 1 3 5 】

上記の構成の前段の回路部分において、入力端子 T_{31} を介して入力される画素信号 $V_S L$ と、入力端子 T_{32} を介して入力される参照信号 $RAMP$ とが、第 1 の容量素子 C_{31} 及び第 2 の容量素子 C_{32} を通して合成され、第 1 の差動トランジスタ $N T_{31}$ のゲート入力となる。第 1 のスイッチトランジスタ $N T_{33}$ 及び第 2 のスイッチトランジスタ $N T_{34}$ は、入力端子 T_{33} を介して入力される駆動信号 $A Z_1$ によってオン/オフ制御が行われる。

20

【 0 1 3 6 】

後段の回路部分は、容量素子 C_{30} 、及び、第 2 増幅部である出力アンプ 53 によって構成されている。容量素子 C_{30} は、高電位側電源電圧 V_{DD} のノードと差動アンプ 51 の出力ノード（第 2 の差動トランジスタ $N T_{32}$ と第 2 の負荷トランジスタ $P T_{32}$ との共通接続ノード） N_{31} との間に接続されている。この容量素子 C_{30} は、差動アンプ 51 の出力信号 OUT' に対して帯域制限を行うことで、当該出力信号 OUT' に含まれるノイズを除去する（即ち、高周波成分を除去する）。

30

【 0 1 3 7 】

出力アンプ 53 は、P チャンネルの MOS トランジスタ $P T_{41}$ 、N チャンネルの MOS トランジスタ $N T_{41}$ 、容量素子 C_{41} 、及び、N チャンネルのスイッチトランジスタ $N T_{42}$ から成るサンプルホールド回路構成となっている。

【 0 1 3 8 】

出力アンプ 53 において、P チャンネルの MOS トランジスタ $P T_{41}$ は、ゲート電極が差動アンプ 51 の出力ノード N_{31} に接続され、ソース電極が高電位側電源電圧 V_{DD} のノードに接続されている。N チャンネルの MOS トランジスタ $N T_{41}$ は、ドレイン電極が P チャンネルの MOS トランジスタ $P T_{41}$ のドレイン電極に接続され、ソース電極が低電位側電源であるグランド GND に接続されている。

40

【 0 1 3 9 】

容量素子 C_{41} は、N チャンネルの MOS トランジスタ $N T_{41}$ のゲート電極とグランド GND との間に接続されている。スイッチトランジスタ $N T_{42}$ は、N チャンネルの MOS トランジスタ $N T_{41}$ のゲート電極とドレイン電極との間に接続されており、入力端子 T_{36} を介して入力される駆動信号 $A Z_2$ によってオン/オフ制御が行われる。

【 0 1 4 0 】

上記の構成の出力アンプ 53 において、P チャンネルの MOS トランジスタ $P T_{41}$ のドレイン電極と、N チャンネルの MOS トランジスタ $N T_{41}$ のドレイン電極との共通接続ノード N_{41} が、出力アンプ 53 の出力ノードとなっており、当該出力ノード N_{41} から出力端子 T

50

30を通して、出力アンプ53の出力信号、即ち、比較器50Eの出力信号OUTが導出される。

【0141】

出力アンプ53は、上記の構成に加えて、容量部54を備えている。容量部54は、出力アンプ53の出力ノードN41と、所定の電圧REFが与えられる端子T37との間に接続されている。容量部54は、比較器50Eの出力信号OUTの反転時のキックバックと逆相の信号を、端子T37を通して所定の電圧REFのノードに入れる作用をなす。出力アンプ53の出力ノードN41に接続される容量部54の作用、効果の詳細について後述する。

【0142】

(実施例6に係る比較器の動作)

続いて、図21及び図22の動作説明図、並びに、図23のタイミングチャートを参照して、実施例6に係る比較器50Eの動作について説明する。

【0143】

図21及び図22の動作説明図では、差動アンプ51の第1のスイッチトランジスタNT33及び第2のスイッチトランジスタNT34、並びに、出力アンプ53のスイッチトランジスタNT42の動作状態を明確にするために、これらのトランジスタについて、スイッチのシンボルを用いて図示している。図23のタイミングチャートは、駆動信号AZ1、駆動信号AZ2、参照信号RAMP、画素信号VSL、ノードN32の電圧HiZ、ノードN33の電圧VSH、出力アンプ53の出力信号OUT'及び、比較器50Eの出力信号OUTのタイミング関係を示している。

【0144】

時刻t21において、駆動信号AZ1が低レベルから高レベルに遷移する。すると、第1のスイッチトランジスタNT33及び第2のスイッチトランジスタNT34がオン(閉)状態となるため、第1の差動トランジスタNT31のドレイン電極とゲート電極とが接続され、第2の差動トランジスタNT32のドレイン電極とゲート電極とが接続される(図21参照)。また、参照信号RAMPが所定のリセットレベルに設定される。更に、読み出し対象となる画素2のフローティングディフュージョンFD(図2参照)がリセットされ、画素信号VSLがリセットレベルに設定される。

【0145】

以上により、差動アンプ51のオートゼロ動作が開始される。すなわち、第1の差動トランジスタNT31のドレイン電極及びゲート電極、並びに、第2の差動トランジスタNT32のドレイン電極及びゲート電極が、所定の同じ電圧(基準電圧)に収束する。このオートゼロ動作により、ノードN32の電圧HiZ及びノードN33の電圧VSHが基準電圧に設定される。

【0146】

また、時刻t21において、駆動信号AZ2が低レベルから高レベルに遷移する。これにตอบสนองして、出力アンプ53において、スイッチトランジスタNT42がオン(閉)状態となり、NチャンネルのMOSトランジスタNT41のドレイン電極とゲート電極との間を短絡する(図21参照)。これにより、出力アンプ53のオートゼロ動作が開始される。そして、オートゼロ動作により、容量素子C41の電圧がNチャンネルのMOSトランジスタNT41のドレイン電圧と等しくなり、容量素子C41に電荷が蓄積される。

【0147】

次に、時刻t22において、駆動信号AZ2が高レベルから低レベルに遷移する。これにตอบสนองして、出力アンプ53において、スイッチトランジスタNT42がオフ(開)状態となり、出力アンプ53のオートゼロ動作が終了する(図22参照)。尚、スイッチトランジスタNT42がオフ状態になった後も、容量素子C41の電圧はそのまま保持され、NチャンネルのMOSトランジスタNT41のゲート電極に印加される。これにより、NチャンネルのMOSトランジスタNT41は、スイッチトランジスタNT42がオン状態のときとほぼ同じ電流を流す電流源として機能する。

【0148】

10

20

30

40

50

次に、時刻 t_{23} において、駆動信号 AZ_1 が高レベルから低レベルに遷移する。これにより、第 1 のスイッチトランジスタ NT_{33} 及び第 2 のスイッチトランジスタ NT_{34} がオフ（開）状態となり、差動アンプ 51 のオートゼロ動作が終了する（図 22 参照）。ノード N_{32} の電圧 HIZ は、画素信号 VSL 及び参照信号 $RAMP$ が変化しないため、基準電圧のまま保持される。また、ノード N_{33} の電圧 VSH は、第 3 の容量素子 C_{33} に蓄積された電荷により基準電圧のまま保持される。

【0149】

その後、時刻 t_{24} において、参照信号 $RAMP$ の電圧がリセットレベルから所定の値だけ下げられる。これにより、ノード N_{32} の電圧 HIZ が低下し、ノード N_{33} の電圧（基準電圧） VSH を下回ること、差動アンプ 51 の出力信号 OUT' が低レベルになる。

10

【0150】

そして、差動アンプ 51 の出力信号 OUT' が低レベルになると、出力アンプ 53 の P チャンネルの MOS トランジスタ PT_{41} がオン状態となり、出力アンプ 53 の出力信号、即ち、比較器 50E の出力信号 OUT が高レベルになる。すなわち、出力アンプ 53 は、差動アンプ 51 の出力信号 OUT' のレベルを反転し、増幅して出力する。

【0151】

次に、時刻 t_{25} において、参照信号 $RAMP$ が線形に増加を開始し、これに合わせて、ノード N_{32} の電圧 HIZ も線形に増加する。また、カウンタ回路 142（図 3 参照）が、カウント動作を開始する。その後、ノード N_{32} の電圧 HIZ がノード N_{33} の電圧（基準電圧） VSH を上回ったとき、差動アンプ 51 の出力信号 OUT' が反転し、高レベルとなる。そして、出力信号 OUT' が高レベルに反転したときのカウンタ回路 142 のカウント値が、P 相（リセットレベル）の画素信号 VSL の値として、ラッチ回路 143（図 3 参照）に保持される。

20

【0152】

次に、時刻 t_{26} において、参照信号 $RAMP$ の電圧がリセット電圧に設定される。また、画素 2 の転送トランジスタ 22 がオン状態となることで、露光期間中にフォトダイオード 21 に蓄積された電荷がフローティングディフュージョン FD に転送され、画素信号 VSL が信号レベルに設定される。これにより、ノード N_{32} の電圧 HIZ が信号レベルに対応する値だけ低下し、ノード N_{33} の電圧（基準電圧） VSH を下回り、差動アンプ 51 の出力信号 OUT' が低レベルに反転する。

30

【0153】

次に、時刻 t_{27} において、時刻 t_{24} のときと同様に、参照信号 $RAMP$ の電圧がリセットレベルから所定の値だけ下げられる。これにより、ノード N_{32} の電圧 HIZ が更に低下する。

【0154】

次に、時刻 t_{28} において、時刻 t_{25} のときと同様に、参照信号 $RAMP$ が線形に増加を開始する。これに合わせて、ノード N_{32} の電圧 HIZ も線形に増加する。また、カウンタ回路 142 が、カウント動作を開始する。

【0155】

その後、ノード N_{32} の電圧 HIZ がノード N_{33} の電圧（基準電圧） VSH を上回ったとき、差動アンプ 51 の出力信号 OUT' が反転し、高レベルになる。そして、差動アンプ 51 の出力信号 OUT' が高レベルになると、出力アンプ 53 の P チャンネルの MOS トランジスタ PT_{41} がオフ状態となり、比較器 50E の出力信号 OUT が低レベルになる。

40

【0156】

そして、出力信号 OUT' が高レベルに反転したときのカウンタ回路 142 のカウント値が、D 相（信号レベル）の画素信号 VSL の値としてラッチ回路 143 に保持される。また、ラッチ回路 143 は、D 相の画素信号 VSL と、時刻 t_{25} と時刻 t_{26} との間に読み出された P 相の画素信号 VSL との差分をとることにより、ノイズ除去処理である CDS を行う。このようにして、アナログの画素信号 VSL のアナログ - デジタル変換が行われる。

【0157】

50

その後、時刻 t_{29} 乃至時刻 t_{37} において、時刻 t_{21} 乃至時刻 t_{29} のときと同様の動作が繰り返される。

【0158】

差動アンプ 51 及び出力アンプ 53 が縦続接続されて成る実施例 6 に係る比較器 50E において、上述した動作説明が明らかなように、出力アンプ 53 は、差動アンプ 51 の出力信号 OUT' のレベルを反転し、増幅して出力する。従って、ノード N_{34} の電位と、ノード N_{41} の電位とは同じ極性である。また、ノード N_{34} の電位を A、ノード N_{31} の電位を B、ノード N_{41} の電位を C とすると、これら電位 A、B、C の振幅の大小関係は、 $A < B < C$ となる。

【0159】

このように、ノード N_{31} の電位 B に対して、ノード N_{34} の電位 A の振幅は小さい。従って、例えば実施例 5 に係る比較器 50D (図 19 参照) の場合のように、前段の差動アンプ 51 において、ノード N_{34} に容量部 52 を接続する構成を採る場合、ノード N_{31} の電位 B の反転時の所定の電圧 REF へのキックバックをキャンセルするためには、容量部 52 として大きな容量値が必要となる。

【0160】

これに対して、実施例 6 に係る比較器 50E では、後段の出力アンプ 53 において、ノード N_{34} の電位 A よりも振幅が大きく、同極性のノード N_{41} と、所定の電圧 REF が与えられる端子 T_{37} との間に容量部 54 を接続する構成を採っている。これにより、前段の差動アンプ 51 において、ノード N_{34} に接続する構成を採る場合に比べて、キックバックによる所定の電圧 REF の揺れをより確実に抑えることができ、キックバックに起因するストリーキングの発生を抑制することができる。また、前段の差動アンプ 51 のノード N_{34} に接続する構成を採る場合に比べて、容量部 54 の容量値が小さくて済むため、容量部 54 を形成するために必要な面積を小さく抑えることができる。

【0161】

容量部 54 については、第 1 実施形態に係る容量部 52 と同様に、容量値が可変な構成とすることができる。また、容量部 54 として、実施例 2 乃至実施例 4 の具体例 1 乃至具体例 3 に係る構成のものを用いることができる。

【0162】

実施例 6 に係る比較器 50E において、出力アンプ 53 については、図 20 に示す回路構成のものに限られるものではない。例えば、図 24 に示すように、P チャネルの MOS トランジスタ $P T_{41}$ に対して抵抗素子 R を直列に接続して成る回路構成とすることができる。また、図 25 に示すように、P チャネルの MOS トランジスタ $P T_{41}$ に対して直列に接続された N チャネルの MOS トランジスタ $N T_{43}$ を、ゲート電極とドレイン電極とが接続されたダイオード接続とする回路構成とすることができる。また、図 26 に示すよう、P チャネルの MOS トランジスタ $P T_{41}$ に対して直列に接続された N チャネルの MOS トランジスタ $N T_{44}$ にバイアス電圧 BIAS を供給する回路構成とすることができる。

【0163】

[実施例 7]

実施例 7 は、縦続接続された第 1 増幅部及び第 2 増幅部から成る比較器において、第 1 増幅部及び第 2 増幅部の双方に容量部を設ける例である。実施例 7 に係る比較器の回路構成を図 27 に示す。

【0164】

実施例 7 に係る比較器 50F は、実施例 6 に係る比較器 50E と同様に、第 1 増幅部である差動アンプ 51 を含む前段の回路部分、及び、第 2 増幅部である出力アンプ 53 を含む後段の回路部分から構成されている。

【0165】

差動アンプ 51 において、第 1 の差動トランジスタ $P T_{31}$ と第 1 の負荷トランジスタ $N T_{31}$ との共通接続ノード N_{34} と、所定の電圧 REF が与えられる端子 T_{35} との間に、容量部 52 が接続されている。容量部 52 は、差動アンプ 51 の出力信号 OUT' の反転時のキ

10

20

30

40

50

ックバックと逆相の信号を、端子 T_{35} を通して所定の電圧 REF のノードに入れる作用をなす。

【0166】

出力アンプ53において、出力アンプ53の出力ノード N_{41} と、所定の電圧 REF が与えられる端子 T_{37} との間に、容量部54が接続されている。容量部54は、比較器50Fの出力信号 OUT の反転時のキックバックと逆相の信号を、端子 T_{37} を通して所定の電圧 REF のノードに入れる作用をなす。

【0167】

上述したように、実施例7に係る比較器50Fは、差動アンプ51及び出力アンプ53の双方に容量部(52, 54)を設け、差動アンプ51及び出力アンプ53の2段構成にて、キックバックと逆相の信号を所定の電圧 REF のノードに入れる構成となっている。この構成によれば、容量部52及び容量部54の作用により、キックバックによる所定の電圧 REF の揺れを抑えることができるため、キックバックに起因するストリーキングの発生をより確実に抑制することができる。

10

【0168】

容量部54については、第1実施形態に係る容量部52と同様に、容量値が可変な構成とすることができる。また、容量部54として、実施例2乃至実施例4の具体例1乃至具体例3に係る構成のものを用いることができる。また、出力アンプ53については、図24乃至図26に示す回路構成とすることができる。

【0169】

[実施例8]

実施例8は、実施例6の変形例であり、クランプ回路を備える例である。実施例8に係る比較器の回路構成を図28に示す。

20

【0170】

実施例8に係る比較器50Gは、実施例6に係る比較器50Eにおいて、出力アンプ53にクランプ回路55を設けた構成となっている。クランプ回路55は、必ずしも、出力アンプ53の構成要素の一つである必要はない。クランプ回路55は、例えば、高電位側電源電圧 V_{DD} のノードと、出力アンプ53の入力ノード、即ち、PチャネルのMOSトランジスタ PT_{41} のゲート電極との間に接続されたNチャネルのMOSトランジスタ NT_{43} から構成されている。

30

【0171】

NチャネルのMOSトランジスタ NT_{43} のゲート電極は、出力アンプ53の出力ノード N_{41} に接続されている。そして、NチャネルのMOSトランジスタ NT_{43} は、出力アンプ53の出力レベルが、出力アンプ53の入力レベルよりも高いときにオン状態(導通状態)となり、差動アンプ51の出力ノード N_{31} (即ち、出力アンプ53の入力ノード)の電位を所定の電位、具体的には電源電圧 V_{DD} にクランプする。

【0172】

ここで、クランプ回路55が存在しない実施例8に係る比較器50Gの場合について説明する。クランプ回路55が存在しないと、差動アンプ51の出力が反転した後、差動アンプ51の出力ノード N_{31} の電位が低くなり過ぎると、第2の差動トランジスタ NT_{32} に電流が流れなくなるため、電流源 I_{31} に流れるテール(Tail)電流が変化する。テール電流が変化が変化すると、比較器50Gが繋がる電源線に流れる電源電流が変化し、 IR ドロップが変化する。そして、 IR ドロップが変化すると、電源線に繋がっている他の比較器の動作点が変化するため、ストリーキング発生の要因となる。

40

【0173】

この電源線の IR ドロップに起因するストリーキング対策のために、実施例8に係る比較器50Gは、クランプ回路55を備える構成を採っている。実施例8に係る比較器50Gにおいて、当該比較器50Gの出力の反転は、出力アンプ53の出力信号 OUT が、差動アンプ51の出力信号 OUT' 、即ち、出力アンプ53の入力信号よりも低いときに起きる。一方、クランプ回路55のNチャネルのMOSトランジスタ NT_{43} は、出力アンプ5

50

3 の出力レベルが、出力アンプ 5 3 の入力レベルよりも高いときにオン状態となって、差動アンプ 5 1 の出力ノード N_{31} の電位を電源電圧 V_{DD} にクランプする。

【 0 1 7 4 】

このクランプ回路 5 5 の作用により、比較器 5 0 G の出力の反転後、即ち、差動アンプ 5 1 の出力の反転後、差動アンプ 5 1 の出力ノード N_{31} の電位が電源電圧 V_{DD} にクランプされるため、電流源 I_{31} に流れるテール電流が変化することはない。その結果、電源線の IR ドロップに起因するストリーキングの発生を抑制できる。

【 0 1 7 5 】

因みに、クランプ回路 5 5 は、出力アンプ 5 3 の出力レベルが、出力アンプ 5 3 の入力レベルよりも十分高くなって始めて動作する。従って、クランプ回路 5 5 を設けたことによつて、比較器 5 0 G の反転に関する特性に悪影響を及ぼすことはない。また、クランプ回路 5 5 の動作に必要な電流は、電流源 I_{31} によって供給される。従って、差動アンプ 5 1 が電源から引く電流は元の通りほぼ一定の電流値であり、電源電流の揺らぎを引き起こさせることがない。

【 0 1 7 6 】

ノード N_{32} の電圧 $H i Z$ に対するテール電流の変化を図 2 9 A に示す。また、比較器 5 0 G の出力反転時の動作波形を図 2 9 B に示し、時間に対するテール電流の変化を図 2 9 C に示す。図 2 9 A、図 2 9 B、及び、図 2 9 C において、クランプ回路 5 5 が有りの場合を実線で示し、クランプ回路 5 5 が無しの場合を破線で示している。また、図 2 9 B において、ノード N_{32} の電圧 $H i Z$ を一点鎖線で示し、差動アンプ 5 1 の出力信号 $O U T'$ を実線 / 破線で示し、比較器 5 0 G の出力信号 $O U T$ を破線で示している。

【 0 1 7 7 】

上述したクランプ回路 5 5 を備える実施例 8 に係る比較器 5 0 G にあっても、実施例 7 に係る比較器 5 0 と同様に、差動アンプ 5 1 及び出力アンプ 5 3 の双方に容量部 (5 2 , 5 4) を設ける構成を採るようにしてもよい。

【 0 1 7 8 】

[実施例 9]

実施例 9 は、実施例 8 の変形例であり、実施例 9 と逆導電型のトランジスタを用いる例である。すなわち、実施例 8 では、差動アンプ 5 1 が N チャネル入力であるのに対して、実施例 9 では、差動アンプ 5 1 が P チャネル入力となっている。実施例 9 に係る比較器の回路構成を図 3 0 に示す。

【 0 1 7 9 】

実施例 9 に係る比較器 5 0 H において、前段の回路部分は、第 1 の差動トランジスタ $P T_{21}$ 、第 2 の差動トランジスタ $P T_{22}$ 、電流源 I_{21} 、第 1 の負荷トランジスタ $N T_{21}$ 、及び、第 2 の負荷トランジスタ $N T_{22}$ から成る差動アンプ 5 1 を有している。前段の回路部分は、差動アンプ 5 1 の他に、第 1 の容量素子 C_{21} 、第 2 の容量素子 C_{22} 、第 3 の容量素子 C_{23} 、第 1 のスイッチトランジスタ $P T_{23}$ 、及び、第 2 のスイッチトランジスタ $P T_{24}$ を有している。

【 0 1 8 0 】

この前段の回路部分は、実施例 1 に係る比較器 5 0 A の回路部分と同じ回路構成となっている。すなわち、差動アンプ 5 1 は、第 1 の差動トランジスタ $P T_{21}$ 及び第 2 の差動トランジスタ $P T_{22}$ が P チャネルの MOS トランジスタから成る、P チャネル入力の回路構成となっている。但し、差動アンプ 5 1 に容量部 5 2 が設けられていない点で、実施例 1 に係る比較器 5 0 A の回路構成と異なっている。

【 0 1 8 1 】

上記の構成の前段の回路部分において、入力端子 T_{21} を介して入力される画素信号 $V S L$ と、入力端子 T_{22} を介して入力される参照信号 $R A M P$ とが、第 1 の容量素子 C_{21} 及び第 2 の容量素子 C_{22} を通して合成され、第 1 の差動トランジスタ $P T_{21}$ のゲート入力となる。第 1 のスイッチトランジスタ $P T_{23}$ 及び第 2 のスイッチトランジスタ $P T_{24}$ は、入力端子 T_{23} を介して入力される駆動信号 $A Z_1$ によってオン / オフ制御が行われる。

【 0 1 8 2 】

後段の回路部分は、容量素子 C_{30} 、及び、出力アンプ 5 3 によって構成されている。容量素子 C_{30} は、差動アンプ 5 1 の出力ノード（第 2 の差動トランジスタ N_{T22} と第 2 の負荷トランジスタ N_{T22} との共通接続ノード） N_{21} とグランドとの間に接続されている。この容量素子 C_{30} は、差動アンプ 5 1 の出力信号 OUT' に対して帯域制限を行うことで、当該出力信号 OUT' に含まれるノイズを除去する。

【 0 1 8 3 】

出力アンプ 5 3 は、Nチャネルの MOS トランジスタ N_{T51} 、Pチャネルの MOS トランジスタ P_{T51} 、容量素子 C_{51} 、及び、Pチャネルのスイッチトランジスタ P_{T52} から成るサンプルホールド回路構成となっている。

10

【 0 1 8 4 】

出力アンプ 5 3 において、Nチャネルの MOS トランジスタ N_{T51} は、ゲート電極が差動アンプ 5 1 の出力ノード N_{21} に接続され、ソース電極が低電位側電源であるグランドに接続されている。Pチャネルの MOS トランジスタ P_{T51} は、ドレイン電極がNチャネルの MOS トランジスタ N_{T51} に接続され、ソース電極が高電位側電源電圧 V_{DD} のノードに接続されている。

【 0 1 8 5 】

容量素子 C_{41} は、高電位側電源電圧 V_{DD} のノードとPチャネルの MOS トランジスタ P_{T51} のゲート電極との間に接続されている。スイッチトランジスタ P_{T52} は、Pチャネルの MOS トランジスタ P_{T51} のゲート電極とドレイン電極との間に接続されており、入力端子 T_{26} を介して入力される駆動信号 AZ_2 によってオン/オフ制御が行われる。

20

【 0 1 8 6 】

上記の構成の出力アンプ 5 3 において、Nチャネルの MOS トランジスタ N_{T51} とPチャネルの MOS トランジスタ P_{T51} との共通接続ノード N_{51} が、出力アンプ 5 3 の出力ノードとなっており、当該出力ノード N_{51} から出力端子 T_{20} を通して、出力アンプ 5 3 の出力信号、即ち、比較器 5 0 H の出力信号 OUT が導出される。

【 0 1 8 7 】

出力アンプ 5 3 は、上記の構成に加えて、容量部 5 4 を備えている。容量部 5 4 は、出力アンプ 5 3 の出力ノード N_{51} と、所定の電圧 REF が与えられる端子 T_{27} との間に接続されている。容量部 5 4 は、比較器 5 0 H の出力信号 OUT の反転時のキックバックと逆相の信号を、端子 T_{27} を通して所定の電圧 REF のノードに入れる作用をなす。

30

【 0 1 8 8 】

上記の構成の実施例 9 に係る比較器 5 0 H において、出力アンプ 5 3 にクランプ回路 5 5 を設けた構成となっている。クランプ回路 5 5 は、必ずしも、出力アンプ 5 3 の構成要素の一つである必要はない。クランプ回路 5 5 は、例えば、出力アンプ 5 3 の入力ノード、即ち、Nチャネルの MOS トランジスタ N_{T51} のゲート電極とグランドとの間に接続されたPチャネルの MOS トランジスタ P_{T53} から構成されている。

【 0 1 8 9 】

Pチャネルの MOS トランジスタ P_{T53} のゲート電極は、出力アンプ 5 3 の出力ノード N_{51} に接続されている。そして、Pチャネルの MOS トランジスタ P_{T53} は、出力アンプ 5 3 の出力レベルが、出力アンプ 5 3 の入力レベルよりも低いときにオン状態となり、差動アンプ 5 1 の出力ノード N_{21} （即ち、出力アンプ 5 3 の入力ノード）の電位を所定の電位、具体的にはグランド電位にクランプする。

40

【 0 1 9 0 】

ここで、クランプ回路 5 5 が存在しない実施例 9 に係る比較器 5 0 H の場合について説明する。クランプ回路 5 5 が存在しないと、差動アンプ 5 1 の出力が反転した後、差動アンプ 5 1 の出力ノード N_{21} の電位が高くなり過ぎると、第 2 の差動トランジスタ P_{T22} に電流が流れなくなるため、電流源 I_{21} に流れるテール電流が変化する。テール電流が変化が変化すると、比較器 5 0 H が繋がる電源線に流れる電源電流が変化し、 IR ドロップが変化する。そして、 IR ドロップが変化する、電源線に繋がっている他の比較器の動作

50

点が増えるため、ストリーキング発生の要因となる。

【0191】

この電源線のIRドロップに起因するストリーキング対策のために、実施例9に係る比較器50Hは、クランプ回路55を備える構成を採っている。実施例9に係る比較器50Hにおいて、当該比較器50Hの出力の反転は、出力アンプ53の出力信号OUTが、差動アンプ51の出力信号OUT'、即ち、出力アンプ53の入力信号よりも高いときに起きる。一方、クランプ回路55のPチャネルのMOSトランジスタPT53は、出力アンプ53の出力レベルが、出力アンプ53の入力レベルよりも低いときにオン状態となって、差動アンプ51の出力ノードN21の電位をグランド電位にクランプする。

【0192】

このクランプ回路55の作用により、比較器50Hの出力の反転後、即ち、差動アンプ51の出力の反転後、差動アンプ51の出力ノードN21の電位がグランド電位にクランプされるため、電流源I31に流れるテール電流が変化することはない。その結果、電源線のIRドロップに起因するストリーキングの発生を抑制できる。

【0193】

因みに、クランプ回路55は、出力アンプ53の出力レベルが、出力アンプ53の入力レベルよりも十分低くなって始めて動作する。従って、クランプ回路55を設けたことによって、比較器50Hの反転に関する特性に悪影響を及ぼすことはない。また、クランプ回路55の動作に必要な電流は、電流源I31によって供給される。従って、差動アンプ51が電源から引く電流は元の通りほぼ一定の電流値であり、電源電流の揺らぎを引き起こさせることがない。

【0194】

ノードN22の電圧HiZに対するテール電流の変化を図31Aに示す。また、比較器50Hの出力反転時の動作波形を図31Bに示し、時間に対するテール電流の変化を図31Cに示す。図31A、図31B、及び、図31Cにおいて、クランプ回路55が有りの場合を実線で示し、クランプ回路55が無しの場合を破線で示している。また、図31Bにおいて、ノードN22の電圧HiZを一点鎖線で示し、差動アンプ51の出力信号OUT'を実線/破線で示し、比較器50Hの出力信号OUTを破線で示している。

【0195】

上述したクランプ回路55を備える実施例9に係る比較器50Hにあっても、実施例7に係る比較器50と同様に、差動アンプ51及び出力アンプ53の双方に容量部(52, 54)を設ける構成を採るようにしてもよい。

【0196】

<変形例>

上記の第1、第2実施形態では、画素2が行列状に配置されて成るCMOSイメージセンサに適用した場合を例に挙げて説明したが、本開示の技術は、CMOSイメージセンサへの適用に限られるものではない。すなわち、本開示の技術は、画素2が行列状に2次元配置されて成るX-Yアドレス方式の撮像素子全般に対して適用可能である。

【0197】

また、本開示の技術は、可視光の入射光量の分布を検知して画像として撮像する撮像素子への適用に限らず、赤外線やX線、あるいは粒子等の入射量の分布を画像として撮像する撮像素子全般に対して適用可能である。

【0198】

<応用例>

以上説明した本実施形態に係るCMOSイメージセンサ1は、例えば図32に示すように、可視光、赤外光、紫外光、X線等の光をセンシングする様々な装置に使用することができる。様々な装置の具体例について以下に列挙する。

【0199】

・デジタルカメラや、カメラ機能付きの携帯機器等の、鑑賞の用に供される画像を撮影する装置

10

20

30

40

50

- ・自動停止等の安全運転や、運転者の状態の認識等のために、自動車の前方や後方、周囲、車内等を撮影する車載用センサ、走行車両や道路を監視する監視カメラ、車両間等の測距を行う測距センサ等の、交通の用に供される装置

- ・ユーザのジェスチャを撮影して、そのジェスチャに従った機器操作を行うために、TVや、冷蔵庫、エアコンディショナ等の家電に供される装置

- ・内視鏡や、赤外光の受光による血管撮影を行う装置等の、医療やヘルスケアの用に供される装置

- ・防犯用途の監視カメラや、人物認証用途のカメラ等の、セキュリティの用に供される装置

- ・肌を撮影する肌測定器や、頭皮を撮影するマイクロスコープ等の、美容の用に供される装置

10

- ・スポーツ用途等向けのアクションカメラやウェアラブルカメラ等の、スポーツの用に供される装置

- ・畑や作物の状態を監視するためのカメラ等の、農業の用に供される装置

【0200】

<本開示に係る技術の適用例>

本開示に係る技術は、様々な製品に適用することができる。以下に、より具体的な適用例について説明する。

【0201】

[本開示の電子機器]

20

ここでは、デジタルスチルカメラやビデオカメラ等の撮像装置や、携帯電話機などの撮像機能を有する携帯端末装置や、画像読取部に撮像素子を用いる複写機などの電子機器に適用する場合について説明する。

【0202】

(撮像装置)

図33は、本開示の電子機器の一例である撮像装置の構成を示すブロック図である。図33に示すように、本例に係る撮像装置100は、レンズ群等を含む撮像光学系101、撮像部102、DSP(Digital Signal Processor)回路103、フレームメモリ104、表示装置105、記録装置106、操作系107、及び、電源系108等を有している。そして、DSP回路103、フレームメモリ104、表示装置105、記録装置106、操作系107、及び、電源系108がバスライン109を介して相互に接続された構成となっている。

30

【0203】

撮像光学系101は、被写体からの入射光(像光)を取り込んで撮像部102の撮像面上に結像する。撮像部102は、光学系101によって撮像面上に結像された入射光の光量を画素単位で電気信号に変換して画素信号として出力する。DSP回路103は、一般的なカメラ信号処理、例えば、ホワイトバランス処理、デモザイク処理、ガンマ補正処理などを行う。

【0204】

フレームメモリ104は、DSP回路103での信号処理の過程で適宜データの格納に用いられる。表示装置105は、液晶表示装置や有機EL(electro luminescence)表示装置等のパネル型表示装置から成り、撮像部102で撮像された動画または静止画を表示する。記録装置106は、撮像部102で撮像された動画または静止画を、可搬型の半導体メモリや、光ディスク、HDD(Hard Disk Drive)等の記録媒体に記録する。

40

【0205】

操作系107は、ユーザによる操作の下に、本撮像装置100が持つ様々な機能について操作指令を発する。電源系108は、DSP回路103、フレームメモリ104、表示装置105、記録装置106、及び、操作系107の動作電源となる各種の電源を、これら供給対象に対して適宜供給する。

【0206】

50

上記の構成の撮像装置 100 において、撮像部 102 として、先述した本開示に係る技術が適用される CMOS イメージセンサ 1 を用いることができる。当該 CMOS イメージセンサ 1 によれば、低電源電圧化によって消費電力を下げることができるとともに、比較器の反転時のキックバックに起因するストリーキングの発生を抑制することができる。従って、撮像装置 100 の低消費電力化に寄与できるとともに、ノイズの少ない高画質の撮影画像を得ることができる。

【0207】

[移動体への応用例]

本開示に係る技術は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット、建設機械、農業機械（トラクター）などのいずれかの種類の移動体に搭載される撮像素子として実現されてもよい。

10

【0208】

図 34 は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システム 7000 の概略的な構成例を示すブロック図である。車両制御システム 7000 は、通信ネットワーク 7010 を介して接続された複数の電子制御ユニットを備える。図 34 に示した例では、車両制御システム 7000 は、駆動系制御ユニット 7100、ボディ系制御ユニット 7200、バッテリー制御ユニット 7300、車外情報検出ユニット 7400、車内情報検出ユニット 7500、及び統合制御ユニット 7600 を備える。これらの複数の制御ユニットを接続する通信ネットワーク 7010 は、例えば、CAN (Controller Area Network)、LIN (Local Interconnect Network)、LAN (Local Area Network) 又は FlexRay (登録商標) 等の任意の規格に準拠した車載通信ネットワークであってよい。

20

【0209】

各制御ユニットは、各種プログラムにしたがって演算処理を行うマイクロコンピュータと、マイクロコンピュータにより実行されるプログラム又は各種演算に用いられるパラメータ等を記憶する記憶部と、各種制御対象の装置を駆動する駆動回路とを備える。各制御ユニットは、通信ネットワーク 7010 を介して他の制御ユニットとの間で通信を行うためのネットワーク I/F を備えるとともに、車内外の装置又はセンサ等との間で、有線通信又は無線通信により通信を行うための通信 I/F を備える。図 34 では、統合制御ユニット 7600 の機能構成として、マイクロコンピュータ 7610、汎用通信 I/F 7620、専用通信 I/F 7630、測位部 7640、ビーコン受信部 7650、車内機器 I/F 7660、音声画像出力部 7670、車載ネットワーク I/F 7680 及び記憶部 7690 が図示されている。他の制御ユニットも同様に、マイクロコンピュータ、通信 I/F 及び記憶部等を備える。

30

【0210】

駆動系制御ユニット 7100 は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット 7100 は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。駆動系制御ユニット 7100 は、ABS (Antilock Brake System) 又は ESC (Electronic Stability Control) 等の制御装置としての機能を有してもよい。

40

【0211】

駆動系制御ユニット 7100 には、車両状態検出部 7110 が接続される。車両状態検出部 7110 には、例えば、車体の軸回転運動の角速度を検出するジャイロセンサ、車両の加速度を検出する加速度センサ、あるいは、アクセルペダルの操作量、ブレーキペダルの操作量、ステアリングホイールの操舵角、エンジン回転数又は車輪の回転速度等を検出するためのセンサのうち少なくとも一つが含まれる。駆動系制御ユニット 7100 は、車両状態検出部 7110 から入力される信号を用いて演算処理を行い、内燃機関、駆動用

50

モータ、電動パワーステアリング装置又はブレーキ装置等を制御する。

【0212】

ボディ系制御ユニット7200は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット7200は、キーレスエントリーシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウィンカー又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット7200には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット7200は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

10

【0213】

バッテリー制御ユニット7300は、各種プログラムにしたがって駆動用モータの電力供給源である二次電池7310を制御する。例えば、バッテリー制御ユニット7300には、二次電池7310を備えたバッテリー装置から、バッテリー温度、バッテリー出力電圧又はバッテリーの残存容量等の情報が入力される。バッテリー制御ユニット7300は、これらの信号を用いて演算処理を行い、二次電池7310の温度調節制御又はバッテリー装置に備えられた冷却装置等の制御を行う。

【0214】

車外情報検出ユニット7400は、車両制御システム7000を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット7400には、撮像部7410及び車外情報検出部7420のうちの少なくとも一方が接続される。撮像部7410には、ToF (Time Of Flight) カメラ、ステレオカメラ、単眼カメラ、赤外線カメラ及びその他のカメラのうちの少なくとも一つが含まれる。車外情報検出部7420には、例えば、現在の天候又は気象を検出するための環境センサ、あるいは、車両制御システム7000を搭載した車両の周囲の他の車両、障害物又は歩行者等を検出するための周囲情報検出センサのうちの少なくとも一つが含まれる。

20

【0215】

環境センサは、例えば、雨天を検出する雨滴センサ、霧を検出する霧センサ、日照度合いを検出する日照センサ、及び降雪を検出する雪センサのうちの少なくとも一つであってよい。周囲情報検出センサは、超音波センサ、レーダ装置及びLIDAR (Light Detection and Ranging、Laser Imaging Detection and Ranging) 装置のうちの少なくとも一つであってよい。これらの撮像部7410及び車外情報検出部7420は、それぞれ独立したセンサないし装置として備えられてもよいし、複数のセンサないし装置が統合された装置として備えられてもよい。

30

【0216】

ここで、図35は、撮像部7410及び車外情報検出部7420の設置位置の例を示す。撮像部7910、7912、7914、7916、7918は、例えば、車両7900のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部のうちの少なくとも一つの位置に設けられる。フロントノーズに備えられる撮像部7910及び車室内のフロントガラスの上部に備えられる撮像部7918は、主として車両7900の前方の画像を取得する。サイドミラーに備えられる撮像部7912、7914は、主として車両7900の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部7916は、主として車両7900の後方の画像を取得する。車室内のフロントガラスの上部に備えられる撮像部7918は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

40

【0217】

尚、図35には、それぞれの撮像部7910、7912、7914、7916の撮影範囲の一例が示されている。撮像範囲aは、フロントノーズに設けられた撮像部7910の撮像範囲を示し、撮像範囲b、cは、それぞれサイドミラーに設けられた撮像部7912、7914の撮像範囲を示し、撮像範囲dは、リアバンパ又はバックドアに設けられた撮

50

像部 7916 の撮像範囲を示す。例えば、撮像部 7910, 7912, 7914, 7916 で撮像された画像データが重ね合わせられることにより、車両 7900 を上方から見た俯瞰画像が得られる。

【0218】

車両 7900 のフロント、リア、サイド、コーナ及び車室内のフロントガラスの上部に設けられる車外情報検出部 7920, 7922, 7924, 7926, 7928, 7930 は、例えば超音波センサ又はレーダ装置であってよい。車両 7900 のフロントノーズ、リアバンパ、バックドア及び車室内のフロントガラスの上部に設けられる車外情報検出部 7920, 7926, 7930 は、例えば L I D A R 装置であってよい。これらの車外情報検出部 7920 ~ 7930 は、主として先行車両、歩行者又は障害物等の検出に用いられる。

10

【0219】

図 34 に戻って説明を続ける。車外情報検出ユニット 7400 は、撮像部 7410 に車外の画像を撮像させるとともに、撮像された画像データを受信する。また、車外情報検出ユニット 7400 は、接続されている車外情報検出部 7420 から検出情報を受信する。車外情報検出部 7420 が超音波センサ、レーダ装置又は L I D A R 装置である場合には、車外情報検出ユニット 7400 は、超音波又は電磁波等を発信させるとともに、受信された反射波の情報を受信する。車外情報検出ユニット 7400 は、受信した情報に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。車外情報検出ユニット 7400 は、受信した情報に基づいて、降雨、霧又は路面状況等を認識する環境認識処理を行ってもよい。車外情報検出ユニット 7400 は、受信した情報に基づいて、車外の物体までの距離を算出してもよい。

20

【0220】

また、車外情報検出ユニット 7400 は、受信した画像データに基づいて、人、車、障害物、標識又は路面上の文字等を認識する画像認識処理又は距離検出処理を行ってもよい。車外情報検出ユニット 7400 は、受信した画像データに対して歪補正又は位置合わせ等の処理を行うとともに、異なる撮像部 7410 により撮像された画像データを合成して、俯瞰画像又はパノラマ画像を生成してもよい。車外情報検出ユニット 7400 は、異なる撮像部 7410 により撮像された画像データを用いて、視点変換処理を行ってもよい。

【0221】

車内情報検出ユニット 7500 は、車内の情報を検出する。車内情報検出ユニット 7500 には、例えば、運転者の状態を検出する運転者状態検出部 7510 が接続される。運転者状態検出部 7510 は、運転者を撮像するカメラ、運転者の生体情報を検出する生体センサ又は車室内の音声を集音するマイク等を含んでもよい。生体センサは、例えば、座面又はステアリングホイール等に設けられ、座席に座った搭乗者又はステアリングホイールを握る運転者の生体情報を検出する。車内情報検出ユニット 7500 は、運転者状態検出部 7510 から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。車内情報検出ユニット 7500 は、集音された音声信号に対してノイズキャンセリング処理等の処理を行ってもよい。

30

40

【0222】

統合制御ユニット 7600 は、各種プログラムにしたがって車両制御システム 7000 内の動作全般を制御する。統合制御ユニット 7600 には、入力部 7800 が接続されている。入力部 7800 は、例えば、タッチパネル、ボタン、マイクロフォン、スイッチ又はレバー等、搭乗者によって入力操作され得る装置によって実現される。統合制御ユニット 7600 には、マイクロフォンにより入力される音声を音声認識することにより得たデータが入力されてもよい。入力部 7800 は、例えば、赤外線又はその他の電波を利用したりリモートコントロール装置であってよいし、車両制御システム 7000 の操作に対応した携帯電話又は P D A (Personal Digital Assistant) 等の外部接続機器であってよい。入力部 7800 は、例えばカメラであってよく、その場合搭乗者はジェスチャに

50

より情報を入力することができる。あるいは、搭乗者が装着したウェアラブル装置の動きを検出することで得られたデータが入力されてもよい。さらに、入力部 7800 は、例えば、上記の入力部 7800 を用いて搭乗者等により入力された情報に基づいて入力信号を生成し、統合制御ユニット 7600 に出力する入力制御回路などを含んでもよい。搭乗者等は、この入力部 7800 を操作することにより、車両制御システム 7000 に対して各種のデータを入力したり処理動作を指示したりする。

【0223】

記憶部 7690 は、マイクロコンピュータにより実行される各種プログラムを記憶する ROM (Read Only Memory)、及び各種パラメータ、演算結果又はセンサ値等を記憶する RAM (Random Access Memory) を含んでもよい。また、記憶部 7690

10

【0224】

汎用通信 I/F 7620 は、外部環境 7750 に存在する様々な機器との間の通信を仲介する汎用的な通信 I/F である。汎用通信 I/F 7620 は、GSM (登録商標) (Global System of Mobile communications)、WiMAX、LTE (Long Term Evolution) 若しくは LTE-A (LTE-Advanced) などのセルラー通信プロトコル、又は無線 LAN (Wi-Fi (登録商標) ともいう)、Bluetooth (登録商標) などのその他の無線通信プロトコルを実装してよい。汎用通信 I/F 7620 は、例えば、基地局又はアクセスポイントを介して、外部ネットワーク (例えば、インターネット、クラウドネットワーク又は事業者固有のネットワーク) 上に存在する機器 (例えば、アプリケーションサーバ又は制御サーバ) へ接続してもよい。また、汎用通信 I/F 7620 は、例えば P2P (Peer To Peer) 技術を用いて、車両の近傍に存在する端末 (例えば、運転者、歩行者若しくは店舗の端末、又は MTC (Machine Type Communication) 端末) と接続してもよい。

20

【0225】

専用通信 I/F 7630 は、車両における使用を目的として策定された通信プロトコルをサポートする通信 I/F である。専用通信 I/F 7630 は、例えば、下位レイヤの IEEE 802.11p と上位レイヤの IEEE 1609 との組合せである WAVE (Wireless Access in Vehicle Environment)、DSRC (Dedicated Short Range Communications)、又はセルラー通信プロトコルといった標準プロトコルを実装してよい。専用通信 I/F 7630 は、典型的には、車車間 (Vehicle to Vehicle) 通信、路車間 (Vehicle to Infrastructure) 通信、車両と家との間 (Vehicle to Home) の通信及び歩車間 (Vehicle to Pedestrian) 通信のうちの 1 つ以上を含む概念である V2X 通信を遂行する。

30

【0226】

測位部 7640 は、例えば、GNSS (Global Navigation Satellite System) 衛星からの GNSS 信号 (例えば、GPS (Global Positioning System) 衛星からの GPS 信号) を受信して測位を実行し、車両の緯度、経度及び高度を含む位置情報を生成する。尚、測位部 7640 は、無線アクセスポイントとの信号の交換により現在位置を特定してもよく、又は測位機能を有する携帯電話、PHS 若しくはスマートフォンといった端末から位置情報を取得してもよい。

40

【0227】

ビーコン受信部 7650 は、例えば、道路上に設置された無線局等から発信される電波あるいは電磁波を受信し、現在位置、渋滞、通行止め又は所要時間等の情報を取得する。尚、ビーコン受信部 7650 の機能は、上述した専用通信 I/F 7630 に含まれてもよい。

【0228】

車内機器 I/F 7660 は、マイクロコンピュータ 7610 と車内に存在する様々な車内機器 7760 との間の接続を仲介する通信インタフェースである。車内機器 I/F 76

50

60は、無線LAN、Bluetooth（登録商標）、NFC（Near Field Communication）又はUSB（Wireless USB）といった無線通信プロトコルを用いて無線接続を確立してもよい。また、車内機器I/F7660は、図示しない接続端子（及び、必要であればケーブル）を介して、USB（Universal Serial Bus）、HDMI（登録商標）（High-Definition Multimedia Interface）、又はMHL（Mobile High-definition Link）等の有線接続を確立してもよい。車内機器7760は、例えば、搭乗者が有するモバイル機器若しくはウェアラブル機器、又は車両に搬入され若しくは取り付けられる情報機器のうちの少なくとも一つを含んでいてもよい。また、車内機器7760は、任意の目的地までの経路探索を行うナビゲーション装置を含んでいてもよい。車内機器I/F7660は、これらの車内機器7760との間で、制御信号又はデータ信号を交換する。

10

【0229】

車載ネットワークI/F7680は、マイクロコンピュータ7610と通信ネットワーク7010との間の通信を仲介するインタフェースである。車載ネットワークI/F7680は、通信ネットワーク7010によりサポートされる所定のプロトコルに則して、信号等を送受信する。

【0230】

統合制御ユニット7600のマイクロコンピュータ7610は、汎用通信I/F7620、専用通信I/F7630、測位部7640、ビーコン受信部7650、車内機器I/F7660及び車載ネットワークI/F7680のうちの少なくとも一つを介して取得される情報に基づき、各種プログラムにしたがって、車両制御システム7000を制御する。例えば、マイクロコンピュータ7610は、取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット7100に対して制御指令を出力してもよい。例えば、マイクロコンピュータ7610は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むADAS（Advanced Driver Assistance System）の機能実現を目的とした協調制御を行ってもよい。また、マイクロコンピュータ7610は、取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行ってもよい。

20

30

【0231】

マイクロコンピュータ7610は、汎用通信I/F7620、専用通信I/F7630、測位部7640、ビーコン受信部7650、車内機器I/F7660及び車載ネットワークI/F7680のうちの少なくとも一つを介して取得される情報に基づき、車両と周辺の構造物や人物等の物体との間の3次元距離情報を生成し、車両の現在位置の周辺情報を含むローカル地図情報を作成してもよい。また、マイクロコンピュータ7610は、取得される情報に基づき、車両の衝突、歩行者等の近接又は通行止めの道路への進入等の危険を予測し、警告用信号を生成してもよい。警告用信号は、例えば、警告音を発生させたり、警告ランプを点灯させたりするための信号であってよい。

【0232】

音声画像出力部7670は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図34の例では、出力装置として、オーディオスピーカ7710、表示部7720及びインストルメントパネル7730が例示されている。表示部7720は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでいてもよい。表示部7720は、AR（Augmented Reality）表示機能を有していてもよい。出力装置は、これらの装置以外の、ヘッドホン、搭乗者が装着する眼鏡型ディスプレイ等のウェアラブルデバイス、プロジェクタ又はランプ等の他の装置であってもよい。出力装置が表示装置の場合、表示装置は、マイクロコンピュータ7610が行った各種処理により得られた結果又は他の制御ユニットから受信された情報を、テキスト、イメージ、表、

40

50

グラフ等、様々な形式で視覚的に表示する。また、出力装置が音声出力装置の場合、音声出力装置は、再生された音声データ又は音響データ等からなるオーディオ信号をアナログ信号に変換して聴覚的に出力する。

【 0 2 3 3 】

尚、図 3 4 に示した例において、通信ネットワーク 7 0 1 0 を介して接続された少なくとも二つの制御ユニットが一つの制御ユニットとして一体化されてもよい。あるいは、個々の制御ユニットが、複数の制御ユニットにより構成されてもよい。さらに、車両制御システム 7 0 0 0 が、図示されていない別の制御ユニットを備えてもよい。また、上記の説明において、いずれかの制御ユニットが担う機能の一部又は全部を、他の制御ユニットに持たせてもよい。つまり、通信ネットワーク 7 0 1 0 を介して情報の送受信がされるようになっていれば、所定の演算処理が、いずれかの制御ユニットで行われるようになってもよい。同様に、いずれかの制御ユニットに接続されているセンサ又は装置が、他の制御ユニットに接続されるとともに、複数の制御ユニットが、通信ネットワーク 7 0 1 0 を介して相互に検出情報を送受信してもよい。

10

【 0 2 3 4 】

以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、例えば、撮像部 7 9 1 0 , 7 9 1 2 , 7 9 1 4 , 7 9 1 6 , 7 9 1 8 や車外情報検出部 7 9 2 0 , 7 9 2 2 , 7 9 2 4 , 7 9 2 6 , 7 9 2 8 , 7 9 3 0 に適用され得る。そして、本開示に係る技術を適用することにより、撮像素子に用いる比較器の反転時のキックバックに起因するストリーキングの抑制によってノイズの少ない高画質の撮影画像を得ることができるため、例えば、撮像対象を高精度にて検出可能な車両制御システムを構築できる。

20

【 0 2 3 5 】

< 本開示がとることができる構成 >

本開示は、以下のような構成をとることもできる。

【 0 2 3 6 】

A . 第 1 態様に係る撮像素子

[A - 1] 光電変換部を含む複数の画素が配置されて成る画素アレイ部、及び、画素から出力されるアナログの画素信号と所定の参照信号とを比較し、画素信号の信号レベルに応じた比較結果を出力する比較器を備え、

30

比較器は、

差動対トランジスタ、

差動対の一方のトランジスタに対し直列に接続された第 1 の負荷トランジスタ、及び、差動対の他方のトランジスタに対し直列に接続された第 2 の負荷トランジスタを有し、

差動対の一方のトランジスタは、画素信号と所定の参照信号とが合成された信号をゲート入力とし、

差動対の他方のトランジスタは、所定の電圧をゲート入力とし、

差動対の一方のトランジスタ及び第 1 の負荷トランジスタの共通接続ノードと所定の電圧のノードとの間に容量部が接続されている、

撮像素子。

40

[A - 2] 画素信号及び所定の参照信号はそれぞれ容量素子を介して、差動対の一方のトランジスタのゲート入力となる、

上記 [A - 1] に記載の撮像素子。

[A - 3] 所定の電圧は、任意の電圧である、

上記 [A - 1] 又は上記 [A - 2] に記載の撮像素子。

[A - 4] 容量部の容量値は可変である、

上記 [A - 1] 乃至上記 [A - 3] のいずれかに記載の撮像素子。

[A - 5] 容量部は、容量値が可変な可変容量素子から成る、

上記 [A - 4] に記載の撮像素子。

[A - 6] 容量部は、複数の容量素子、及び、制御信号に基づいて、複数の容量素子の少

50

なくとも一つを選択する切替えスイッチから成る、

上記 [A - 4] に記載の撮像素子。

[A - 7] 複数の容量素子は、容量値が互いに同じ容量素子から成る、

上記 [A - 6] に記載の撮像素子。

[A - 8] 複数の容量素子は、容量値が互いに異なる容量素子から成る、

上記 [A - 6] に記載の撮像素子。

[A - 9] 容量部は、制御信号を供給する制御線と切替えスイッチとの間を電氣的に分離する分離回路を有する、

上記 [A - 6] 乃至上記 [A - 8] のいずれかに記載の撮像素子。

[A - 10] 分離回路は、インバータ回路又はバッファ回路から成る、

上記 [A - 9] に記載の撮像素子。

[A - 11] 第 1 の負荷トランジスタは、ダイオード接続の構成となっている、

上記 [A - 1] 乃至上記 [A - 10] のいずれかに記載の撮像素子。

[A - 12] 第 1 の負荷トランジスタ及び第 2 の負荷トランジスタは、カレントミラー回路を構成している、

上記 [A - 11] に記載の撮像素子。

[A - 13] 差動対の他方のトランジスタと第 2 の負荷トランジスタとの共通接続ノードが出力ノードである、

上記 [A - 11] 又は上記 [A - 12] に記載の撮像素子。

[A - 14] 比較器は、画素アレイ部の画素列に対応して設けられ、画素から出力されるアナログの画素信号をデジタル信号に変換するアナログ - デジタル変換器に用いられる、

上記 [A - 1] 乃至上記 [A - 13] のいずれかに記載の撮像素子。

[A - 15] アナログ - デジタル変換器は、画素アレイ部の画素列毎、もしくは、複数画素列毎に設けられている、

上記 [A - 14] に記載の撮像素子。

【 0 2 3 7 】

B . 第 1 態様に係る電子機器

[B - 1] 光電変換部を含む複数の画素が配置されて成る画素アレイ部、及び、画素から出力されるアナログの画素信号と所定の参照信号とを比較し、画素信号の信号レベルに応じた比較結果を出力する比較器を備え、

比較器は、

差動対トランジスタ、

差動対の一方のトランジスタに対し直列に接続された第 1 の負荷トランジスタ、及び、差動対の他方のトランジスタに対し直列に接続された第 2 の負荷トランジスタを有し、差動対の一方のトランジスタは、画素信号と所定の参照信号とが合成された信号をゲート入力とし、

差動対の他方のトランジスタは、所定の電圧をゲート入力とし、

差動対の一方のトランジスタ及び第 1 の負荷トランジスタの共通接続ノードと所定の電圧のノードとの間に容量部が接続されている、

撮像素子を有する電子機器。

[B - 2] 画素信号及び所定の参照信号はそれぞれ容量素子を介して、差動対の一方のトランジスタのゲート入力となる、

上記 [B - 1] に記載の電子機器。

[B - 3] 所定の電圧は、任意の電圧である、

上記 [B - 1] 又は上記 [B - 2] に記載の電子機器。

[B - 4] 容量部の容量値は可変である、

上記 [B - 1] 乃至上記 [B - 3] のいずれかに記載の電子機器。

[B - 5] 容量部は、容量値が可変な可変容量素子から成る、

上記 [B - 4] に記載の電子機器。

[B - 6] 容量部は、複数の容量素子、及び、制御信号に基づいて、複数の容量素子の少

10

20

30

40

50

なくとも一つを選択する切替えスイッチから成る、

上記 [B - 4] に記載の電子機器。

[B - 7] 複数の容量素子は、容量値が互いに同じ容量素子から成る、

上記 [B - 6] に記載の電子機器。

[B - 8] 複数の容量素子は、容量値が互いに異なる容量素子から成る、

上記 [B - 6] に記載の電子機器。

[B - 9] 容量部は、制御信号を供給する制御線と切替えスイッチとの間を電氣的に分離する分離回路を有する、

上記 [B - 6] 乃至上記 [B - 8] のいずれかに記載の電子機器。

[B - 10] 分離回路は、インバータ回路又はバッファ回路から成る、

上記 [B - 9] に記載の電子機器。

[B - 11] 第 1 の負荷トランジスタは、ダイオード接続の構成となっている、

上記 [B - 1] 乃至上記 [B - 10] のいずれかに記載の電子機器。

[B - 12] 第 1 の負荷トランジスタ及び第 2 の負荷トランジスタは、カレントミラー回路を構成している、

上記 [B - 11] に記載の電子機器。

[B - 13] 差動対の他方のトランジスタと第 2 の負荷トランジスタとの共通接続ノードが出力ノードである、

上記 [B - 11] 又は上記 [B - 12] に記載の電子機器。

[B - 14] 比較器は、画素アレイ部の画素列に対応して設けられ、画素から出力されるアナログの画素信号をデジタル信号に変換するアナログ - デジタル変換器に用いられる、

上記 [B - 1] 乃至上記 [B - 13] のいずれかに記載の電子機器。

[B - 15] アナログ - デジタル変換器は、画素アレイ部の画素列毎、もしくは、複数画素列毎に設けられている、

上記 [B - 14] に記載の電子機器。

【 0 2 3 8 】

2 . 第 2 態様に係る撮像素子

[C - 1] 光電変換部を含む複数の画素が配置されて成る画素アレイ部、及び、画素から出力されるアナログの画素信号と所定の参照信号とを比較し、画素信号の信号レベルに応じた比較結果を出力する比較器を備え、

比較器は、縦続接続された第 1 増幅部及び第 2 増幅部から成り、

第 1 増幅部は、

差動対トランジスタ、

差動対の一方のトランジスタに対し直列に接続された第 1 の負荷トランジスタ、及び、差動対の他方のトランジスタに対し直列に接続された第 2 の負荷トランジスタを有し、

差動対の一方のトランジスタは、画素信号と所定の参照信号とが合成された信号をゲート入力とし、

差動対の他方のトランジスタは、所定の電圧をゲート入力とし、

第 2 の増幅部は、

出力ノードと所定の電圧のノードとの間に接続された第 1 の容量部を有する、

撮像素子。

[C - 2] 第 1 増幅部は、差動対の一方のトランジスタ及び第 1 の負荷トランジスタの共通接続ノードと所定の電圧のノードとの間に接続された第 2 の容量部を有する、

上記 [C - 1] に記載の撮像素子。

[C - 3] 第 2 の増幅部の出力の反転時に、第 1 増幅部の出力ノードの電位を所定の電位にクランプするクランプ回路を備える、

上記 [C - 1] 又は上記 [C - 2] に記載の撮像素子。

[C - 4] 画素信号及び所定の参照信号はそれぞれ容量素子を介して、差動対の一方のトランジスタのゲート入力となる、

上記 [C - 1] 乃至上記 [C - 3] のいずれかに記載の撮像素子。

10

20

30

40

50

- [C - 5] 所定の電圧は、任意の電圧である、
 上記 [C - 1] 乃至上記 [C - 4] のいずれかに記載の撮像素子。
- [C - 6] 第 1 の容量部及び第 2 の容量部の容量値は可変である、
 上記 [C - 2] 乃至上記 [C - 5] のいずれかに記載の撮像素子。
- [C - 7] 第 1 の容量部及び第 2 の容量部は、容量値が可変な可変容量素子から成る、
 上記 [C - 6] に記載の撮像素子。
- [C - 8] 第 1 の容量部及び第 2 の容量部は、複数の容量素子、及び、制御信号に基づいて、複数の容量素子の少なくとも一つを選択する切替えスイッチから成る、
 上記 [C - 6] に記載の撮像素子。
- [C - 9] 複数の容量素子は、容量値が互いに同じ容量素子から成る、
 上記 [C - 8] に記載の撮像素子。 10
- [C - 10] 複数の容量素子は、容量値が互いに異なる容量素子から成る、
 上記 [C - 8] に記載の撮像素子。
- [C - 11] 第 1 の容量部及び第 2 の容量部は、制御信号を供給する制御線と切替えスイッチとの間を電気的に分離する分離回路を有する、
 上記 [C - 8] 乃至上記 [C - 10] のいずれかに記載の撮像素子。
- [C - 12] 分離回路は、インバータ回路又はバッファ回路から成る、
 上記 [C - 11] に記載の撮像素子。
- [C - 13] 第 1 の負荷トランジスタは、ダイオード接続の構成となっている、
 上記 [C - 1] 乃至上記 [C - 12] のいずれかに記載の撮像素子。 20
- [C - 14] 第 1 の負荷トランジスタ及び第 2 の負荷トランジスタは、カレントミラー回路を構成している、
 上記 [C - 13] に記載の撮像素子。
- [C - 15] 差動対の他方のトランジスタと第 2 の負荷トランジスタとの共通接続ノードが出力ノードである、
 上記 [C - 11] 又は上記 [C - 14] に記載の撮像素子。
- [C - 16] 比較器は、画素アレイ部の画素列に対応して設けられ、画素から出力されるアナログの画素信号をデジタル信号に変換するアナログ - デジタル変換器に用いられる、
 上記 [C - 1] 乃至上記 [C - 15] のいずれかに記載の撮像素子。
- [C - 17] アナログ - デジタル変換器は、画素アレイ部の画素列毎、もしくは、複数画素列毎に設けられている、
 上記 [C - 16] に記載の撮像素子。 30
- 【 0 2 3 9 】
- D . 第 2 態様に係る電子機器
- [D - 1] 光電変換部を含む複数の画素が配置されて成る画素アレイ部、及び、画素から出力されるアナログの画素信号と所定の参照信号とを比較し、画素信号の信号レベルに応じた比較結果を出力する比較器を備え、
 比較器は、縦続接続された第 1 増幅部及び第 2 増幅部から成り、
 第 1 増幅部は、
 差動対トランジスタ、
 差動対の一方のトランジスタに対し直列に接続された第 1 の負荷トランジスタ、及び、
 差動対の他方のトランジスタに対し直列に接続された第 2 の負荷トランジスタを有し、
 差動対の一方のトランジスタは、画素信号と所定の参照信号とが合成された信号をゲート入力とし、
 差動対の他方のトランジスタは、所定の電圧をゲート入力とし、
 第 2 の増幅部は、
 出力ノードと所定の電圧のノードとの間に接続された容量部を有する、
 撮像素子を有する電子機器。 40
- [D - 2] 第 1 増幅部は、差動対の一方のトランジスタ及び第 1 の負荷トランジスタの共通接続ノードと所定の電圧のノードとの間に接続された第 2 の容量部を有する、 50

- 上記 [D - 1] に記載の電子機器。
- [D - 3] 第 2 の増幅部の出力の反転時に、第 1 増幅部の出力ノードの電位を所定の電位にクランプするクランプ回路を備える、
- 上記 [D - 1] 又は上記 [D - 2] に記載の電子機器。
- [D - 4] 画素信号及び所定の参照信号はそれぞれ容量素子を介して、差動対の一方のトランジスタのゲート入力となる、
- 上記 [D - 1] 乃至上記 [D - 3] のいずれかに記載の電子機器。
- [D - 5] 所定の電圧は、任意の電圧である、
- 上記 [D - 1] 乃至上記 [D - 4] のいずれかに記載の電子機器。
- [D - 6] 第 1 の容量部及び第 2 の容量部の容量値は可変である、
- 上記 [D - 2] 乃至上記 [D - 5] のいずれかに記載の電子機器。
- [D - 7] 第 1 の容量部及び第 2 の容量部は、容量値が可変な可変容量素子から成る、
- 上記 [D - 6] に記載の電子機器。
- [D - 8] 第 1 の容量部及び第 2 の容量部は、複数の容量素子、及び、制御信号に基づいて、複数の容量素子の少なくとも一つを選択する切替えスイッチから成る、
- 上記 [D - 6] に記載の電子機器。
- [D - 9] 複数の容量素子は、容量値が互いに同じ容量素子から成る、
- 上記 [D - 8] に記載の電子機器。
- [D - 10] 複数の容量素子は、容量値が互いに異なる容量素子から成る、
- 上記 [D - 8] に記載の電子機器。
- [D - 11] 第 1 の容量部及び第 2 の容量部は、制御信号を供給する制御線と切替えスイッチとの間を電氣的に分離する分離回路を有する、
- 上記 [D - 8] 乃至上記 [D - 10] のいずれかに記載の電子機器。
- [D - 12] 分離回路は、インバータ回路又はバッファ回路から成る、
- 上記 [D - 11] に記載の電子機器。
- [D - 13] 第 1 の負荷トランジスタは、ダイオード接続の構成となっている、
- 上記 [D - 1] 乃至上記 [D - 12] のいずれかに記載の電子機器。
- [D - 14] 第 1 の負荷トランジスタ及び第 2 の負荷トランジスタは、カレントミラー回路を構成している、
- 上記 [D - 13] に記載の電子機器。
- [D - 15] 差動対の他方のトランジスタと第 2 の負荷トランジスタとの共通接続ノードが出力ノードである、
- 上記 [D - 11] 又は上記 [D - 14] に記載の電子機器。
- [D - 16] 比較器は、画素アレイ部の画素列に対応して設けられ、画素から出力されるアナログの画素信号をデジタル信号に変換するアナログ - デジタル変換器に用いられる、
- 上記 [D - 1] 乃至上記 [D - 15] のいずれかに記載の電子機器。
- [D - 17] アナログ - デジタル変換器は、画素アレイ部の画素列毎、もしくは、複数画素列毎に設けられている、
- 上記 [D - 16] に記載の電子機器。

【符号の説明】

【 0 2 4 0 】

1 . . . CMOS イメージセンサ、 2 . . . 単位画素、 1 1 . . . 画素アレイ部、 1 2 . . . 行選択部、 1 3 . . . 定電流源部、 1 4 . . . アナログ - デジタル変換部、 1 5 . . . 水平転送走査部、 1 6 . . . 信号処理部、 1 7 . . . タイミング制御部、 1 8 . . . 水平転送線、 1 9 . . . 参照信号生成部、 2 1 . . . フォトダイオード (光電変換部) 、 2 2 . . . 転送トランジスタ、 2 3 . . . リセットトランジスタ、 2 4 . . . 増幅トランジスタ、 2 5 . . . 選択トランジスタ、 3 1 (3 1₁ ~ 3 1_m) . . . 画素駆動線、 3 2 (3 2₁ ~ 3 2_n) . . . 垂直信号線、 5 0 , 5 0 A ~ 5 0 H , 1 4 1 . . . 比較器、 5 1 . . . 差動アンプ (第 1 増幅部) 、 5 2 , 5 4 . . . 容量部、 5 3 . . . 出力アンプ (第 2 増幅部) 、 5 5 . . . クランプ回路、 1 4 0 . . . アナログ - デジタル変換器、 5 2 1 .

10

20

30

40

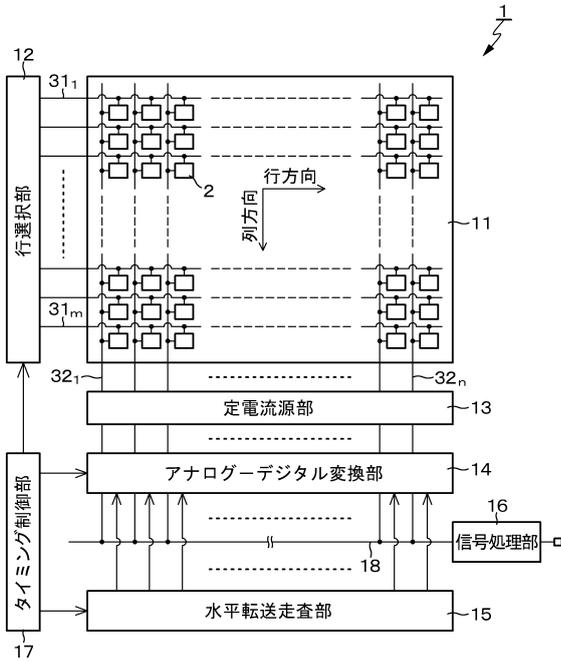
50

・ ・ 可変容量素子、5 2 2 ・ ・ ・ 容量素子群、5 2 3 ・ ・ ・ 切替えスイッチ群、5 2 4 ・
 ・ ・ インバータ回路、 NT_{11} 、 NT_{31} 、 PT_{21} 、 ・ ・ ・ 第 1 の差動トランジスタ、 NT_{12} 、
 NT_{32} 、 PT_{22} 、 ・ ・ ・ 第 2 の差動トランジスタ、 NT_{21} 、 PT_{11} 、 PT_{31} ・ ・ ・ 第
 1 の負荷トランジスタ、 NT_{22} 、 PT_{12} 、 PT_{32} ・ ・ ・ 第 2 の負荷トランジスタ

【 図 面 】

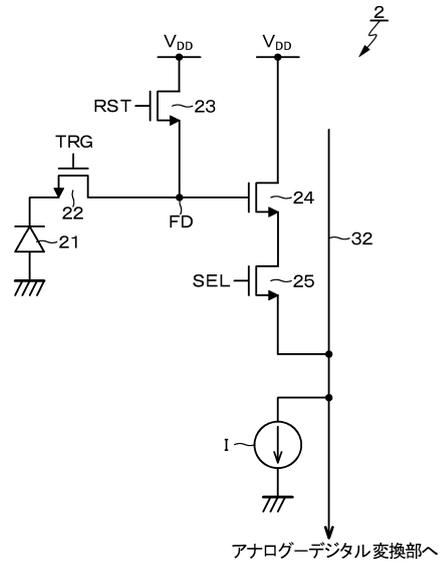
【 図 1 】

図 1



【 図 2 】

図 2



10

20

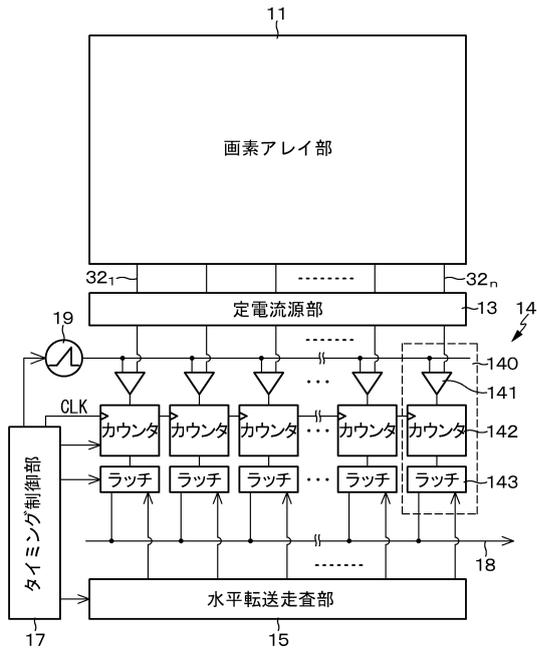
30

40

50

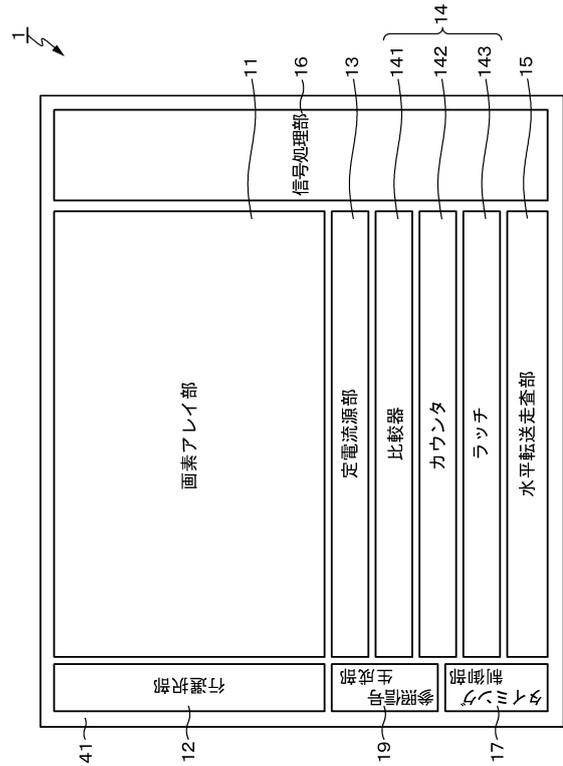
【図3】

図3



【図4】

図4

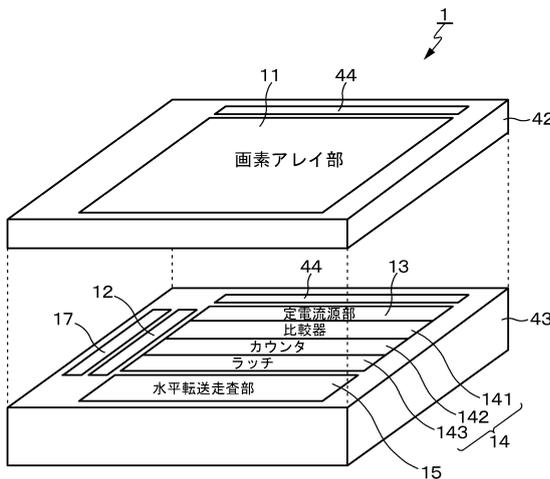


10

20

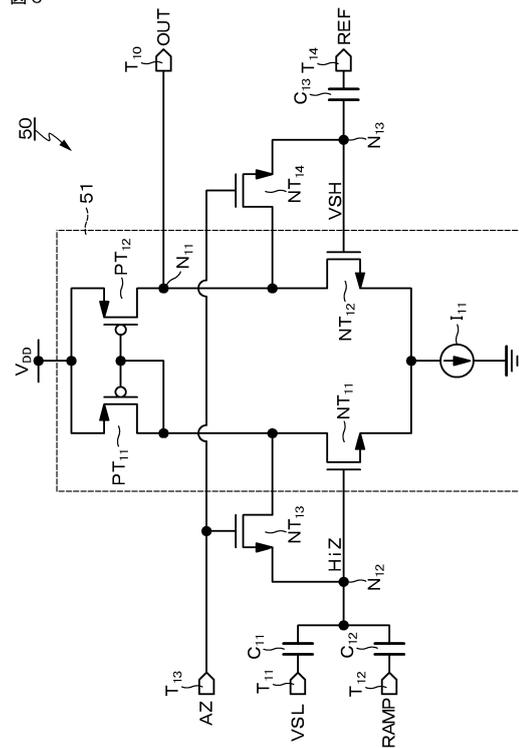
【図5】

図5



【図6】

図6



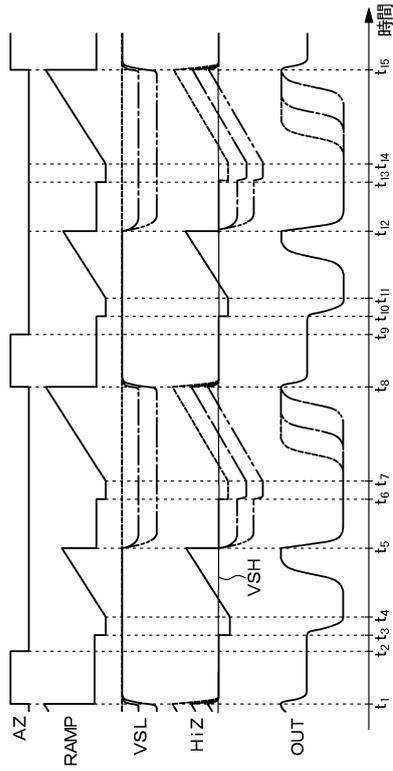
30

40

50

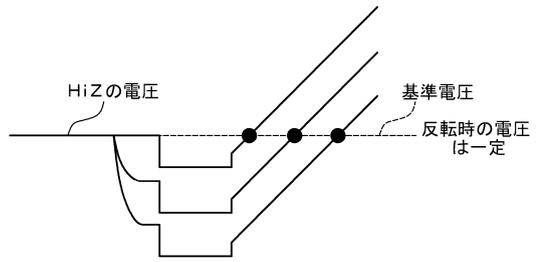
【図 7】

図 7



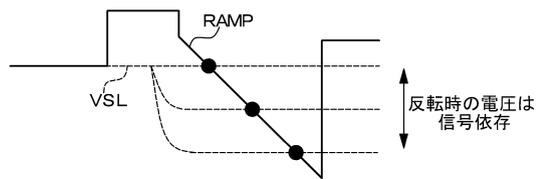
【図 8】

図 8 A



10

図 8 B



20

【図 9】

図 9 A

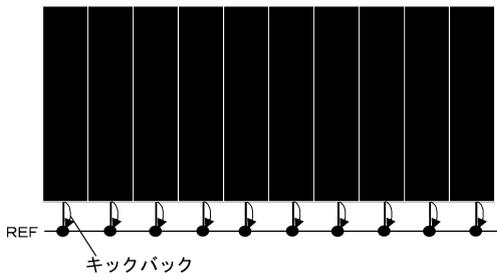
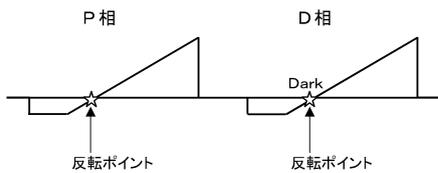
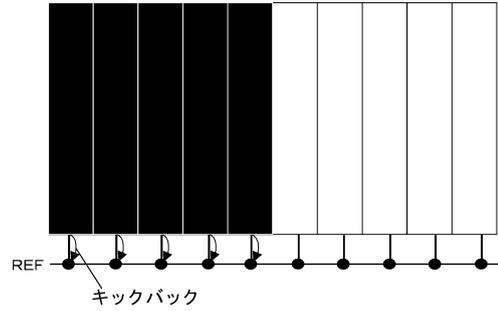


図 9 B



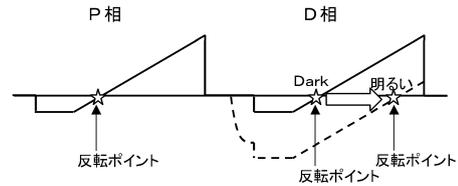
【図 10】

図 10 A



30

図 10 B

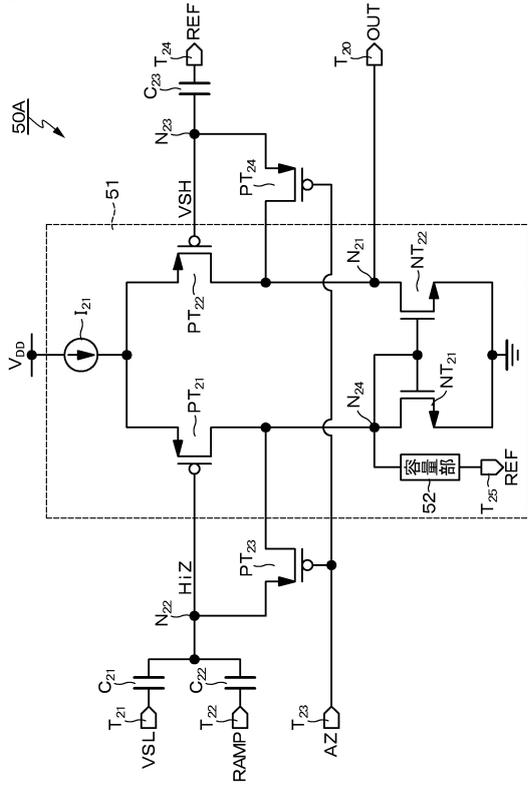


40

50

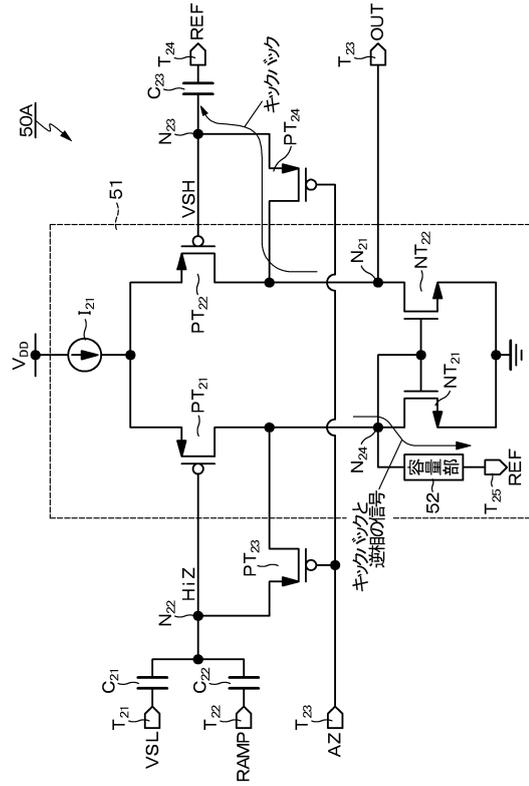
【図 1 1】

図 1 1



【図 1 2】

図 1 2



10

20

【図 1 3】

図 1 3 A

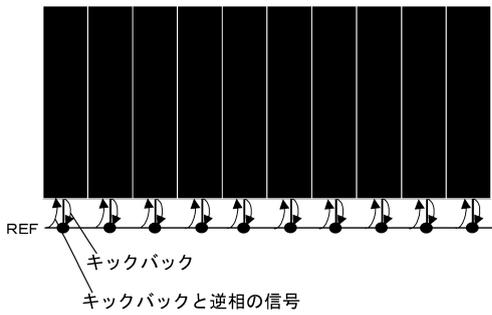
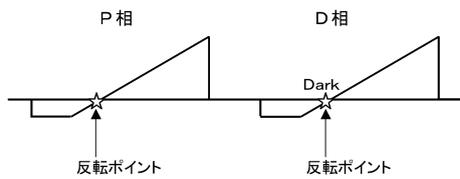


図 1 3 B



【図 1 4】

図 1 4 A

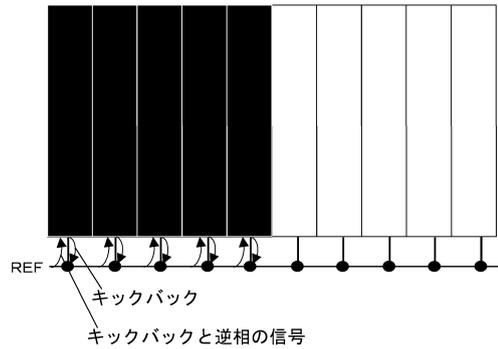
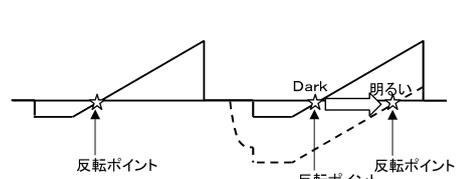


図 1 4 B



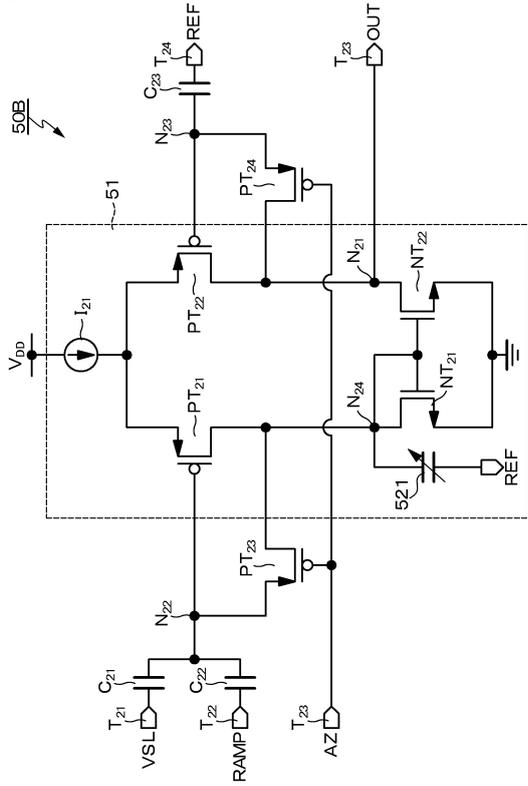
30

40

50

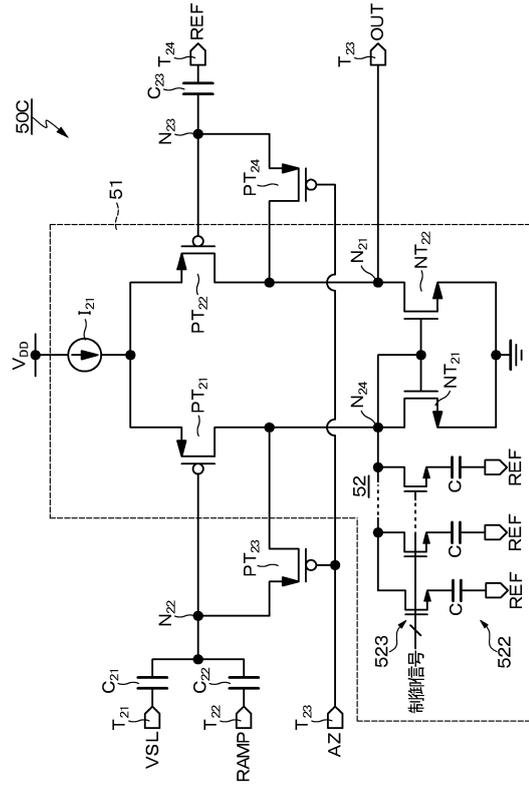
【図 15】

図 15



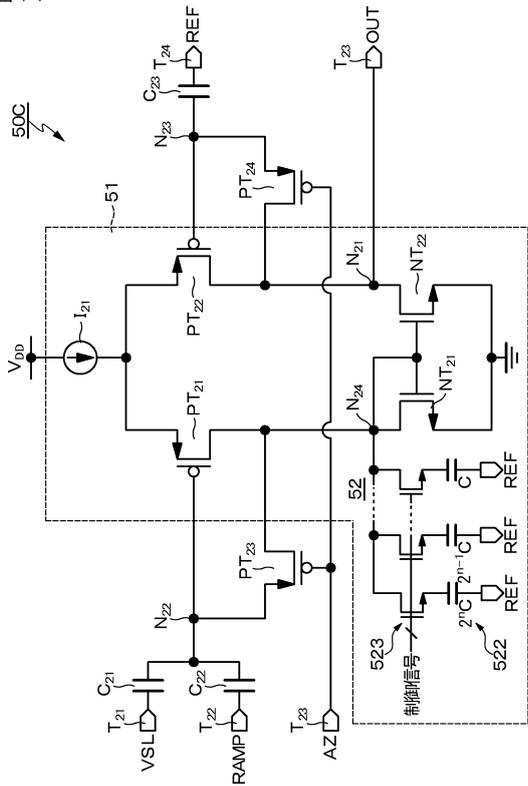
【図 16】

図 16



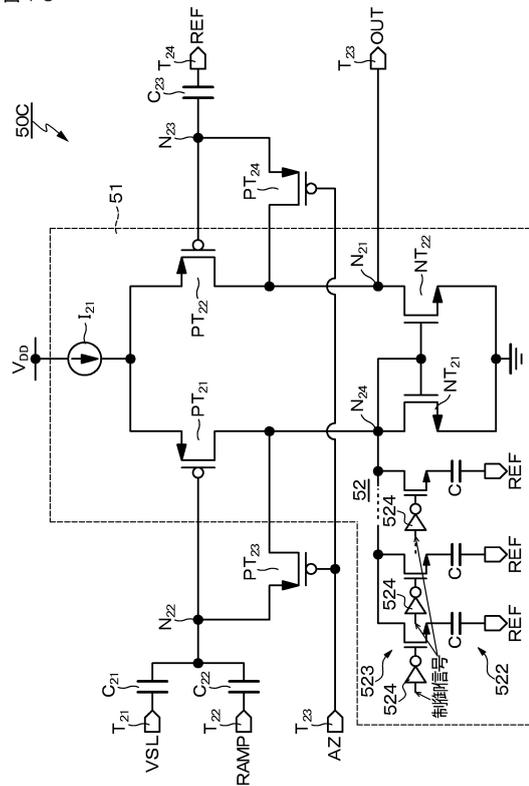
【図 17】

図 17



【図 18】

図 18



10

20

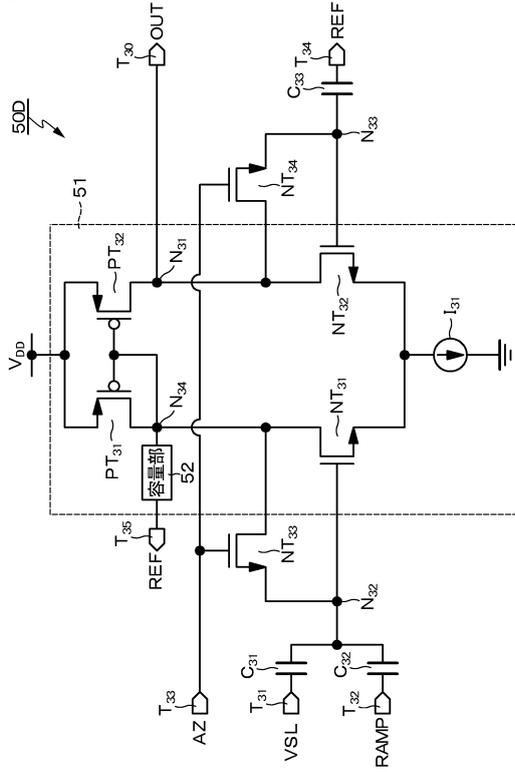
30

40

50

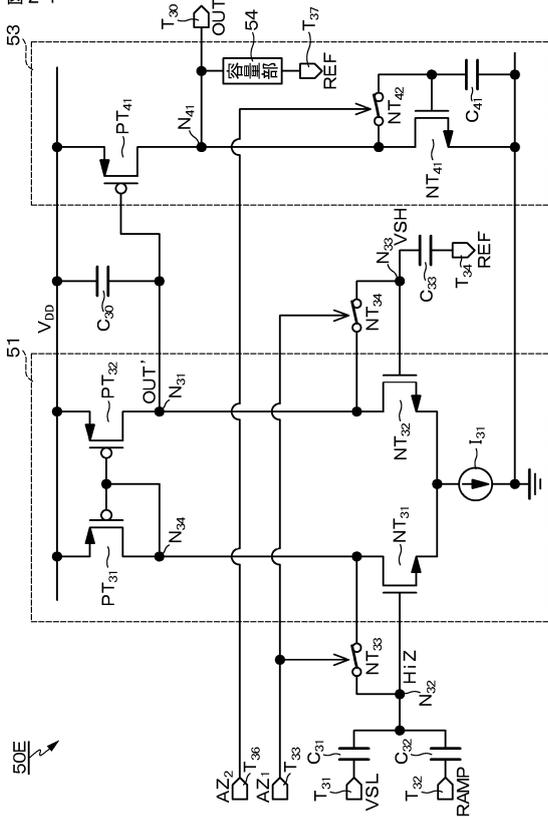
【図 19】

図 19



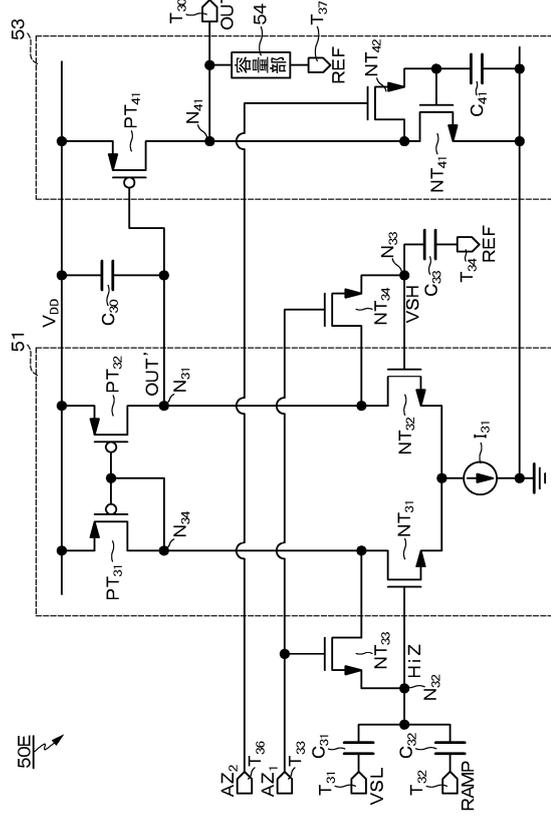
【図 21】

図 21



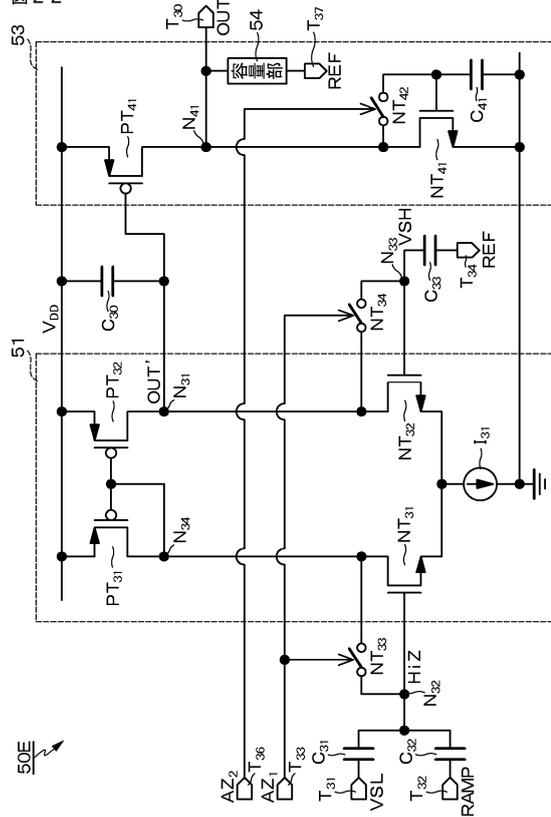
【図 20】

図 20



【図 22】

図 22



10

20

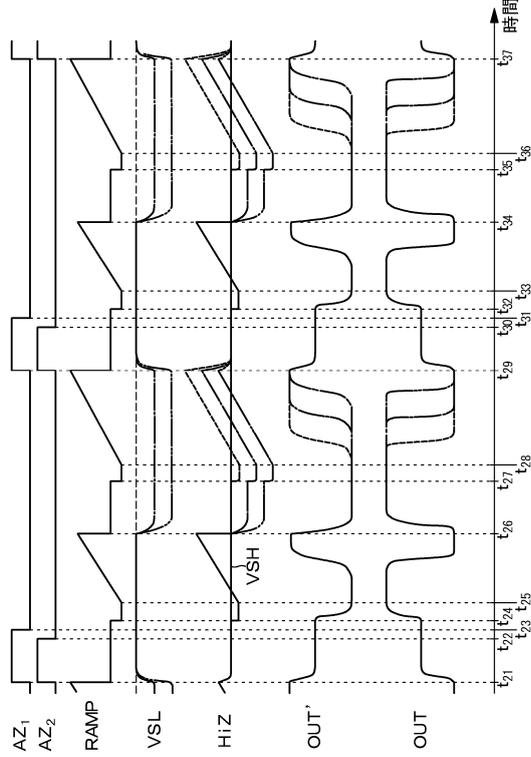
30

40

50

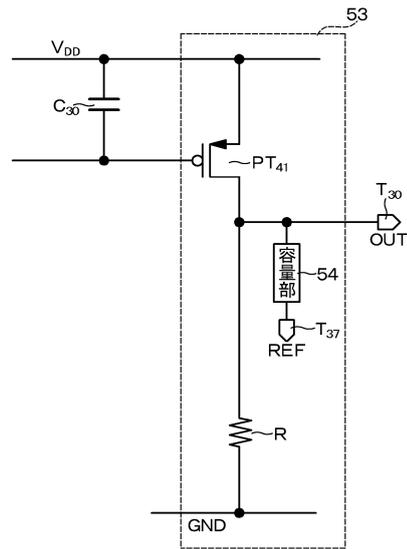
【図 2 3】

図 2 3



【図 2 4】

図 2 4

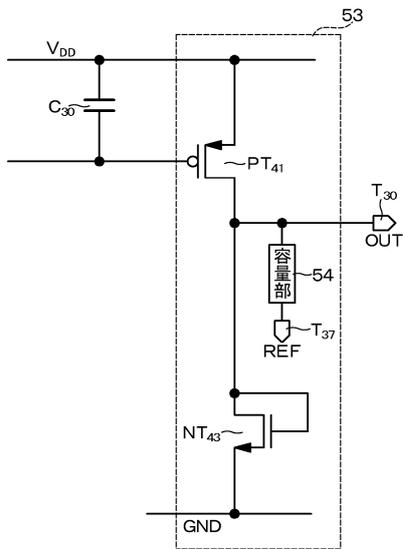


10

20

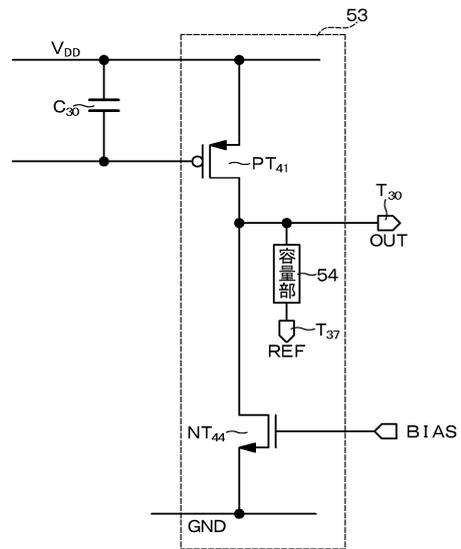
【図 2 5】

図 2 5



【図 2 6】

図 2 6



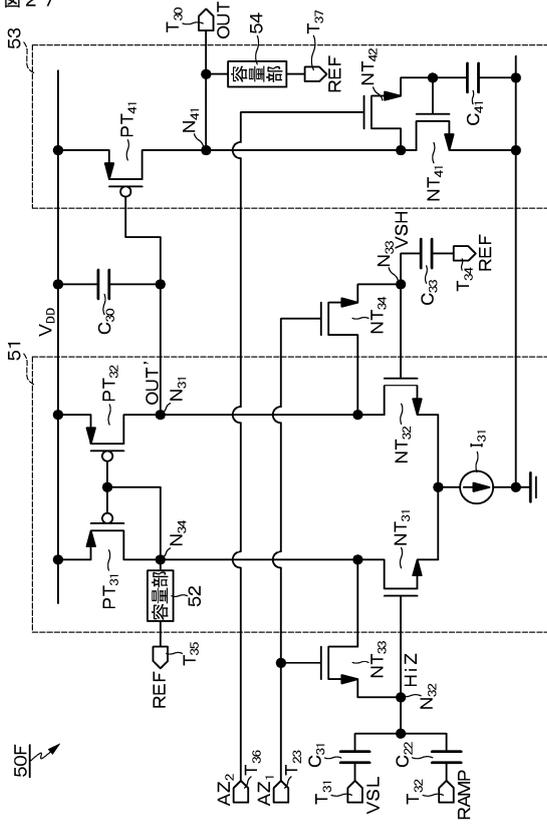
30

40

50

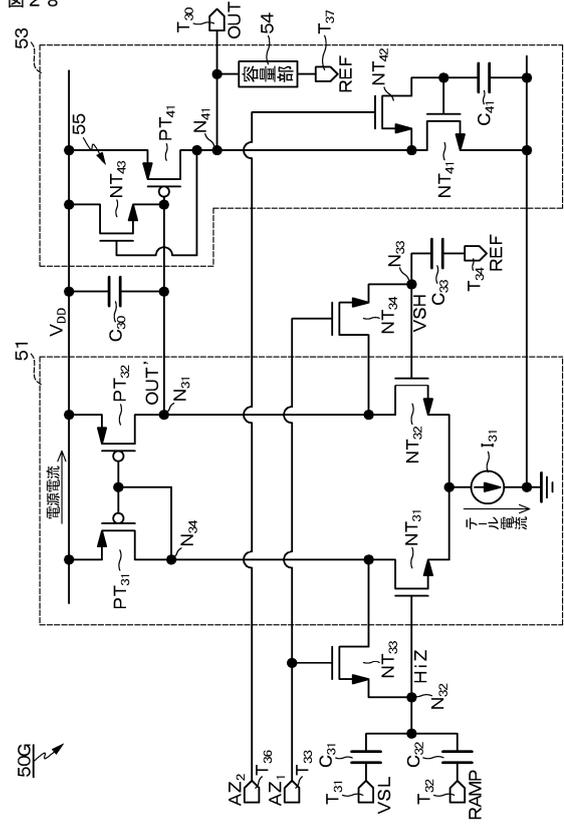
【図 27】

図 27



【図 28】

図 28



【図 29】

図 29 A

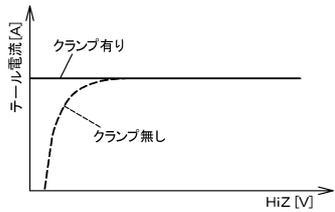


図 29 B

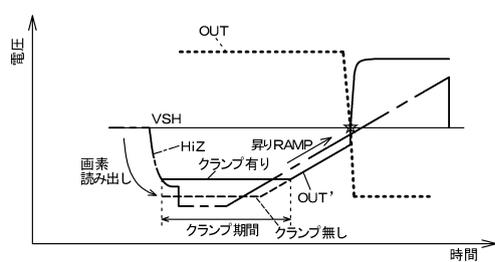
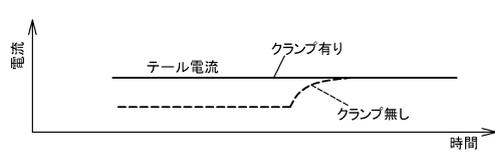
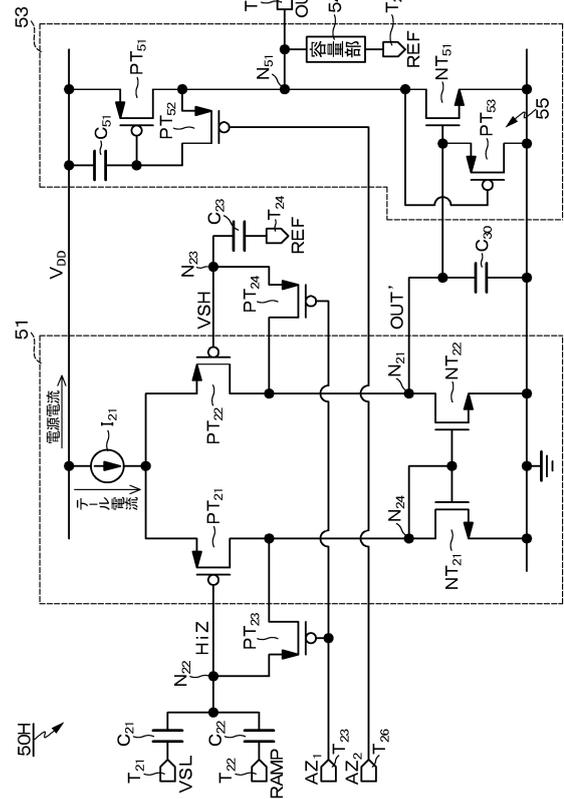


図 29 C



【図 30】

図 30



10

20

30

40

50

【図 3 1】

図 3 1 A

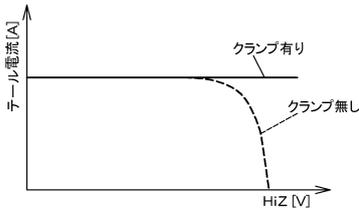


図 3 1 B

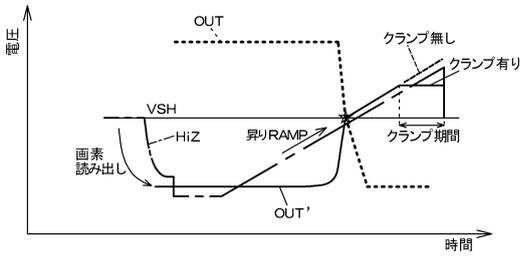
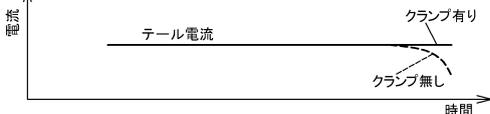
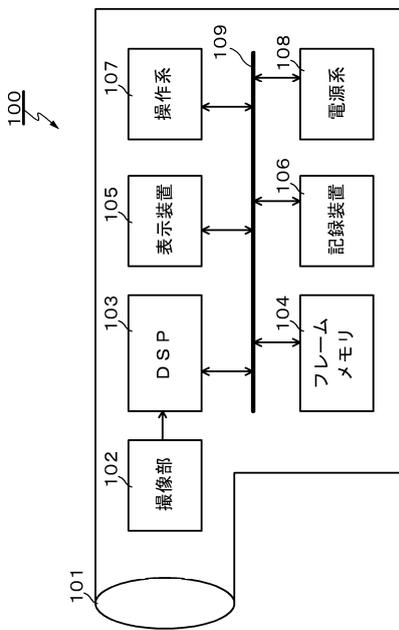


図 3 1 C



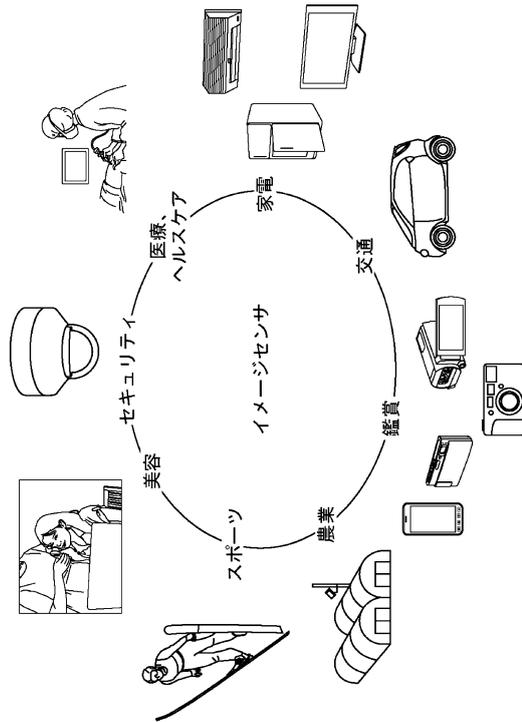
【図 3 3】

図 3 3



【図 3 2】

図 3 2

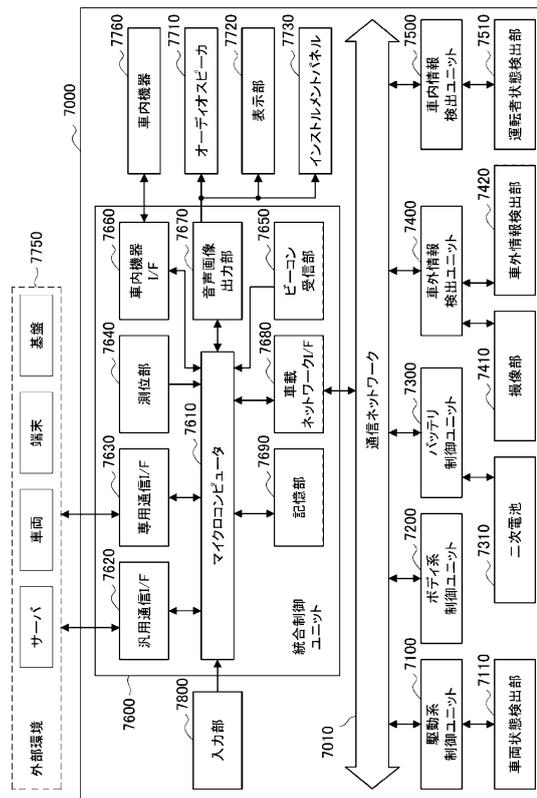


10

20

【図 3 4】

図 3 4



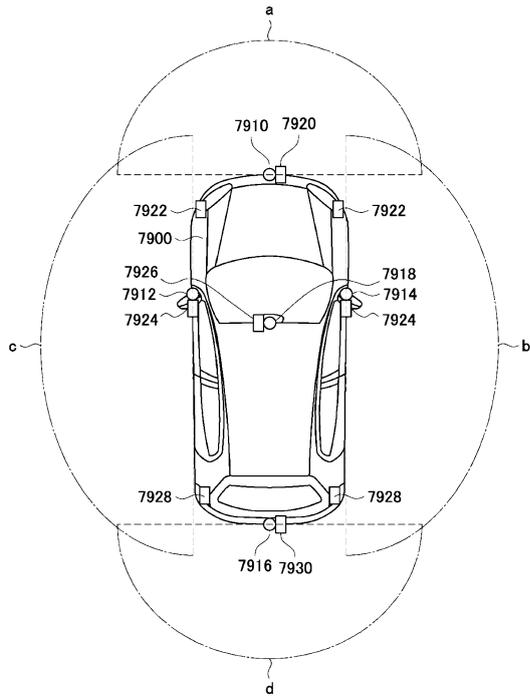
30

40

50

【 3 5 】

3 5



10

20

30

40

50

フロントページの続き

- 神奈川厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内
- (72)発明者 曙 佐智雄
神奈川厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内
- (72)発明者 馬上 崇
神奈川厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内
- 審査官 松永 隆志
- (56)参考文献 米国特許出願公開第2017/0054931(US, A1)
米国特許出願公開第2015/0123832(US, A1)
特開2009-124513(JP, A)
米国特許出願公開第2011/0249162(US, A1)
- (58)調査した分野 (Int.Cl., DB名)
H04N 23/00 - 25/79