

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
G06F 1/32 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200680049531.3

[43] 公开日 2010年3月31日

[11] 公开号 CN 101689071A

[22] 申请日 2006.10.31

[21] 申请号 200680049531.3

[30] 优先权

[32] 2005.10.31 [33] US [31] 60/732,228

[32] 2005.11.22 [33] US [31] 11/286,087

[86] 国际申请 PCT/US2006/060410 2006.10.31

[87] 国际公布 WO2007/053839 英 2007.5.10

[85] 进入国家阶段日期 2008.6.27

[71] 申请人 高通股份有限公司

地址 美国加利福尼亚州

[72] 发明人 M·埃尔格巴雷 K·Z·玛丽卡

L·G·舒亚 - 伊恩 郑胜旭

[74] 专利代理机构 上海专利商标事务所有限公司
代理人 陈 炜

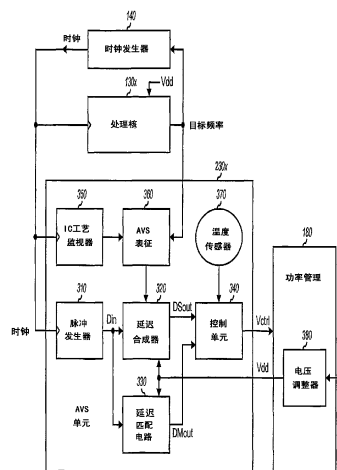
权利要求书 5 页 说明书 18 页 附图 13 页

[54] 发明名称

电子设备的自适应电压定标

[57] 摘要

描述了用于自适应地对处理核的电压定标的技术。在一方案中，例如使用具有由不同电路组件组成的多个信号路径的环形振荡器来表征该处理核的逻辑速度和引线速度。例如基于对处理核的计算要求确定该核的目标时钟频率。基于所表征的逻辑速度和引线速度以及目标时钟频率构成复制关键路径。如下所述，该复制关键路径仿真处理核中的实际关键路径并可包括不同类型的电路组件，诸如具有不同阈值电压的逻辑元件、动态元件、位线元件、引线、具有不同阈值电压和/或扇出的驱动器等等。调节该处理核和复制关键路径的电源电压以使得两者都能达到所需的性能。



1. 一种集成电路，包括：

延迟合成器，被配置成仿真处理核中的信号路径并且包括具有至少两个阈值电压的晶体管器件；以及

控制单元，其被耦合至所述延迟合成器并被配置成基于所述延迟合成器的输出提供控制。

2. 如权利要求 1 所述的集成电路，其特征在于，所述控制单元被配置成提供所述控制以调节所述处理核的电源电压。

3. 如权利要求 1 所述的集成电路，其特征在于，所述延迟合成器包括对应所述至少两个阈值电压的每一个的可选数目的晶体管器件。

4. 如权利要求 1 所述的集成电路，其特征在于，所述至少两个阈值电压包括高阈值电压（HVT）和低阈值电压（LVT）。

5. 如权利要求 4 所述的集成电路，其特征在于，所述延迟合成器包括可选数目的 HVT 晶体管器件和可选数目的 LVT 晶体管器件。

6. 如权利要求 1 所述的集成电路，其特征在于，所述延迟合成器包括由所述具有至少两个阈值电压的晶体管器件构成的逻辑元件。

7. 如权利要求 1 所述的集成电路，其特征在于，所述延迟合成器包括由所述具有至少两个阈值电压的晶体管器件构成的驱动器。

8. 一种集成电路，包括：

延迟合成器，被配置成仿真处理核中的信号路径并包括至少一个逻辑元件、至少一根引线、以及从具有不同电特性的至少两个驱动器当中选出的至少一个驱动器；以及

控制单元，其耦合至所述延迟合成器并被配置成基于所述延迟合成器的输出提供控制。

9. 如权利要求 8 所述的集成电路，其特征在于，所述至少两个驱动器具有不同阈值电压。

10. 如权利要求 8 所述的集成电路，其特征在于，所述至少两个驱动器具有不同扇出。

11. 如权利要求 8 所述的集成电路, 其特征在于, 所述延迟合成器包括可选数目的逻辑元件和可选数目的引线。

12. 如权利要求 8 所述的集成电路, 其特征在于, 所述至少一个逻辑元件是从具有不同阈值电压的至少两个逻辑元件当中选出的。

13. 如权利要求 8 所述的集成电路, 其特征在于, 所述控制单元被配置成提供所述控制以调节所述处理核的电源电压。

14. 一种集成电路, 包括:

延迟合成器, 被配置成仿真处理核中的信号路径并包括用以对所述处理核中的扩散电容建模的至少一个动态元件; 以及

控制单元, 其耦合至所述延迟合成器并被配置成基于所述延迟合成器的输出提供控制。

15. 如权利要求 14 所述的集成电路, 其特征在于, 所述延迟合成器包括可选数目的动态元件。

16. 如权利要求 14 所述的集成电路, 其特征在于, 每个动态元件包括对所述扩散电容建模的至少一个晶体管 and 配置成对所述至少一个晶体管充放电的第一和第二晶体管。

17. 一种集成电路, 包括:

延迟合成器, 被配置成仿真处理核中的信号路径并包括用以对存储器访问延迟建模的至少一个位线元件; 以及

控制单元, 其耦合至所述延迟合成器并被配置成基于所述延迟合成器的输出提供控制。

18. 如权利要求 17 所述的集成电路, 其特征在于, 所述延迟合成器包括可选数目的位线元件。

19. 如权利要求 17 所述的集成电路, 其特征在于, 每个位线元件包括至少一个存储器元件和耦合至所述至少一个存储器元件的读出放大器。

20. 一种集成电路, 包括:

延迟合成器, 被配置成仿真处理核中的信号路径并包括用于对所述延迟合成器编程的至少一个多路复用器;

延迟匹配电路, 被配置成估计所述延迟合成器中所述至少一个多路复用器

的延迟；以及

控制单元，其耦合至所述延迟合成器和所述延迟匹配电路并被配置成基于所述延迟合成器和所述延迟匹配电路的输出提供控制。

21. 如权利要求 20 所述的集成电路，其特征在于，所述控制单元被配置成提供所述控制以调节所述处理核的电源电压。

22. 如权利要求 20 所述的集成电路，其特征在于，所述延迟合成器包括至少一根延迟线，其中每根延迟线包括至少一个元件并被耦合至可用于选择所述延迟线中可配置数目元件的多路复用器。

23. 如权利要求 22 所述的集成电路，其特征在于，每根延迟线的所述多路复用器可用于选择所述延迟线中的至少一个元件。

24. 如权利要求 20 所述的集成电路，其特征在于，所述延迟匹配电路包括所述延迟合成器中所述至少一个多路复用器的至少一个部分多路复用器；并且其中每个部分多路复用器包括相关联多路复用器的一个输入与输出之间的信号路径。

25. 一种集成电路，包括：

相关于处理核设放在不同位置的至少两个延迟合成器，其中每个延迟合成器被配置成仿真所述处理核中的关键信号路径；以及

控制单元，其耦合至所述至少两个延迟合成器并被配置成接收所述至少两个延迟合成器的输出并提供控制以调节所述处理核的电源电压。

26. 如权利要求 25 所述的集成电路，其特征在于，所述至少两个延迟合成器被设放在所述处理核的不同拐角上。

27. 一种集成电路，包括：

振荡器，被配置成基于逻辑或逻辑和引线两者生成振荡器信号；以及

控制单元，被配置成基于所述振荡器信号提供第一和第二输出，其中所述第一输出指示逻辑速度而所述第二输出指示引线速度或逻辑和引线速度两者。

28. 如权利要求 27 所述的集成电路，其特征在于，所述振荡器包括至少一个延迟单元，每个延迟单元包括由逻辑组成的第一信号路径和由逻辑与引线两者组成的第二信号。

29. 如权利要求 27 所述的集成电路，其特征在于，所述控制单元被配置

成获得对应逻辑的第一频率计数、获得对应逻辑与引线两者的第二频率计数、并基于所述第一和第二频率计数生成所述第一和第二输出。

30. 一种装置，包括：

表征单元，被配置成探知处理核中的关键信号路径；以及

延迟合成器，其耦合至所述表征单元并被配置成仿真由所述表征单元探知的所述关键信号路径，所述延迟合成器包括具有不同阈值电压的逻辑、引线、具有不同扇出的驱动器、或其组合。

31. 如权利要求 30 所述的装置，其特征在于，还包括：

监视器单元，被配置成确定所述处理核的逻辑速度和引线速度。

32. 如权利要求 30 所述的装置，其特征在于，所述表征单元被配置成接收所述处理核的目标时钟频率并基于所述目标时钟频率来探知所述关键信号路径。

33. 如权利要求 32 所述的装置，其特征在于，所述目标时钟频率是基于所述处理核的性能要求而动态选择的。

34. 如权利要求 30 所述的装置，其特征在于，所述表征单元被配置成接收所述处理核的逻辑速度和引线速度并基于所述逻辑速度和引线速度来探知所述关键信号路径。

35. 如权利要求 34 所述的装置，其特征在于，所述表征单元包括对应逻辑速度与引线速度的多种组合的多个查找表，其中每个查找表指示对应逻辑速度与引线速度的不同组合的所述关键信号路径。

36. 如权利要求 35 所述的装置，其特征在于，每个查找表包括对应多个时钟频率的多个信号路径，并且其中所述表征单元被配置成将与所述表征单元接收到的所述逻辑速度和所述引线速度相关联的查找表调用中对应目标时钟频率的信号路径提供作为所述关键信号路径。

37. 如权利要求 30 所述的装置，其特征在于，还包括：

控制单元，其耦合至所述延迟合成器并被配置成接收来自所述延迟合成器的输出并提供控制以调节所述处理核的电源电压。

38. 一种方法，包括：

使用具有不同阈值电压的逻辑、引线、具有不同扇出的驱动器、或其组合

来复制处理核的关键信号路径；并且

基于所述复制关键信号路径的延迟来调节所述处理核的电源电压。

39. 如权利要求 38 所述的方法，其特征在于，还包括：

确定所述处理核的目标时钟频率，并且其中所述复制关键信号路径是基于所述目标时钟频率构成的。

40. 如权利要求 38 所述的方法，其特征在于，还包括：

表征所述处理核的逻辑速度和引线速度，并且其中所述复制关键信号路径是基于所述逻辑速度和所述引线速度构成的。

41. 如权利要求 38 所述的方法，其特征在于，还包括：

估计所述复制关键路径内多路复用器的延迟，并且其中基于对所述多路复用器所估计的延迟进一步调节所述电源电压。

42. 一种装置，包括：

用于使用具有不同阈值电压的逻辑、引线、具有不同扇出的驱动器、或其组合来复制处理核的关键信号路径的装置；并且

用于基于所述复制关键信号路径的延迟来调节所述处理核的电源电压的装置。

43. 如权利要求 42 所述的装置，其特征在于，还包括：

用于确定所述处理核的目标时钟频率的装置，并且其中所述复制关键信号路径是基于所述目标时钟频率构成的。

44. 如权利要求 42 所述的装置，其特征在于，还包括：

用于表征所述处理核的逻辑速度和引线速度的装置，并且其中所述复制关键信号路径是基于所述逻辑速度和所述引线速度构成的。

45. 如权利要求 42 所述的装置，其特征在于，还包括：

用于估计所述复制关键路径内多路复用器的延迟的装置，并且其中基于对所述多路复用器所估计的延迟进一步调节所述电源电压。

电子设备的自适应电压定标

背景

I. 相关申请

本申请要求 2005 年 10 月 31 日提交的题为“电子设备的自适应电压定标 (Adaptive Voltage Scaling for an Electronics Device)”的临时美国申请 S/N. 60/732,228 的优先权，该临时申请被转让给了本申请的受让人且出于所有目的通过全文引用包括于此。

II. 领域

本公开一般涉及电路，尤其涉及用于为电子设备节省电池功率的技术。

III. 背景

无线设备（例如，蜂窝电话）被广泛用于诸如无线通信、消息接发、视频、游戏等各种应用。无线设备的应用和功能不断发展以满足不断增长的客户需求。结果，不断设计出更加精密的无线设备，它们具有更高的集成度和更快的工作速度以便以小设备尺寸支持更多应用和功能。

高度集成的无线设备可消耗更多功率。当以高时钟脉冲工作时更是如此。更高的功率消耗可缩短电池寿命，这是非常不希望看到的，因为较长的电池寿命对于便携式无线设备而言是一重要的设计和市场营销参数。因此，经常投入大量设计精力以期望在实现良好性能的同时延长电池寿命。例如，无线设备常被设计成当以空闲模式运行时对尽可能多的电路断电以节省功率。当以活动模式运行时降低功耗的一种有效方法是定标或调节电源电压，因为功耗近似为电源电压的二次函数。例如，将电源电压降低 10% 可节省几乎 20% 的功耗。

电源电压定标的目的在于在维持必要性能的同时尽可能地降低电源电压。这可通过标识集成电路 (IC) 中的关键信号路径——例如具有最长延迟的信号路径、并调节电源电压以使得该关键信号路径满足时基要求来实现。出于众多

原因，这一准则在现代 VLSI 电路中难以建立。首先，关键信号路径可随电源电压的变化而改变。在一个电源电压下一条信号路径可能是关键性的而在另一电源电压下另一信号路径可能是关键性的。其次，在一给定电源电压下，关键信号路径可能基于 IC 工艺和温度变化而在管芯与管芯之间变化。结果，这些变化通过添加较大的安全余量来解决以确保在所有条件下正确工作。这种较大安全余量很多时候通常导致更高的功耗。

因此，本领域需要更加高效地为无线终端节省电池功率的技术。

概要

这里描述了用于自适应地对电子设备（例如，蜂窝电话）的电源电压定标的技术。在一特定实施例中，例如使用环形振荡器表征处理核的逻辑速度和引线速度。例如基于对处理核的计算要求确定该核的目标时钟频率。基于所表征的逻辑速度和引线速度以及目标时钟频率并使用一组可编程延迟线构成复制关键路径。如下所述，该复制关键路径仿真处理核中的实际关键路径并可包括不同类型的电路组件，诸如具有不同阈值电压的逻辑元件、动态元件、位线元件、引线、具有不同阈值电压和/或扇出的驱动器等。调节该处理核和复制关键路径的电源电压以使得两者都能达到所需的性能。

以下进一步描述了本发明的各方面和实施例。

附图简述

本发明的特征和本质将因以下结合其中相同附图标记通篇作相应标识的附图阐述的具体描述而更加显而易见。

图 1 示出无线设备的框图。

图 2 示出带有自适应电压定标 (AVS) 的 ASIC。

图 3 示出用于处理核心的 AVS 单元。

图 4A 和 4B 示出 AVS 单元内的延迟合成器。

图 5A、5B 和 5C 分别示出延迟合成器内的逻辑元件、动态元件、以及位线元件。

图 6 示出具有最小数目个元件的复制关键路径。

图 7 示出 AVS 单元内的延迟匹配电路。

图 8 示出 AVS 单元内的控制单元。

图 9 示出 AVS 单元内的 IC 工艺监视器单元。

图 10A 和 10B 示出 AVS 单元内的 AVS 表征单元。

图 11 示出两条信号路径的性能的曲线图。

图 12 示出用于执行自适应电压定标的过程。

具体描述

措辞“示例性”在此被用于表示“用作示例、实例、或例示”。在此被描述为“示例性”的任何实施例或设计都无需被理解为优选或优于其它实施例或设计。

在此所述的自适应电压定标技术可用于各种类型的集成电路。例如，这些技术可用于专用集成电路（ASIC）、数字信号处理器（DSP）、数字信号处理器器件（DSPD）、可编程逻辑器件（PLD）、现场可编程门阵列（FPGA）、处理器、控制器、微控制器等。这些技术还可用于诸如无线通信设备、蜂窝电话、个人数字助理（PDA）、便携式计算机等各种电子设备。为了简明起见，以下描述了针对例如蜂窝电话等无线设备内的 ASIC 的技术。

图 1 示出了无线设备 100 的框图，该无线设备可能能够监视一个或多个无线通信设备和/或与它们通信。在接收路径上，天线 112 接收由基站和/或卫星发射的信号并将收到的信号提供给接收机（RCVR）114。接收机 114 处理（例如，滤波、放大、下变频、以及数字化）该收到的信号并将样本提供给 ASIC 120 以作进一步处理。在发射路径上，ASIC 120 处理要传送的数据并将数据码片提供给发射机（TMTR）116。发射机 116 处理（例如，转换到模拟、滤波、放大、以及上变频）数据码片并生成经由天线 112 发射的经调制的信号。

ASIC 120 包括支持监视和/或与一个或多个通信系统通信的各种处理单元。对于图 1 中所示的实施例，ASIC 120 包括 DSP 核 130a 和 130b、处理器核 130c 和 130d、时钟发生器 140、内部存储器 150、外部接口单元 160、以及其它电路 170。DSP 核 130a 和 130b 执行针对接收路径的处理（例如，解调和解码）、针对发射路径的处理（例如，编码和调制）、和/或针对其它应用或功

能的处理。每个 DSP 核可包括一个或多个乘加 (MAC) 单元、一个或多个算术逻辑单元 (ALU) 等。处理器核 130c 和 130d 支持诸如视频、音频、图形、游戏等各种功能。

时钟发生器 140 生成 ASIC 120 内各处理单元所用的时钟并可耦合至可包括晶体、电感器、电容器等的外部电路 142。时钟发生器 140 可包括控制用以生成时钟的振荡器的一个或多个锁相环 (PLL)。内部存储器 150 存储由 ASIC 120 内的各处理单元使用的数据和程序代码。外部接口单元 160 与 ASIC 120 外的其它单元通过接口相连。其它电路 170 可包括功率控制单元, 其控制对 ASIC 120 内的各种处理单元、接收机 114 和发射机 116 的 PLL、和/或其它电路的供电。

对于图 1 所示的实施例, ASIC 120 还耦合至功率管理单元 180、易失性存储器 190、和非易失性存储器 192。功率管理单元 180 耦合至电池 182 并且还经由电源接线器接收外部功率。功率管理单元 180 调节接收到的电源并为 ASIC 120 内的处理单元提供经调整电源电压。易失性存储器 190 为 ASIC 120 使用的数据和程序代码提供块存储。非易失性存储器 192 提供非易失性块存储。

一般而言, 无线设备 100 可包括与图 1 中所示相比更少、更多和/或不同的集成电路。此外, ASIC 120 可包括与图 1 中所示相比更少、更多、和/或不同的处理单元。一般而言, ASIC 120 可包括任意数目的 DSP 核和任意数目的处理器核。ASIC 120 中包括的处理单元的数目和处理单元的类型通常取决于诸如通信系统、应用、以及无线设备 100 所支持的功能等各种因素。

图 2 示出了具有自适应电压定标 (AVS) 的 ASIC 120 的实施例。对于该实施例, 对每个处理核 130 提供一个 AVS 单元 230 并且其被用于自适应地定标该核的电源电压。特别地, AVS 单元 230a 和 230b 分别对 DSP 核 130a 和 130b 执行自适应电压定标, 而 AVS 单元 230c 和 230d 分别对处理器核 130c 和 130d 执行自适应电压定标。

每个处理核 130 从时钟发生器 140 接收用于触发该核内的同步电路的时钟。每个核 130 向时钟发生器 140 和其 AVS 单元 230 提供其时钟的目标频率。该目标频率可基于该核的处理负载和计算要求来选择。对于每个处理核 130,

时钟发生器 140 以目标频率生成时钟并将该时钟提供给核及相关联的 AVS 单元 230。每个处理核 130 及其相关联的 AVS 单元 230 还从功率管理单元 180 接收经调整的电压电源 (Vdd)。用于每个处理核 130 的电源电压由相关联的 AVS 单元 230 设定以使得该核可在该目标时钟频率上运行。

对于图 2 所示的实施例, 每个处理核 130 的时钟可由时钟发生器 140 独立设定, 而每个处理核 130 的电源电压可由功率管理单元 180 独立设定。在其它实施例中, 多个处理核可共享对这些核联合设定的公共时钟和/或公共电源电压。

自适应电压定标是一闭环系统, 它将电源电压调节至满足可由目标频率上的正确运行来量化的性能要求的电平。一般而言, 更高的电源电压对应更小的延迟, 这允许以更快的时钟在更高的频率上运行。峰值电源电压可提供最短的延迟和最高的性能水平。然而, 这种最高性能水平在有些或大多数时候并不是必需的。在这种情形下, 可降低电源电压。自适应电压定标由此利用计算要求中的变化来在维持必要性能的同时定标电源电压和降低平均功耗。结果, 可延长电池寿命, 这是非常合乎需要的。

每个处理核 130 的 AVS 单元 230 调节电源电压以使得该核能满足其性能要求。在一实施例中, 每个 AVS 单元模拟相关联的核在 IC 工艺、温度、和电压变化上的实际性能。每个 AVS 单元仿真相关联核的关键路径、跟踪该关键路径的性能、并将电源电压调节至允许该关键路径达到目标性能的最低可能电平平。紧密跟踪不同条件下的实际关键路径的能力导致了高效率的自适应电源电压定标。

每个 AVS 单元 230 跟踪相关联的处理核 130 中关键路径的性能。在一实施例中, 这是使用具有紧密匹配相关联核中关键路径的电路混合的数个电路组件的混合的延迟合成器实现的。这些电路组件可包括如下所述的逻辑元件、具有不同阈值电压的晶体管器件、动态元件、位线元件、引线、具有不同阈值电压和/或扇出的驱动器等。这些不同的电路组件有可能随 IC 工艺、温度、和电压变化以不同方式改变的电特性 (例如, 延迟)。

逻辑元件可以用反相器和/或其它逻辑门构成。反相器和逻辑门是以晶体管实现的, 晶体管可以是 P 沟道场效应晶体管 (P-FET)、N 沟道 FET (N-FET)

等。每个 FET 器件被设计成具有一特定阈值电压，后者是使器件导通的电压。低阈值电压 (LVT) 导致通过 FET 器件的更小延迟但更高的漏电流，漏电流是在 FET 器件截止时通过的电流。相反，高阈值电压 (HVT) 导致更低的漏电流但更大的延迟。LVT 和 HVT 器件的组合可被用来达到所需要的良好性能和所要求的低漏泄。LVT 和 HVT 器件的电特性可随 IC 工艺、温度、和电压以不同方式变化。计算机模拟指示具有驱动能力或 4 个扇出的 HVT 反相器具有良好延迟，该延迟跟踪其它 HVT 逻辑门的延迟。然而，该 HVT 反相器的延迟与 LVT 反相器的延迟有较大偏差。

引线是蚀刻在 IC 管芯上以互连该 IC 管芯上的电路组件的相对较长的迹线。引线的延迟受该引线的长度、宽度和高度以及用于该引线的驱动器的扇出影响。引线的长度和宽度通常是通过设计选定的，而引线的厚度通常是根据 IC 制造工艺固定的。对于特定电压范围，2 毫米 (mm) 引线的延迟可相对于具有 4 扇出的 HVT 反相器的延迟变化达 2 个数量级。随着一驱动器的扇出的增加，该驱动器的延迟相对于 HVT 反相器的延迟变化更大。随着技术特征/晶体管大小的缩小、IC 管芯面积特征尺寸比的增大、以及更多逻辑元件被打包在 IC 管芯中，引线对关键路径性能的影响越来越大。这是因为随着集成度的提高，使用了更多的引线来连接逻辑元件。此外，引线电阻和电容也随着缩小的几何形状而增大。因此，几乎全由逻辑元件组成的常规延迟合成器或常规环形振荡器不能准确地跟踪包括引线的关键路径的性能。

图 3 示出了一相关联处理核 130x 的 AVS 单元 230x 的实施例。AVS 单元 230x 可用于图 2 中 AVS 单元 230a 到 230d 的每一个，而处理单元 130x 可以是核 130a 到 130d 中的任一个。

在 AVS 单元 230x 内，脉冲发生器 310 从时钟发生器 140 接收时钟。在一未在图 3 中示出的实施例中，脉冲发生器 310 为延迟合成器 320 生成第一输入信号 (DSin) 并为延迟匹配电路 330 生成第二输入信号 (DMin)。DSin 和 DMin 信号可各自包括一针对该时钟中的每个上升沿的脉冲。DMin 信号上的脉冲可相对于 DSin 信号上的脉冲被延迟一固定量。在以下描述的另一实施例中，脉冲发生器 310 生成被提供给延迟合成器 320 和延迟匹配电路 330 两者的单个输入信号 (Din)。Din 信号上的脉冲传播通过延迟合成器 320 并经由控制单元

340 的第一输入接收。Din 信号上的脉冲还传播通过延迟匹配电路 330 并经由控制单元 340 的第二输入接收。延迟合成器 320 对处理核 130x 的关键路径进行建模。延迟合成器 320 包括允许对该延迟合成器灵活编程的多路复用器。然而，这些多路复用器引入了相对于正在复制的关键路径的总延迟可能相当大的附加延迟。延迟匹配电路 330 解决延迟合成器 320 内的多路复用器延迟。

控制单元 340 接收来自延迟合成器 320 和延迟匹配电路 330 的脉冲并基于接收到的脉冲来测量延迟合成器 320 内所复制的关键路径的“纯”延迟。控制单元 340 基于测得的关键路径延迟以及可能来自温度传感器 370 的温度测量值生成电压控制 (Vctrl)。功率管理单元 180 内的电压调整器 380 接收到来自控制单元 340 的电压控制，基于该电压控制调节经调整的电源电压 (Vdd)，并将经调整的电源电压提供给处理核 130x、延迟合成器 320、和延迟匹配电路 330。

IC 工艺监视器单元 350 确定 ASIC 120 的逻辑和引线延迟并将该信息提供给 AVS 表征单元 360。单元 360 还接收处理核 130x 的目标时钟频率，并提供为延迟合成器 320 内复制的关键路径选择恰当的电路组件混合的 Mux Sel 信号 (如图 3 所示)。以下具体描述 AVS 单元 230x 内的各个块。

如图 3 所示，AVS 单元 230x 是将电源电压定标以实现处理核 130x 内关键路径的所需性能的闭环系统的一部分。延迟合成器 320 可被编程以获得与处理核 130x 中的实际关键路径相匹配的具有电路组件混合的复制关键路径。此外，延迟合成器 320 可被编程有不同的电路组件混合以跟踪由于 IC 工艺和/或其它变化而引起的实际关键路径中的变化。这使得能够对实际关键路径进行紧密跟踪并实现高效率。

图 4A 和 4B 示出了图 3 中 AVS 单元 230x 内的延迟合成器 320 的实施例。对于该实施例，延迟合成器 320 包括多个延迟线，其中每个延迟线由一不同类型的电路组件组成。

在延迟合成器 320 内，来自脉冲发生器 310 的 Din 信号被提供给由 K 个串联的逻辑元件 412a 到 412k (例如，K=32) 组成的延迟线 410 的输入。每个逻辑元件 412 可用以 HVT 器件构成的反相器和/或逻辑门实现。这 K 个逻辑元件 412a 到 412k 的输出被提供给多路复用器 (Mux) 418 的 K 个输入。多路复

用器 418 基于 Mux1 Sel 控制选择这 K 个输入中的一个作为多路复用器输出。

多路复用器 418 的输出被提供给由 L 个串联逻辑元件 422a 到 422l (例如, L=32) 组成的延迟线 420 的输入。每个逻辑元件 422 可用以 LVT 器件构成的反相器和/或逻辑门实现。这 L 个逻辑元件 422a 到 422l 的输出被提供给多路复用器 428 的 L 个输入。多路复用器 428 基于 Mux2 Sel 控制选择这 L 个输入中的一个作为多路复用器输出。

多路复用器 428 的输出被提供给由 M 个串联动态元件 432a 到 432m (例如, M=32) 组成的延迟线 430 的输入。动态元件 432 被用于对扩散电容建模。扩散电容是漏-阱反偏结的电容效应的结果, 这与延迟线 410 和 420 所建模的门电容不同。每个动态元件可如下实现。M 个动态元件 432a 到 432m 的输出被提供给多路复用器 438 的 M 个输入。多路复用器 438 基于 Mux3 Sel 控制提供这 M 个输入中的一个作为多路复用器输出。

多路复用器 438 的输出被提供给由 N 个串联连接的位线元件 442a 到 442n (例如, N=4) 组成的延迟线 440 的输入。位线元件 442 被用于跟踪存储器访问延迟并可如下实现。N 个位线元件 442a 到 442n 的输出被提供给多路复用器 448 的 N 个输入。多路复用器 448 基于 Mux4 Sel 控制提供这 N 个输入中的一个作为多路复用器输出 (DSint)。

参照图 4B, 多路复用器 448 的输出 (DSint) 被提供给四条延迟线 450、460、470、和 480 的输入。延迟线 450、460、470 和 480 中的每一条由 P 个串联连接的引线元件 (例如, P=8) 组成。每个引线元件包括驱动器和引线。对于延迟线 450, 驱动器 452a 到 452p 使用 HVT 元件实现且具有 FOa 个扇出 (例如, FOa=8)。对于延迟线 460, 驱动器 462a 到 462p 使用 HVT 元件实现且具有 FOb 个扇出 (例如, FOb=16)。对于延迟线 470, 驱动器 472a 到 472p 使用 LVT 元件实现且具有 FOa 个扇出。对于延迟线 480, 驱动器 482a 到 482p 使用 LVT 元件实现且具有 FOb 个扇出。每根引线具有根据该引线的长度、宽度和厚度确定的串联电阻和寄生电容。延迟线 450、460、470 和 480 的引线可被设计成具有相同或不同长度 (例如, 1mm 的相同长度)。

对于延迟线 450, 驱动器 452a 到 452p 分别驱动引线 454a 到 454p, 后者又耦合至多路复用器 458 的 P 个输入。多路复用器 458 基于 Mux5 Sel 控制提

供这 P 个输入中的一个作为多路复用器输出。对于延迟线 460，驱动器 462a 到 462p 分别驱动引线 464a 到 464p，后者又耦合至多路复用器 468 的 P 个输入。多路复用器 468 基于 Mux5 控制提供这 P 个输入中的一个作为多路复用器输出。对于延迟线 470，驱动器 472a 到 472p 分别驱动引线 474a 到 474p，后者又耦合至多路复用器 478 的 P 个输入。多路复用器 478 基于 Mux5 Sel 控制提供这 P 个输入中的一个作为多路复用器输出。对于延迟线 480，驱动器 482a 到 482p 分别驱动引线 484a 到 484p，后者又耦合至多路复用器 488 的 P 个输入。多路复用器 488 基于 Mux5 Sel 控制提供这 P 个输入中的一个作为多路复用器输出。多路复用器 498 接收多路复用器 458、468、478 和 488 的输出，并基于 Mux6 Sel 控制提供这 4 个多路复用器中之一的输出作为延迟合成器输出（DSout）。

对于图 4A 和 4B 中所示实施例，Din 信号通过每根延迟线中的至少一个元件。在另一实施例中，每根延迟线的输入信号可被提供给对应该延迟线的多路复用器的一个输入。对于该实施例，Din 信号可直接通过该多路复用器并旁路该延迟线中所有元件。

对于图 4A 和 4B 中所示的延迟合成器，延迟线 410 仿真 HVT 器件的逻辑延迟，延迟线 420 仿真 LVT 器件的逻辑延迟，延迟线 430 仿真扩散延迟，延迟线 440 仿真存储器访问延迟，延迟线 450 仿真在具有 FOa 个扇出的 HVT 驱动器情形下的引线延迟，延迟线 460 仿真在具有 FOb 个扇出的 HVT 驱动器情形下的引线延迟，延迟线 470 仿真在具有 FOa 个扇出的 LVT 驱动器情形下的引线延迟，以及延迟线 480 仿真在具有 FOb 个扇出的 LVT 驱动器情形下的引线延迟。

图 4A 和 4B 中所示的延迟合成器可灵活地用电路组件的合需混合来复制关键路径。每根延迟线由对应一不同类型电路组件的多个串联连接的组件组成。每根延迟线的多路复用器可包括对应复制延迟路径中该延迟线的可选数目个元件。同样的延迟合成器结构可分别用在核 130a 到 130d 的 AVS 单元 230a 到 230d 中。每个核的复制关键路径可通过正确地控制该核的延迟合成器中的各个多路复用器来个别和灵活地形成。此外，复制关键路径可容易地改变以匹配相关联核中实际关键路径的性能。

一般而言，延迟合成器结构可包括任意数目的延迟线，并且每根延迟线可

仿真任意类型的电路且可包括任意数目个元件。这种结构在复制关键路径时提供了极大的灵活性。在另一实施例中，延迟合成器结构可包括多个假设关键路径，其中每个假设关键路径包括一不同的电路组件混合。这些假设关键路径中的一条可被选为该复制关键路径。

图 5A 示出可用于图 4A 中逻辑元件 412a 到 412k 和 422a 到 422l 中每一个的逻辑元件 412x 的实施例。对于该实施例，逻辑元件 412x 由 Q 个串联的反相器 512a 到 512q 组成，其中 $Q \geq 1$ 。Q 可被选择成使得逻辑元件 412x 可提供随 IC 工艺、温度、和电压变化的合需的延迟量。每个反相器 512 可用 HVT 或 LVT 器件实现。图 4A 中延迟线 410 的逻辑元件 412a 到 412k 可包括相同或不同数目个反相器。延迟线 420 的逻辑元件 422a 到 422l 也可包括相同或不同数目个反相器。每个逻辑元件还可用其它逻辑门（例如，与、与非、或、或非、异或、或一些其它逻辑门）或逻辑门的任意组合来实现。

图 5B 示出可用于图 4A 中动态元件 432a 到 432m 的每一个的动态元件 432x 的实施例。对于该实施例，动态元件 432x 由 P-FET 530 和 538、R 个并联耦合的 N-FET 532a 到 532r、N-FET 534、以及反相器 536，其中 $R \geq 1$ 。P-FET 530 将其源极耦合至电源电压，其栅极形成动态元件输入，且其漏极耦合至 N-FET 532a 到 532r 的漏极。N-FET 532a 的栅极被耦合至电源电压，而 N-FET 532b 到 532r 的栅极被耦合至电路接地。N-FET 534 将其源极耦合至电路接地，将其栅极耦合至动态元件输入，并将其漏极耦合至 N-FET 532a 到 532r 的源极。P-FET 538 将其源极耦合至电源电压，将其栅极耦合至反相器 536 的输出，并将其漏极耦合至 N-FET 532a 到 532r 的漏极。P-FET 538 提供反馈以恢复在 N-FET 532a 到 532r 全部截止时它们中的电荷漏泄。

Din 信号传播通过延迟线 430 中的动态元件 432a 到 432m。当动态元件 432x 的输入处的 Din 信号位于逻辑低时，P-FET 530 导通并将节点 A 预充电至逻辑高，N-FET 534 截止，并且反相器 536 的输出位于逻辑低。当 Din 信号上出现脉冲时，P-FET 530 截止，N-FET 534 导通并且经由 N-FET 532a 将节点 A 下拉至逻辑低，且反相器 536 的输出转换至逻辑高。N-FET 532a 被评估，而 N-FET 532b 到 532r 不被评估。通过动态元件 432x 的延迟根据 N-FET 532a 到 532r 的扩散电容判定。

图 5C 示出了可用于图 4A 中位线元件 442a 到 442n 中每一个的位线元件 442x 的实施例。对于该实施例，位线元件 442x 包括预充电电路 540、等效管 542、S 个存储器元件 544a 到 544s（其中 $S \geq 1$ ），以及读出放大器 546。一旦在位线元件输入处接收到 Din 信号上的脉冲，则预充电电路 540 就将位线(BL)和互补位线 (BLb) 预先充电至逻辑高，并且等效管 542 生成用于读出放大器 546 的使能信号。Din 脉冲还在出于简单起见而未在图 5C 中示出的较小延迟之后选择存储器元件 544a。存储器元件 544a 存储逻辑高(‘1’)，并且在被使能时将 BLb 下拉至逻辑低。读出放大器 546 读出 BL 与 BLb 线之间的电压差，并在由 BLb 线的放电速率决定的较短延迟之后将逻辑高提供给多路复用器 448 的一个输入以及提供给下一位线元件（若有的话）的输入。位线元件 442x 能够跟踪例如 SRAM、高速缓存、及其它存储器的存储器访问延迟。

图 6 示出了由图 4A 和 4B 中所示延迟合成器 320 的每条延迟线中的最小数目个元件组成的复制关键路径。对于该复制关键路径，Din 信号穿过 6 个多路复用器 418、428、438、448、458 和 498。每个多路复用器通常包括引入附加延迟的多级逻辑门。因此，对于该复制关键路径，Din 信号所观察到的总延迟由以下构成：(1)用于仿真实际关键路径的元件引入的延迟和(2)用于形成复制关键路径的多路复用器引入的延迟。多路复用器延迟随着多路复用器的数目以及每个多路复用器的输入的数目而增大。多路复用器延迟可表示该复制关键路径的总延迟的相当大的部分，特别是在诸如 1 GHz 及以上的高速时尤其如此。

多路复用器延迟可用各种方式来处理。在一实施例中，多路复用器延迟被视为逻辑延迟的一部分。来自其它电路类型的延迟（例如，引线、扩散等）应该充分长以获得所需要的延迟混合（例如，20%的逻辑延迟和 80%的引线延迟）。对于该实施例，多路复用器可用与相关联核内的主要元件相同的器件类型来实现。例如，如果相关联的核主要是用 LVT 器件实现的，则多路复用器也可用 LVT 器件来实现。根据需要也可延长其它电路类型的延迟以获得合需的延迟混合。

在另一实施例中，延迟匹配电路 330 被用于估计多路复用器延迟。随后估计出的多路复用器延迟可被从延迟合成器 320 的总延迟中减去以获得该延迟合

成器内复制关键路径的“纯”延迟。

图 7 示出了图 3 中 AVS 单元 230x 内的延迟匹配电路 330 的实施例。对于该实施例，延迟匹配电路 330 包括与延迟合成器 320 相同数目的延迟线和相同数目的多路复用器。

在延迟匹配电路 330 内，来自脉冲发生器 310 的 Din 信号被提供给由两个串联逻辑元件 712a 和 712b 组成的延迟线的输入。逻辑元件 712b 仿真逻辑元件 712a 的负载并且可被包括在如图 7 中所示的延迟匹配电路 330 中或者可被省略。逻辑元件 712a 的输出被提供给部分多路复用器 718 的输入，该部分多路复用器 718 对多路复用器 418 的一个输入与输出之间的信号路径建模。多路复用器 718 包括 K' 个串联连接的与非门 716a 到 716k'，其中 $K' \approx 2 \cdot \log_2(K)$ 且 K 为多路复用器 418 的输入的数目。

多路复用器 718 的输出被提供给由两个串联连接的逻辑元件 722a 和 722b 组成的延迟线的输入。部分多路复用器 728 接收逻辑元件 722a 的输出并将其输出提供给由两个串联连接的动态元件 732a 和 732b 组成的延迟线的输入。部分多路复用器 738 接收动态元件 732a 的输出并将其输出提供给由两个串联连接的位线元件 742a 和 742b 组成的延迟线的输入。部分多路复用器 748 接收位线元件 742a 的输出并将其输出提供给 4 根引线延迟线的输入。第一引线延迟线包括由驱动器 752a 和引线 754a 组成的全引线元件与由驱动器 752b 组成的部分引线元件。第二引线延迟线包括由驱动器 762a 和引线 764a 组成的全引线元件与由驱动器 762b 组成的部分引线元件。第三引线延迟线包括由驱动器 772a 和引线 774a 组成的全引线元件与由驱动器 772b 组成的部分引线元件。第四引线延迟线包括由驱动器 782a 和引线 784a 组成的全引线元件与由驱动器 782b 组成的部分引线元件。引线 754a、764a、774a 和 784a 的另一端分别耦合至部分多路复用器 758、768、778 和 788 的输入，后者将其输出提供给多路复用器 798 的输入。多路复用器 798 还接收 Mux6 Sel 控制并提供多路复用器 758、768、778 和 788 中一个的输出作为延迟匹配电路输出 (DMout)。

逻辑元件 712a、712b、722a 和 722b 可分别以与图 4A 中延迟合成器 320 内的逻辑元件 412a、412b、422a 和 422b 相同的方式实现。动态元件 732a 和 732b 可分别以与动态元件 432a 和 432b 相同的方式实现。位线元件 742a 和 742b

可分别以与位线元件 442a 和 442b 相同的方式实现。驱动器 752a、762a、772a 和 782a 可分别以与驱动器 452a、462a、472a 和 482a 相同的方式实现，以及引线 754a、764a、774a 和 784a 可分别以与引线 454a、7464a、474a 和 484a 相同的方式实现。部分多路复用器 718、728、738、748、758、768、778 和 788 分别对多路复用器 418、428、438、448、458、468、478 和 488 的一个输入与输出之间的信号路径建模。多路复用器 798 可以与多路复用器 498 相同的方式实现。

延迟匹配网络 330 可用于吸收延迟合成器 320 内多路复用器的延迟。这允许 AVS 单元 230x 准确地高频上建模关键路径。

图 8 示出了图 3 中 AVS 单元 230x 内的控制单元 340 的实施例。对于该实施例，来自延迟合成器 320 的 DSout 信号被提供给 D 触发器 814a 的数据 (D) 输入和延迟元件 812a 的输入。延迟元件 812a 的输出耦合至 D 触发器 814b 的数据输入和延迟元件 812b 的输入。延迟元件 812b 的输出耦合至 D 触发器 814c 的数据输入。来自延迟匹配电路 330 的 DMout 信号被提供给 D 触发器 814a、814b 和 814c 的时钟输入。每个 D 触发器 814 基于 DMout 信号锁存其数据输入并将其输出 (Q) 提供给编码器 816。编码器 816 基于触发器 814a、814b 和 814c 的输出以及可能地来自温度传感器 370 的温度测量值生成用于功率管理单元 180 的电压控制 Vctrl。

延迟元件 812a 和 812b 的每一个可被设计成提供预定量的延迟，例如最高时钟频率上时钟周期的 5%。每个触发器 814 在其数据输入上的脉冲早于其时钟输入上的脉冲到达的情况下提供逻辑高，否则提供逻辑低。触发器 814a 在 DSout 信号上的脉冲先于 DMout 信号上的脉冲到达的情况下提供逻辑高。触发器 814b 在来自延迟元件 812a 的经延迟的脉冲早于 DMout 信号上的脉冲到达的情况下提供逻辑高。触发器 814c 在来自延迟元件 812b 的经延迟的脉冲早于 DMout 信号上的脉冲到达的情况下提供逻辑高。如果电源电压太低，则复制关键路径的总延迟较长且所有三个触发器都可提供逻辑低。编码器 816 随后生成使得电源电压增大的电压控制。相反，如果电源电压太高，则复制关键路径的总延迟小于目标频率且所有三个触发器都可提供逻辑高。编码器 816 随后生成使得电源电压减小的电压控制。

控制单元 340 基于测得的关键路径延迟生成调节电源电压的电压控制。关键路径延迟可用如图 8 所示的三个触发器或三个以上触发器来测量，以实现更大的延迟分辨率。电压控制可以是指示是维持当前电源电压还是将电源电压增大或减小预定量的 2 比特控制。电压控制还可以是指示增大或减小的电压量的多比特控制。控制单元 340 还可在温度测量值超出标称温度范围之外的情况下忽视触发器 814a、814b 和 814c 的输出并提供预定电压控制。控制单元 340 还可以其它方式使用温度测量值来生成电压控制。

由于 IC 管芯上有源和无源器件的不同组成，温度可跨 IC 管芯变化。跨 IC 管芯的温度梯度可通过在整个 IC 管芯上设放多个延迟合成器来解决。例如，可在处理核的不同角落设放多个（例如，4 个）延迟合成器。该处理核的 AVS 单元可接收来自所有延迟合成器的输出并可基于最慢的延迟合成器来调节电源电压。

不同电路组件（例如，逻辑和引线）的延迟通常取决于 IC 工艺变化。例如，较快的 IC 工艺拐点（process corner）得到较快的逻辑以及因此而较小的逻辑延迟，而较慢的 IC 工艺拐点得到较慢的逻辑以及因此而较大的逻辑延迟。引线的寄生电阻和电容也可由于 IC 工艺变化而变化，这将导致不同的引线延迟。ASIC 120 的逻辑元件和引线的延迟可以被表征并用于电压定标。

图 9 示出了图 3 中 AVS 单元 230x 内 IC 工艺监视器单元 350 的实施例。对于该实施例，用 T 个延迟单元 912a 到 912t 和与非门 940 构成了环形振荡器 910，其中 $T \geq 1$ 。在每个延迟单元 912 内，解多路复用器（Demux）920 将其输入耦合至与非门 940 或者前一延迟单元的输出，并将其两个输出耦合至缓冲器 922 和 932 的输入。缓冲器 922 驱动引线 924，后者又耦合至缓冲器 926 的输入。缓冲器 932 驱动缓冲器 936。多路复用器 938 在其两个输入处接收缓冲器 926 和 936 的输出并将这两个输入中的一个提供为延迟单元输出。对于每个延迟单元 912，缓冲器 922 和 926 以及引线 924 构成由逻辑和引线组成的第一信号路径，而缓冲器 932 和 936 构成仅由逻辑组成的第二信号路径。第二信号路径中的缓冲器 932 和 936 可以与第一信号路径中的缓冲器 922 和 926 相同的方式实现，以使得引线 924 成为这两条信号路径之间的唯一差异。第一或第二信号路径中的任意一条可通过向解多路复用器 920 和多路复用器 938 提供恰当

的 Mux/Demux 控制来选择。

与非门 940 在一个输入上接收最后一个延迟单元 912t 的输出并在另一输入上接收来自控制单元 950 的使能 (Enb) 信号。与非门 940 的输出被提供给第一个延迟单元 912a 的输入。环形振荡器 910 在使能信号位于逻辑高时工作并提供具有由以下各项决定的频率的振荡器信号(1)延迟单元 912a 到 912t 内所选定的信号路径和(2)该选定信号路径中电路组件的、取决于 IC 工艺的特性。计数器 960 接收振荡器信号并基于来自控制单元 950 的第一控制计数振荡器循环的次数。寄存器 970 基于来自控制单元 950 的第二控制锁存计数器 960 的输出并提供频率计数。控制单元 950 接收时钟并生成对延迟单元 912a 到 912t、与非门 940、计数器 960 和寄存器 970 的控制。控制单元 950 还接收来自寄存器 970 的频率计数并为 AVS 表征单元 360 提供逻辑速度输出和引线速度输出。

逻辑速度和引线速度可如下确定。通过将 Mux/Demux 控制设为逻辑高，环形振荡器 910 首先被配置成以所有延迟单元 912a 到 912t 中的第二信号路径工作。计数器 960 随后通过计数在第一时间窗中振荡器循环的次数来采样环形振荡器 910 的频率。寄存器 970 锁存在第一时间窗结束时的计数器输出并提供指示逻辑速度的第一频率计数。通过将 Mux/Demux 控制设为逻辑低，环形振荡器 910 接着被配置成以所有延迟单元 912a 到 912t 中的第一信号路径工作。计数器 960 在与第一时间窗相同持续时长的第二时间窗中采样环形振荡器 910 的频率。寄存器 970 锁存第二时间窗结束时的计数器输出并提供指示逻辑和引线速度的第二频率计数。第一和第二频率计数之间的差异指示引线速度。

控制单元 940 提供的逻辑速度和引线速度取决于 IC 工艺。在一实施例中，IC 工艺监视器单元 350 工作一次（例如，在无线设备 100 的校准期间）以获得预定电源电压上的逻辑速度和引线速度。在其它实施例中，IC 工艺监视器单元 350 可根据需要以及可能地对应不同的电源电压和/或温度来工作以获得对应不同工作条件的逻辑速度和引线速度。如下所述，逻辑速度和引线速度被用来形成复制关键路径。

图 10A 示出了图 3 中 AVS 单元 230x 内的 AVS 表征单元 360 的实施例。对于该实施例，查找表 (LUT) 1010 存储对应不同逻辑表征的一组标称逻辑速度值，而查找表 1020 存储对应不同引线表征的一组标称引线速度值。一般而

言，可分别存储对应任意数目的逻辑和引线表征——其通常取决于 IC 工艺变化（例如，快、标称、慢等）——的标称逻辑速度和标称引线速度。存储在查找表 1010 和 1020 中的值可由计算机模拟、实验测量等来确定。通过单独表征逻辑速度和引线速度，可仅使用两个查找表 1010 和 1020 来存储对应不同表征的标称逻辑速度和标称引线速度。

比较单元 1012 接收来自 IC 工艺监视单元 350 的测得的逻辑速度并将该测得的逻辑速度与存储在查找表 1010 中的值相比较以确定处理核 130x 的逻辑表征。类似地，比较单元 1022 接收来自 IC 工艺监视单元 350 的测得的引线速度，并将该测得的引线速度与存储在查找表 1020 中的值相比较以确定处理核 130x 的引线表征。例如，查找表 1010 可存储对应快、标称、和慢这三个逻辑表征的 x 和 y 值，其中 $x > y$ 。比较单元 1012 可将测得的逻辑速度 s 与存储的值相比较，并可指示在 $s \geq x$ 的情况下为快工艺、在 $x > s \geq y$ 的情况下为标称工艺，而在 $s < y$ 的情况下为慢工艺。

存储器 1030 存储 Mux 控制查找表 1040aa 到 1040yx 的矩阵。该矩阵的每一行对应存储在查找表 1010 中的不同逻辑表征。矩阵的每一列对应存储在查找表 1020 中的不同引线表征。每个 Mux 控制查找表 1040 存储图 4A 和 4B 中延迟合成器 320 内的多路复用器 418、428、438、448、458、468、478、488 和 498 的 Mux Sel 控制的值。这些 Mux Sel 控制定义对于适用于处理核 130x 的表征应近似实际关键路径的复制关键路径。存储在每个 Mux 控制查找表 1040 中的值可由计算机模拟、实验测量等来确定。在比较单元 1012 所指示的行上和比较单元 1022 所指示的列上的该 Mux 控制查找表被选中使用。

图 10B 示出了存储器 1030 内一个 Mux 控制查找表 1040ij 的实施例。查找表 1040ij 存储延迟合成器 320 内多路复用器 418、428、438、448、458、468、478、488 和 498 的对应 V 个不同时钟频率的 V 组 Mux Sel 控制值。对应于处理核 130x 的目标频率的那一组 Mux Sel 控制值被从查找表 1040ij 中取出并供给延迟合成器 320 内的多路复用器。

图 11 示出了处理核内两条示例性信号路径的性能的曲线图。每条信号路径的延迟是相对于电源电压绘制的。对于图 11 中所示的实施例，在 V_x 伏以下，信号路径 1 具有较长的延迟并且是关键路径，而在 V_x 伏以上，信号路径 2 具

有较长的延迟并且是关键路径。如图 11 所示，在不同条件下不同信号路径可变成关键路径。这是因为每条信号路径可能由随电压、温度、和 IC 工艺变化可能以不同方式变化的不同电路组件混合组成。关键路径的延迟决定了该路径的最高时钟频率并因此与频率逆相关。对于一给定目标频率，可复制对应该频率的关键路径，而 AVS 单元 230 调节电源电压以使得对于该目标频率可达到所需的性能。例如，如果目标频率是频率 2，则可选择信号路径 2，而 AVS 单元将电源电压调节至 V_z 伏。

图 12 是用于为处理核执行自适应电压定标的过程 1200 的实施例。表征该处理核的逻辑速度和引线速度（框 1210）。该表征可例如在无线设备的校准期间并如以上关于图 9 所述地执行一次。确定该处理核的目标时钟频率（框 1212）。目标时钟频率可基于例如对该处理核的计算要求而动态变化。例如如以上关于图 10A 和 10B 所述地基于所表征的逻辑速度和引线速度以及目标时钟频率来构成复制关键路径（框 1214）。复制关键路径可包括诸如 HVT 逻辑、LVT 逻辑、动态元件、位线元件、引线、具有不同阈值电压和/或扇出的驱动器等不同类型的电路组件。随后调节处理核和复制关键路径的电源电压以使得两者都达到所需性能（框 1216）。过程 1200 随后可返回框 1212 以定期地确定目标时钟频率。

在此所述的复制关键路径使用了电路组件的混合来仿真实际关键路径。该复制关键路径一般比用全部由逻辑门或主要由逻辑门组成的环形振荡器或延迟线实现的常规复制关键路径更准确。此外，在此所述的复制关键路径可通过编程多路复用器来容易地改变从而灵活地对不同条件下的不同关键路径进行建模。

在此所述的自适应电压定标技术具有以下合需特性：

- 延迟线的无缝编程以跟踪变化的关键路径（图 4A 和 4B）。
- 使用 IC 工艺监视器 350 的芯片上逻辑和引线装箱以使得能高效跟踪（图 9）。
- 通过在不同点设放多个 AVS 单元进行温度梯度跟踪。
- 多阈值逻辑延迟线（图 4A）。
- 引线延迟线的多阈值、多扇出驱动器（图 4B）。

- 使用动态元件进行扩散支配路径跟踪（图 4A 和 5B）。
- 使用位线元件进行存储器访问延迟跟踪（图 4A 和 5C）。
- 将多路复用器延迟考虑为总逻辑延迟的一部分并延长其它类型的延迟（例如，引线 and 扩散的）以适应多路复用器延迟。
- 用于吸收多路复用器延迟的延迟匹配电路以使能高速操作。

在此所述的自适应电压定标可以由各种手段实现。例如，这些技术可用硬件、固件、软件、或其组合实现。对于硬件实现，自适应电压定标可在 ASIC、DSP、处理器、控制器、微控制器、微处理器、电子器件、被设计成执行在此所述功能的其它电子单元、或其组合内实现。

该自适应电压定标的特定部分可用执行在此所述功能的软件模块（例如，程序、函数等）来实现。软件代码可存储在存储器（例如，图 1 中的存储器 150、190 或 192）并可由处理器（例如，处理器核 130c 或 130d）执行。存储器可在处理器内部或存储器外部实现。

提供所公开的实施例的先前描述旨在使本领域的任何技术人员皆能够制作或使用本发明。对于本领域的技术人员对这些实施例的各种修改将是显而易见的，并且在此所定义的一般性原理可适用于其它实施例而不会背离本发明的精神实质或范围。因此，本发明无意被限于这里所示的实施例，而应根据与在此所公开的原理和新颖特征相一致的最宽范围来授权。

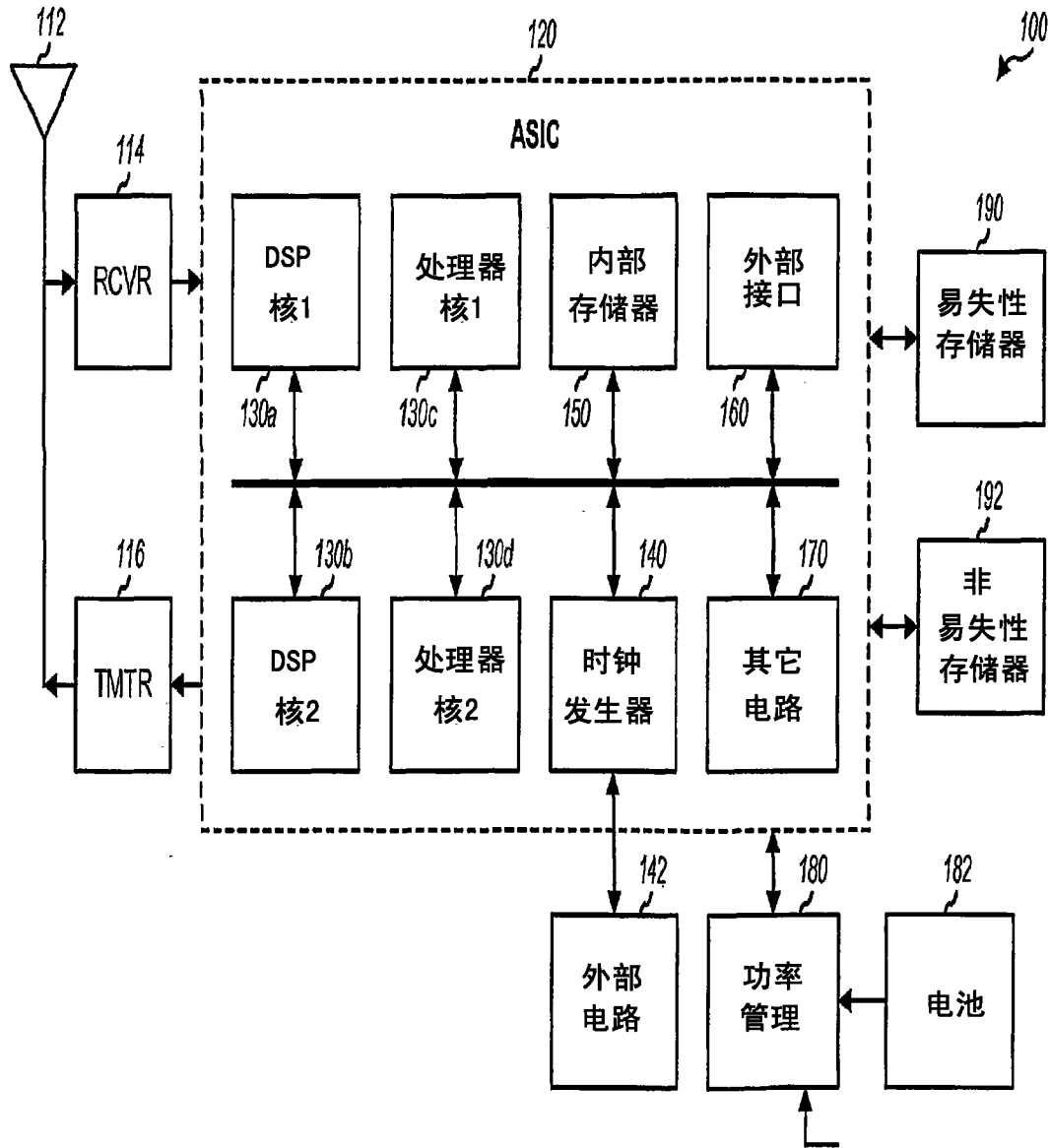


图 1

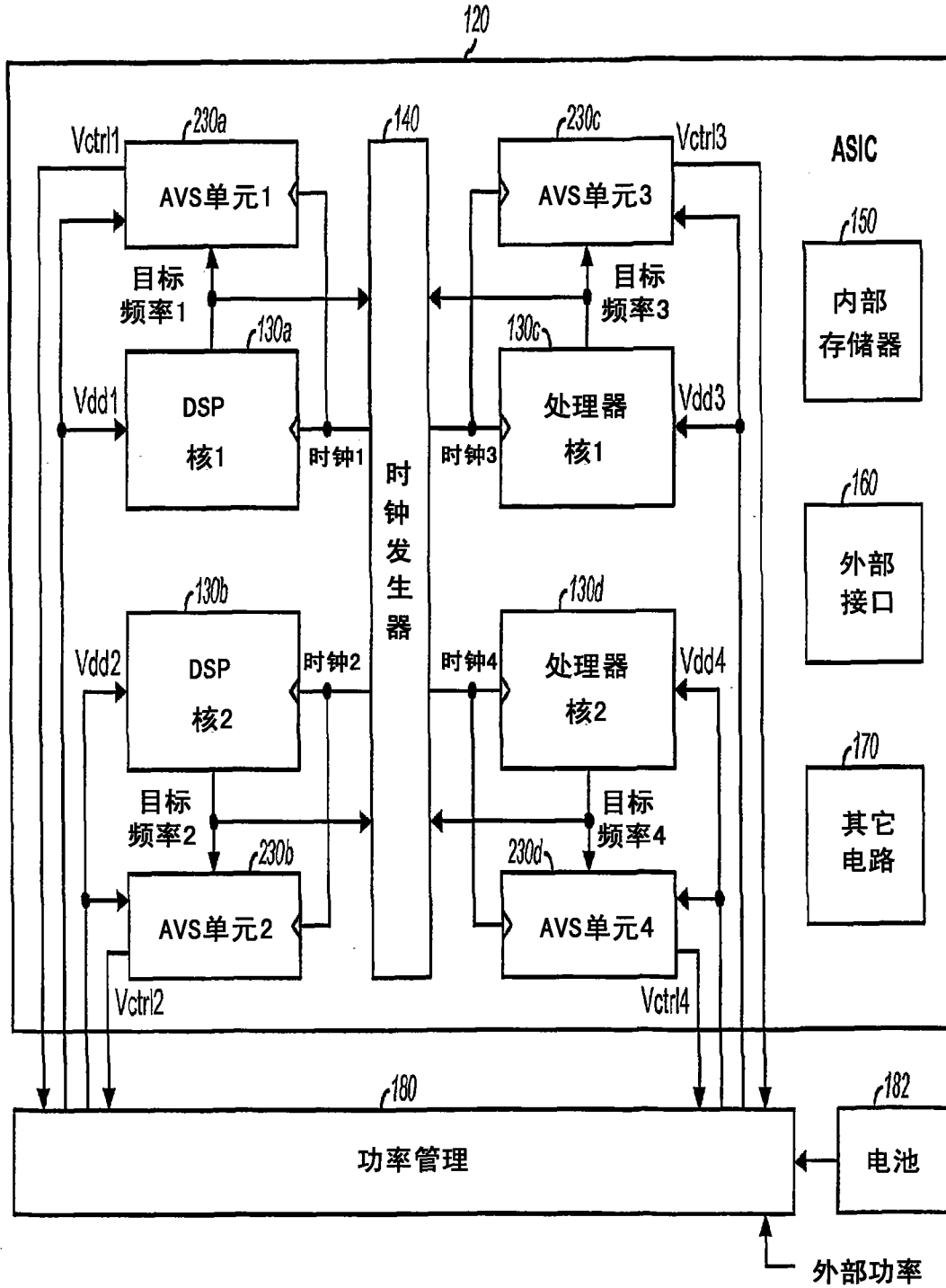


图 2

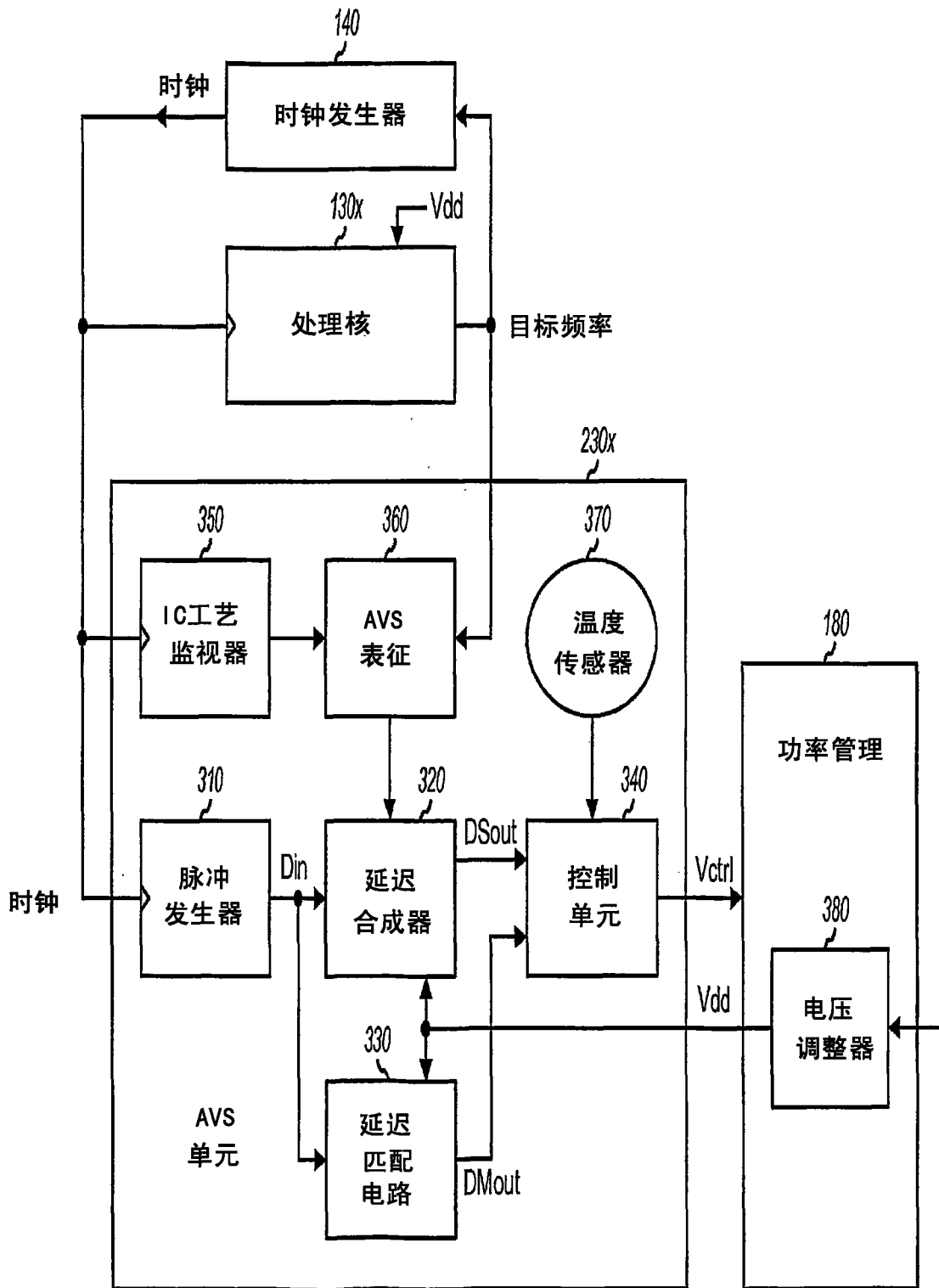


图 3

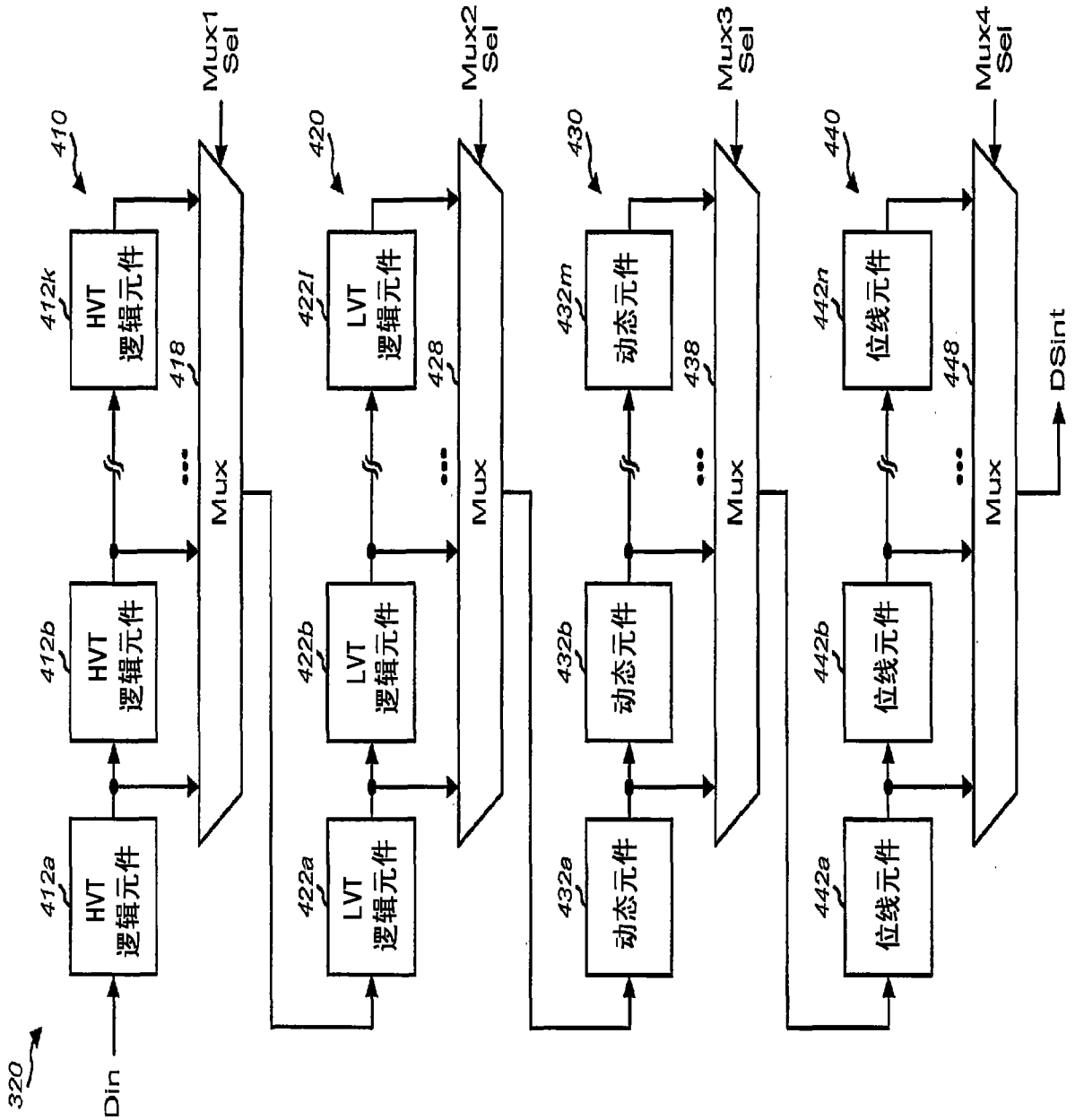


图 4A

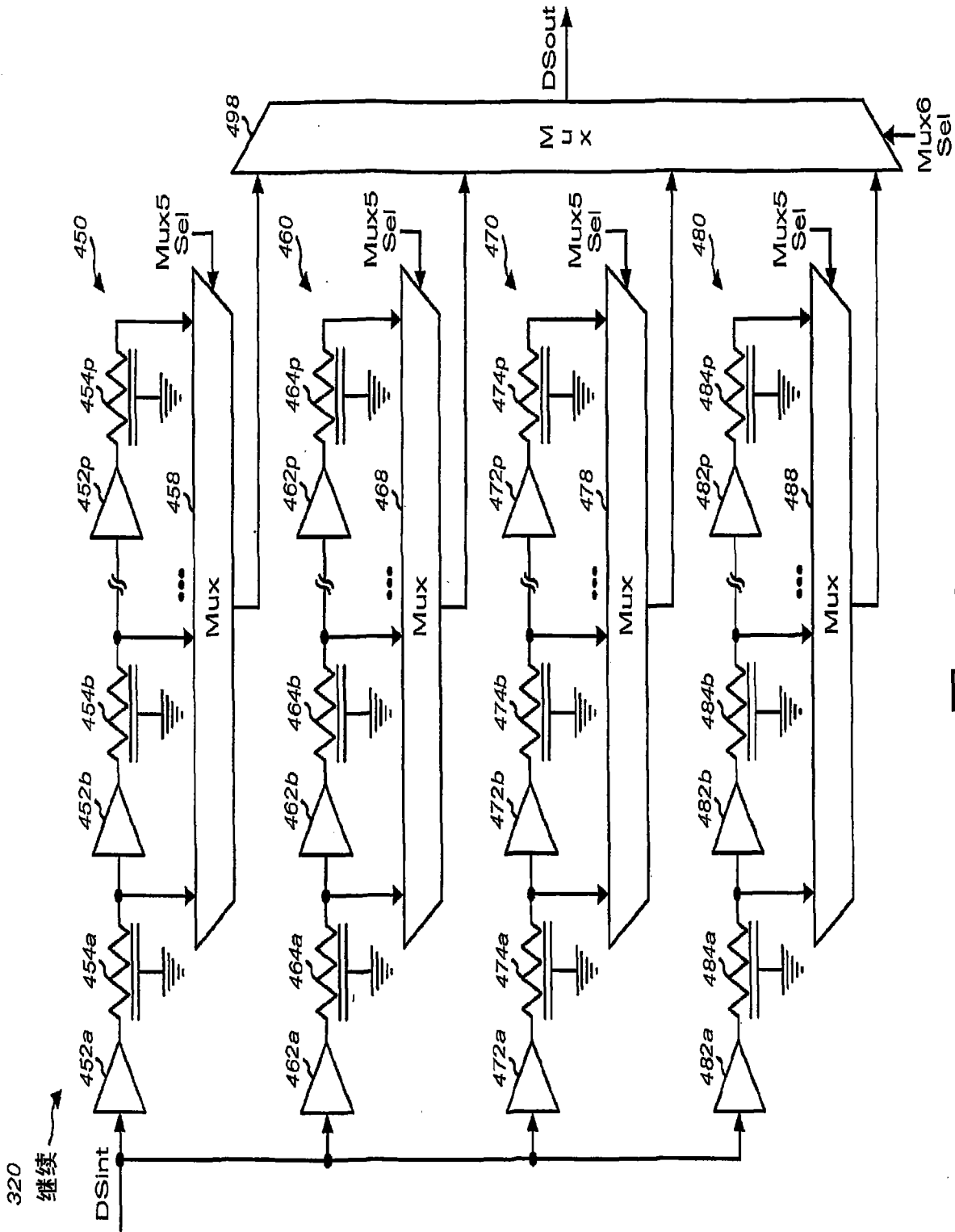


图 4B

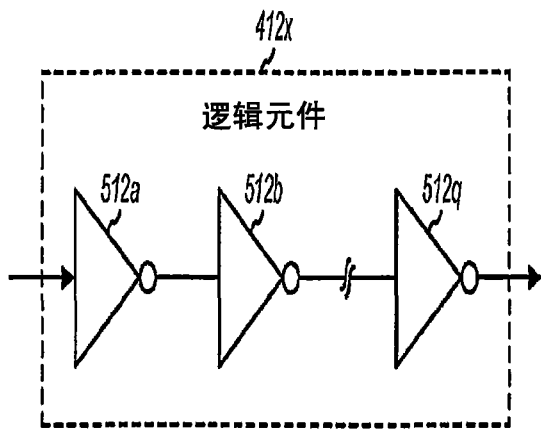


图 5A

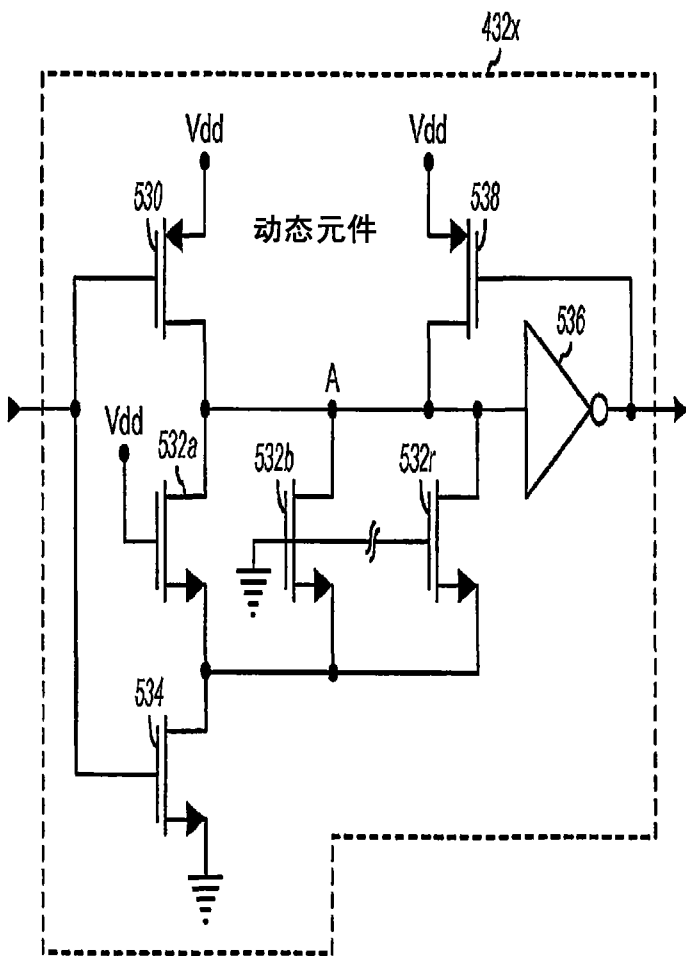


图 5B

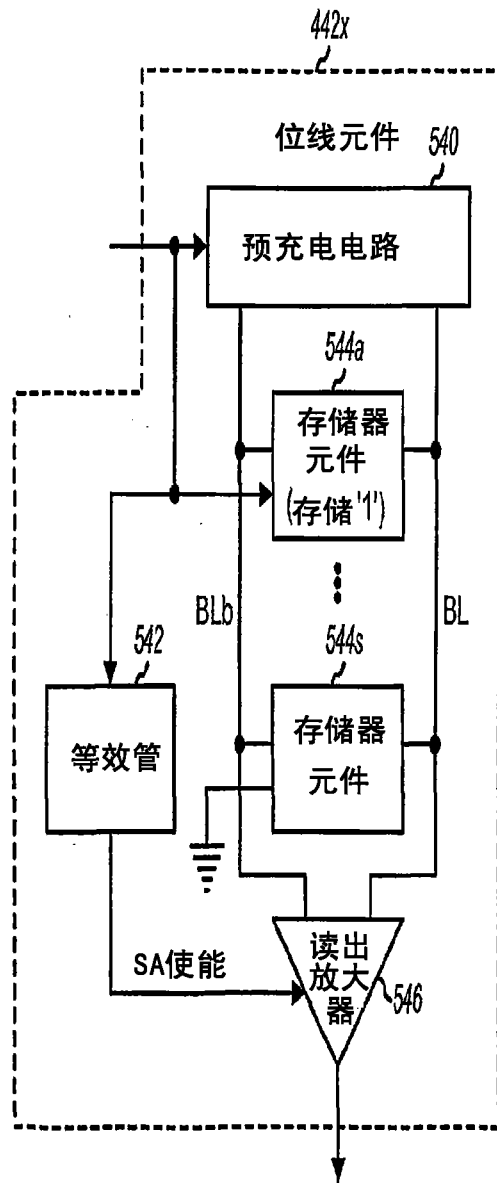


图 5C

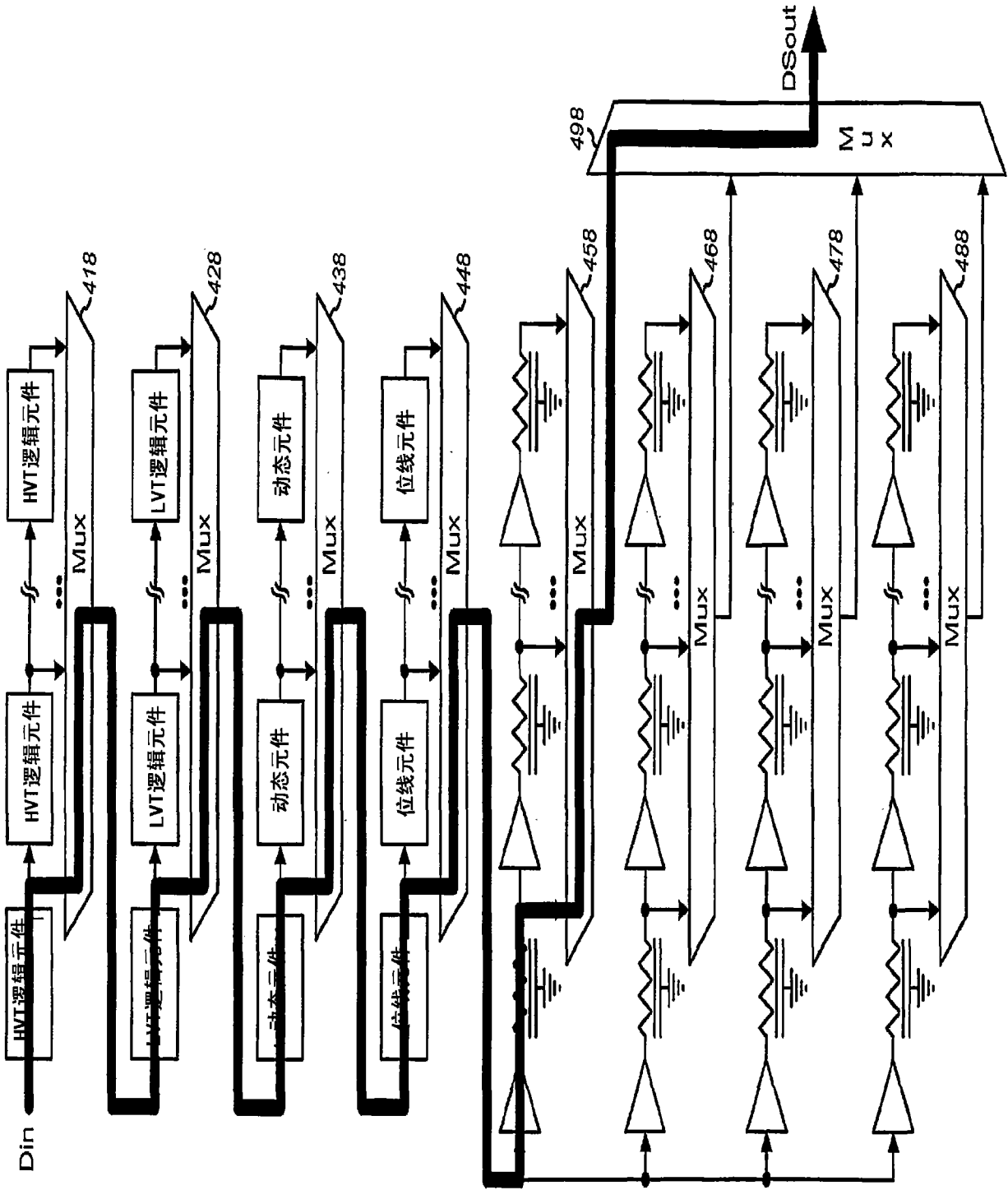
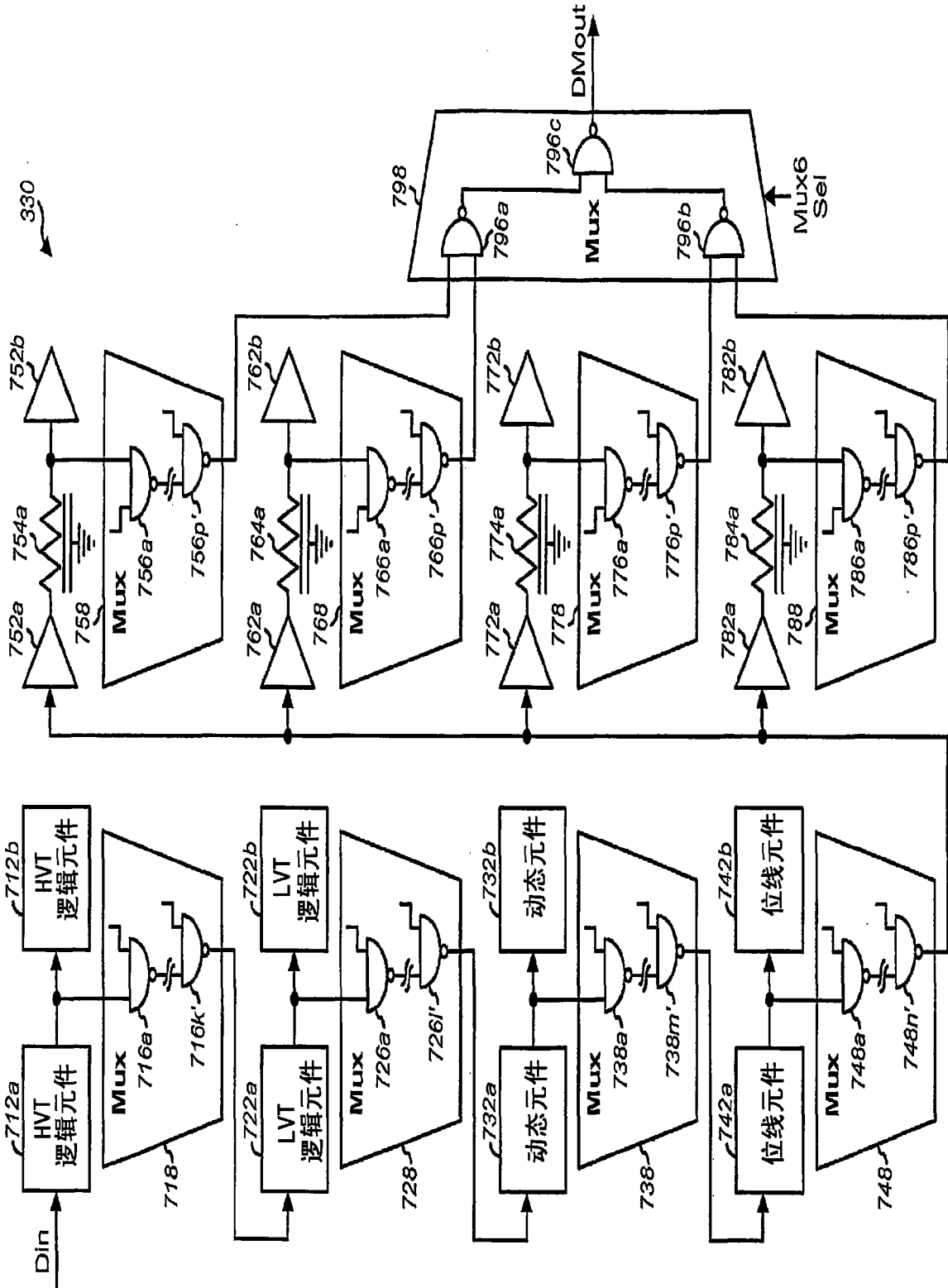


图 6



7

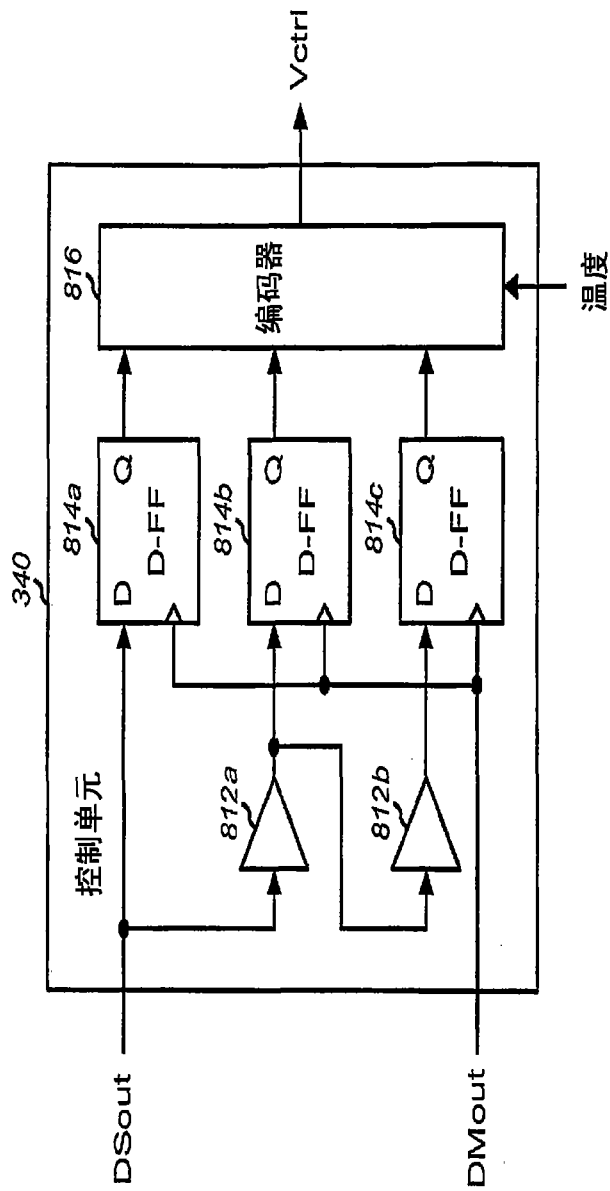


图 8

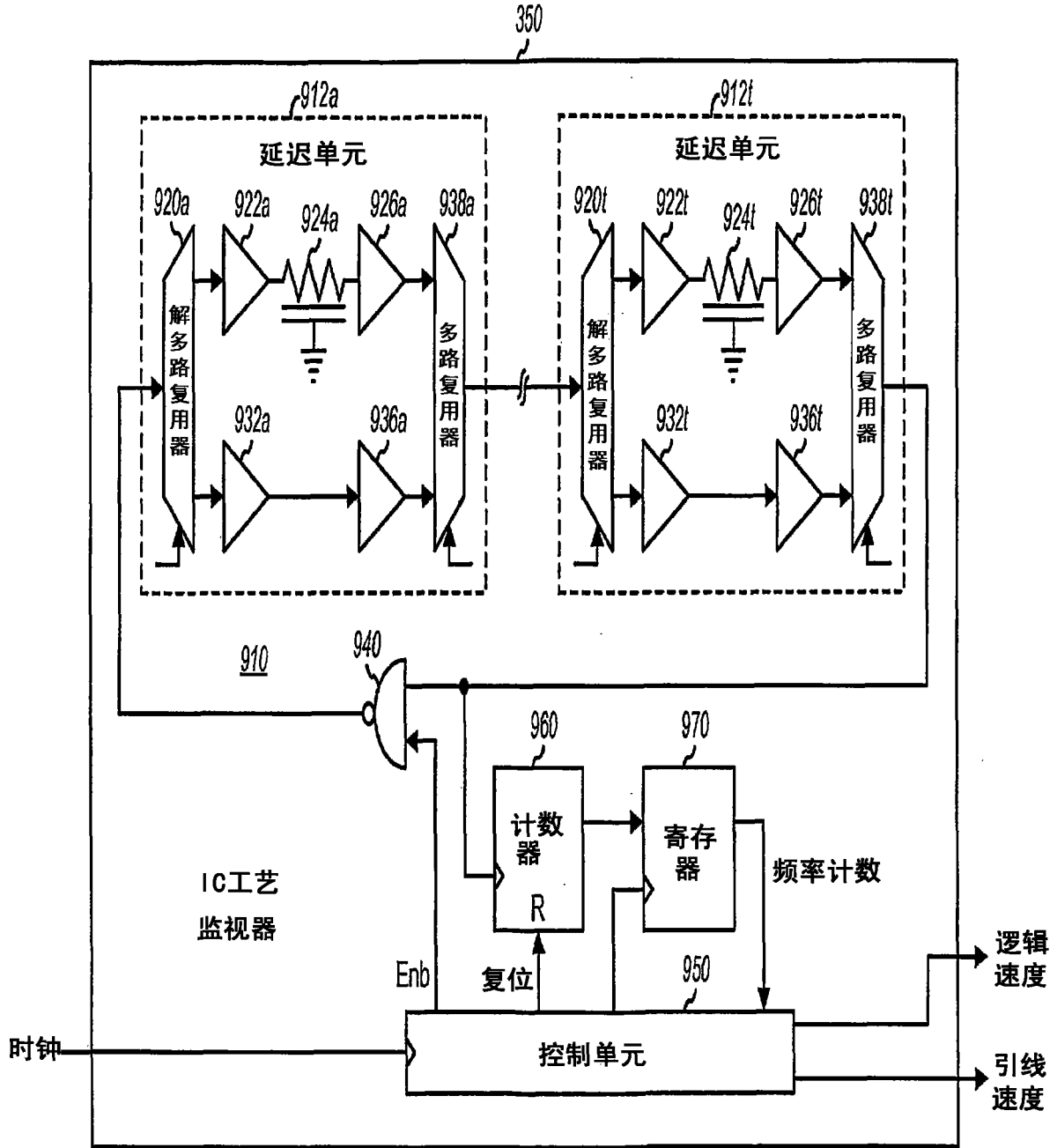


图 9

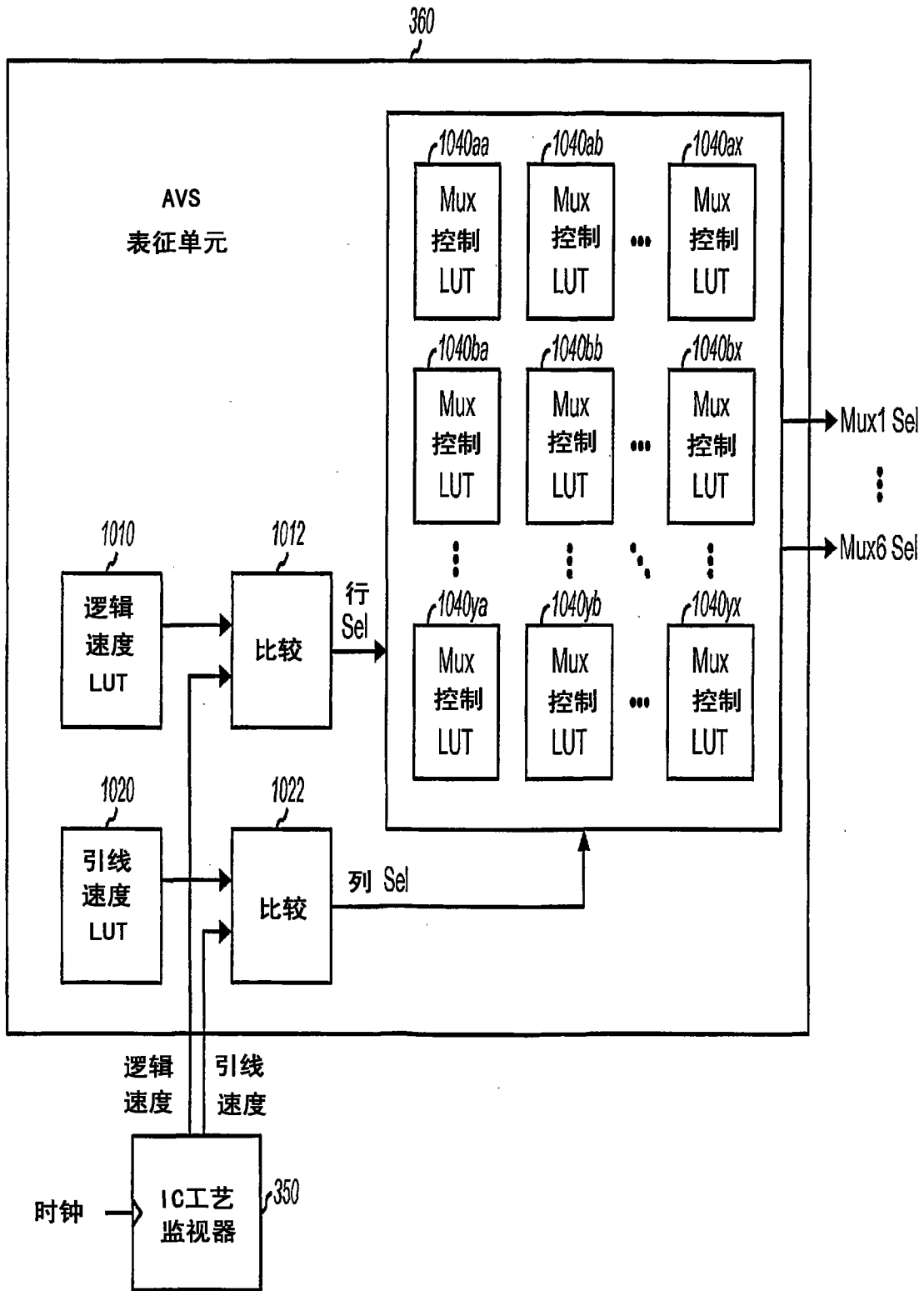


图 10A

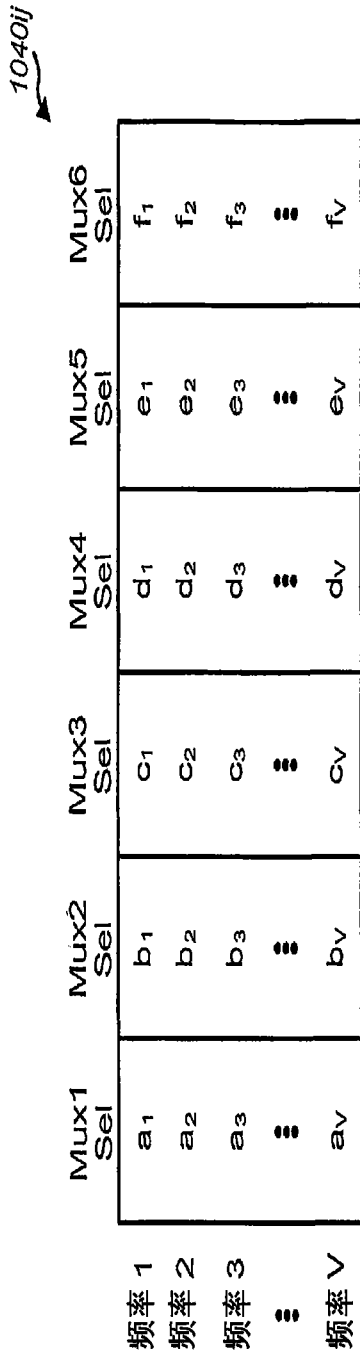


图 10B

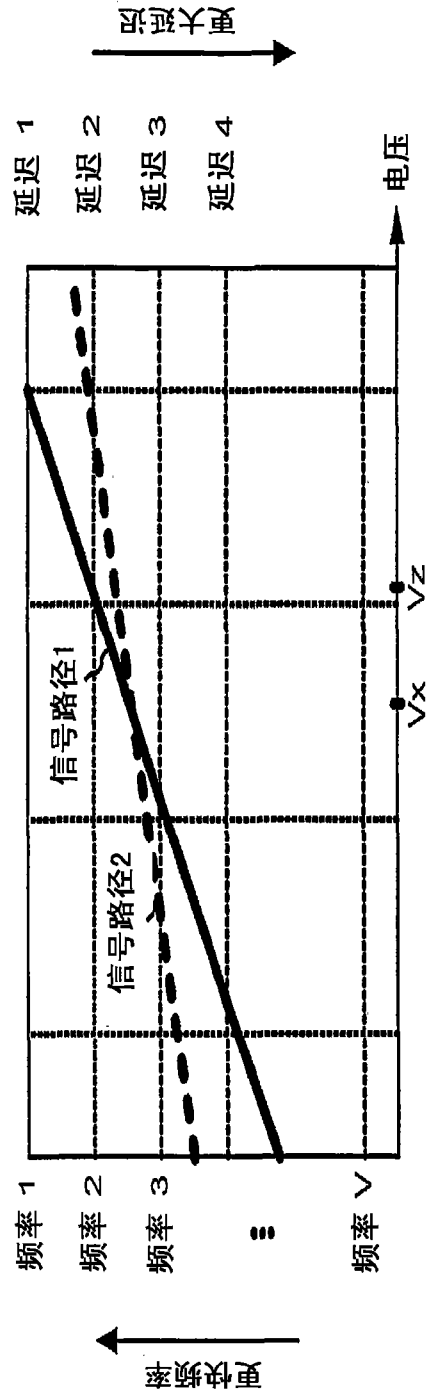


图 11

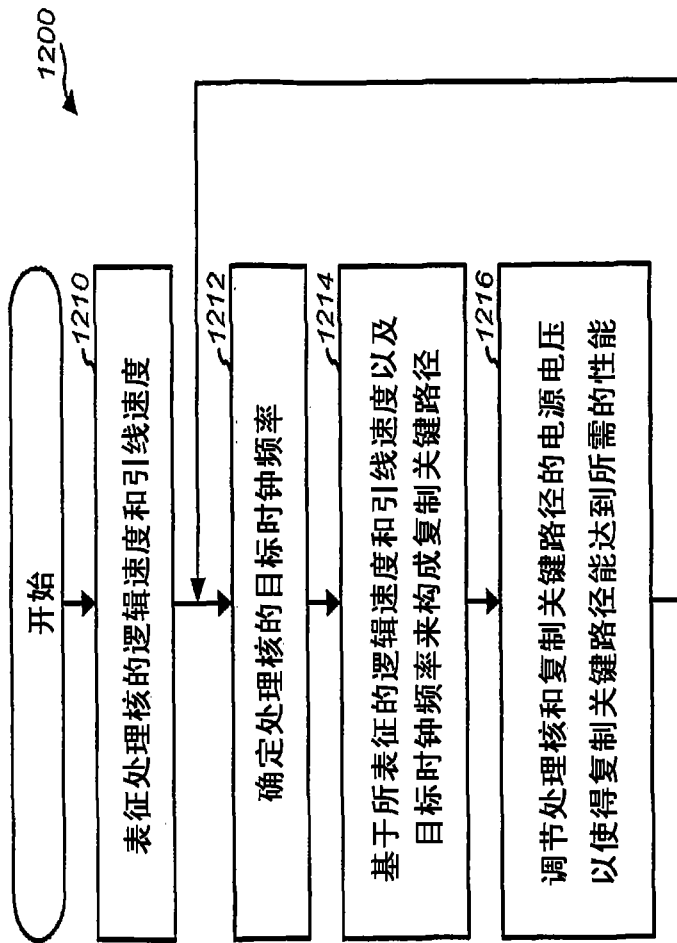


图 12