

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4282514号
(P4282514)

(45) 発行日 平成21年6月24日(2009.6.24)

(24) 登録日 平成21年3月27日(2009.3.27)

(51) Int.Cl. F I
H O 1 L 23/12 (2006.01) H O 1 L 23/12 5 O 1 P

請求項の数 6 (全 12 頁)

(21) 出願番号	特願2004-71294 (P2004-71294)	(73) 特許権者	000001889 三洋電機株式会社
(22) 出願日	平成16年3月12日(2004.3.12)		大阪府守口市京阪本通2丁目5番5号
(65) 公開番号	特開2005-260079 (P2005-260079A)	(74) 代理人	100107906 弁理士 須藤 克彦
(43) 公開日	平成17年9月22日(2005.9.22)	(72) 発明者	亀山 工次郎 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
審査請求日	平成19年3月5日(2007.3.5)	(72) 発明者	鈴木 彰 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
		(72) 発明者	岡山 芳央 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

パッド電極が形成された半導体基板を準備し、前記半導体基板の第1の主面に支持体を接着する工程と、

前記半導体基板の第2の主面から前記パッド電極上に到達するビアホールを形成する工程と、

前記半導体チップの第2の主面に、所定の深さを有した溝を形成する工程と、

前記ビアホール内及び前記溝内を通して前記パッド電極と電氣的に接続され、かつ前記ビアホール及び前記溝から前記半導体基板の第2の主面上に延びる配線層を形成する工程と、を有することを特徴とする半導体装置の製造方法。

【請求項2】

前記溝は、前記ビアホールと連結するようにして形成されることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】

前記溝は、前記所定の深さが前記配線層の膜厚よりも小さくなるようにして形成されることを特徴とする請求項1または請求項2に記載の半導体装置の製造方法。

【請求項4】

前記溝内の前記配線層の両側端部が当該溝の側壁部に接するようにして、前記配線層が形成されることを特徴とする請求項1乃至請求項3のいずれか1項に記載の半導体装置の製造方法。

【請求項 5】

前記配線層を形成する工程の前に、
前記ビアホール及び前記溝を含む前記半導体基板の第2の主面の全面に絶縁膜を形成する工程と、
前記ビアホールの底部をエッチングして、前記パッド電極の一部を露出する工程と、を有することを特徴とする請求項1乃至請求項4のいずれか1項に記載の半導体装置の製造方法。

【請求項 6】

前記配線層を形成する工程の後に、
前記配線層を覆う保護層を形成する工程と、
前記保護層の一部に前記配線層の一部を露出する開口部を形成して、当該開口部で露出する前記配線層上に、導電端子を形成する工程と、
前記半導体基板を複数の半導体チップに分割する工程と、を有することを特徴とする請求項1乃至請求項5のいずれか1項に記載の半導体装置の製造方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、チップサイズパッケージ型の半導体装置及びその製造方法に関するものである。

【背景技術】

20

【0002】

近年、三次元実装技術として、また新たなパッケージ技術として、チップサイズパッケージ(CSP; Chip Size Package)が注目されている。チップサイズパッケージとは、半導体チップの外形寸法と略同サイズの外形寸法を有する小型パッケージをいう。

【0003】

従来より、チップサイズパッケージの一種として、BGA型の半導体装置が知られている。このBGA型の半導体装置は、ハンダ等の金属部材からなるボール状の導電端子をパッケージの一主面上に格子状に複数配列し、パッケージの他の面上に搭載される半導体チップと電気的に接続したものである。

30

【0004】

そして、このBGA型の半導体装置を電子機器に組み込む際には、各導電端子をプリント基板上の配線パターンに圧着することで、半導体チップとプリント基板上に搭載される外部回路とを電気的に接続している。

【0005】

このようなBGA型の半導体装置は、側部に突出したリードピンを有するSOP(Small Outline Package)やQFP(Quad Flat Package)等の他のCSP型の半導体装置に比べて、多数の導電端子を設けることが出来、しかも小型化できるという長所を有する。このBGA型の半導体装置は、例えば携帯電話機に搭載されるデジタルカメラのイメージセンサチップとしての用途がある。

40

【0006】

図10は、従来のBGA型の半導体装置の概略構成を成すものであり、図10(A)はこのBGA型の半導体装置の表面側の斜視図である。また、図10(B)はこのBGA型の半導体装置の裏面側の斜視図である。

【0007】

このBGA型の半導体装置101は、第1及び第2のガラス基板102、103の間に半導体チップ104がエポキシ樹脂105a、105bを介して封止されて成る。第2のガラス基板103の一主面上、即ちBGA型の半導体装置101の裏面上には、導電端子106が格子状に複数配置されている。この導電端子106は、第2の配線110を介して半導体チップ104へと接続される。複数の第2の配線110には、それぞれ半導体チ

50

チップ104の内部から引き出された第1の配線が接続されており、各導電端子106と半導体チップ104との電氣的接続がなされている。

【0008】

このBGA型の半導体装置101の断面構造について図11を参照して更に詳しく説明する。図11はダイシングラインに沿って、個々のチップに分割されたBGA型の半導体装置101の断面図を示している。

【0009】

半導体チップ104の表面に配置された絶縁膜108上に第1の配線107が設けられている。この半導体チップ104は樹脂層105aによって第1のガラス基板102と接着されている。また、この半導体チップ104の裏面は、樹脂層105bによって第2のガラス基板103と接着されている。

10

【0010】

そして、第1の配線107の一端は第2の配線110と接続されている。この第2の配線110は、第1の配線107の一端から第2のガラス基板103の表面に延在している。そして、第2のガラス基板103上に延在した第2の配線110上には、ボール状の導電端子106が形成されている。

【0011】

上述した技術は、例えば以下の特許文献1に記載されている。

【特許文献1】特表2002-512436号公報

【発明の開示】

20

【発明が解決しようとする課題】

【0012】

しかしながら、上述したBGA型の半導体装置101において、第1の配線107と第2の配線110との接触面積が非常に小さいので、この接触部分で断線するおそれがあった。また、第2の配線110のステップカバレッジにも問題があった。

【0013】

また、第2の配線110の強度が充分でないため、本体である半導体装置をプリント基板へ実装する際になどに生じるせん断応力（水平方向から加わる力）や衝撃により、第2の配線110に歪みが生じて、第2の配線110が変形、破損もしくは移動するなどの問題が生じていた。結果として、半導体装置の信頼性が低下していた。

30

【0014】

そこで、本発明は、チップサイズパッケージ型の半導体装置及びその製造方法において、信頼性の向上を図る。

【課題を解決するための手段】

【0019】

本発明の半導体装置の製造方法は、上記課題に鑑みて為されたものであり、パッド電極が形成された半導体基板を準備し、半導体基板の第1の主面に支持体を接着する工程と、半導体基板の第2の主面からパッド電極上に到達するビアホールを形成する工程と、半導体チップの第2の主面に、所定の深さを有した溝を形成する工程と、ビアホール内及び溝内を通してパッド電極と電氣的に接続され、かつビアホール及び溝から半導体基板の第2の主面上に延びる配線層を形成する工程と、を有することを特徴とする。

40

【0020】

また、本発明の半導体装置の製造方法は、上記製造方法において、溝がビアホールと連結するようにして形成されることを特徴とする。

【0021】

また、本発明の半導体装置の製造方法は、上記製造方法において、溝は、上記所定の深さが配線層の膜厚よりも小さくなるようにして形成されることを特徴とする。

【0022】

また、本発明の半導体装置の製造方法は、上記製造方法において、溝内の配線層の両側端部が当該溝の側壁部に接するようにして、配線層が形成されることを特徴とする。

50

【発明の効果】

【0023】

本発明によれば、半導体チップのパッド電極から、その導電端子に至るまでの配線層がビアホールを介して形成されるため、上記配線層の断線やステップカバレッジの劣化を防止することができる。

【0024】

さらに、上記配線層は、半導体チップの第2の主面、即ち裏面に設けられた溝内に形成されているため、当該溝の側壁部によって固定される。これにより、配線層63の強度が向上して、半導体装置をプリント基板へ搭載する際などに生じるせん断応力（水平方向から加わる力）や衝撃に対する配線層の歪み（配線層の変形や移動等）に対する耐久性が向

10

【0025】

また、溝内の配線層が当該溝の側壁部に接しているため、当該溝の側壁部において、半導体装置の動作時に生じる熱が、配線層から半導体チップに伝わって放熱される。

【0026】

結果として、信頼性の高いチップサイズパッケージ型の半導体装置を得ることができる。

【発明を実施するための最良の形態】

【0027】

次に、本実施形態に係る半導体装置の製造方法について図面を参照して説明する。本実施形態に係る半導体装置の製造方法は、例えば以下のように行われる。図1乃至図9は、半導体基板であるシリコンウエハー51の断面を示しており、後述するダイシング工程で分割される予定の隣接チップの境界（即ちダイシングライン領域DL近傍）の断面を示している。図1乃至図9では、シリコンウエハー51の第1の主面、即ち表面には、不図示のデバイス（例えばCCDイメージセンサ等）が形成されているものとする。なお、シリコンウエハー51は、GaAs、Ge、Si-Ge等の他の材料から成る半導体基板であってもよい。

20

【0028】

最初に、図1に示すように、シリコンウエハー51の表面にBPSG等の層間絶縁膜52を介して、一対のパッド電極53を形成する。この一対のパッド電極53は例えばアルミニウム、アルミニウム合金、銅などの金属層から成り、その厚さは1 μ m程度である。また、一対のパッド電極53はダイシングライン領域DLに拡張され、その拡張された端部をダイシングライン領域DLのダイシングライン中心DSの手前に配置している。

30

【0029】

そして、一対のパッド電極53を覆うようにして、シリコン窒化膜等から成る不図示のパッシベーション膜を形成し、さらにこのパッシベーション膜上に、例えばエポキシ樹脂から成る樹脂層55を塗布する。

【0030】

そして、この樹脂層55を介して、シリコンウエハー51の表面に支持体56を接着する。この支持体56は、シリコンウエハー51を支持すると共に、シリコンウエハー51を保護する機能を有するものである。

40

【0031】

シリコンチップ51AがCCDイメージセンサ・チップの場合には、外部からの光をシリコンチップ51Aの表面のCCDデバイスで受光する必要があるため、支持体56としては、ガラス基板のような透明基板、もしくは半透明基板を用いる必要がある。シリコンチップ51Aが受光や発光するものでない場合には、ガラス基板に限らず、不透明基板を用いてもよい。例えば、金属や有機物から成る基板状のもの、もしくはテープ状のものを用いてもよい。

【0032】

そして、この支持体56が接着された状態で、必要に応じてシリコンウエハー51の裏

50

面エッチング、いわゆるバックグラインドを行い、その厚さを、例えば150 μm程度に加工する。

【0033】

その後、酸（例えば、HFと硝酸等との混合液）をエッチャントとして用いて20 μm程度、シリコンウエハー51をエッチングする。これにより、バックグラインドによって生じたシリコンウエハー51の機械的なダメージ層が除去され、シリコンウエハー51の表面に形成されたデバイスの特性が改善される。本実施形態では、シリコンウエハー51の最終仕上げりの厚さは130 μm程度であるが、これはデバイスの種類に応じて適宜選択することができる

次に、図2に示すように、シリコンウエハー51の裏面上に第1のホトレジスト層58を選択的に形成する。即ち、第1のホトレジスト層58は、パッド電極53に対応した位置に開口部を有して形成される。この第1のホトレジスト層58をマスクとして、シリコンウエハー51のエッチングを行う。このエッチングにより、シリコンウエハー51を貫通するビアホール81を形成する。ここで、ビアホール81の底部には層間絶縁膜52が露出され、それに接してパッド電極53がある。

【0034】

ビアホール81を形成するエッチングの方法には、レーザービームを用いてエッチングする方法やドライエッチングを使用する方法がある。ビアホール81の断面形状は、後述するシード層の被覆性を良くするために、順テーパ形状に加工してもよい。

【0035】

次に、第1のホトレジスト層58を除去した後、図3に示すように、シリコンウエハー51の裏面上に第2のホトレジスト層59を選択的に形成する。即ち、第2のホトレジスト層59は、ビアホール81の形成領域を含むシリコンウエハー51の裏面上の一部の領域に開口部を有して形成される。この第2のホトレジスト層59をマスクとして、シリコンウエハー51のエッチングを行う。このエッチングにより、ビアホール81の形成領域を含むシリコンウエハー51の裏面上の一部の領域に、所定の深さを有した溝82を形成する。また、このエッチングにより、ビアホール81の底部の層間絶縁膜52が除去され、当該底部においてパッド電極53の一部が露出される。

【0036】

この溝82は、ビアホール81と連結していることが好ましい。また、当該溝82は、例えば、その底部がシリコンウエハー51の表面（パッド電極53が形成された側の主面）よりもシリコンウエハー51の裏面に近い位置に存在するような所定の深さを有している。この所定の深さは、後述する配線層63の膜厚よりも小さいものであることが好ましい。

【0037】

次に、第2のホトレジスト層59を除去した後、図4に示すように、上記工程によりビアホール81内及び溝82内を含むシリコンウエハー51の裏面の全面に、絶縁膜57を形成する。この絶縁膜57は、例えばプラズマCVD法によって形成され、PE-SiO₂膜やPE-SiN膜が適している。ここで、ビアホール81の底部は、シリコンウエハー51の裏面や溝82の底部から遠方へ離間して存在している。そのため、シリコンウエハー51の裏面上や溝82内の絶縁膜57は、ビアホール81の底部に位置する絶縁膜57に比して、厚く形成される。

【0038】

次に、図5に示すように、ホトレジスト層を用いずに、異方性のドライエッチングを行う。これにより、ビアホール81の底部に位置する絶縁膜57が除去される。そして、ビアホール81の底部では、パッド電極53が露出される。

【0039】

一方、ビアホール81の側壁部及び溝82の側壁部の絶縁膜57は除去されずに残る。また、シリコンウエハー51の裏面上、及び溝82の底部の絶縁膜57は、ビアホール81の底部の絶縁膜57よりも厚く形成されているため、完全には除去されずに残る。

10

20

30

40

50

【 0 0 4 0 】

もしくは、不図示のレジスト層を用いた異方性のドライエッチングにより、ビアホール 8 1 の底部に位置する絶縁膜 5 7 を除去してもよい。この場合、不図示のレジスト層は、ビアホール 8 1 の形成領域のみを開口するようにして、溝 8 2 内を含む絶縁膜 5 7 上に形成される。そして、ドライエッチングの終了後、当該不図示のホトレジスト層を除去する。

【 0 0 4 1 】

次に、配線層 6 3 を形成する工程を説明する。最初に、図 6 に示すように、絶縁膜 5 7 の一部の領域に対して、選択的に第 3 のホトレジスト層 6 2 を形成する。この領域は、後述する配線層 6 3 及びハンダボール 6 6 の形成領域を除く領域である。

10

【 0 0 4 2 】

次に、スパッタ法、MOCVD法、無電解メッキなどのいずれかの方法により、ビアホール 8 1 内及び溝 8 2 内を含むシリコンウエハ 5 1 の裏面に、不図示のシード層を形成する。不図示のシード層は、ビアホール 8 1 の底部で露出するパッド電極 5 3 と電気的に接続され、かつ絶縁膜 5 7 を覆うように形成される。

【 0 0 4 3 】

不図示のシード層は、例えば銅 (Cu) 層、もしくはチタンタングステン (TiW) 層やチタンナイトライド (TiN) 層、タンタルナイトライド (TaN) 層などのバリアメタル層、もしくは銅 (Cu) 層とバリアメタル層との積層構造から成る。

【 0 0 4 4 】

ここで、ビアホール 8 1 内において、不図示のシード層を構成するバリアメタル層は、銅 (Cu) が絶縁膜 5 7 を通してシリコンウエハ 5 1 中に拡散するのを防止する。ただし、絶縁膜 5 7 がシリコン窒化膜 (SiN 膜) で形成されている場合には、シリコン窒化膜 (SiN 膜) が銅拡散に対するバリアとなるため、シード層は銅 (Cu) のみでも問題ない。

20

【 0 0 4 5 】

この不図示のシード層は、後述する電解メッキ時のメッキ成長のためメッキ電極となる。その厚さは 1 μm 程度でよい。なお、ビアホール 8 1 が順テーパーに加工されている場合には、シード層の形成にはスパッタ法を用いることができる。

【 0 0 4 6 】

次に、不図示のシード層に対して銅 (Cu) の電界メッキを行う。即ち、銅 (Cu) の電解メッキを行うことで配線層 6 3 を形成する。配線層 6 3 は、ビアホール 8 1 内及び溝 8 2 内からシリコンウエハ 5 1 の裏面に延びて形成されて、不図示のシード層を介してパッド電極 5 3 と電気的に接続される。

30

【 0 0 4 7 】

ここで、溝 8 2 内の配線層 6 3 は、当該溝 8 2 を覆うようにして、当該溝 8 2 の深さよりも厚い膜厚を有して形成されることが好ましい。溝 8 2 の深さと、溝 8 2 内の配線層 6 3 の厚さとの比率は、おおよそ 2 対 3 程度であることが好ましい。もしくは、配線層 6 3 は、上記比率に制限されずに、溝 8 2 の深さよりも厚い膜厚を有して形成されてもよい。例えば、溝 8 2 の形成時のスループットを向上させる場合、配線層 6 3 の膜厚を 5 ~ 15 μm 程度、溝 8 2 の深さを 1 ~ 2 μm 程度としてもよい。

40

【 0 0 4 8 】

また、溝 8 2 内の配線層 6 3 は、当該配線層 6 3 の両側端部が、溝 8 2 の側壁部に接するようにして形成されることが好ましい。少なくとも、溝 8 2 内の配線層 6 3 の一方の側端部が、当該溝 8 2 の一方の側壁部に接するようにして形成される。

【 0 0 4 9 】

一般に、ビアホールからシリコンウエハの裏面に延びて形成される配線層は、その金属的特性により、半導体装置をプリント基板へ実装する際に生じるせん断応力 (水平方向から加わる力) や衝撃によって歪みが生じて、配線層が変形、破損もしくは移動するおそれがある。即ち、配線層の強度が充分ではなかった。これに対して本実施形態では、

50

配線層 63 が、ビアホール 81 内のみならず、溝 82 内においても形成されているため、その溝 82 の側壁部によって配線層 63 が固定される。これにより、上記せん断応力や衝撃に対する配線層 63 の強度が向上して、配線層 63 が変形、破損もしくは移動することを極力抑止することができる。

【0050】

また、溝 82 内の配線層 63 が溝 82 の側壁部に接しているため、溝 82 の側壁部において、半導体装置の動作時に生じる熱が、配線層 63 からシリコンウエハ 51 (分割された後にはシリコンチップ 51A) に伝わって放熱される。

【0051】

なお、配線層 63 は、シリコンウエハ 51 の裏面の所望領域に、所望の本数を形成することができる。

10

【0052】

また、図 6 では、配線層 63 は、銅 (Cu) の電解メッキによりビアホール 81 内及び溝 82 内に形成されているが、これには限定されず、スズ (Sn) をメッキ形成した後、さらに銅 (Cu) のメッキ形成を行うことにより形成されてもよい。

【0053】

また、配線層 63 は、メッキ以外の他の方法により形成されてもよい。例えば、配線層 63 は、CVD 法や MOCVD 法によりビアホール 81 内及び溝 82 内に銅 (Cu) が成膜されることで形成されてもよい。また、配線層 63 は、アルミニウム (Al) 等の金属によりスパッタ形成されてもよい。

20

【0054】

また、図 6 では、シリコンウエハ 51 の裏面側の一部の領域に第 3 のホトレジスト層 62 を形成した後に、これをマスクとして配線層 63 を形成しているが、本発明はこれに限定されず、配線層 63 を、例えば以下のように形成してもよい。即ち、図示しないが、ビアホール 81 及び溝 82 を含むシリコンウエハ 51 の裏面側の全面に配線層 63 用の金属層を形成した後、当該金属層上にホトレジスト層を形成し、当該ホトレジスト層をマスクとしたパターニングにより、配線層 63 を形成してもよい。

【0055】

次に、第 3 のホトレジスト層 62 を除去した後、図 7 に示すように、配線層 63 上に、例えばニッケル (Ni) 及び金 (Au) から成るバリア層 64 を形成する。ここでバリア層 64 は、例えばニッケル (Ni) 及び金 (Au) の無電界メッキ、もしくはスパッタ法により形成される。

30

【0056】

次に、図 8 に示すように、配線層 63 及びバリア層 64 上を含むシリコンウエハ 51 の裏面上に、配線層 63 を覆うようにして、保護層であるソルダーマスク 65 を形成する。そして、配線層 63 の形成位置に対応するソルダーマスク 65 の一部の箇所を、例えばエッチング等により選択的に除去して、当該箇所において配線層 63 を露出する開口部 K を設ける。

【0057】

さらに、スクリーン印刷法を用いて、配線層 63 の所定領域上、即ち開口部 K で露出する配線層 63 上にハンダを印刷し、このハンダを熱処理でリフローさせることで、ハンダボール 66 を形成する。ハンダボール 66 は、ハンダに限らず、鉛フリーの低融点金属材料を用いて形成しても良い。また、開口部 K の数や形成領域を適宜選択することにより、ハンダボール 66 は、その数や形成領域を自由に選択して形成することができる。なお、ハンダによるハンダボール 66 の形成に替えて、メッキ形成による導電端子 (ハンダボール 66 の形成箇所に設けられる) の形成を行ってもよい。

40

【0058】

そして、図 9 に示すように、ダイシングライン領域 DL のダイシングライン中心 DS に沿ってダイシング工程を行い、シリコンウエハ 51 を複数のシリコンチップ 51A に分割する。このダイシング工程では、ダイシングブレードを用いて切削している。こうして

50

、本実施形態に係る半導体装置が完成する。

【0059】

上述したように、本実施形態では、パッド電極53からシリコンチップ51Aの裏面に形成されたハンダボール66に至るまでの配線層63を、ビアホール81及び溝82を通して配線しているため、配線層63の断線が起こりにくくステップカバレッジも優れている。さらに、配線層63が溝82内に形成されることにより、せん断応力（水平方向から加わる力）や衝撃に対する配線層63の強度が向上すると共に、半導体装置の放熱性が向上する。結果として、信頼性の高いチップサイズパッケージ型の半導体装置を得ることができる。

【0060】

なお、上述した本実施形態では溝82はビアホール81と連結しているものとしたが、本発明はこれに限定されない。即ち、溝82とビアホールは、互い離間した位置に形成されてもよい。この場合、シリコンウエハー51の裏面上において、当該溝82とビアホール81の両者を覆うようにして配線層63が形成される。

【0061】

また、上述した本実施形態では、通常のワイヤボンディングに用いられるパッド電極をダイシングライン領域DLまで拡張して成るパッド電極53を形成しているが、これには限定されず、パッド電極53の代わりにダイシングライン領域DLまで拡張されない通常のワイヤボンディングに用いられるパッド電極をそのまま利用しても良い。この場合は、ビアホール81の形成位置をこのパッド電極に合わせれば良く、他の工程は全く同じである。

【0062】

また、上述した本発明は、ハンダボール66が形成されたBGA型の半導体装置及びその製造方法に適用されるものとしたが、本発明はこれに制限されるものではない。即ち、本発明は、シリコンウエハーを貫通するビアホールに形成された配線層を有するものであれば、ハンダボールが形成されない半導体装置及びその製造方法にも適用されるものである。例えば、LGA(Land Grid Array)型の半導体装置及びその製造方法にも適用される。

【図面の簡単な説明】

【0063】

【図1】本発明の実施形態に係る半導体装置の製造方法を説明する断面図である。

【図2】本発明の実施形態に係る半導体装置の製造方法を説明する断面図である。

【図3】本発明の実施形態に係る半導体装置の製造方法を説明する断面図である。

【図4】本発明の実施形態に係る半導体装置の製造方法を説明する断面図である。

【図5】本発明の実施形態に係る半導体装置の製造方法を説明する断面図である。

【図6】本発明の実施形態に係る半導体装置の製造方法を説明する断面図である。

【図7】本発明の実施形態に係る半導体装置の製造方法を説明する断面図である。

【図8】本発明の実施形態に係る半導体装置の製造方法を説明する断面図である。

【図9】本発明の実施形態に係る半導体装置及びその製造方法を説明する断面図である。

【図10】従来に係る半導体装置を説明する図である。

【図11】従来に係る半導体装置を説明する図である。

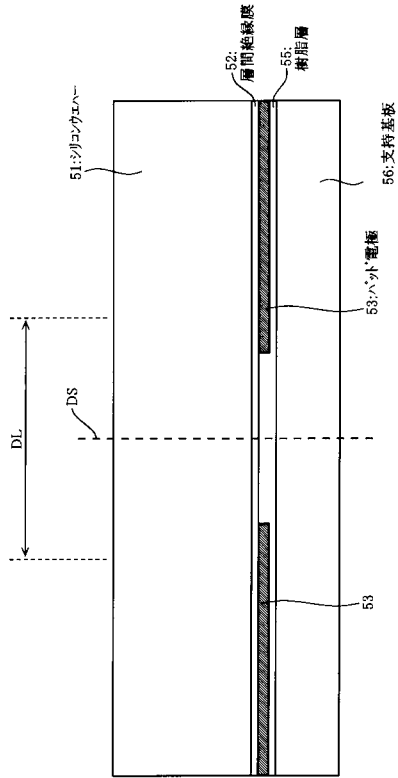
10

20

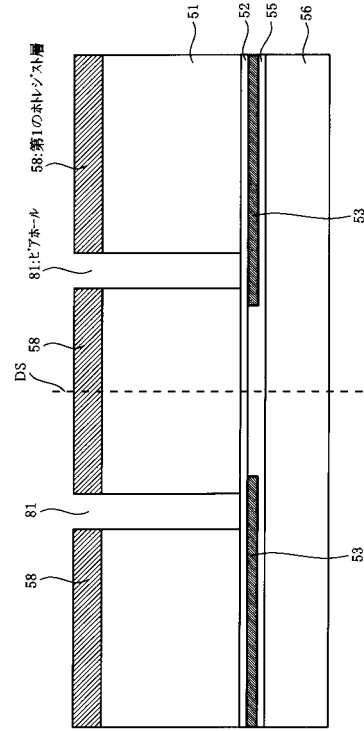
30

40

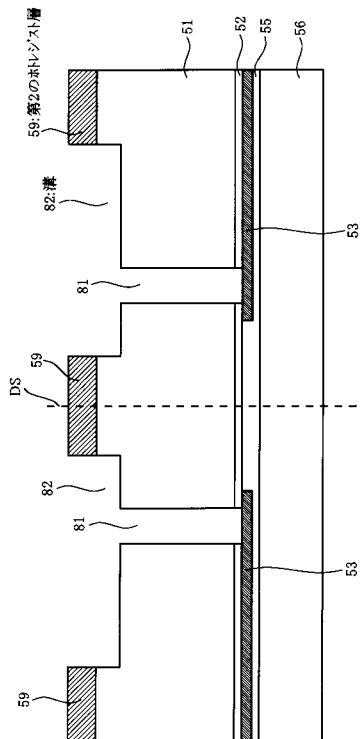
【図1】



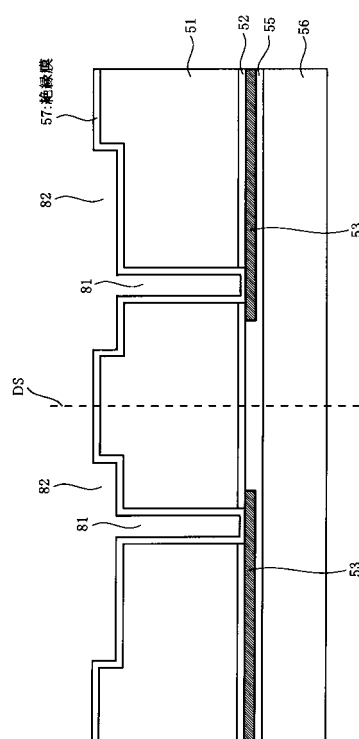
【図2】



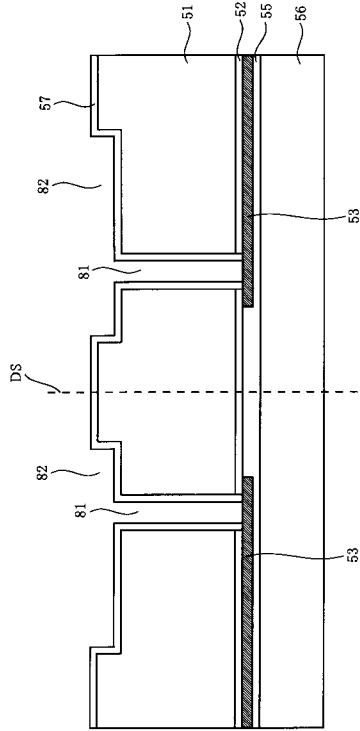
【図3】



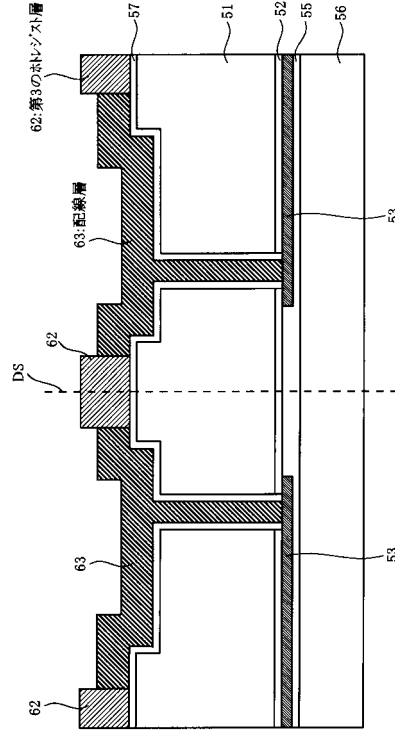
【図4】



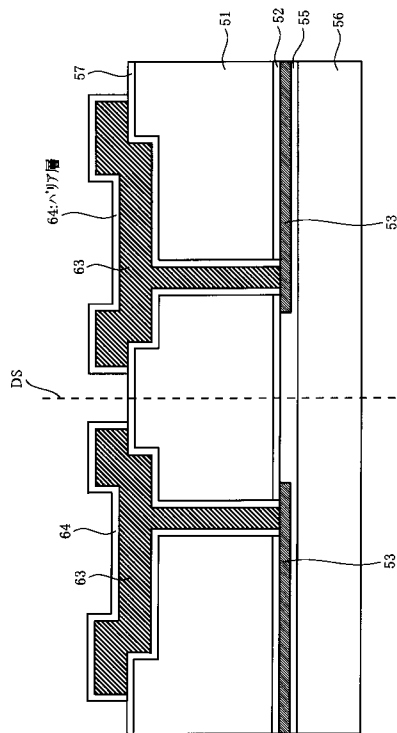
【図5】



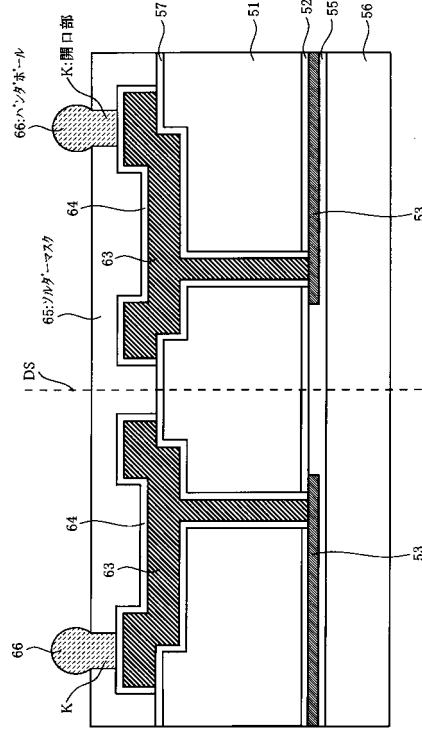
【図6】



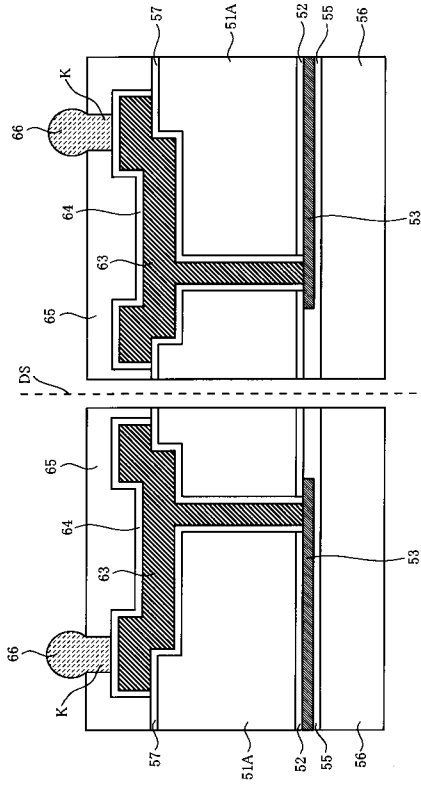
【図7】



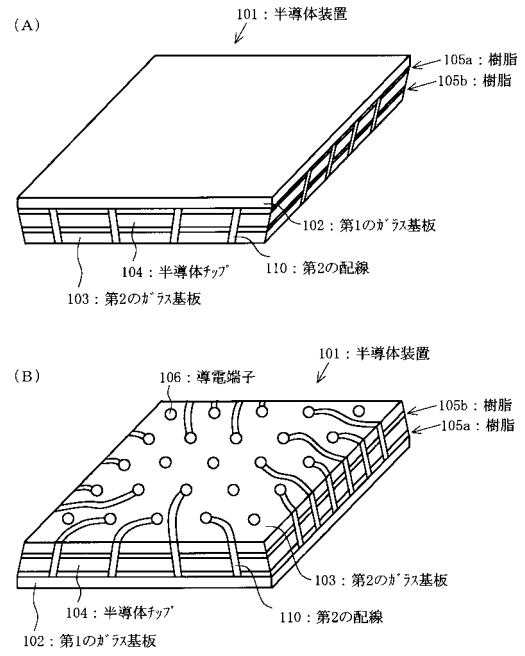
【図8】



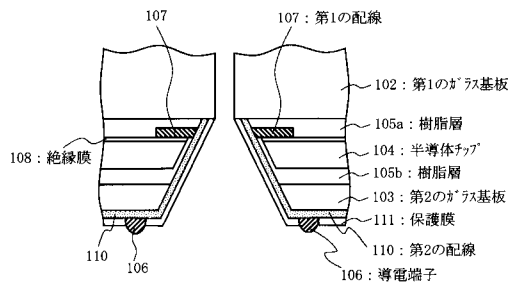
【図9】



【図10】



【図11】



フロントページの続き

審査官 石野 忠志

(56)参考文献 特開2002-217197(JP,A)
特表2002-512436(JP,A)
特開平03-205837(JP,A)
特開2001-189414(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 23/12
H01L 21/3205
H01L 23/52