



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2021-0033713
(43) 공개일자 2021년03월29일

(51) 국제특허분류(Int. Cl.)

G11C 16/08 (2006.01) G11C 16/10 (2006.01)

G11C 16/24 (2006.01) G11C 16/34 (2006.01)

(52) CPC특허분류

G11C 16/08 (2013.01)

G11C 16/10 (2013.01)

(21) 출원번호 10-2019-0115340

(22) 출원일자 2019년09월19일

심사청구일자 없음

(71) 출원인

에스케이하이닉스 주식회사

경기도 이천시 부발읍 경충대로 2091

(72) 발명자

김재웅

경기도 이천시 구مان리로 191, 103동 3601호(안흥동, 롯데캐슬 골드스카이)

(74) 대리인

김두식, 문용호, 오중한

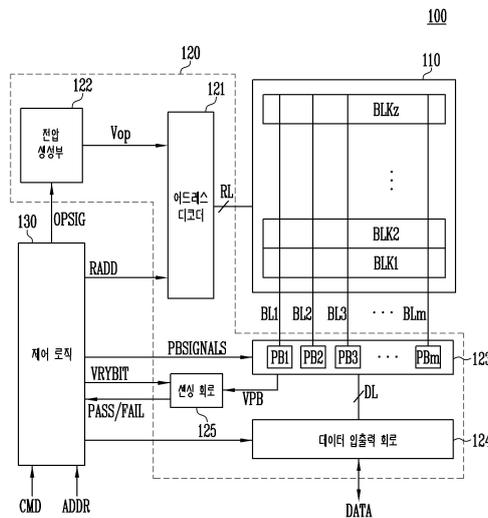
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 메모리 장치 및 그 동작 방법

(57) 요약

본 기술은 전자 장치에 관한 것으로, 본 기술에 따른 향상된 프로그램 성능을 갖는 메모리 장치는 메모리 셀 어레이, 주변 회로 및 제어 로직을 포함한다. 메모리 셀 어레이는 복수의 메모리 셀들을 포함한다. 주변 회로는 복수의 메모리 셀들을 복수의 상태들 중 목표 프로그램 상태로 프로그램한다. 제어 로직은 복수의 메모리 셀들과 연결된 워드라인에 프로그램 전압을 인가하고, 워드라인에 프로그램 전압이 인가되는 동안, 복수의 메모리 셀들과 연결된 복수의 비트라인들 프로그램 허용 전압들을 인가하는 비트라인 디스차지 동작을 수행하도록 주변 회로를 제어한다. 목표 프로그램 상태에 따라, 프로그램 허용 전압들이 복수의 비트라인들에 각각 인가되는 시점이 결정된다.

대표도 - 도2



(52) CPC특허분류

G11C 16/24 (2013.01)

G11C 16/3404 (2013.01)

명세서

청구범위

청구항 1

복수의 메모리 셀들과 연결된 워드라인에 프로그램 전압을 인가하는 단계;

상기 복수의 메모리 셀들과 연결된 복수의 비트라인들의 전위를 일정 레벨로 설정하는 비트라인 프리차지 동작을 수행하는 단계; 및

상기 복수의 메모리 셀들 각각의 목표 프로그램 상태에 따라, 상이한 시점에 상기 복수의 비트라인들 각각에 프로그램 허용 전압을 인가하는 비트라인 디스차지 동작을 수행하는 단계;를 포함하는 메모리 장치의 동작 방법.

청구항 2

제 1항에 있어서, 상기 비트라인 프리차지 동작은,

상기 목표 프로그램 상태에 따라 상기 복수의 비트라인들에 상기 프로그램 허용 전압 또는 프로그램 금지 전압을 인가하는 메모리 장치의 동작 방법.

청구항 3

제 2항에 있어서, 상기 비트라인 프리차지 동작은,

상기 목표 프로그램 상태가 최상위 프로그램 상태인 메모리 셀과 연결된 비트라인에 상기 프로그램 허용 전압을 인가하는 메모리 장치의 동작 방법.

청구항 4

제 2항에 있어서, 상기 비트라인 프리차지 동작은,

상기 목표 프로그램 상태가 최상위 프로그램 상태를 제외한 나머지 프로그램 상태인 메모리 셀과 연결된 비트라인에 상기 프로그램 금지 전압을 인가하는 메모리 장치의 동작 방법.

청구항 5

제 2항에 있어서, 상기 프로그램 금지 전압은,

전원 전압이고,

상기 프로그램 허용 전압은,

상기 프로그램 금지 전압보다 낮은 메모리 장치의 동작 방법.

청구항 6

제 1항에 있어서, 상기 비트라인 디스차지 동작은,

제1 프로그램 상태로 프로그램될 셀과 연결된 제1 비트라인에 상기 프로그램 허용 전압을 인가하기 전에, 상기 제1 프로그램 상태보다 높은 제2 프로그램 상태로 프로그램될 셀과 연결된 제2 비트라인에 상기 프로그램 허용 전압을 인가하는 메모리 장치의 동작 방법.

청구항 7

제 1항에 있어서,

상기 워드라인에 접지 전압을 인가하는 단계;를 더 포함하는 메모리 장치의 동작 방법.

청구항 8

제 1항에 있어서, 상기 비트라인 디스차지 동작은,

상기 워드라인의 전위가 접지 전압으로 디스차지되는 전체 또는 일부 구간 동안, 상기 목표 프로그램 상태가 기준 프로그램 상태보다 낮은 메모리 셀과 연결된 비트라인에 상기 프로그램 허용 전압을 인가하는 메모리 장치의 동작 방법.

청구항 9

복수의 메모리 셀들과 연결된 워드라인에 프로그램 전압을 인가하는 단계;

상기 복수의 메모리 셀들과 연결된 복수의 비트라인들의 전위를 일정 레벨로 설정하는 비트라인 프리차지 동작을 수행하는 단계; 및

상기 복수의 비트라인들에 프로그램 허용 전압들을 인가하는 비트라인 디스차지 동작을 수행하는 단계;를 포함하고,

상기 복수의 메모리 셀들의 목표 프로그램 상태에 따라, 상기 프로그램 허용 전압들의 레벨 및 상기 프로그램 허용 전압들이 상기 복수의 비트라인들 각각에 인가되는 시점이 결정되는 메모리 장치의 동작 방법.

청구항 10

제 9항에 있어서, 상기 비트라인 디스차지 동작은,

제1 프로그램 상태로 프로그램될 셀과 연결된 제1 비트라인과 상기 제1 프로그램 상태보다 높은 제2 프로그램 상태로 프로그램될 셀과 연결된 제2 비트라인에 동일한 레벨의 프로그램 허용 전압을 인가하되, 상기 제2 비트라인에 상기 제1 비트라인보다 먼저 프로그램 허용 전압을 인가하는 메모리 장치의 동작 방법.

청구항 11

제 9항에 있어서, 상기 비트라인 디스차지 동작은,

제1 프로그램 상태로 프로그램될 셀과 연결된 제1 비트라인과 상기 제1 프로그램 상태보다 높은 제2 프로그램 상태로 프로그램될 셀과 연결된 제2 비트라인에 동시에 프로그램 허용 전압을 인가하되, 상기 제2 비트라인에 상기 제1 비트라인보다 낮은 레벨의 프로그램 허용 전압을 인가하는 메모리 장치의 동작 방법.

청구항 12

제 9항에 있어서, 상기 비트라인 프리차지 동작은,

상기 목표 프로그램 상태에 따라 상기 복수의 비트라인들에 상기 프로그램 허용 전압들 또는 프로그램 금지 전압을 인가하는 메모리 장치의 동작 방법.

청구항 13

제 9항에 있어서,

상기 워드라인에 접지 전압을 인가하는 단계;를 더 포함하는 메모리 장치의 동작 방법.

청구항 14

복수의 메모리 셀들을 포함하는 메모리 셀 어레이;

상기 복수의 메모리 셀들을 복수의 상태들 중 목표 프로그램 상태로 프로그램하는 주변 회로; 및

상기 복수의 메모리 셀들과 연결된 워드라인에 프로그램 전압을 인가하고, 상기 워드라인에 상기 프로그램 전압이 인가되는 동안, 상기 복수의 메모리 셀들과 연결된 복수의 비트라인들 프로그램 허용 전압들을 인가하는 비트라인 디스차지 동작을 수행하도록 상기 주변 회로를 제어하는 제어 로직;을 포함하고,

상기 목표 프로그램 상태에 따라, 상기 프로그램 허용 전압들이 상기 복수의 비트라인들에 각각 인가되는 시점이 결정되는 메모리 장치.

청구항 15

제 14항에 있어서, 상기 제어 로직은,

제1 프로그램 상태로 프로그램될 셀과 연결된 제1 비트라인과 상기 제1 프로그램 상태보다 높은 제2 프로그램 상태로 프로그램될 셀과 연결된 제2 비트라인에 동일한 프로그램 허용 전압을 인가하되, 상기 제2 비트라인에 상기 제1 비트라인보다 먼저 프로그램 허용 전압을 인가하도록 상기 주변 회로를 제어하는 메모리 장치.

청구항 16

제 14항에 있어서, 상기 프로그램 허용 전압들의 레벨은,

상기 목표 프로그램 상태에 따라 결정되는 메모리 장치.

청구항 17

제 16항에 있어서, 상기 제어 로직은,

제1 프로그램 상태로 프로그램될 셀과 연결된 제1 비트라인과 상기 제1 프로그램 상태보다 높은 제2 프로그램 상태로 프로그램될 셀과 연결된 제2 비트라인에 동시에 프로그램 허용 전압을 인가하되, 상기 제2 비트라인에 상기 제1 비트라인보다 낮은 레벨의 프로그램 허용 전압을 인가하도록 상기 주변 회로를 제어하는 메모리 장치.

청구항 18

제 14항에 있어서, 상기 제어 로직은,

상기 비트라인 디스차지 동작 이전에, 상기 목표 프로그램 상태에 따라 상기 복수의 비트라인들에 상기 프로그램 허용 전압들 또는 프로그램 금지 전압을 인가하는 비트라인 프리차지 동작을 수행하도록 상기 주변 회로를 제어하는 메모리 장치.

청구항 19

제 18항에 있어서, 상기 제어 로직은,

상기 목표 프로그램 상태가 최상위 프로그램 상태를 제외한 나머지 프로그램 상태인 메모리 셀과 연결된 비트라인에 상기 프로그램 금지 전압을 인가하도록 상기 주변 회로를 제어하는 메모리 장치.

청구항 20

제 18항에 있어서, 상기 프로그램 금지 전압은,
전원 전압이고,
상기 프로그램 허용 전압들은,
상기 프로그램 금지 전압보다 낮은 메모리 장치.

발명의 설명

기술 분야

[0001] 본 발명은 전자 장치에 관한 것으로, 보다 구체적으로 본 발명은 메모리 장치 및 그 동작 방법에 관한 것이다.

배경 기술

[0002] 저장 장치는 컴퓨터나 스마트폰 등과 같은 호스트 장치의 제어에 따라 데이터를 저장하는 장치이다. 저장 장치는 데이터가 저장되는 메모리 장치와 메모리 장치를 제어하는 메모리 컨트롤러를 포함할 수 있다. 메모리 장치는 휘발성 메모리 장치 (Volatile Memory)와 비휘발성 메모리 장치 (Non Volatile Memory)로 구분된다.

[0003] 휘발성 메모리 장치는 전원이 공급된 경우에만 데이터를 저장하고, 전원 공급이 차단되면 저장된 데이터가 소멸되는 메모리 장치이다. 휘발성 메모리 장치는 정적 랜덤 액세스 메모리 (Static Random Access Memory; SRAM), 동적 랜덤 액세스 메모리 (Dynamic Random Access Memory; DRAM) 등이 있다.

[0004] 비휘발성 메모리 장치는 전원이 차단되어도 데이터가 소멸되지 않는 메모리 장치로서, 롬(Read Only Memory; ROM), PROM (Programmable ROM), EPROM (Electrically Programmable ROM), EEPROM (Electrically Erasable and Programmable ROM) 및 플래시 메모리(Flash Memory) 등이 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 실시 예는, 향상된 프로그램 성능을 갖는 메모리 장치 및 그 동작 방법을 제공한다.

과제의 해결 수단

[0006] 본 발명의 실시 예에 따른 메모리 장치의 동작 방법은, 복수의 메모리 셀들과 연결된 워드라인에 프로그램 전압을 인가하는 단계, 복수의 메모리 셀들과 연결된 복수의 비트라인들의 전위를 일정 레벨로 설정하는 비트라인 프리차지 동작을 수행하는 단계 및 복수의 메모리 셀들 각각의 목표 프로그램 상태에 따라, 상이한 시점에 복수의 비트라인들 각각에 프로그램 허용 전압을 인가하는 비트라인 디스차지 동작을 수행하는 단계를 포함한다.

[0007] 본 발명의 실시 예에 따른 메모리 장치의 동작 방법은, 복수의 메모리 셀들과 연결된 워드라인에 프로그램 전압을 인가하는 단계, 복수의 메모리 셀들과 연결된 복수의 비트라인들의 전위를 일정 레벨로 설정하는 비트라인 프리차지 동작을 수행하는 단계 및 복수의 비트라인들에 프로그램 허용 전압들을 인가하는 비트라인 디스차지 동작을 수행하는 단계를 포함한다. 복수의 메모리 셀들의 목표 프로그램 상태에 따라, 프로그램 허용 전압들의 레벨 및 프로그램 허용 전압들이 복수의 비트라인들 각각에 인가되는 시점이 결정된다.

[0008] 본 발명의 실시 예에 따른 메모리 장치는 메모리 셀 어레이, 주변 회로 및 제어 로직을 포함한다. 메모리 셀 어레이는 복수의 메모리 셀들을 포함한다. 주변 회로는 복수의 메모리 셀들을 복수의 상태들 중 목표 프로그램 상태로 프로그램한다. 제어 로직은 복수의 메모리 셀들과 연결된 워드라인에 프로그램 전압을 인가하고, 워드라인에 프로그램 전압이 인가되는 동안, 복수의 메모리 셀들과 연결된 복수의 비트라인들 프로그램 허용 전압들을 인가하는 비트라인 디스차지 동작을 수행하도록 주변 회로를 제어한다. 목표 프로그램 상태에 따라, 프로그램

허용 전압들이 복수의 비트라인들에 각각 인가되는 시점이 결정된다.

발명의 효과

[0009] 본 기술에 따르면 향상된 프로그램 성능을 갖는 메모리 장치 및 그 동작 방법이 제공된다.

도면의 간단한 설명

- [0010] 도 1은 본 발명의 실시 예에 따른 저장 장치를 설명하기 위한 도면이다.
- 도 2는 도 1의 메모리 장치의 구조를 설명하기 위한 도면이다.
- 도 3은 도 2의 메모리 셀 어레이를 설명하기 위한 도면이다.
- 도 4는 메모리 셀의 문턱 전압 분포 및 검증 전압을 설명하기 위한 도면이다.
- 도 5는 실시 예에 따른 프로그램 동작을 설명하기 위한 도면이다.
- 도 6은 프로그램 동작이 진행됨에 따른 프로그램 전압의 변화를 설명하기 위한 도면이다.
- 도 7은 실시 예에 따른 프로그램 동작을 설명하기 위한 타이밍도이다.
- 도 8은 다른 실시 예에 따른 프로그램 동작을 설명하기 위한 타이밍도이다.
- 도 9는 다른 실시 예에 따른 프로그램 동작을 설명하기 위한 타이밍도이다.
- 도 10은 실시 예에 따른 프로그램 동작을 설명하기 위한 순서도이다.
- 도 11은 도 10의 비트라인 전압 제어 동작을 설명하기 위한 순서도이다.
- 도 12는 실시 예에 따른 비트라인 전압 제어 동작을 설명하기 위한 순서도이다.
- 도 13은 다른 실시 예에 따른 비트라인 전압 제어 동작을 설명하기 위한 순서도이다.
- 도 14는 다른 실시 예에 따른 프로그램 동작을 설명하기 위한 순서도이다.

발명을 실시하기 위한 구체적인 내용

- [0011] 본 명세서 또는 출원에 개시되어 있는 본 발명의 개념에 따른 실시 예들에 대해서 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 개념에 따른 실시 예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 개념에 따른 실시 예들은 다양한 형태로 실시될 수 있으며 본 명세서 또는 출원에 설명된 실시 예들에 한정되는 것으로 해석되어서는 아니 된다.
- [0012] 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시 예를 설명함으로써, 본 발명을 상세히 설명한다. 이하, 본 발명의 실시 예를 첨부된 도면을 참조하여 상세하게 설명한다.
- [0014] 도 1은 본 발명의 실시 예에 따른 저장 장치를 설명하기 위한 도면이다.
- [0015] 도 1을 참조하면, 저장 장치(50)는 메모리 장치(100) 및 메모리 장치의 동작을 제어하는 메모리 컨트롤러(200)를 포함할 수 있다. 저장 장치(50)는 휴대폰, 스마트폰, MP3 플레이어, 랩탑 컴퓨터, 데스크탑 컴퓨터, 게임기, TV, 테블릿 PC 또는 차량용 인포테인먼트(in-vehicle infotainment) 시스템 등과 같은 호스트의 제어에 따라 데이터를 저장하는 장치이다.
- [0016] 저장 장치(50)는 호스트와의 통신 방식인 호스트 인터페이스에 따라서 다양한 종류의 저장 장치들 중 어느 하나로 제조될 수 있다. 예를 들면, 저장 장치(50)는 SSD, MMC, eMMC, RS-MMC, micro-MMC 형태의 멀티 미디어 카드(multimedia card), SD, mini-SD, micro-SD 형태의 시큐어 디지털(secure digital) 카드, USB(universal storage bus) 저장 장치, UFS(universal flash storage) 장치, PCMCIA(personal computer memory card international association) 카드 형태의 저장 장치, PCI(peripheral component interconnection) 카드 형태의 저장 장치, PCI-E(PCI express) 카드 형태의 저장 장치, CF(compact flash) 카드, 스마트 미디어(smart media) 카드, 메모리 스틱(memory stick) 등과 같은 다양한 종류의 저장 장치들 중 어느 하나로 구성될 수 있다.
- [0017] 저장 장치(50)는 다양한 종류의 패키지(package) 형태들 중 어느 하나로 제조될 수 있다. 예를 들면, 저장 장치

(50)는 POP(package on package), SIP(system in package), SOC(system on chip), MCP(multi-chip package), COB(chip on board), WFP(wafer-level fabricated package), WSP(wafer-level stack package) 등과 같은 다양한 종류의 패키지 형태들 중 어느 하나로 제조될 수 있다.

- [0018] 메모리 장치(100)는 데이터를 저장할 수 있다. 메모리 장치(100)는 메모리 컨트롤러(200)의 제어에 응답하여 동작한다. 메모리 장치(100)는 데이터를 저장하는 복수의 메모리 셀들을 포함하는 메모리 셀 어레이를 포함할 수 있다.
- [0019] 메모리 셀들은 각각 하나의 데이터 비트를 저장하는 싱글 레벨 셀(Single Level Cell; SLC), 두 개의 데이터 비트들을 저장하는 멀티 레벨 셀(Multi Level Cell; MLC), 세 개의 데이터 비트들을 저장하는 트리플 레벨 셀(Triple Level Cell; TLC) 또는 네 개의 데이터 비트를 저장할 수 있는 쿼드 레벨 셀(Quad Level Cell; QLC)로 구성될 수 있다.
- [0020] 메모리 셀 어레이는 복수의 메모리 블록들을 포함할 수 있다. 각 메모리 블록은 복수의 메모리 셀들을 포함할 수 있다. 하나의 메모리 블록은 복수의 페이지들을 포함할 수 있다. 실시 예에서, 페이지는 메모리 장치(100)에 데이터를 저장하거나, 메모리 장치(100)에 저장된 데이터를 리드하는 단위일 수 있다.
- [0021] 메모리 블록은 데이터를 지우는 단위일 수 있다. 실시 예에서, 메모리 장치(100)는 DDR SDRAM(Double Data Rate Synchronous Dynamic Random Access Memory), LPDDR4(Low Power Double Data Rate4) SDRAM, GDDR(Graphics Double Data Rate) SDRAM, LPDDR(Low Power DDR), RDRAM(Rambus Dynamic Random Access Memory), 낸드 플래시 메모리(NAND flash memory), 수직형 낸드 플래시 메모리(Vertical NAND), 노아 플래시 메모리(NOR flash memory), 저항성 램(resistive random access memory: RRAM), 상변화 메모리(phase-change memory: PRAM), 자기저항 메모리(magnetoresistive random access memory: MRAM), 강유전체 메모리(ferroelectric random access memory: FRAM), 스핀주입 자화반전 메모리(spin transfer torque random access memory: STT-RAM) 등이 될 수 있다. 본 명세서에서는 설명의 편의를 위해, 메모리 장치(100)가 낸드 플래시 메모리인 경우를 가정하여 설명한다.
- [0022] 메모리 장치(100)는 메모리 컨트롤러(200)로부터 커맨드 및 어드레스를 수신하고, 메모리 셀 어레이 중 어드레스에 의해 선택된 영역을 액세스하도록 구성된다. 즉, 메모리 장치(100)는 어드레스에 의해 선택된 영역에 대해 커맨드가 지시하는 동작을 수행할 수 있다. 예를 들면, 메모리 장치(100)는 쓰기 동작 (프로그램 동작), 리드 동작 및 소거 동작을 수행할 수 있다. 프로그램 동작 시에, 메모리 장치(100)는 어드레스에 의해 선택된 영역에 데이터를 프로그램 할 것이다. 리드 동작 시에, 메모리 장치(100)는 어드레스에 의해 선택된 영역으로부터 데이터를 읽을 것이다. 소거 동작 시에, 메모리 장치(100)는 어드레스에 의해 선택된 영역에 저장된 데이터를 소거 할 것이다.
- [0023] 메모리 컨트롤러(200)는 저장 장치(50)의 전반적인 동작을 제어한다.
- [0024] 저장 장치(50)에 전원이 인가되면, 메모리 컨트롤러(200)는 펌웨어(firmware, FW)를 실행할 수 있다. 메모리 장치(100)가 플래시 메모리 장치인 경우, 메모리 컨트롤러(200)는 호스트와 메모리 장치(100)간의 통신을 제어하기 위한 플래시 변환 레이어(Flash Translation Layer, FTL)와 같은 펌웨어를 실행할 수 있다.
- [0025] 실시 예에서, 메모리 컨트롤러(200)는 호스트로부터 데이터와 논리 블록 어드레스(Logical Block Address, LBA)를 입력 받고, 논리 블록 어드레스를 메모리 장치(100)에 포함된 데이터가 저장될 메모리 셀들의 주소를 나타내는 물리 블록 어드레스(Physical Block Address, PBA)로 변환할 수 있다.
- [0026] 메모리 컨트롤러(200)는 호스트의 요청(request)에 따라 프로그램 동작, 리드 동작 또는 소거 동작 등을 수행하도록 메모리 장치(100)를 제어할 수 있다. 프로그램 동작 시, 메모리 컨트롤러(200)는 쓰기 커맨드, 물리 블록 어드레스 및 데이터를 메모리 장치(100)에 제공할 수 있다. 리드 동작 시, 메모리 컨트롤러(200)는 리드 커맨드 및 물리 블록 어드레스를 메모리 장치(100)에 제공할 수 있다. 소거 동작 시, 메모리 컨트롤러(200)는 소거 커맨드 및 물리 블록 어드레스를 메모리 장치(100)에 제공할 수 있다.
- [0027] 실시 예에서, 메모리 컨트롤러(200)는 호스트로부터의 요청과 무관하게 자체적으로 커맨드, 어드레스 및 데이터를 생성하고, 메모리 장치(100)에 전송할 수 있다. 예를 들면, 메모리 컨트롤러(200)는 웨어 레벨링(wear leveling)을 위한 프로그램 동작, 가비지 컬렉션(garbage collection)을 위한 프로그램 동작과 같은 배경(background) 동작들을 수행하기 위해 커맨드, 어드레스 및 데이터를 메모리 장치(100)로 제공할 수 있다.
- [0028] 실시 예에서, 메모리 컨트롤러(200)가 적어도 둘 이상의 메모리 장치(100)들을 제어할 수 있다. 이 경우, 메모리

리 컨트롤러(200)는 동작 성능의 향상을 위해 메모리 장치(100)들을 인터리빙 방식에 따라 제어할 수 있다. 인터리빙 방식은 적어도 둘 이상의 메모리 장치(100)들의 동작 구간을 중첩시키는 동작 방식일 수 있다.

- [0029] 호스트는 USB (Universal Serial Bus), SATA (Serial AT Attachment), SAS (Serial Attached SCSI), HSIC (High Speed Interchip), SCSI (Small Computer System Interface), PCI (Peripheral Component Interconnection), PCIe (PCI express), NVMe (NonVolatile Memory express), UFS (Universal Flash Storage), SD (Secure Digital), MMC (MultiMedia Card), eMMC (embedded MMC), DIMM (Dual In-line Memory Module), RDIMM (Registered DIMM), LRDIMM (Load Reduced DIMM) 등과 같은 다양한 통신 방식들 중 적어도 하나를 이용하여 저장 장치(50)와 통신할 수 있다.
- [0031] 도 2는 도 1의 메모리 장치의 구조를 설명하기 위한 도면이다.
- [0032] 도 2를 참조하면, 메모리 장치(100)는 메모리 셀 어레이(110), 주변 회로(120) 및 제어 로직(130)을 포함할 수 있다.
- [0033] 메모리 셀 어레이(110)는 복수의 메모리 블록들(BLK1~BLKz)을 포함한다. 복수의 메모리 블록들(BLK1~BLKz)은 행 라인들(RL)을 통해 어드레스 디코더(121)에 연결된다. 복수의 메모리 블록들(BLK1~BLKz)은 비트라인들(BL1 내지 BLm)을 통해 읽기 및 쓰기 회로(123)에 연결된다. 복수의 메모리 블록들(BLK1~BLKz) 각각은 복수의 메모리 셀들을 포함한다. 실시 예로서, 복수의 메모리 셀들은 불휘발성 메모리 셀들이다. 복수의 메모리 셀들 중 동일 워드 라인에 연결된 메모리 셀들은 하나의 물리 페이지로 정의된다. 즉 메모리 셀 어레이(110)는 다수의 물리 페이지들로 구성된다. 본 발명의 실시 예에 따르면, 메모리 셀 어레이(110)에 포함된 복수의 메모리 블록들(BLK1~BLKz) 각각은 복수의 더미 셀들을 포함할 수 있다. 더미 셀들은 드레인 선택 트랜지스터와 메모리 셀들 사이와 소스 선택 트랜지스터와 메모리 셀들 사이에 적어도 하나 이상 직렬로 연결될 수 있다.
- [0034] 메모리 장치(100)의 메모리 셀들은 각각 하나의 데이터 비트를 저장하는 싱글 레벨 셀(Single Level Cell; SLC), 두 개의 데이터 비트들을 저장하는 멀티 레벨 셀(Multi Level Cell; MLC), 세 개의 데이터 비트들을 저장하는 트리플 레벨 셀(Triple Level Cell; TLC) 또는 네 개의 데이터 비트를 저장할 수 있는 쿼드 레벨 셀(Quad Level Cell; QLC)로 구성될 수 있다.
- [0035] 주변 회로(120)는 어드레스 디코더(121), 전압 생성부(122), 읽기 및 쓰기 회로(123), 데이터 입출력 회로(124) 및 센싱 회로(125)를 포함할 수 있다.
- [0036] 주변 회로(120)는 메모리 셀 어레이(110)를 구동한다. 예를 들어 주변 회로(120)는 프로그램 동작, 리드 동작 및 소거 동작을 수행하도록 메모리 셀 어레이(110)를 구동할 수 있다.
- [0037] 어드레스 디코더(121)는 행 라인들(RL)을 통해 메모리 셀 어레이(110)에 연결된다. 행 라인들(RL)은 드레인 선택 라인들, 워드라인들, 소스 선택 라인들 및 공통 소스 라인을 포함할 수 있다. 본 발명의 실시 예에 따르면, 워드라인들은 노멀 워드라인들과 더미 워드라인들을 포함할 수 있다. 본 발명의 실시 예에 따르면, 행 라인들(RL)은 파이프 선택 라인을 더 포함할 수 있다.
- [0038] 실시 예에서 행 라인들(RL)은 로컬 라인 그룹들에 포함된 로컬 라인들일 수 있다. 로컬 라인 그룹은 하나의 메모리 블록에 대응될 수 있다. 로컬 라인 그룹은 드레인 선택 라인, 로컬 워드라인들 및 소스 선택 라인을 포함할 수 있다.
- [0039] 어드레스 디코더(121)는 제어 로직(130)의 제어에 응답하여 동작하도록 구성된다. 어드레스 디코더(121)는 제어 로직(130)으로부터 어드레스(ADDR)를 수신한다.
- [0040] 어드레스 디코더(121)는 수신된 어드레스(ADDR) 중 블록 어드레스를 디코딩하도록 구성된다. 어드레스 디코더(121)는 디코딩된 블록 어드레스에 따라 메모리 블록들(BLK1~BLKz) 중 적어도 하나의 메모리 블록을 선택한다. 어드레스 디코더(121)는 수신된 어드레스(ADDR) 중 로우 어드레스(RADD)를 디코딩하도록 구성된다. 어드레스 디코더(121)는 디코딩된 로우 어드레스(RADD)에 따라 전압 생성부(122)로부터 제공받은 전압들을 적어도 하나의 워드라인(WL)에 인가하여 선택된 메모리 블록의 적어도 하나의 워드라인을 선택할 수 있다.
- [0041] 프로그램 동작 시에, 어드레스 디코더(121)는 선택된 워드라인에 프로그램 전압을 인가하고 비선택된 워드라인들에 프로그램 전압보다 낮은 레벨의 패스 전압을 인가할 것이다. 프로그램 검증 동작 시에, 어드레스 디코더(121)는 선택된 워드라인에 검증 전압을 인가하고 비선택된 워드라인들에 검증 전압보다 높은 레벨의 검증 패스

전압을 인가할 것이다.

- [0042] 리드 동작 시에, 어드레스 디코더(121)는 선택된 워드라인에 읽기 전압을 인가하고, 비선택된 워드라인들에 읽기 전압보다 높은 레벨의 읽기 패스 전압을 인가할 것이다.
- [0043] 본 발명의 실시 예에 따르면, 메모리 장치(100)의 소거 동작은 메모리 블록 단위로 수행된다. 소거 동작 시에 메모리 장치(100)에 입력되는 어드레스(ADDR)는 블록 어드레스를 포함한다. 어드레스 디코더(121)는 블록 어드레스를 디코딩하고, 디코딩된 블록 어드레스에 따라 하나의 메모리 블록을 선택할 수 있다. 소거 동작 시, 어드레스 디코더(121)는 선택된 메모리 블록에 입력되는 워드라인들에 접지 전압을 인가할 수 있다.
- [0044] 본 발명의 실시 예에 따르면, 어드레스 디코더(121)는 전달된 어드레스(ADDR) 중 컬럼 어드레스를 디코딩하도록 구성될 수 있다. 디코딩된 컬럼 어드레스는 읽기 및 쓰기 회로(123)에 전달될 수 있다. 예시적으로, 어드레스 디코더(121)는 로우 디코더, 컬럼 디코더, 어드레스 버퍼 등과 같은 구성 요소들을 포함할 수 있다.
- [0045] 전압 생성부(122)는 메모리 장치(100)에 공급되는 외부 전원 전압을 이용하여 복수의 동작 전압(Vop)들을 발생하도록 구성된다. 전압 생성부(122)는 제어 로직(130)의 제어에 응답하여 동작한다.
- [0046] 실시 예로서, 전압 생성부(122)는 외부 전원 전압을 레귤레이팅하여 내부 전원 전압을 생성할 수 있다. 전압 생성부(122)에서 생성된 내부 전원 전압은 메모리 장치(100)의 동작전압으로서 사용된다.
- [0047] 실시 예로서, 전압 생성부(122)는 외부 전원 전압 또는 내부 전원 전압을 이용하여 복수의 동작 전압(Vop)들을 생성할 수 있다. 전압 생성부(122)는 메모리 장치(100)에서 요구되는 다양한 전압들을 생성하도록 구성될 수 있다. 예를 들어, 전압 생성부(122)는 복수의 소거 전압들, 복수의 프로그램 전압들, 복수의 패스 전압들, 복수의 선택 읽기 전압들, 복수의 비선택 읽기 전압들을 생성할 수 있다.
- [0048] 전압 생성부(122)는 다양한 전압 레벨들을 갖는 복수의 동작 전압(Vop)들을 생성하기 위해서, 내부 전원 전압을 수신하는 복수의 펌핑 커패시터들을 포함하고, 제어 로직(130)의 제어에 응답하여 복수의 펌핑 커패시터들을 선택적으로 활성화하여 복수의 동작 전압(Vop)들을 생성할 것이다.
- [0049] 생성된 복수의 동작 전압(Vop)들은 어드레스 디코더(121)에 의해 메모리 셀 어레이(110)에 공급될 수 있다.
- [0050] 읽기 및 쓰기 회로(123)는 제1 내지 제 m 페이지 버퍼들(PB1~PBm)을 포함한다. 제1 내지 제 m 페이지 버퍼들(PB1~PBm)은 각각 제1 내지 제 m 비트라인들(BL1~BLm)을 통해 메모리 셀 어레이(110)에 연결된다. 제1 내지 제 m 페이지 버퍼들(PB1~PBm)은 제어 로직(130)의 제어에 응답하여 동작한다.
- [0051] 제1 내지 제 m 페이지 버퍼들(PB1~PBm)은 데이터 입출력 회로(124)와 데이터(DATA)를 통신한다. 프로그램 시에, 제1 내지 제 m 페이지 버퍼들(PB1~PBm)은 데이터 입출력 회로(124) 및 데이터 라인들(DL)을 통해 저장될 데이터(DATA)를 수신한다.
- [0052] 프로그램 동작 시, 제1 내지 제 m 페이지 버퍼들(PB1~PBm)은 선택된 워드라인에 프로그램 전압이 인가될 때, 저장될 데이터(DATA)를 데이터 입출력 회로(124)를 통해 수신한 데이터(DATA)를 비트라인들(BL1~BLm)을 통해 선택된 메모리 셀들에 전달할 것이다. 전달된 데이터(DATA)에 따라 선택된 페이지의 메모리 셀들은 프로그램된다. 프로그램 허용 전압(예를 들면, 접지 전압)이 인가되는 비트라인과 연결된 메모리 셀은 상승된 문턱전압을 가질 것이다. 프로그램 금지 전압(예를 들면, 전원 전압)이 인가되는 비트라인과 연결된 메모리 셀의 문턱전압은 유지될 것이다. 프로그램 검증 동작 시에, 제1 내지 제 m 페이지 버퍼들(PB1~PBm)은 선택된 메모리 셀들로부터 비트라인들(BL1~BLm)을 통해 메모리 셀들에 저장된 데이터(DATA)를 읽는다.
- [0053] 리드 동작 시, 읽기 및 쓰기 회로(123)는 선택된 페이지의 메모리 셀들로부터 비트라인들(BL)을 통해 데이터(DATA)를 읽고, 읽어진 데이터(DATA)를 제1 내지 제 m 페이지 버퍼들(PB1~PBm)에 저장할 수 있다.
- [0054] 소거 동작 시에, 읽기 및 쓰기 회로(123)는 비트라인들(BL)을 플로팅(floating) 시킬 수 있다. 실시 예로서, 읽기 및 쓰기 회로(123)는 열 선택 회로를 포함할 수 있다.
- [0055] 데이터 입출력 회로(124)는 데이터 라인들(DL)을 통해 제1 내지 제 m 페이지 버퍼들(PB1~PBm)에 연결된다. 데이터 입출력 회로(124)는 제어 로직(130)의 제어에 응답하여 동작한다.
- [0056] 데이터 입출력 회로(124)는 입력되는 데이터(DATA)를 수신하는 복수의 입출력 버퍼들(미도시)을 포함할 수 있다. 프로그램 동작 시, 데이터 입출력 회로(124)는 외부 컨트롤러(미도시)로부터 저장될 데이터(DATA)를 수신한다. 데이터 입출력 회로(124)는 리드 동작 시, 읽기 및 쓰기 회로(123)에 포함된 제1 내지 제 m 페이지 버퍼

들(PB1-PBm)로부터 전달된 데이터(DATA)를 외부 컨트롤러로 출력한다.

- [0057] 센싱 회로(125)는 리드 동작 또는 검증 동작 시, 제어 로직(130)이 생성한 허용 비트(VRYBIT) 신호에 응답하여 기준 전류를 생성하고, 읽기 및 쓰기 회로(123)로부터 수신된 센싱 전압(VPB)과 기준 전류에 의해 생성된 기준 전압을 비교하여 패스 신호 또는 페일 신호를 제어 로직(130)으로 출력할 수 있다.
- [0058] 제어 로직(130)은 어드레스 디코더(121), 전압 생성부(122), 읽기 및 쓰기 회로(123), 데이터 입출력 회로(124) 및 센싱 회로(125)에 연결될 수 있다. 제어 로직(130)은 메모리 장치(100)의 제반 동작을 제어하도록 구성될 수 있다. 제어 로직(130)은 외부 장치로부터 전달되는 커맨드(CMD)에 응답하여 동작할 수 있다.
- [0059] 제어 로직(130)은 커맨드(CMD) 및 어드레스(ADDR)에 응답하여 여러 가지 신호를 생성하여 주변 회로(120)를 제어할 수 있다. 예를 들면, 제어 로직(130)은 커맨드(CMD) 및 어드레스(ADDR)에 응답하여 동작 신호(OPSIG), 로우 어드레스(RADD), 읽기 및 쓰기 회로 제어신호(PBSIGNALS) 및 허용 비트(VRYBIT)를 생성할 수 있다. 제어 로직(130)은 동작 신호(OPSIG)는 전압 생성부(122)로 출력하고, 로우 어드레스(RADD)는 어드레스 디코더(121)로 출력하고, 읽기 및 쓰기 제어신호는 읽기 및 쓰기 회로(123)로 출력하고, 허용 비트(VRYBIT)는 센싱 회로(125)로 출력할 수 있다. 또한, 제어 로직(130)은 센싱 회로(125)가 출력한 패스 또는 페일 신호(PASS/FAIL)에 응답하여 검증 동작이 패스 또는 페일 되었는지를 판단할 수 있다.
- [0060] 실시 예에서, 제어 로직(130)은 주변 회로(120)가 복수의 메모리 셀들 중 선택된 메모리 셀들에 대한 프로그램 동작을 수행하도록 제어할 수 있다. 선택된 메모리 셀들은 각 메모리 셀에 저장될 데이터에 따라 복수의 상태들 중 목표 프로그램 상태로 프로그램될 수 있다.
- [0061] 제어 로직(130)은 주변 회로(120)가 선택된 메모리 셀들과 연결된 선택된 워드라인에 프로그램 전압을 인가하도록 제어할 수 있다. 제어 로직(130)은 선택된 워드라인에 프로그램 전압이 인가되는 동안 주변 회로(120)가 비트라인 프리차지 동작 및 비트라인 디스차지 동작을 수행하도록 제어할 수 있다. 비트라인 프리차지 동작은 선택된 메모리 셀들의 목표 프로그램 상태에 따라, 선택된 메모리 셀들과 연결된 비트라인들의 전위를 일정 레벨로 설정하는 동작일 수 있다. 비트라인 디스차지 동작은 선택된 메모리 셀들과 연결된 비트라인들의 전위를 프로그램 허용 전압 레벨로 강하시키는 동작일 수 있다. 제어 로직(130)은 비트라인 디스차지 동작이 완료되면 주변 회로(120)가 선택된 워드라인에 접지 전압을 인가하도록 제어할 수 있다.
- [0062] 실시 예에서, 비트라인 프리차지 동작시 주변 회로(120)는 선택된 메모리 셀들의 목표 프로그램 상태에 따라 선택된 메모리 셀들과 연결된 비트라인에 프로그램 허용 전압 또는 프로그램 금지 전압을 인가할 수 있다. 프로그램 금지 전압은 전원 전압일 수 있다. 프로그램 허용 전압은 프로그램 금지 전압보다 낮은 전압일 수 있다. 다양한 실시 예에서, 프로그램 허용 전압은 접지 전압을 포함할 수 있다. 프로그램 허용 전압은 음의 전압을 포함할 수 있다.
- [0063] 예를 들어, 목표 프로그램 상태가 복수의 상태들 중 최상위 프로그램 상태인 경우, 주변 회로(120)는 메모리 셀과 연결된 비트라인에 프로그램 허용 전압을 인가할 수 있다. 목표 프로그램 상태가 최상위 프로그램 상태를 제외한 나머지 프로그램 상태인 경우, 주변 회로(120)는 메모리 셀과 연결된 비트라인에 프로그램 금지 전압을 인가할 수 있다.
- [0064] 실시 예에서, 비트라인 디스차지 동작시 주변 회로(120)는 선택된 메모리 셀들의 목표 프로그램 상태에 따라 상이한 시점에, 선택된 메모리 셀들과 연결된 비트라인들에 프로그램 허용 전압을 인가할 수 있다.
- [0065] 예를 들어, 주변 회로(120)는 복수의 비트라인들 중 제1 비트라인과 제2 비트라인에 동일한 프로그램 허용 전압을 인가하되, 제2 비트라인에 제1 비트라인보다 먼저 프로그램 허용 전압을 인가할 수 있다. 제1 비트라인은 제1 프로그램 상태로 프로그램될 셀과 연결된 비트라인이고, 제2 비트라인은 제1 프로그램 상태보다 높은 제2 프로그램 상태로 프로그램될 셀과 연결된 비트라인일 수 있다.
- [0066] 실시 예에서, 비트라인 디스차지 동작시 주변 회로(120)는 선택된 메모리 셀들의 목표 프로그램 상태에 따라, 선택된 메모리 셀들과 연결된 비트라인들에 상이한 프로그램 허용 전압을 인가할 수 있다.
- [0067] 예를 들어, 주변 회로(120)는 복수의 비트라인들 중 제3 비트라인과 제4 비트라인에 동시에 프로그램 허용 전압을 인가하되, 제4 비트라인에 제3 비트라인보다 낮은 레벨의 프로그램 허용 전압을 인가할 수 있다. 제3 비트라인은 제3 프로그램 상태로 프로그램될 셀과 연결된 비트라인이고, 제4 비트라인은 제3 프로그램 상태보다 높은 제4 프로그램 상태로 프로그램될 셀과 연결된 비트라인일 수 있다.
- [0068] 다양한 실시 예에서, 선택된 메모리 셀들의 목표 프로그램 상태에 따라, 복수의 비트라인들에 인가되는 프로그

램 허용 전압들의 레벨 및 프로그램 허용 전압들이 복수의 비트라인들 각각에 인가되는 시점 중 적어도 하나는 상이할 수 있다.

- [0070] 도 3은 도 2의 메모리 셀 어레이를 설명하기 위한 도면이다.
- [0071] 도 3을 참조하면, 제1 내지 제 z 메모리 블록들(BLK1~BLKz)은 제1 내지 제m 비트 라인들(BL1~BLm)에 공통 연결된다. 도 3에서, 설명의 편의를 위해 복수의 메모리 블록들(BLK1~BLKz) 중 제1 메모리 블록(BLK1)에 포함된 요소들이 도시되고, 나머지 메모리 블록들(BLK2~BLKz) 각각에 포함된 요소들은 생략된다. 나머지 메모리 블록들(BLK2~BLKz) 각각은 제1 메모리 블록(BLK1)과 마찬가지로 구성됨이 이해될 것이다.
- [0072] 메모리 블록(BLK1)은 복수의 셀 스트링들(CS1_1~CS1_m, (m은 양의 정수))을 포함할 수 있다. 제1 내지 제m 셀 스트링들(CS1_1~CS1_m)은 각각 제1 내지 제m 비트 라인들(BL1~BLm)에 연결된다. 제1 내지 제m 셀 스트링들(CS1_1~CS1_m)은 각각 드레인 선택 트랜지스터(DST), 직렬 연결된 복수의 메모리 셀들(MC1~MCn, (n은 양의 정수)) 및 소스 선택 트랜지스터(SST)를 포함한다.
- [0073] 제1 내지 제m 셀 스트링들(CS1_1~CS1_m)에 각각 포함된 드레인 선택 트랜지스터(DST)의 게이트 단자는 드레인 선택 라인(DSL1)에 연결된다. 제1 내지 제m 셀 스트링들(CS1_1~CS1_m)에 각각 포함된 제1 내지 제n 메모리 셀들(MC1~MCn)의 게이트 단자 각각은 제1 내지 제n 워드 라인들(WL1~WLn)에 연결된다. 제1 내지 제m 셀 스트링들(CS1_1~CS1_m)에 각각 포함된 소스 선택 트랜지스터(SST)의 게이트 단자는 소스 선택 라인(SSL1)에 연결된다.
- [0074] 설명의 편의를 위해 복수의 셀 스트링들(CS1_1~CS1_m) 중 제1 셀 스트링(CS1_1)을 기준으로 셀 스트링의 구조를 설명한다. 하지만 나머지 셀 스트링들(CS1_2~CS1_m) 각각도 제1 셀 스트링(CS1_1)과 마찬가지로 구성됨이 이해될 것이다.
- [0075] 제1 셀 스트링(CS1_1)에 포함된 드레인 선택 트랜지스터(DST)의 드레인 단자는 제1 비트 라인(BL1)에 연결된다. 제1 셀 스트링(CS1_1)에 포함된 드레인 선택 트랜지스터(DST)의 소스 단자는 제1 셀 스트링(CS1_1)에 포함된 제1 메모리 셀(MC1)의 드레인 단자에 연결된다. 제1 내지 제n 메모리 셀들(MC1~MCn)은 서로 직렬로 연결된다. 제1 셀 스트링(CS1_1)에 포함된 소스 선택 트랜지스터(SST)의 드레인 단자는 제1 셀 스트링(CS1_1)에 포함된 제n 메모리 셀(MCn)의 소스 단자에 연결된다. 제1 셀 스트링(CS1_1)에 포함된 소스 선택 트랜지스터(SST)의 소스 단자는 공통 소스 라인(CSL)에 연결된다. 실시 예로서, 공통 소스 라인(CSL)은 제1 내지 제 z 메모리 블록들(BLK1~BLKz)에 공통 연결될 수 있다.
- [0076] 드레인 선택 라인(DSL1), 제1 내지 제n 워드 라인들(WL1~WLn), 및 소스 선택 라인(SSL1)은 도 2의 행 라인들(RL)에 포함된다. 드레인 선택 라인(DSL1), 제1 내지 제n 워드 라인들(WL1~WLn), 및 소스 선택 라인(SSL1)은 어드레스 디코더(121)에 의해 제어된다. 공통 소스 라인(CSL)은 제어 로직(130)에 의해 제어된다. 제1 내지 제m 비트 라인들(BL1~BLm)은 읽기 및 쓰기 회로(123)에 의해 제어된다.
- [0078] 도 4는 메모리 셀의 문턱 전압 분포 및 검증 전압을 설명하기 위한 도면이다.
- [0079] 도 4를 참조하면, 메모리 셀들은 복수의 상태들 중 목표 프로그램 상태로 프로그램될 수 있다. 복수의 상태들은 메모리 셀이 저장하는 데이터 비트의 개수를 기초로 결정될 수 있다. 목표 프로그램 상태는 메모리 셀에 프로그램될 데이터에 따라 결정될 수 있다.
- [0080] 도 4에서 메모리 셀은 3개의 데이터 비트를 저장하는 트리플 레벨 셀(TLC)로 가정하여 설명한다. 메모리 셀이 저장하는 데이터 비트의 개수는 본 실시 예에 제한되지 않는다.
- [0081] 메모리 셀은 소거 상태(E) 및 제1 내지 제7 프로그램 상태(P1~P7) 중 목표 프로그램 상태로 프로그램될 수 있다.
- [0082] 목표 프로그램 상태에 대응되는 검증 전압은 메모리 셀이 목표 프로그램 상태로 프로그램되었는지 검증하기 위한 전압일 수 있다. 목표 프로그램 상태에 대응되는 검증 전압보다 문턱 전압이 높은 메모리 셀은 검증 패스된 메모리 셀일 수 있다. 목표 프로그램 상태에 대응되는 검증 전압보다 문턱 전압이 낮은 메모리 셀은 검증 패일된 메모리 셀일 수 있다.
- [0083] 목표 프로그램 상태에 대응되는 검증 전압은 목표 프로그램 상태에 대응되는 문턱 전압 분포의 왼쪽 꼬리(Left

Tail)에 해당하는 전압일 수 있다.

- [0084] 복수의 검증 전압들은 복수의 상태들 각각에 대응될 수 있다. 예를 들어, 제1 내지 제7 검증 전압(V1~V7)은 제1 내지 제7 프로그램 상태(P1~P7)에 각각 대응될 수 있다.
- [0085] 실시 예에서, 프로그램 동작은 제1 프로그램 상태(P1)부터 제7 프로그램 상태(P7) 순으로 진행될 수 있다. 목표 프로그램 상태가 높아질수록 선택된 메모리 셀들과 연결된 워드라인에 인가되는 프로그램 전압은 상승할 수 있다.
- [0087] 도 5는 실시 예에 따른 프로그램 동작을 설명하기 위한 도면이다.
- [0088] 도 5를 참조하면, 프로그램 동작은 복수의 프로그램 루프들(PL1~PLn, (n은 1이상의 자연수))을 포함할 수 있다. 메모리 장치는 복수의 프로그램 루프들을 수행하여 선택된 메모리 셀들이 복수의 프로그램 상태들 중 목표 프로그램 상태를 갖도록 프로그램 할 수 있다.
- [0089] 복수의 프로그램 루프들 각각은 프로그램 전압 인가 단계(PGM Step)와 검증 단계(Verify Step)를 포함할 수 있다.
- [0090] 프로그램 전압 인가 단계에서 선택된 메모리 셀들과 연결된 선택된 워드라인에 프로그램 전압을 인가하는 프로그램 펄스 인가 동작이 수행될 수 있다. 프로그램 펄스 인가 동작에 의해 선택된 메모리 셀들 각각은 복수의 상태들 중 목표 프로그램 상태로 프로그램 될 수 있다. 목표 프로그램 상태는 선택된 메모리 셀들에 프로그램될 데이터에 따라 결정될 수 있다.
- [0091] 검증 단계에서 선택된 워드라인에 검증 전압들을 인가하여 선택된 메모리 셀들이 프로그램 되었는지 여부를 판단하는 프로그램 검증 동작이 수행될 수 있다.
- [0092] 실시 예에서, 프로그램 전압은 증가형 스텝 펄스 프로그래밍(incremental step pulse programming: ISPP) 방식에 따라 결정될 수 있다. 즉, 프로그램 전압의 레벨은 프로그램 루프들이 반복됨에 따라 소정의 전압 증가분만큼 단계적으로 증가 또는 감소할 수 있다. 각각의 프로그램 루프에서 사용되는 프로그램 전압들의 인가 횟수, 전압 레벨, 그리고 전압 인가 시간 등은 메모리 컨트롤러의 제어에 따라 다양한 형태로 결정될 수 있다.
- [0093] 선택된 워드라인 이외의 나머지 워드라인들인 비선택된 워드라인들에는 패스 전압이 인가될 수 있다. 실시 예에서, 동일한 레벨을 갖는 패스 전압들이 비선택된 워드라인들에 인가될 수 있다. 실시 예에서, 패스 전압은 워드라인의 위치에 따라서 상이한 레벨을 가질 수 있다.
- [0094] 프로그램될 메모리 셀에 연결된 선택된 비트 라인들에는 프로그램 허용 전압으로 접지 전압이 인가될 수 있다. 프로그램될 메모리 셀들 이외의 메모리 셀들에 연결된 비트 라인들인 비선택된 비트 라인들에는 프로그램 금지 전압이 인가될 수 있다.
- [0095] 메모리 장치는 프로그램 검증 단계에서, 선택된 워드라인에는 검증 전압을 인가하고, 비선택된 워드라인들에는 검증 패스 전압을 인가할 수 있다. 메모리 장치는 선택된 워드 라인에 연결된 메모리 셀들이 각각 연결된 비트 라인들을 통해 출력되는 전압 또는 전류를 감지하고, 감지된 결과를 기초로 검증 단계가 패스인지 페일인지 여부를 결정할 수 있다.
- [0096] 프로그램 전압 인가 단계에서, 선택된 메모리 셀들은 제1 내지 제m(m은 1이상의 자연수) 상태 중 어느 하나의 상태로 프로그램될 수 있다.
- [0097] 검증 단계에서, 제1 내지 제m 상태 중 적어도 하나의 상태에 대한 프로그램 검증 동작이 수행될 수 있다. 예를 들어, 선택된 메모리 셀들 중 제k(k는 1이상 m이하인 자연수)상태로 프로그램 될 메모리 셀들이 제k 상태에 대응되는 검증 전압에 의해 오프 셀로 판독되면, 제k 상태에 대한 프로그램 검증 동작은 패스될 수 있다.
- [0098] 도 5에서, 선택된 메모리 셀들이 두 개의 데이터 비트를 저장하는 멀티 레벨 셀(Multi Level Cell, MLC)이면, 선택된 메모리 셀들은 소거 상태 및 제1 내지 제3 프로그램 상태 중 어느 하나의 상태로 프로그램될 수 있다. 메모리 셀이 저장하는 데이터 비트의 개수는 본 실시 예에 제한되지 않는다.
- [0099] 제1 프로그램 루프(PL1)가 수행될 때, 제1 프로그램 전압(Vpgm1)이 인가된 후에 복수의 메모리 셀들의 프로그램 상태를 검증하기 위하여 제1 내지 제3 검증 전압들(V_vfy1~V_vfy3)이 순차적으로 인가된다. 이 때, 목표 프로그램 상태가 제1 프로그램 상태인 메모리 셀들은 제1 검증 전압(V_vfy1)에 의해 검증이 수행되고, 목표 프

그램 상태가 제2 프로그램 상태인 메모리 셀들은 제2 검증 전압(V_{vfy2})에 의해 검증이 수행되고, 목표 프로그램 상태가 제3 프로그램 상태인 메모리 셀들은 제3 검증 전압(V_{vfy3})에 의해 검증이 수행될 수 있다. 검증 전압의 개수는 본 실시 예에 제한되지 않는다.

- [0100] 각 검증 전압들(V_{vfy1} - V_{vfy3})에 의해 검증 패스된 메모리 셀들은 목표 프로그램 상태를 갖는 것으로 판별되며, 이후 제2 프로그램 루프(PL2)에서 프로그램 금지(program inhibit)될 것이다. 프로그램 금지된 메모리 셀들과 연결된 비트라인에는 프로그램 금지 전압이 인가될 수 있다. 제2 프로그램 루프(PL2)에서 선택된 워드라인에 제1 프로그램 전압(V_{pgm1})보다 단위 전압(ΔV_{pgm})만큼 높은 제2 프로그램 전압(V_{pgm2})이 인가된다.
- [0101] 이 후, 제1 프로그램 루프(PL1)의 검증 동작과 동일하게 검증 동작이 수행된다. 예시적으로, 검증 패스는 대용하는 검증 전압에 의해 메모리 셀이 오프-셀(off-cell)로 판독된 것을 가리킨다.
- [0102] 상술된 바와 같이, 메모리 장치가 멀티 레벨 셀(MLC)을 프로그램할 때, 메모리 장치는 제1 내지 제3 검증 전압들(V_{vfy1} - V_{vfy3})을 사용하여 각각의 프로그램 상태를 목표 프로그램 상태로 하는 메모리 셀들을 각각 검증하게 된다.
- [0103] 다양한 실시 예에서, 미리 설정된 횟수의 프로그램 루프 이내에 프로그램 동작이 완료되지 않으면, 프로그램 동작은 페일일 수 있다. 미리 설정된 횟수의 프로그램 루프 이내에 프로그램 동작이 완료되면, 프로그램 동작은 패스일 수 있다. 프로그램 동작의 완료 여부는 선택된 메모리 셀들에 대한 모든 프로그램 검증 동작이 패스되었는지 여부로 결정될 수 있다. 모든 프로그램 검증 동작이 패스되면, 다음 프로그램 루프는 수행되지 않을 수 있다.
- [0105] 도 6은 프로그램 동작이 진행됨에 따른 프로그램 전압의 변화를 설명하기 위한 도면이다.
- [0106] 도 6을 참조하면, 선택된 메모리 셀들 각각은 복수의 프로그램 상태들 중 목표 프로그램 상태로 프로그램될 수 있다. 프로그램 동작이 수행되는 동안 선택된 메모리 셀들과 연결된 워드라인에는 프로그램 전압이 인가될 수 있다. 선택된 메모리 셀들과 연결된 비트라인들에는 프로그램 허용 전압 또는 프로그램 금지 전압이 인가될 수 있다.
- [0107] 예를 들어, 목표 프로그램 상태에 대한 검증이 패스된 메모리 셀은 프로그램이 금지될 수 있다. 따라서 검증이 패스된 메모리 셀과 연결된 비트라인에 프로그램 금지 전압이 인가될 수 있다. 프로그램 금지 전압은 전원 전압(V_{core})일 수 있다. 목표 프로그램 상태에 대한 검증이 패스되지 않은 메모리 셀은 프로그램이 진행 중일 수 있다. 따라서, 검증이 패스되지 않은 메모리 셀과 연결된 비트라인에 프로그램 허용 전압이 인가될 수 있다. 프로그램 허용 전압은 접지 전압(V_{gnd})일 수 있다.
- [0108] 도 5를 참조하면, 목표 프로그램 상태가 높아질수록 선택된 워드라인에 인가되는 프로그램 전압의 레벨도 높아질 수 있다. 이는 목표 프로그램 상태가 높아질수록 소거 상태(E)를 기준으로 요구되는 메모리 셀의 문턱 전압의 상승 폭이 증가하기 때문이다.
- [0109] 도 6에서, 제1 프로그램 상태(P1)부터 제7 프로그램 상태(P7)까지 프로그램 전압 레벨이 상승하며 프로그램 동작이 수행될 수 있다. 즉, 선택된 워드라인에 인가되는 프로그램 전압의 레벨은 제1 프로그램 상태(P1)에 대한 프로그램 동작이 수행될 때보다 7 프로그램 상태(P7)에 대한 프로그램 동작이 수행될 때보다 높을 수 있다.
- [0110] 제1 프로그램 상태(P1)에 대한 프로그램 동작이 수행될 때, 제1 프로그램 상태(P1)로 프로그램 중인 메모리 셀과 연결된 비트라인에는 프로그램 허용 전압이 인가될 수 있다. 제1 프로그램 상태(P1)로 프로그램이 완료된 메모리 셀과 연결된 비트라인에는 프로그램 금지 전압이 인가될 수 있다. 목표 프로그램 상태가 제2 내지 제7 프로그램 상태(P2-P7)인 메모리 셀과 연결된 비트라인에는 프로그램 허용 전압이 인가될 수 있다.
- [0111] 제7 프로그램 상태(P7)에 대한 프로그램 동작이 수행될 때, 제7 프로그램 상태(P7)로 프로그램 중인 메모리 셀과 연결된 비트라인에는 프로그램 허용 전압이 인가될 수 있다. 제7 프로그램 상태(P7)로 프로그램이 완료된 메모리 셀과 연결된 비트라인에는 프로그램 금지 전압이 인가될 수 있다. 목표 프로그램 상태가 제1 내지 제6 프로그램 상태(P1-P6)인 메모리 셀과 연결된 비트라인에는 프로그램 금지 전압이 인가될 수 있다.
- [0113] 도 7은 실시 예에 따른 프로그램 동작을 설명하기 위한 타이밍도이다.

- [0114] 도 7을 참조하면, 메모리 셀은 트리플 레벨 셀(TLC)일 수 있다. 메모리 셀은 복수의 상태들(P1~P7) 중 목표 프로그램 상태로 프로그램될 수 있다. 메모리 셀이 저장하는 데이터 비트의 개수는 본 실시 예에 제한되지 않는다.
- [0115] t1시점부터 t5시점까지 선택된 메모리 셀들과 연결된 선택된 워드라인에 프로그램 전압(V_{pgm})이 인가될 수 있다.
- [0116] t1시점에 선택된 메모리 셀들의 목표 프로그램 상태에 따라, 선택된 메모리 셀들과 연결된 비트라인들에 프로그램 허용 전압 또는 프로그램 금지 전압이 인가될 수 있다. 실시 예에서, 프로그램 허용 전압은 접지 전압(V_{gd})일 수 있다. 프로그램 금지 전압은 전원 전압(V_{core})일 수 있다.
- [0117] 예를 들어, 목표 프로그램 상태가 최상위 프로그램 상태(P7)인 메모리 셀과 연결된 비트라인에 프로그램 허용 전압이 인가될 수 있다. 목표 프로그램 상태가 최상위 프로그램 상태를 제외한 나머지 프로그램 상태(P1~P7)인 비트라인에 프로그램 금지 전압이 인가될 수 있다.
- [0118] t2시점부터 t5시점까지, 선택된 메모리 셀들의 목표 프로그램 상태에 따라 상이한 시점에, 선택된 메모리 셀들과 연결된 비트라인에 프로그램 허용 전압이 인가될 수 있다. 비트라인의 전위는 프로그램 금지 전압 레벨에서 프로그램 허용 전압 레벨로 강하할 수 있다.
- [0119] 예를 들어, t2시점에 목표 프로그램 상태가 제6 프로그램 상태(P6)인 메모리 셀과 연결된 비트라인에 프로그램 허용 전압이 인가될 수 있다. t3시점에 목표 프로그램 상태가 제2 프로그램 상태(P2)인 메모리 셀과 연결된 비트라인에 프로그램 허용 전압이 인가될 수 있다. t4시점에 목표 프로그램 상태가 제1 프로그램 상태(P1)인 메모리 셀과 연결된 비트라인에 프로그램 허용 전압이 인가될 수 있다.
- [0120] t1시점부터 t5시점까지, 목표 프로그램 상태에 대한 검증이 패스된 메모리 셀은 프로그램이 금지되는 프로그램 금지 셀일 수 있다. 프로그램 금지 셀과 연결된 비트라인에 프로그램 금지 전압이 인가될 수 있다.
- [0121] 실시 예에서, 선택된 워드라인에 프로그램 전압이 인가되는 구간 중 프로그램 셀과 연결된 비트라인에 프로그램 금지 전압이 인가되는 구간은 프로그램 금지 구간(t_{Inh})일 수 있다. 프로그램 전압이 인가되는 구간 중 비트라인에 프로그램 허용 전압이 인가되는 구간은 순 프로그램 구간(t_{Net})일 수 있다. 즉, 프로그램 금지 구간(t_{Inh})에서는 선택된 워드라인과 비트라인의 전압 차이가 프로그램 셀의 문턱 전압을 상승시키기에 부족하여, 프로그램 셀에 대한 프로그램 동작이 수행되지 않을 수 있다. 순 프로그램 구간(t_{Net})에서는 선택된 워드라인과 비트라인의 전압 차이가 프로그램 셀의 문턱 전압을 상승시키기에 충분하여, 프로그램 셀에 대한 프로그램 동작이 수행될 수 있다.
- [0122] 실시 예에서, 목표 프로그램 상태가 높을수록 순 프로그램 구간의 길이는 증가할 수 있다. 예를 들어, 제2 프로그램 상태(P2)에 대응되는 순 프로그램 구간(t_{Net2})은 제1 프로그램 상태(P1)에 대응되는 순 프로그램 구간(t_{Net1})보다 길 수 있다.
- [0123] 다시 말해서, 선택된 워드라인에 프로그램 전압이 인가되는 동안, 목표 프로그램 상태가 높을수록 프로그램될 셀과 연결된 비트라인에 프로그램 허용 전압이 인가되는 시점이 빠를 수 있다. 선택된 워드라인에 프로그램 전압이 인가되는 동안, 목표 프로그램 상태가 높을수록 프로그램될 셀과 연결된 비트라인의 전위가 프로그램 허용 전압 레벨로 디스차지되는 시점이 빠를 수 있다.
- [0124] 예를 들어, 제1 프로그램 상태(P1)로 프로그램될 셀과 연결된 제1 비트라인보다 제2 프로그램 상태(P2)로 프로그램될 셀과 연결된 제2 비트라인에 프로그램 허용 전압이 먼저 인가될 수 있다.
- [0125] 도 6을 참조하면, 프로그램 셀의 목표 프로그램 상태에 따라 결정된 프로그램 전압이 선택된 워드라인에 인가되는 동안, 프로그램 셀과 연결된 비트라인에 프로그램 허용 전압이 인가될 수 있다.
- [0126] 즉, 일정 구간 동안 프로그램 전압이 인가되고 목표 프로그램 상태 별로 프로그램 전압 레벨을 조절하며 프로그램 동작을 수행하기 때문에, 목표 프로그램 상태의 개수가 많아질수록 프로그램 시간이 길어질 수 있다. 또한, 복수의 프로그램 상태들 전체에 대해 프로그램 동작이 수행되는 것이 아니라, 각 프로그램 상태 별로 프로그램 동작이 개별적으로 수행되어 비효율적일 수 있다.
- [0127] 도 7의 경우, 도 6과 대비하여 목표 프로그램 상태에 따라 선택된 워드라인에 프로그램 전압이 다르게 인가되는 것이 아니라, 동일한 프로그램 전압이 인가될 수 있다. 실시 예에서, 선택된 워드라인에 최상위 프로그램 상태에 대응되는 높은 레벨의 프로그램 전압이 인가될 수 있다. 프로그램 전압의 레벨이 높을수록 메모리 셀의 문턱

전압의 상승 속도가 증가하여 프로그램 속도가 빨라질 수 있다.

- [0128] 목표 프로그램 상태에 따라, 프로그램 전압의 레벨을 조절하는 것이 아니라 실제 프로그램 동작이 수행되는 순 프로그램 구간(tNet)의 길이를 조절하여, 복수의 프로그램 상태들 전체에 대한 프로그램 동작을 수행할 수 있다.
- [0129] 따라서, 복수의 프로그램 상태들 각각에 대한 프로그램 동작들을 병행하여 수행하기 때문에 도 6과 대비하여 프로그램 시간이 단축될 수 있다.
- [0131] 도 8은 다른 실시 예에 따른 프로그램 동작을 설명하기 위한 타이밍도이다.
- [0132] 도 8을 참조하면, 도 7과 비교하여 메모리 셀의 목표 프로그램 상태에 따라, 메모리 셀과 연결된 비트라인에 프로그램 허용 전압이 인가되는 시점뿐만 아니라 비트라인에 인가되는 프로그램 허용 전압의 레벨도 결정될 수 있다.
- [0133] 선택된 워드라인에 동일한 프로그램 전압이 인가되어도 비트라인에 인가되는 프로그램 허용 전압의 레벨에 따라 메모리 셀이 프로그램되는 정도는 다르게 조절될 수 있다. 예를 들어, 메모리 셀들과 연결된 워드라인에 동일한 프로그램 전압이 인가될 때, 낮은 레벨의 프로그램 허용 전압이 인가되는 비트라인과 연결되는 메모리 셀은 높은 레벨의 프로그램 허용 전압이 인가되는 비트라인과 연결되는 메모리 셀보다 많이 프로그램 될 수 있다.
- [0134] 도 8에서, 프로그램 허용 전압의 레벨은 VBL1과 VBL2로 2개일 수 있다. 프로그램 허용 전압 레벨의 개수는 본 실시 예에 제한되지 않는다.
- [0135] 실시 예에서, 선택된 워드라인에 프로그램 전압이 인가되는 동안, 목표 프로그램 상태에 따라 결정된 프로그램 허용 전압이 결정된 시점에 메모리 셀과 연결된 비트라인에 인가될 수 있다.
- [0136] 실시 예에서, 비트라인들에 동시에 프로그램 허용 전압이 인가될 때, 목표 프로그램 상태가 높은 메모리 셀과 연결된 비트라인일수록 낮은 레벨의 프로그램 허용 전압이 인가될 수 있다.
- [0137] 예를 들어, 제2 비트라인은 제2 프로그램 상태(P2)로 프로그램될 셀과 연결된 비트라인이고, 제3 비트라인은 제3 프로그램 상태(P3)로 프로그램될 셀과 연결된 비트라인일 수 있다. t3' 시점에 제2 비트라인과 제3 비트라인에 동시에 프로그램 허용 전압이 인가될 때, 제3 비트라인에 인가되는 프로그램 허용 전압(VBL1)은 제2 비트라인에 인가되는 프로그램 허용 전압(VBL2)보다 낮을 수 있다.
- [0138] 실시 예에서, 비트라인들에 동일한 프로그램 허용 전압이 인가될 때, 목표 프로그램 상태가 높은 메모리 셀과 연결된 비트라인일수록 프로그램 허용 전압이 먼저 인가될 수 있다.
- [0139] 예를 들어, 제5 비트라인은 제5 프로그램 상태(P5)로 프로그램될 셀과 연결된 비트라인일 수 있다. 제3 비트라인과 제5 비트라인에 동일한 프로그램 허용 전압(VBL1)이 인가될 때, 제5 비트라인에 프로그램 허용 전압이 인가되는 시점(t2')이 제3 비트라인에 프로그램 허용 전압이 인가되는 시점(t3')보다 먼저일 수 있다.
- [0140] 도 7과 대비하여, 목표 프로그램 상태에 따라 순 프로그램 구간(tNet)뿐만 아니라 프로그램 허용 전압(VBL)의 레벨도 조절함으로써, 프로그램 셀들의 문턱 전압은 더 효율적으로 제어될 수 있다.
- [0141] 실시 예에서, 순 프로그램 구간들의 개수가 증가할수록 전체 프로그램 시간은 증가할 수 있다. 순 프로그램 구간들의 개수가 증가할수록 순 프로그램 구간들을 구분하기 위한 간격(interval)의 개수가 증가하기 때문이다. 간격은 인접한 순 프로그램 구간들의 개시 시점의 차이일 수 있다. 예를 들어, t3부터 t4까지의 구간은 간격은 인접한 순 프로그램 구간들(tNet1, tNet2)의 간격일 수 있다.
- [0142] 도 7의 경우, 제1 내지 제7 프로그램 상태(P1~P7)에 대한 프로그램 동작을 수행하기 위해 각 프로그램 상태에 대응되는 순 프로그램 구간들이 필요할 수 있다. 따라서, 각 프로그램 상태에 대응하여 순 프로그램 구간들(tNet1~tNet7)을 7개로 구분하기 위해 6개의 간격(interval)이 필요할 수 있다.
- [0143] 도 8의 경우, 순 프로그램 구간(tNet)이 동일해도 프로그램 허용 전압(VBL)을 다르게 하여 다른 프로그램 상태에 대한 프로그램 동작도 수행될 수 있다. 따라서, 제1 내지 제7 프로그램 상태(P1~P7)에 대한 프로그램 동작을 수행하기 위해 각 프로그램 상태에 대응하여 순 프로그램 구간들을 구분될 필요가 없다. 즉, 순 프로그램 구간들(tNet1'~tNet4')을 4개로만 구분해도 프로그램 허용 전압의 레벨을 다르게 설정함으로써 프로그램 동작을 수행될 수 있다.

- [0144] 따라서, 도 8의 경우 메모리 장치는 순 프로그램 구간(tNet)뿐만 아니라 프로그램 허용 전압(VBL)의 레벨도 조절함으로써, 더 적은 순 프로그램 구간들로 프로그램 동작을 수행할 수 있으므로, 도 7과 비교하여 전체 프로그램 시간은 더욱 단축될 수 있다.
- [0145] 다른 실시 예에서, 메모리 장치는 동일한 프로그램 상태에 대해 동일한 순 프로그램 구간(tNet)동안 프로그램 허용 전압(VBL)의 레벨만을 다르게 하여 프로그램 동작도 수행할 수 있다. 이는 선택된 메모리 셀의 문턱 전압이 목표 문턱 전압과 특정 범위 내로 근접한 경우, 프로그램되는 속도를 낮추어 목표 프로그램 상태에 대응되는 문턱 전압 분포를 좁게 형성하기 위함이다. 이는 러한 프로그램 방식 DPGM(Double Verify Program)으로 정의될 수 있다.
- [0146] 구체적으로, 목표 프로그램 상태에 대응되는 문턱 전압인 메인 검증 전압과 메인 검증 전압보다 낮은 레벨을 갖는 프리 검증 전압을 이용하여 DPGM 동작이 수행될 수 있다.
- [0147] 예를 들어, 선택된 메모리 셀의 문턱 전압이 프리 검증 전압보다 낮으면, 목표 프로그램 상태에 대응되는 문턱 전압에 도달하기 위해 빠르게 프로그램 될 필요가 있다. 이 경우 비트라인에 낮은 레벨의 프로그램 허용 전압이나 접지 전압이 인가될 수 있고, 프로그램 전압과 비트라인 전압 간의 차이가 크므로 선택된 메모리 셀은 빠르게 프로그램될 수 있다.
- [0148] 선택된 메모리 셀의 문턱 전압이 프리 검증 전압보다 높고 메인 검증 전압보다 낮으면, 목표 프로그램 상태에 대응되는 문턱 전압에서 좁은 문턱 전압 분포를 형성하기 위해 느리게 프로그램 될 필요가 있다. 이 경우 앞서 빠르게 프로그램이 수행되는 경우보다 상대적으로 높은 레벨의 프로그램 허용 전압이 비트라인에 인가될 수 있다. 프로그램 전압과 비트라인 전압 간의 차이가 작으므로 선택된 메모리 셀은 느리게 프로그램될 수 있다.
- [0149] 메모리 셀의 문턱 전압이 메인 검증 전압보다 높으면, 프로그램이 완료된 상태이므로 더 이상 프로그램되는 것을 막기 위해 비트라인에 프로그램 금지 전압이 비트라인에 인가될 수 있다.
- [0150] 다양한 실시 예에서, 비트라인에 인가되는 프로그램 허용 전압(VBL)의 레벨은 동일한 순 프로그램 구간(tNet)동안 선택된 메모리 셀을 서로 다른 프로그램 상태로 프로그램하고, 각 프로그램 상태에서도 DPGM 방식으로 프로그램 동작을 수행하기 위해 더욱 세분화될 수 있다.
- [0152] 도 9는 다른 실시 예에 따른 프로그램 동작을 설명하기 위한 타이밍도이다.
- [0153] 도 9를 참조하면, 목표 프로그램 상태가 낮은 메모리 셀의 경우 프로그램 전압 레벨보다 낮은 전압에서도 프로그램 동작이 수행될 수 있다. 목표 프로그램 상태가 낮은 메모리 셀은 기준 프로그램 상태보다 낮은 프로그램 상태로 프로그램될 메모리 셀일 수 있다.
- [0154] 도 9에서, 목표 프로그램 상태가 낮은 메모리 셀은 최하위 프로그램 상태(P1)로 프로그램될 메모리 셀일 수 있다. 목표 프로그램 상태가 낮은 메모리 셀은 본 실시 예에 제한되지 않는다.
- [0155] 도 7과 비교하여, 선택된 워드라인에 프로그램 전압이 인가되는 동안이 아니라 선택된 워드라인이 프로그램 전압에서 접지 전압으로 디스차지되는 동안, 제1 프로그램 상태(P1)로 프로그램 될 메모리 셀과 연결된 비트라인에 프로그램 허용 전압이 인가될 수 있다.
- [0156] 다시 말해서, 도 7의 경우, 선택된 워드라인에 프로그램 전압이 인가되는 사이에 제1 프로그램 상태(P1)에 대응되는 순 프로그램 구간(tNet1)이 위치하지만, 도 9의 경우, 선택된 워드라인이 프로그램 전압에서 접지 전압으로 디스차지되는 사이에 제1 프로그램 상태(P1)에 대응되는 순 프로그램 구간(tNet1'')이 위치할 수 있다.
- [0158] 도 10은 실시 예에 따른 프로그램 동작을 설명하기 위한 순서도이다.
- [0159] 도 10을 참조하면, S1001단계에서 선택된 메모리 셀들과 연결된 선택된 워드라인에 프로그램 전압이 인가될 수 있다.
- [0160] S1003단계에서 선택된 메모리 셀들과 연결된 비트라인들의 전압을 제어하는 비트라인 전압 제어 동작이 수행될 수 있다. 비트라인 전압 제어 동작은 비트라인 프리차지 동작 및 비트라인 디스차지 동작을 포함할 수 있다.
- [0161] S1005단계에서 선택된 워드라인에 접지 전압이 인가될 수 있다. 선택된 워드라인에 접지 전압이 인가되면, 선택

된 워드라인의 전위는 프로그램 전압에서 접지 전압으로 디스차지될 수 있다.

- [0163] 도 11은 도 10의 비트라인 전압 제어 동작을 설명하기 위한 순서도이다.
- [0164] 도 11을 참조하면, S1101단계에서, 선택된 메모리 셀들과 연결된 비트라인들의 전위를 일정한 레벨로 설정하는 비트라인 프리차지 동작이 수행될 수 있다.
- [0165] 구체적으로, 선택된 메모리 셀들의 목표 프로그램 상태에 따라, 비트라인들에 프로그램 허용 전압 또는 프로그램 금지 전압이 인가될 수 있다. 프로그램 허용 전압은 프로그램 금지 전압보다 낮을 수 있다. 프로그램 금지 전압은 전원 전압일 수 있다.
- [0166] S1103단계에서, 선택된 메모리 셀들과 연결된 비트라인들의 전위를 프로그램 허용 전압 레벨로 강하시키는 비트라인 디스차지 동작이 수행될 수 있다. 이 때, 목표 프로그램 상태에 따라 상이한 시점에 비트라인들에 프로그램 허용 전압이 인가될 수 있다.
- [0168] 도 12는 실시 예에 따른 비트라인 전압 제어 동작을 설명하기 위한 순서도이다.
- [0169] 도 12를 참조하면, S1201단계에서, 최상위 프로그램 상태로 프로그램될 셀과 연결된 비트라인에 프로그램 허용 전압이 인가될 수 있다. S1203단계에서, 최상위 프로그램 상태를 제외한 나머지 프로그램 상태로 프로그램 될 셀과 연결된 비트라인에 프로그램 금지 전압이 인가될 수 있다.
- [0170] S1201단계와 S1203단계는 선후 관계없이 병렬적으로 수행될 수 있다. S1201단계와 S1203단계는 S1101단계의 비트라인 프리차지 동작에 대응될 수 있다.
- [0171] S1205단계에서, 목표 프로그램 상태에 따라 상이한 시점에 각 비트라인에 프로그램 허용 전압이 인가될 수 있다. 예를 들어, 복수의 비트라인들 중 제2 비트라인에 제1 비트라인보다 먼저 프로그램 허용 전압이 인가될 수 있다. 제1 비트라인은 제1 프로그램 상태로 프로그램될 셀과 연결된 비트라인이고, 제2 비트라인은 제1 프로그램 상태보다 높은 제2 프로그램 상태로 프로그램될 셀과 연결된 비트라인일 수 있다.
- [0172] S1205단계는 S1103단계의 비트라인 디스차지 동작에 대응될 수 있다.
- [0174] 도 13은 다른 실시 예에 따른 비트라인 전압 제어 동작을 설명하기 위한 순서도이다.
- [0175] 도 13을 참조하면, S1301단계에서, 목표 프로그램 상태에 따라 각 비트라인에 프로그램 허용 전압 또는 프로그램 금지 전압이 인가될 수 있다. S1301단계는 S1101단계의 비트라인 프리차지 동작에 대응될 수 있다.
- [0176] S1303단계에서, 목표 프로그램 상태를 기초로 결정된 프로그램 허용 전압이 결정된 인가 시점에 각 비트라인에 인가될 수 있다. S1303단계는 S1103단계의 비트라인 디스차지 동작에 대응될 수 있다.
- [0177] 실시 예에서, 목표 프로그램 상태에 따라 비트라인에 프로그램 허용 전압이 인가되는 시점은 상이할 수 있다. 비트라인에 동일한 프로그램 허용 전압이 인가될 때, 목표 프로그램 상태가 높을수록 비트라인에 프로그램 허용 전압이 먼저 인가될 수 있다.
- [0178] 다른 실시 예에서, 목표 프로그램 상태에 따라 비트라인에 인가되는 프로그램 허용 전압의 레벨은 상이할 수 있다. 비트라인에 동시에 프로그램 허용 전압이 인가될 때, 목표 프로그램 상태가 높을수록 비트라인에 낮은 레벨의 프로그램 허용 전압이 인가될 수 있다.
- [0180] 도 14는 다른 실시 예에 따른 프로그램 동작을 설명하기 위한 순서도이다.
- [0181] 도 14를 참조하면, S1401 단계에서, 선택된 워드라인에 프로그램 전압이 인가될 수 있다.
- [0182] S1403 단계에서, 제1 상태로 프로그램될 셀과 연결된 제1 비트라인에 제1 프로그램 허용 전압이 인가 될 수 있다.
- [0183] S1405 단계에서, 일정 시간 경과 후, 제1 상태보다 낮은 제2 상태로 프로그램될 셀과 연결된 제2 비트라인에 제2 프로그램 허용 전압이 인가될 수 있다. 실시 예에서, 제2 프로그램 허용 전압은 제1 프로그램 허용 전압과 동

일할 수 있다. 다른 실시 예에서, 제2 프로그램 허용 전압은 제1 프로그램 허용보다 높을 수 있다.

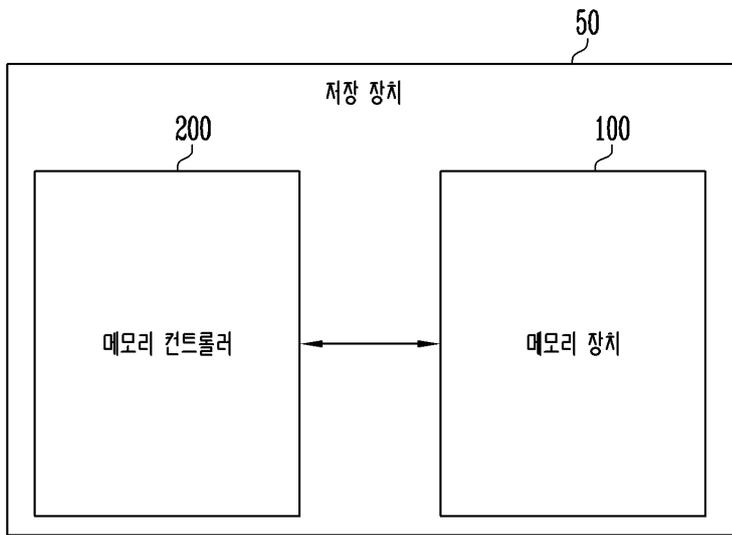
[0184] S1407 단계에서, 선택된 워드라인에 접지 전압이 인가될 수 있다.

부호의 설명

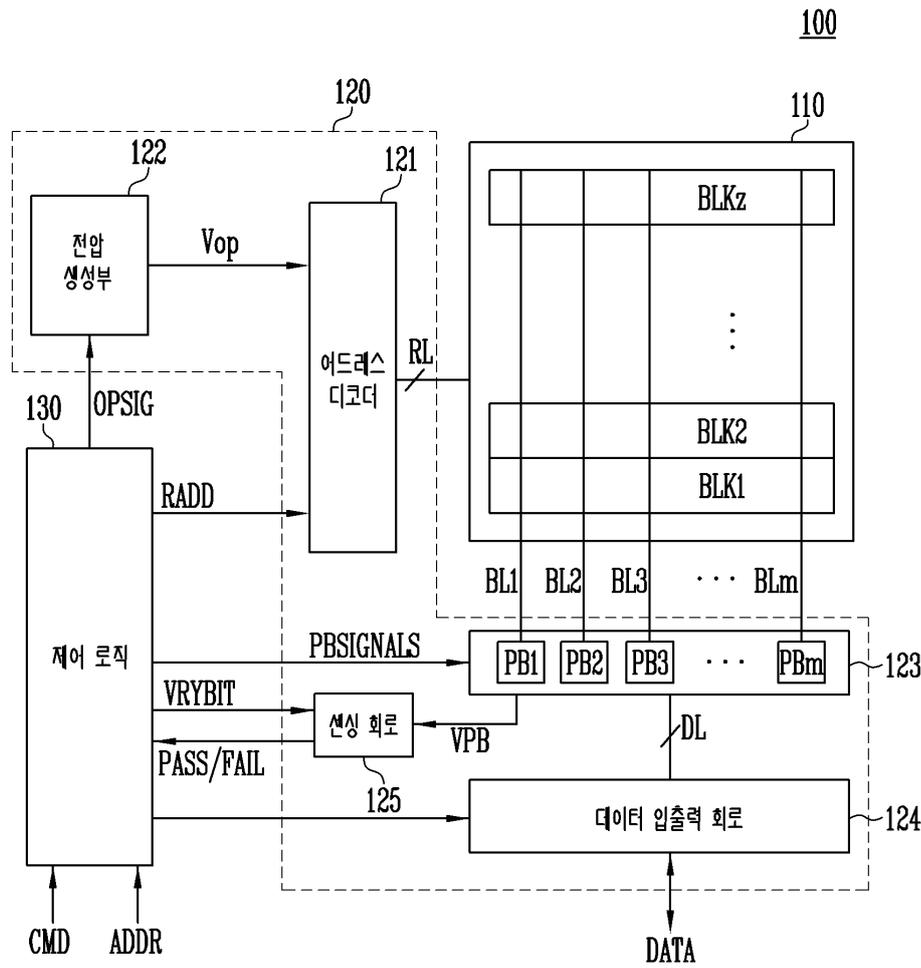
- [0185] 100: 메모리 장치
- 110: 메모리 셀 어레이
- 120: 주변 회로
- 130: 제어 로직

도면

도면1

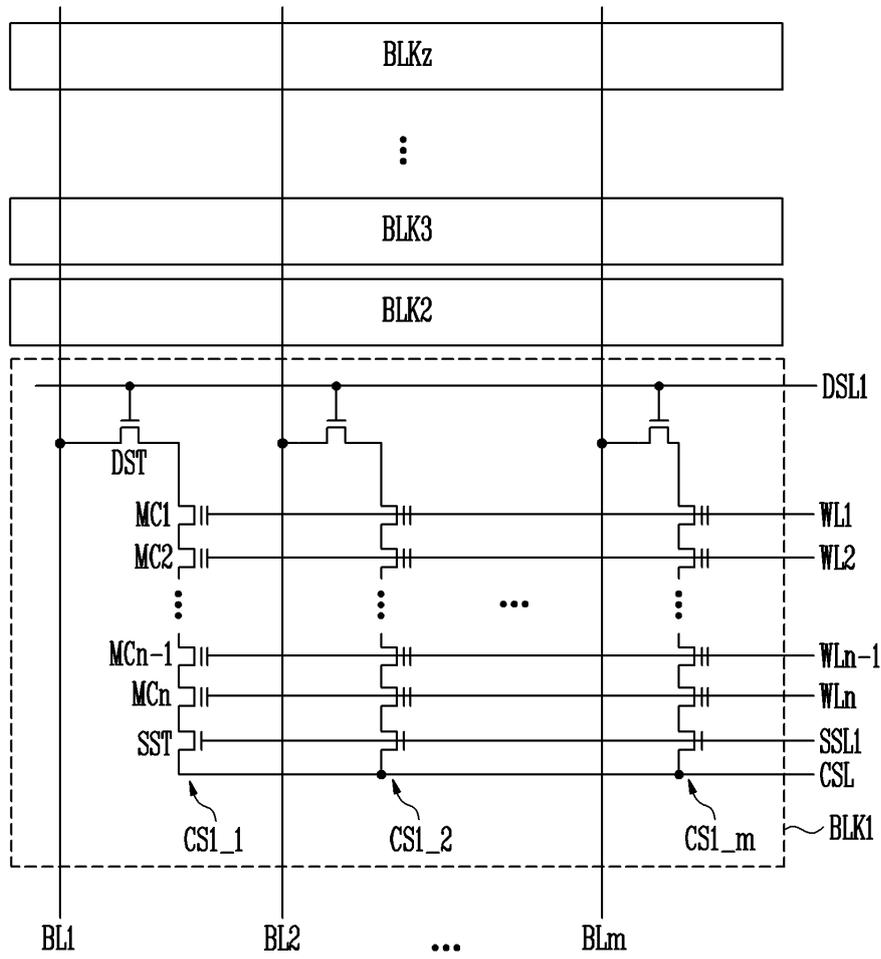


도면2

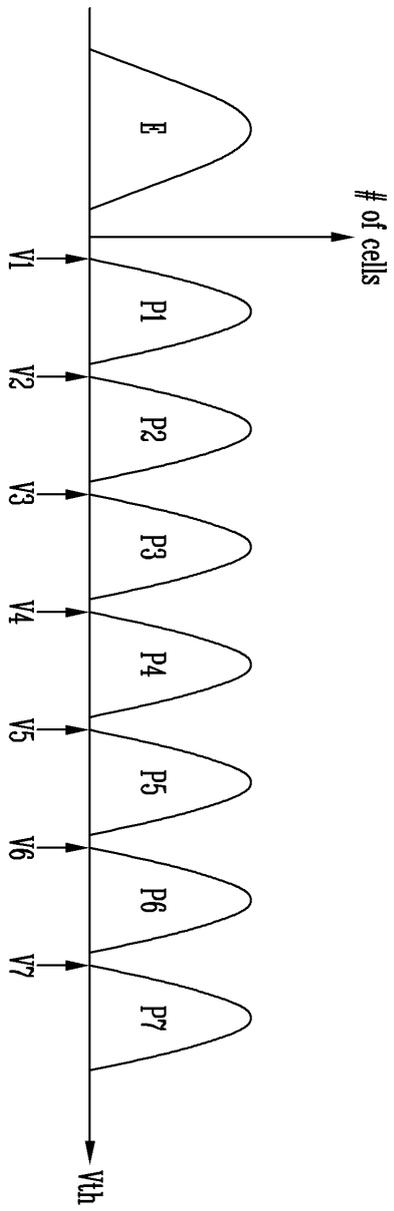


도면3

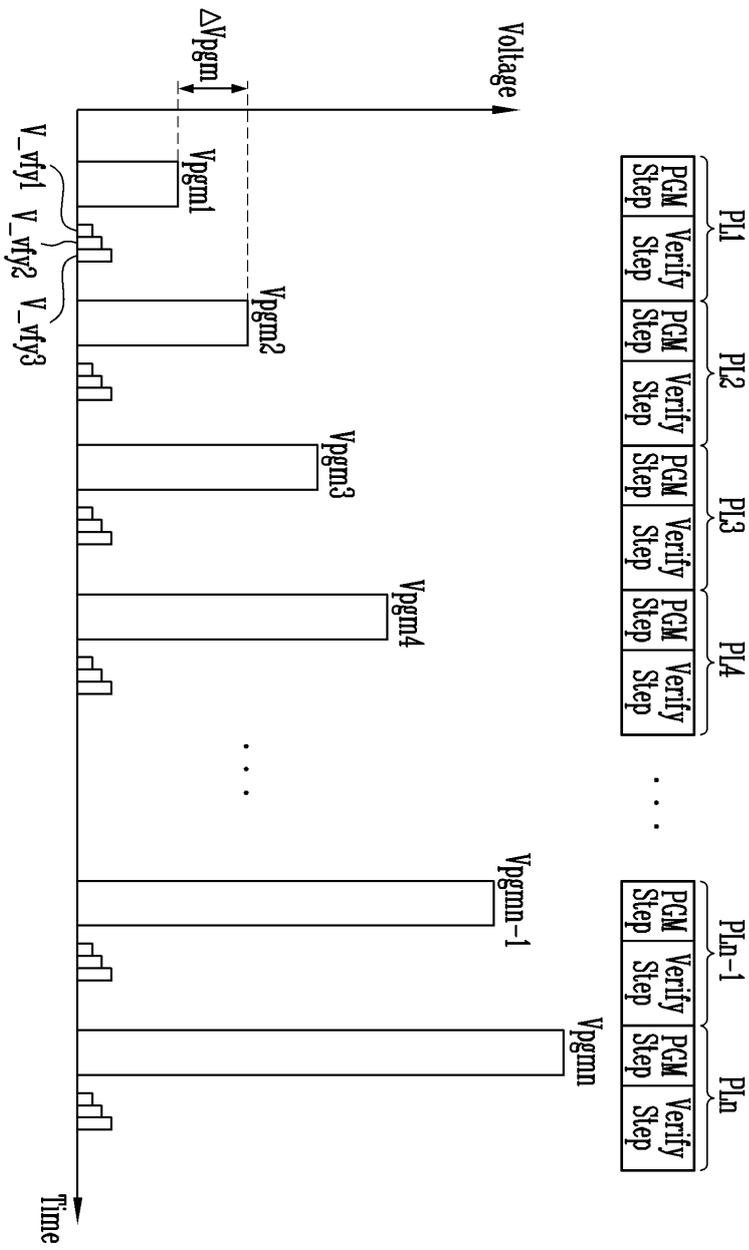
110



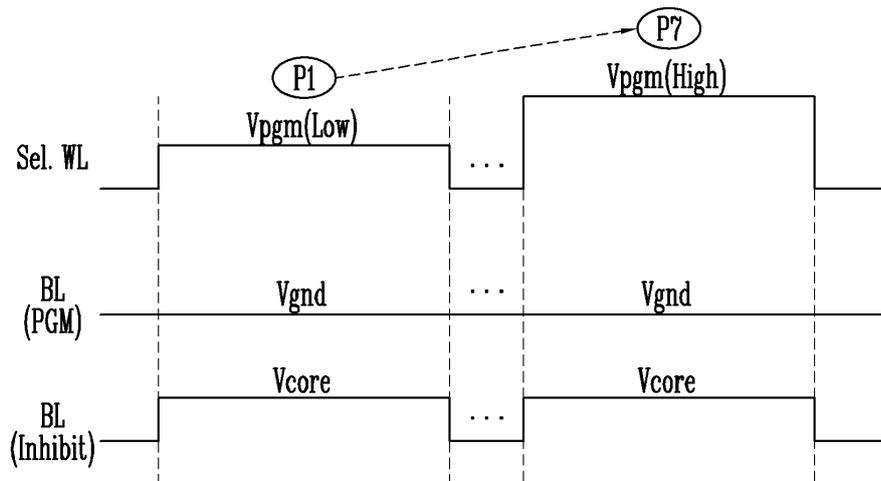
도면4



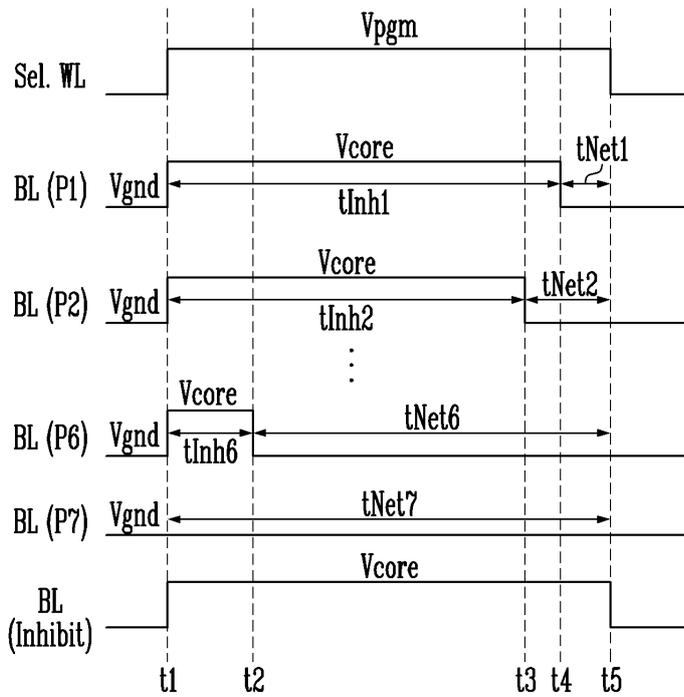
도면5



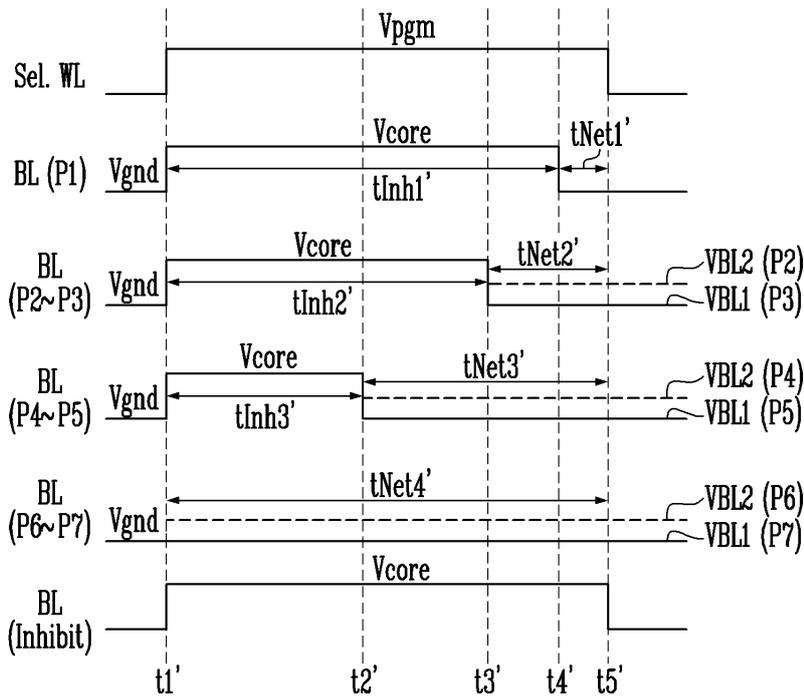
도면6



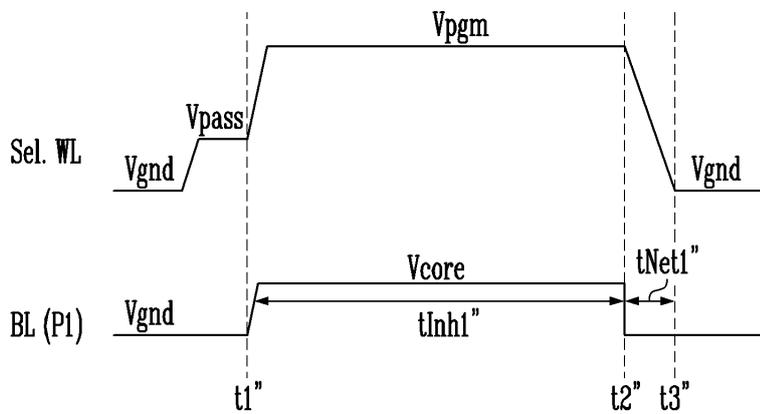
도면7



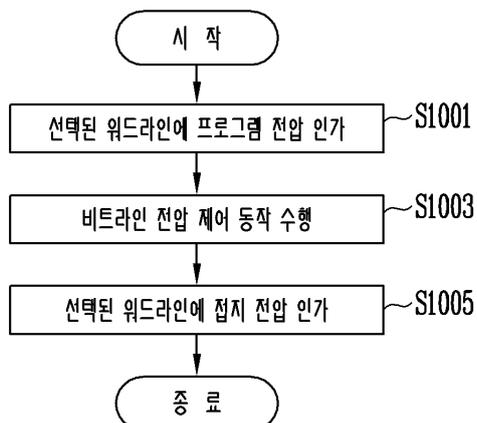
도면8



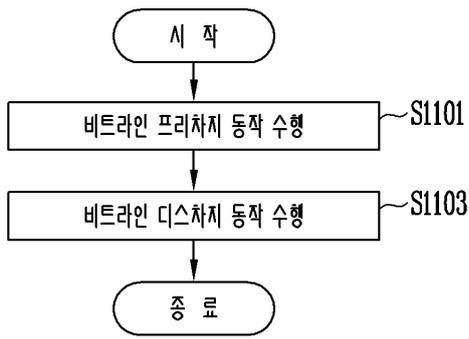
도면9



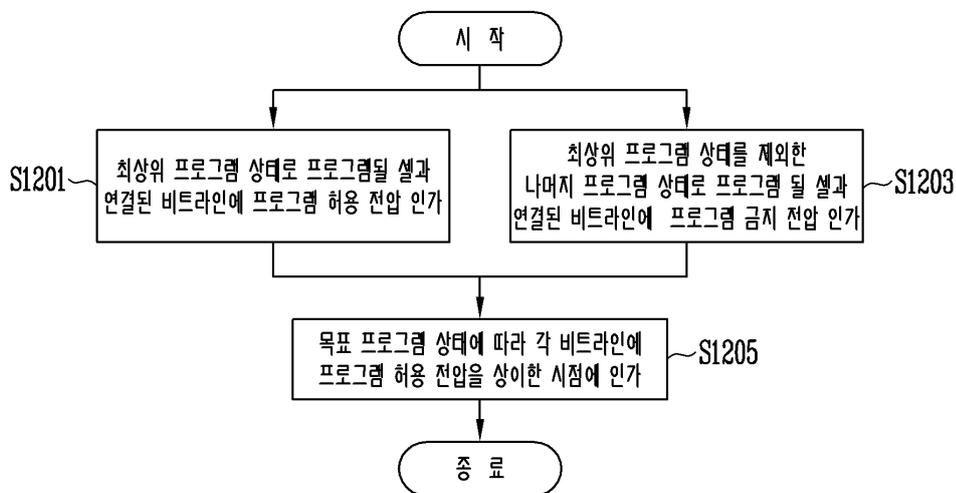
도면10



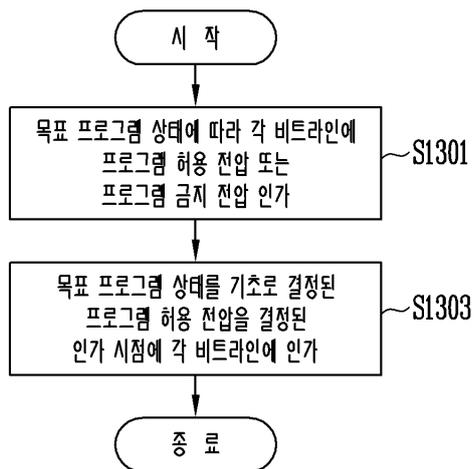
도면11



도면12



도면13



도면14

