



(12)发明专利申请

(10)申请公布号 CN 109523951 A
(43)申请公布日 2019.03.26

(21)申请号 201811643514.3

(22)申请日 2018.12.29

(71)申请人 云谷(固安)科技有限公司

地址 065500 河北省廊坊市固安县新兴产业示范区

(72)发明人 范文志 谢正芳

(74)专利代理机构 北京远智汇知识产权代理有限公司 11659

代理人 张海英

(51)Int.Cl.

G09G 3/3208(2016.01)

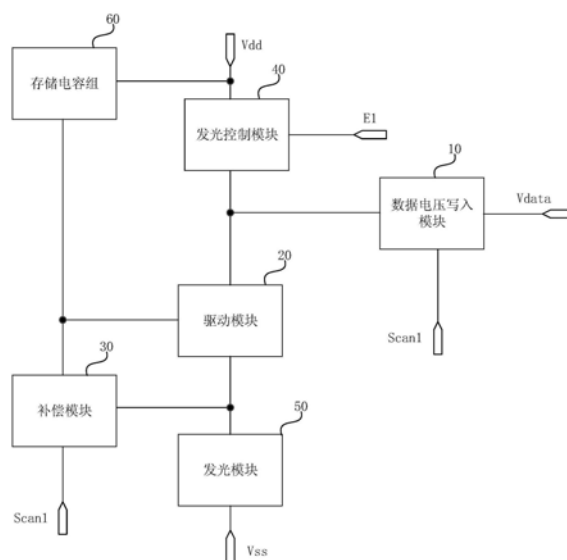
权利要求书2页 说明书11页 附图13页

(54)发明名称

一种像素电路和显示装置

(57)摘要

本发明公开了一种像素电路和显示装置。该像素电路包括数据电压写入模块、驱动模块、发光模块、发光控制模块、补偿模块和存储模块，存储模块包括串联的至少两个电容。存储模块用于存储数据电压，存储模块用于若以第一驱动频率驱动发光模块发光，存储模块的电容被设定为第一电容值；若以第二驱动频率驱动发光模块发光，存储模块的电容被设定为第二电容值；其中，第一驱动频率大于第二驱动频率，第一电容值小于第二电容值。从而可以使像素电路响应不同的驱动频率，实现了像素电路可以兼容不同的驱动频率，提高了显示面板的显示效果。



1. 一种像素电路,包括数据电压写入模块、驱动模块、发光模块、发光控制模块和补偿模块;其特征在于,还包括存储模块,所述存储模块包括串联的至少两个电容;

所述数据电压写入模块用于向所述驱动模块写入数据电压;

所述补偿模块用于补偿写入所述驱动模块的数据电压;

所述存储模块用于存储所述数据电压,所述存储模块用于若以第一驱动频率驱动所述发光模块发光,所述存储模块的电容被设定为第一电容值;若以第二驱动频率驱动所述发光模块发光,所述存储模块的电容被设定为第二电容值;其中,所述第一驱动频率大于所述第二驱动频率,所述第一电容值小于所述第二电容值;

所述驱动模块用于根据所述数据电压输出驱动信号;

所述发光控制模块用于控制所述驱动信号输出至所述发光模块,控制所述发光模块发光。

2. 根据权利要求1所述的像素电路,其特征在于,所述存储模块还包括第一端、第二端和至少一个第一晶体管;至少两个所述电容串联在所述存储模块的第一端和第二端之间,所述存储模块的第一端和第二端分别与所述驱动模块的控制端和所述像素电路的第一电源输入端电连接;每两个所述电容的公共连接极与一所述第一晶体管的第一极电连接,所述第一晶体管的第二极与所述存储模块的第二端电连接,各所述第一晶体管的栅极分别与所述像素电路的不同控制端电连接。

3. 根据权利要求2所述的像素电路,其特征在于,所述存储模块还包括第二晶体管;

所述第二晶体管的第一极与所述存储模块的第一端电连接,所述第二晶体管的第二极与第一个所述电容的第二极电连接,后一个所述电容的第一极与前一个所述电容的第二极电连接,最后一个所述电容的第二极与所述存储模块的第二端电连接;

各所述第一晶体管的栅极和所述第二晶体管的栅极分别与所述像素电路的不同控制端电连接。

4. 根据权利要求2所述的像素电路,其特征在于,所述存储模块还包括第二晶体管;

第一个所述电容的第一极与所述存储模块的第一端电连接,后一个所述电容的第一极与前一个所述电容的第二极电连接,最后一个所述电容的第二极与所述第二晶体管的第一极电连接,所述第二晶体管的第二极与所述存储模块的第二端电连接;

各所述第一晶体管的栅极和所述第二晶体管的栅极分别与所述像素电路的不同控制端电连接。

5. 根据权利要求3或4所述的像素电路,其特征在于,各所述第一晶体管和所述第二晶体管中的至少一个晶体管导通,其他晶体管关断。

6. 根据权利要求2所述的像素电路,其特征在于,所述存储模块包括两个所述电容和一个所述第一晶体管,或者,所述存储模块包括三个所述电容和两个所述第一晶体管。

7. 根据权利要求2所述的像素电路,其特征在于,所述数据写入模块包括第三晶体管,所述驱动模块包括驱动晶体管,所述发光模块为发光二极管;所述发光控制模块包括第四晶体管;所述补偿模块包括第五晶体管;

所述第三晶体管的栅极和所述第五晶体管的栅极与所述像素电路的第一扫描信号输入端电连接,所述第三晶体管的第一极与所述像素电路的数据信号输入端电连接,所述第三晶体管的第二极与所述驱动晶体管的第一极电连接;所述驱动晶体管的第一极与所述第

四晶体管的第二极电连接,所述驱动晶体管的第二极与所述第五晶体管的第二极和所述发光二极管的阳极电连接;所述发光二极管的阴极与所述像素电路的第二电源输入端电连接;所述第四晶体管的第一极与所述像素电路的第一电源输入端和所述存储模块的第二端电连接,所述第四晶体管的栅极与第一发光控制端电连接;所述驱动晶体管的栅极与所述第五晶体管的第一极和所述存储模块的第一端电连接。

8. 根据权利要求2所述的像素电路,其特征在于,所述数据写入模块包括第三晶体管,所述驱动模块包括驱动晶体管,所述发光模块为发光二极管;所述发光控制模块包括第四晶体管;所述补偿模块包括第四电容;

所述第三晶体管的栅极与所述像素电路的第一扫描信号输入端电连接,所述第三晶体管的第一极与所述像素电路的数据信号输入端电连接,所述第三晶体管的第二极与所述驱动晶体管的栅极和所述存储模块的第一端电连接;所述驱动晶体管的第一极与所述第四电容的第一极和所述像素电路的第一电源输入端电连接,所述驱动晶体管的第二极与所述第四电容的第二极、所述存储模块的第二端和所述第四晶体管的第一极电连接,所述第四晶体管的第二极与所述发光二极管的阳极电连接;所述发光二极管的阴极与所述像素电路的第二电源输入端电连接;所述第四晶体管的栅极与所述像素电路的第一发光控制端电连接。

9. 根据权利要求7或8所述的像素电路,其特征在于,还包括复位模块;所述复位模块的控制端与所述像素电路的第二扫描信号输入端电连接,所述复位模块的第一端与所述像素电路的复位信号输入端电连接,所述复位模块的第二端与所述发光二极管的阳极电连接。

10. 一种显示装置,其特征在于,包括权利要求1-9任一所述的像素电路。

一种像素电路和显示装置

技术领域

[0001] 本发明实施例涉及显示技术领域,尤其涉及一种像素电路和显示装置。

背景技术

[0002] 目前的显示面板需要针对不同的使用场景使用不同的驱动频率满足用户的不同需求。例如显示面板在阅读模式时需要低频驱动降低显示面板的功耗,显示面板在观影和游戏等模式时需要高频驱动提高用户的观看体验。但是现在的显示面板的像素驱动电路不能兼容不同的驱动频率,因此无法满足用户的不同需求。

发明内容

[0003] 本发明提供一种像素电路和显示装置,以实现像素驱动电路兼容不同的像素驱动频率。

[0004] 第一方面,本发明实施例提供了一种像素电路,包括数据电压写入模块、驱动模块、发光模块、发光控制模块和补偿模块;还包括存储模块,所述存储模块包括串联的至少两个电容;

[0005] 所述数据电压写入模块用于向所述驱动模块写入数据电压;

[0006] 所述补偿模块用于补偿写入所述驱动模块的数据电压;

[0007] 所述存储模块用于存储所述数据电压,所述存储模块用于若以第一驱动频率驱动所述发光模块发光,所述存储模块的电容被设定为第一电容值;若以第二驱动频率驱动所述发光模块发光,所述存储模块的电容被设定为第二电容值;其中,所述第一驱动频率大于所述第二驱动频率,所述第一电容值小于所述第二电容值;

[0008] 所述驱动模块用于根据所述数据电压输出驱动信号;

[0009] 所述发光控制模块用于控制所述驱动信号输出至所述发光模块,控制所述发光模块发光。

[0010] 具体地,所述存储模块还包括第一端、第二端和至少一个第一晶体管;至少两个所述电容串联在所述存储模块的第一端和第二端之间,所述存储模块的第一端和第二端分别与所述驱动模块的控制端和所述驱动模块的第一端电连接;每两个所述电容的公共连接极与一所述第一晶体管的第一极电连接,所述第一晶体管的第二极与所述存储模块的第二端电连接,各所述第一晶体管的栅极分别与所述像素电路的不同控制端电连接。

[0011] 可选地,所述存储模块还包括第二晶体管;

[0012] 所述第二晶体管的第一极与所述存储模块的第一端电连接,所述第二晶体管的第二极与第一个所述电容的第二极电连接,后一个所述电容的第一极与前一个所述电容的第二极电连接,最后一个所述电容的第二极与所述存储模块的第二端电连接;

[0013] 各所述第一晶体管的栅极和所述第二晶体管的栅极分别与所述像素电路的不同控制端电连接。

[0014] 可选地,所述存储模块还包括第二晶体管;

[0015] 第一个所述电容的第一极与所述存储模块的第一端电连接,后一个所述电容的第一极与前一个所述电容的第二极电连接,最后一个所述电容的第二极与所述第二晶体管的第一极电连接,所述第二晶体管的第二极与所述存储模块的第二端电连接;

[0016] 各所述第一晶体管的栅极和所述第二晶体管的栅极分别与所述像素电路的不同控制端电连接。

[0017] 可选地,各所述第一晶体管和所述第二晶体管中的至少一个晶体管导通,其他晶体管关断。

[0018] 可选地,所述存储模块包括两个所述电容和一个所述第一晶体管,或者,所述存储模块包括三个所述电容和两个所述第一晶体管。

[0019] 可选地,所述数据写入模块包括第三晶体管,所述驱动模块包括驱动晶体管,所述发光模块为发光二极管;所述发光控制模块包括第四晶体管;所述补偿模块包括第五晶体管;

[0020] 所述第三晶体管的栅极和所述第五晶体管的栅极与所述像素电路的第一扫描信号输入端电连接,所述第三晶体管的第一极与所述像素电路的数据信号输入端电连接,所述第三晶体管的第二极与所述驱动晶体管的第一极电连接;所述驱动晶体管的第一极与所述第四晶体管的第二极电连接,所述驱动晶体管的第二极与所述第五晶体管的第二极和所述发光二极管的阳极电连接;所述发光二极管的阴极与所述像素电路的第二电源输入端电连接;所述第四晶体管的第一极与所述像素电路的第一电源输入端和所述存储模块的第二端电连接,所述第四晶体管的栅极与第一发光控制端电连接;所述驱动晶体管的栅极与所述第五晶体管的第一极和所述存储模块的第一端电连接。

[0021] 可选地,所述数据写入模块包括第三晶体管,所述驱动模块包括驱动晶体管,所述发光模块为发光二极管;所述发光控制模块包括第四晶体管;所述补偿模块包括第四电容;

[0022] 所述第三晶体管的栅极与所述像素电路的第一扫描信号输入端电连接,所述第三晶体管的第一极与所述像素电路的数据信号输入端电连接,所述第三晶体管的第二极与所述驱动晶体管的栅极和所述存储模块的第一端电连接;所述驱动晶体管的第一极与所述第四电容的第一极和所述像素电路的第一电源输入端电连接,所述驱动晶体管的第二极与所述第四电容的第二极、所述存储模块的第二端和所述第四晶体管的第一极电连接,所述第四晶体管的第二极与所述发光二极管的阳极电连接;所述发光二极管的阴极与所述像素电路的第二电源输入端电连接;所述第四晶体管的栅极与所述像素电路的第一发光控制端电连接。可选地,像素电路,还包括复位模块;所述复位模块的控制端与所述像素电路的第二扫描信号输入端电连接,所述复位模块的第一端与所述像素电路的复位信号输入端电连接,所述复位模块的第二端与所述发光二极管的阳极电连接。

[0023] 第二方面,本发明实施例还提供了一种显示装置,包括本发明任意实施例提供的像素电路。

[0024] 本发明的技术方案,通过设置存储模块的存储电容值可调,使其满足若以比较高的驱动频率驱动发光模块发光时,存储模块的第一电容值比较小,从而可以实现存储模块快速的对驱动模块充放电,保证驱动模块充放电充分,从而保证了数据电压写入模块向驱动模块写入数据电压时存储模块存储数据电压的正确性,保证了像素电路显示的灰阶亮度,避免显示面板出现对比度差的问题。同时可以满足若以比较低的驱动频率驱动发光模

块发光时,存储模块的第二电容值比较大,存储模块可以在比较长的时间内存储数据电压,从而可以长时间保持驱动模块的电位,避免显示面板在显示过程中因驱动模块的电位保持时间短出现显示闪烁或显示面板的均一性差的问题。因此像素电路的存储电容值可以根据驱动频率不同而改变,使存储电容的充放电时间和保持驱动模块电位的时间不同,从而可以使像素电路响应不同的驱动频率,实现了像素电路可以兼容不同的驱动频率,提高了显示面板的显示效果。

附图说明

- [0025] 图1为现有技术提供的一种像素电路的电路结构示意图。
- [0026] 图2为本发明实施例提供的一种像素电路的电路结构示意图;
- [0027] 图3为本发明实施例提供的另一种像素电路的电路结构示意图;
- [0028] 图4为本发明实施例提供的另一种像素电路的电路结构示意图;
- [0029] 图5为本发明实施例提供的另一种像素电路的电路结构示意图;
- [0030] 图6为本发明实施例提供的另一种像素电路的电路结构示意图;
- [0031] 图7为本发明实施例提供的另一种像素电路的电路结构示意图;
- [0032] 图8为图7的像素电路对应的一种时序图;
- [0033] 图9为本发明实施例提供的另一种像素电路的电路结构示意图;
- [0034] 图10为图9的像素电路对应的一种时序图;
- [0035] 图11为本发明实施例提供的另一种像素电路的电路结构示意图;
- [0036] 图12为图11的像素电路对应的一种时序图;
- [0037] 图13为本发明实施例提供的一种显示装置的结构示意图。

具体实施方式

[0038] 下面结合附图和实施例对本发明作进一步的详细说明。可以理解的是,此处所描述的具体实施例仅仅用于解释本发明,而非对本发明的限定。另外还需要说明的是,为了便于描述,附图中仅示出了与本发明相关的部分而非全部结构。

[0039] 现有技术中,像素电路利用两个晶体管和存储电容实现像素电路驱动有机发光二极管(Organic Light Emitting Diode,OLED)发光。图1为现有技术提供的一种像素电路的电路结构示意图。如图1所示,像素电路包括开关晶体管T0、驱动晶体管N0和存储电容Cs。开关晶体管T0的栅极连接扫描线以接收扫描信号Scan1,源极连接到数据线以接收数据信号Vdata,漏极连接到驱动晶体管N0的栅极。驱动晶体管N0的源极连接到第一电压端以接收第一电压Vdd(高电压),漏极连接到OLED的正极端;存储电容Cs的一端连接到开关晶体管T0的漏极以及驱动晶体管N0的栅极,另一端连接到驱动晶体管N0的源极以及第一电压端;OLED的负极端连接到第二电压端以接收第二电压Vss(低电压,例如接地电压)。该像素电路的驱动方式是将像素的明暗(灰阶)经由两个晶体管和存储电容Cs来控制。当通过扫描线施加扫描信号Scan1以开启开关晶体管T0时,数据驱动电路通过数据线送入的数据信号Vdata将经由开关晶体管T0对存储电容Cs充电,由此将数据信号Vdata存储在存储电容Cs中,且此存储的数据信号Vdata控制驱动晶体管N0的导通程度,由此控制流过驱动晶体管以驱动OLED发光的电流大小,即此电流决定该像素发光的灰阶。

[0040] 在上述过程中,存储电容 C_s 的电容值固定,因此存储电容 C_s 充放电的速率固定。当像素电路以不同的驱动频率驱动时,存储电容 C_s 不能同时完全响应不同的驱动频率,导致像素电路不能兼容不同的驱动频率的显示。例如,当像素电路以比较低的驱动频率驱动时,像素电路的存储电容 C_s 需要比较大的电容值用于比较长的时间保持驱动晶体管栅极的数据信号 V_{data} ,如果存储电容 C_s 电容值太小,显示面板会出现显示闪烁等问题。当以像素电路以比较高的驱动频率驱动时,像素电路的存储电容 C_s 需要比较小的电容值用于快速对驱动晶体管的栅极充电。如果存储电容 C_s 电容值太大,驱动晶体管的栅极电位充电不充分,显示面板显示的对比度差。

[0041] 针对上述问题,本发明实施例提出一种像素电路,以实现像素电路兼容不同的驱动频率。

[0042] 图2为本发明实施例提供的一种像素电路的电路结构示意图。如图2所示,该像素电路包括数据电压写入模块10、驱动模块20、发光模块50、发光控制模块40、补偿模块30和存储模块60,存储模块60包括串联的至少两个电容。

[0043] 数据电压写入模块10用于向驱动模块20写入数据电压。补偿模块30用于补偿写入驱动模块20的数据电压。存储模块60用于存储数据电压,存储模块60用于若以第一驱动频率驱动发光模块50发光,存储模块60的电容被设定为第一电容值;若以第二驱动频率驱动发光模块50发光,存储模块60的电容被设定为第二电容值;其中,第一驱动频率大于第二驱动频率,第一电容值小于第二电容值。驱动模块20用于根据数据电压输出驱动信号。发光控制模块40用于控制驱动信号输出至发光模块50,控制发光模块50发光。

[0044] 示例性地,如图2所示,数据电压写入模块10的控制端和补偿模块30的控制端与第一扫描信号输入端 $Scan1$ 电连接,用于输入第一扫描信号,数据电压写入模块10的第一端与数据信号输入端 V_{data} 电连接,用于输入数据电压,数据电压写入模块10的第二端与驱动模块20的第一端电连接。驱动模块20的第一端与发光控制模块40的第二端电连接,驱动模块20的第二端与补偿模块30的第二端和发光模块50的第一端电连接,补偿模块30的第一端与驱动模块20的控制端和存储模块60的第一端电连接,发光控制模块40的控制端与第一发光控制端 $E1$ 电连接,用于输入第一发光控制信号,发光控制模块40的第一端与像素电路的第一电源输入端 V_{dd} 和存储模块60的第二端电连接。发光模块50的第二端与像素电路的第二电源输入端 V_{ss} 电连接,用于输入第二电压。在像素电路驱动发光模块50发光的过程中,在第一阶段,数据电压写入模块10向驱动模块20写入数据电压,补偿模块30补偿写入驱动模块20的数据电压。在第二阶段,发光控制模块40控制驱动信号输出至发光模块50,控制发光模块50发光。

[0045] 在像素电路驱动发光模块50发光之前,像素电路根据驱动频率确定存储模块60的电容值。当以第一驱动频率驱动像素电路的发光模块发光时,存储模块60的电容被设定为第一电容值,用于存储数据电压,当以第二驱动频率驱动像素电路的发光模块发光时,存储模块60的电容被设定为第二电容值,用于存储数据电压。当第一驱动频率大于第二驱动频率时,需要设置第一电容值小于第二电容值,以满足若以比较高的驱动频率驱动发光模块50发光时,存储模块60的第一电容值比较小,从而可以实现存储模块60快速的对驱动模块20充放电,保证驱动模块20充放电充分,从而保证了数据电压写入模块10向驱动模块20写入数据电压时存储模块60存储数据电压的正确性,保证了像素电路显示的灰阶亮度,避免

显示面板出现对比度差的问题。同时可以满足若以比较低的驱动频率驱动发光模块50发光时,存储模块60的第二电容值比较大,存储模块60可以在比较长的时间内存储数据电压,从而可以长时间保持驱动模块20的电位,避免显示面板在显示过程中因驱动模块20的电位保持时间短出现显示闪烁或显示面板的均一性差的问题。因此像素电路的存储电容值可以根据驱动频率不同而改变,使存储电容的充放电时间和保持驱动模块电位的时间均发生改变,从而可以使像素电路响应不同的驱动频率,实现了像素电路可以兼容不同的驱动频率,提高了显示面板的显示效果。

[0046] 一般情况下,第一电源输入端Vdd输入的第一电源为高电平,第二电源输入端Vss输入的第二电源为低电平,例如可以为地信号,为0V。

[0047] 本实施例的技术方案,像素电路包括数据电压写入模块、驱动模块、发光模块、发光控制模块、补偿模块和存储模块,存储模块包括串联的至少两个电容。存储模块用于存储数据电压,存储模块用于若以第一驱动频率驱动发光模块发光,存储模块的电容被设定为第一电容值;若以第二驱动频率驱动发光模块发光,存储模块的电容被设定为第二电容值;其中,第一驱动频率大于第二驱动频率,第一电容值小于第二电容值。通过设置存储模块的存储电容值可调,使其满足若以比较高的驱动频率驱动发光模块发光时,存储模块的第一电容值比较小,从而可以实现存储模块快速的对驱动模块充放电,保证驱动模块充放电充分,从而保证了数据电压写入模块向驱动模块写入数据电压时存储模块存储数据电压的正确性,保证了像素电路显示的灰阶亮度,避免显示面板出现对比度差的问题。同时可以满足若以比较低的驱动频率驱动发光模块发光时,存储模块的第二电容值比较大,存储模块可以在比较长的时间内存储数据电压,从而可以长时间保持驱动模块的电位,避免显示面板在显示过程中因驱动模块的电位保持时间短出现显示闪烁或显示面板的均一性差的问题。因此像素电路的存储电容值可以根据驱动频率不同而改变,使存储电容的充放电时间和保持驱动模块电位的时间均发生改变,从而可以使像素电路响应不同的驱动频率,实现了像素电路可以兼容不同的驱动频率,提高了显示面板的显示效果。

[0048] 在上述技术方案的基础上,存储模块还包括第一端、第二端和至少一个第一晶体管。至少两个电容串联在存储模块的第一端和第二端之间,存储模块的第一端和第二端分别与驱动模块的控制端和像素电路的第一电源输入端电连接,每两个电容的公共连接极与一第一晶体管的第一极电连接,第一晶体管的第二极与存储模块的第二端电连接,各第一晶体管的栅极分别与像素电路的不同控制端电连接。

[0049] 具体地,存储模块的第一端和第二端分别与驱动模块的控制端和像素电路的第一电源输入端电连接包括两种情况。第一种情况时,存储模块的第一端与驱动模块的控制端电连接,存储模块的第二端与像素电路的第一电源输入端电连接。第二种情况时,存储模块的第二端与驱动模块的控制端电连接,存储模块的第一端与像素电路的第一电源输入端电连接。两种情况均可以实现存储模块串接在驱动模块的控制端和像素电路的第一电源输入端之间。或者,选择两种情况中的一种情况只调换存储模块的第一端和第二端,同样可以实现存储模块串接在驱动模块的控制端和像素电路的第一电源输入端之间的不同情况。

[0050] 在存储模块内,第一晶体管可以作为存储模块中的一个电容是否被短路的开关。例如,第一晶体管的第二极与存储模块的第一端或第二端电连接,第一极与存储模块中的多个电容的公共连接极电连接,当第一晶体管导通时,第一晶体管相当于短路,此时与第一

晶体管并联的电容被短路,因此与第一晶体管对应的电容不能与存储模块其他的电容串联,存储模块的串联的电容变少,存储模块的电容值变大。当第一晶体管截止时,第一晶体管相当于断路,此时与第一晶体管并联的电容与存储模块其他的电容串联,存储模块的串联的电容变多,存储模块的电容值变小。因此可以通过控制第一晶体管的导通或截止调整存储模块的电容值。

[0051] 另外,各第一晶体管的栅极分别与像素电路的不同控制端电连接,通过像素电路的不同控制端输入控制信号,可以控制第一晶体管的导通或截止。例如,当第一晶体管为P型晶体管时,像素电路的控制端输入低电平信号时第一晶体管导通,输入端高电平信号时第一晶体管截止。或者,当第一晶体管为N型晶体管时,像素电路的控制端输入低电平信号时第一晶体管截止,输入端高电平信号时第一晶体管导通。

[0052] 一般情况下,参考电压端可以为像素电路的第一电源输入端,用于输入第一电源。

[0053] 示例性地,图3为本发明实施例提供的另一种像素电路的电路结构示意图。如图3所示,存储模块60示例性地示出了包括两个存储电容,分别为第一电容C1和第二电容C2,以及一个第一晶体管T1。第一电容C1的第一极作为存储模块60的第一端,第一电容C1的第二极与第二电容C2的第一极电连接,并形成公共连接点与第一晶体管T1的第一极电连接,第二电容C2的第二极作为存储模块60的第二端,第一晶体管T1的第二极与存储模块60的第二端电连接,第一晶体管T1的栅极与像素电路的一个控制端电连接。当以第一驱动频率驱动像素电路的发光模块50发光时,控制第一晶体管T1截止,此时存储模块60提供的第一电容值为第一电容C1和第二电容C2串联的电容值,因此第一电容值相对只有一个电容时的电容值小,其充放电时间比较快,驱动模块20充放电充分,可以使得在第一驱动频率驱动时存储模块60充放电在短时间内达到需要的电压,保证了数据电压写入模块10向驱动模块20写入数据电压时存储模块60存储数据电压的正确性,保证了像素电路显示的灰阶亮度,避免显示面板出现对比度差的问题。当以第二驱动频率驱动像素电路的发光模块50发光时,第二驱动频率小于第一驱动频率,控制第一晶体管T1导通,此时存储模块60提供的第二电容值为第一电容C1的电容值,相对于第一电容C1和第二电容C2串联的电容值大,存储模块60可以在比较长的时间内存储数据电压,从而可以长时间保持驱动模块20的电位,避免显示面板在显示过程中因驱动模块20的电位保持时间短出现显示闪烁或显示面板的均一性差的问题。因此像素电路的存储电容值可以根据驱动频率不同而改变,使存储电容的充放电时间和保持驱动模块电位的时间均发生改变,从而可以使像素电路响应不同的驱动频率,实现了像素电路可以兼容不同的驱动频率,提高了显示面板的显示效果。

[0054] 需要说明的是,图3仅是一种示例,其可以使存储模块60实现两种电容值的调节。存储模块60还可以包括多个电容和多个第一晶体管T1。图4为本发明实施例提供的另一种像素电路的电路结构示意图。如图4所示,存储模块60可以包括三个电容,分别为第一电容C1、第二电容C2和第三电容C3,以及两个第一晶体管T11和T12,连接关系与图3类似。可以使存储模块60实现三种电容值的调节。具体地过程与上述过程相同,此处不再赘述。

[0055] 在上述技术方案的基础上,图5为本发明实施例提供的另一种像素电路的电路结构示意图。如图5所示,存储模块60还包括第二晶体管T2。

[0056] 第一个电容的第一极与存储模块60的第一端电连接,后一个电容的第一极与前一个电容的第二极电连接,最后一个电容的第二极与第二晶体管T2的第一极电连接,第二晶

晶体管T2的第二极与存储模块60的第二端电连接,各第一晶体管T1的栅极和第二晶体管T2的栅极分别与像素电路的不同控制端电连接。

[0057] 具体地,如图5所示,当存储模块60包括两个电容时,分别为第一电容C1和第二电容C2,还包括一个第一晶体管T1以及第二晶体管T2。第一电容C1的第一极作为存储模块60的第一端,第一电容C1的第二极与第二电容C2的第一极电连接,并形成公共连接点与第一晶体管T1的第一极电连接,第二电容C2的第二极与第二晶体管T2的第一极电连接,第二晶体管T2的第二极和第一晶体管T1的第二极作为存储模块60的第二端,第一晶体管T1的栅极和第二晶体管T2的栅极分别与像素电路的不同的控制端电连接。

[0058] 当以第一驱动频率驱动像素电路的发光模块50发光时,控制第一晶体管T1截止,第二晶体管T2导通,此时存储模块60提供的第一电容值为第一电容C1和第二电容C2串联的电容值,因此第一电容值相对只有一个电容时的电容值小,其充放电时间比较快。当以第二驱动频率驱动像素电路的发光模块50发光时,第二驱动频率小于第一驱动频率,控制第一晶体管T1导通,第二晶体管T2截止,此时存储模块60提供的第二电容值为第一电容C1的电容值,相对于第一电容C1和第二电容C2串联的电容值大,存储模块60可以在比较长的时间内存储数据电压,从而可以长时间保持驱动模块20的电位。

[0059] 另外,第一晶体管T1和第二晶体管T2可以分别对应不同的电容,当第一晶体管T1和第二晶体管T2均截止时,存储模块60所在的电路断路,因此需要保证第一晶体管T1和第二晶体管T2中的至少一个晶体管导通。而且,当第一晶体管T1和第二晶体管T2中的多个晶体管导通时,等效于存储模块60中多个导通晶体管单独导通时存储模块60的电容数量最少的导通效果。例如,在图5中,当第一晶体管T1和第二晶体管T2均导通时,等效与只有第一晶体管T1导通时,存储模块60的电容值为第一电容C1的电容值。

[0060] 需要说明的是,图5仅是一种示例,其可以使存储模块60实现两种电容值的调节。存储模块60还可以包括多个电容、多个第一晶体管T1和第二晶体管T2。继续参考图4,存储模块60可以包括三个电容,分别为第一电容C1、第二电容C2和第三电容C3,以及两个第一晶体管T11和T12和第二晶体管T2,连接关系与图5类似。可以使存储模块60实现三种电容值的调节,因此像素电路可以兼容三种驱动频率。在三种驱动频率中,设为第一驱动频率大于第二驱动频率,第二驱动频率大于第三驱动频率。当以第一驱动频率驱动像素电路的发光模块50发光时,控制两个第一晶体管T11和T12截止,第二晶体管T2导通,此时存储模块60提供的第一电容值为第一电容C1、第二电容C2和第三电容C3串联的电容值,因此第一电容值最小,其充放电时间最快。当以第二驱动频率驱动像素电路的发光模块50发光时,控制第一个第一晶体管T11和第二晶体管T2截止,第二个第一晶体管T12导通,此时存储模块60提供的第二电容值为第一电容C1和第二电容C2串联的电容值,因此第二电容值大于第一电容值,其充放电时间大于第一电容值对应的充放电时间,电位保持时间也大于第一电容值对应的充放电时间。当以第三驱动频率驱动像素电路的发光模块50发光时,控制第二个第一晶体管T12和第二晶体管T2截止,第一个第二晶体管T11导通,此时存储模块60提供的第三电容值为第一电容C1的电容值,相对于第二电容值比较大,其充放电时间最长,存储电容保持电位时间最长。

[0061] 需要说明的是,图5所示的像素电路为存储模块60的第一端与驱动模块20的控制端电连接,存储模块60的第二端与驱动模块的第一端电连接。

[0062] 图6为本发明实施例提供的另一种像素电路的电路结构示意图。如图6所示,存储模块60与驱动模块20的控制端和像素电路的第一电源输入端Vdd之间的连接关系不变,调换存储模块60的第一端和第二端实现存储模块60与驱动模块20的控制端和像素电路的第一电源输入端Vdd的另一种连接关系。此时第二晶体管T2的第一极与存储模块60的第一端电连接,第二晶体管T2的第二极与第一个电容的第二极电连接,后一个电容的第一极与前一个电容的第二极电连接,最后一个电容的第二极与存储模块60的第二端电连接,各第一晶体管T1的栅极和第二晶体管T2的栅极分别与像素电路的不同控制端电连接。

[0063] 具体地,图6与图5的差别仅在于存储模块60的第一端和第二端的调换,因此图6所示的像素电路同样可以通过控制两个第一晶体管T11和T12以及第二晶体管T2的导通和截止改变存储模块60的电容值,原理与上述过程相同,此处不再赘述。

[0064] 在上述技术方案的基础上,图7为本发明实施例提供的另一种像素电路的电路结构示意图。如图7所示,数据写入模块10包括第三晶体管T3,驱动模块20包括驱动晶体管Tdr,发光模块50为发光二极管,发光控制模块40包括第四晶体管T4,补偿模块30包括第五晶体管T5。

[0065] 第三晶体管T3的栅极和第五晶体管T5的栅极与像素电路的第一扫描信号输入端Scan1电连接,第三晶体管T3的第一极与像素电路的数据信号输入端Vdata电连接,第三晶体管T3的第二极与驱动晶体管Tdr的第一极电连接,驱动晶体管Tdr的第一极与第四晶体管T4的第二极电连接,驱动晶体管Tdr的第二极与第五晶体管T5的第二极和发光二极管的阳极电连接,发光二极管的阴极与像素电路的第二电源输入端Vss电连接,第四晶体管T4的第一极与像素电路的第一电源输入端Vdd和存储模块60的第二端电连接,第四晶体管T4的栅极与第一发光控制端E1电连接,驱动晶体管Tdr的栅极与第五晶体管T5的第一极和存储模块60的第一端电连接。

[0066] 具体地,如图7所示,存储模块60以包括三个电容为例进行说明。存储模块60的第一端为第一电容C1的第一极,第二端为第二晶体管T2的第二极。另外,两个第一晶体管T11和T12以及第二晶体管T2的栅极分别与像素电路的第一控制端Ctrl1、第二控制端Ctrl2和第三控制端Ctrl3电连接。

[0067] 图8为图7的像素电路对应的一种时序图。现结合图7和图8对图7的像素电路工作原理进行说明。

[0068] 在图8中,ctrl1为第一控制端Ctrl1输入的第一控制信号的时序,ctrl2为第二控制端Ctrl2输入的第二控制信号的时序,ctrl3为第三控制端Ctrl3输入的第三控制信号的时序,scan1为第一扫描信号输入端Scan1输入的第一扫描信号的时序,e1为第一发光控制端E1输入的第一发光控制信号的时序。当以第一驱动频率驱动像素电路的发光模块50发光时,ctrl1和ctrl2为低电平,ctrl3为高电平,因此两个第一晶体管T11和T12截止,第二晶体管T2导通,此时存储模块60提供的第一电容值为第一电容C1、第二电容C2和第三电容C3串联的电容值,因此第一电容值最小,其充放电时间最快。

[0069] 在第一阶段t1,scan1为低电平,e1为高电平,第三晶体管T3和第五晶体管T5导通,第四晶体管T4截止。第五晶体管T5以二极管的形式连接驱动晶体管Tdr。由于驱动晶体管Tdr在上一帧的发光过程处于导通状态,因此第三晶体管T3输入的数据电压通过驱动晶体管Tdr和第五晶体管T5输入至驱动晶体管Tdr的栅极,直至驱动晶体管Tdr的栅极电压为数

据电压与驱动晶体管Tdr的阈值电压之差,驱动晶体管Tdr截止,此时驱动晶体管Tdr的栅极电压为数据电压和驱动晶体管Tdr的阈值电压之差,并存储至存储模块60的电容中。例如数据电压为vdata,驱动晶体管Tdr的阈值电压为vth,则驱动晶体管Tdr的栅极电压Vg为vdata-vth。

[0070] 在第二阶段t2,scan1为高电平,e1为低电平,第三晶体管T3和第五晶体管T5截止,第四晶体管T4导通。第四晶体管T4输出第一电源至驱动晶体管Tdr的源极,即驱动晶体管Tdr的源极Vs的电压为vdd。驱动晶体管Tdr的源极和栅极之间的电压差大于驱动晶体管Tdr的阈值电压,因此驱动晶体管Tdr导通。此时通过驱动晶体管Tdr向有机发光二极管提供驱动电流,因驱动晶体管Tdr为P型晶体管,驱动有机发光二极管发光的电流I为 $I = \frac{\beta}{2}(V_{gs} - v_{th})^2$,其中, β 为一个常数,Vgs为驱动晶体管Tdr的源极和栅极之间的电压。 $(V_{gs} - v_{th}) = (V_s - V_g - v_{th}) = (v_{dd} - (v_{data} - v_{th}) - v_{th}) = (v_{dd} - v_{data})$,因此,驱动电流I为 $I = \frac{\beta}{2}(v_{dd} - v_{data})^2$,驱动电流I与驱动晶体管Tdr的阈值电压无关,因此实现了对驱动晶体管Tdr的阈值电压的补偿,同时有机发光二极管发光。

[0071] 当以第二驱动频率或第三驱动频率驱动像素电路的发光模块50发光时,适应的调整ctrl1和ctrl2和ctrl3的高低电平,控制两个第一晶体管T11和T12和第二晶体管T2的导通和截止,其他驱动过程与上述过程相同,此处不再赘述。

[0072] 图9为本发明实施例提供的另一种像素电路的电路结构示意图。如图9所示,数据写入模块10包括第三晶体管T3,驱动模块20包括驱动晶体管Tdr,发光模块50为发光二极管,发光控制模块40包括第四晶体管T4,补偿模块30包括第四电容C4。

[0073] 第三晶体管T3的栅极与像素电路的第一扫描信号输入端Scan1电连接,第三晶体管T3的第一极与像素电路的数据信号输入端Vdata电连接,第三晶体管T3的第二极与驱动晶体管Tdr的栅极和存储模块60的第一端电连接,驱动晶体管Tdr的第一极与第四电容C4的第一极和像素电路的第一电源输入端Vdd电连接,驱动晶体管Tdr的第二极与第四电容C4的第二极、存储模块60的第二端和第四晶体管T4的第一极电连接,第四晶体管T4的第二极与发光二极管的阳极电连接,发光二极管的阴极与像素电路的第二电源输入端Vss电连接,第四晶体管T4的栅极与像素电路的第一发光控制端E1电连接。

[0074] 具体地,图10为图9的像素电路对应的一种时序图。现结合图9和图10对图9的像素电路工作原理进行说明。

[0075] 在图10中,ctrl1为第一控制端Ctrl1输入的第一控制信号的时序,ctrl2为第二控制端Ctrl2输入的第二控制信号的时序,ctrl3为第三控制端Ctrl3输入的第三控制信号的时序,scan1为第一扫描信号输入端Scan1输入的第一扫描信号的时序,e1为第一发光控制端E1输入的第一发光控制信号的时序,vdata为数据信号输入端Vdata输入的数据电压的时序。当以第一驱动频率驱动像素电路的发光模块50发光时,ctrl1和ctrl2为低电平,ctrl3为高电平,因此两个第一晶体管T11和T12截止,第二晶体管T2导通,此时存储模块60提供的第一电容值为第一电容C1、第二电容C2和第三电容C3串联的电容值,因此第一电容值最小,其充放电时间最快。

[0076] 在第三阶段t3,scan1为高电平,e1为高电平,第三晶体管T3导通,第四晶体管T4截止。第三晶体管T3输入数据电压,此时数据电压为低电平,可以为参考电压Vref,驱动晶体

管Tdr的栅极电位Vg为Vref,即N1点的电压为Vref。驱动晶体管Tdr导通。第一电源输入端Vdd输入的第一电源vdd通过驱动晶体管Tdr对驱动晶体管Tdr的第二极进行充电,即对N2点进行充电。当驱动晶体管Tdr的第二极的电位Vs为Vref-vth时,驱动晶体管Tdr截止,充电过程结束,并将驱动晶体管Tdr的阈值电压存储在存储模块60中。其中的vth为驱动晶体管Tdr的阈值电压。

[0077] 在第四阶段t4,scan1为高电平,e1为高电平,第三晶体管T3导通,第四晶体管T4截止。第三晶体管T3输入数据电压,此时数据电压vdata经第三晶体管T3对驱动晶体管Tdr的栅极进行充电,驱动晶体管Tdr的栅极的电位Vg从参考电压Vref变为数据电压vdata。由于电容本身的特性,存储模块60的第二端的电压也会发生变化,即驱动晶体管Tdr的第二极的电位Vs也会发生变化。同时存储模块60与第四电容C4串联,第四电容C4的第一极电位为第一电源,保持不变,因此根据电荷守恒原理可以得到驱动晶体管Tdr的第二极的电位Vs变为 $V_{ref}-V_{th}+(V_{data}-V_{ref})c_1/(c_1+c_2)$,其中c1为存储模块60的电容值,c2为第四电容C4的电容值。

[0078] 在第五阶段t5,scan1为低电平,e1为低电平,第三晶体管T3截止,第四晶体管T4导通。由于第四晶体管T4导通,驱动晶体管Tdr的第二极的电位Vs由 $V_{ref}-V_{th}+(V_{data}-V_{ref})c_1/(c_1+c_2)$ 变为 $V_{oled}+V_{ss}$,其中 V_{oled} 为发光二极管的压降,vss为第二电源输入端Vss输入的第二电源。因此,根据电容本身的特性和电荷守恒原理可知,驱动晶体管Tdr的栅极电位Vg变为 $V_{oled}+V_{ss}-(v_{data}-V_{ref})c_1/(c_1+c_2)-V_{ref}+v_{th}+v_{data}$ 。因驱动晶体管Tdr为N型晶体管,驱动有机发光二极管发光的电流 $I=I=\frac{\beta}{2}(V_{gs}+v_{th})^2$,其中, β 为一个常数, V_{gs} 为驱动晶体管Tdr的第二极和栅极之间的电压。将驱动晶体管Tdr的第二极的电位和驱动晶体管Tdr的栅极电位代入可得, $(V_{gs}+v_{th})=(V_s-V_g+v_{th})=(V_{oled}+V_{ss}-(V_{oled}+V_{ss}-(v_{data}-V_{ref})c_1/(c_1+c_2)-V_{ref}+v_{th}+v_{data})+v_{th})=((v_{data}-V_{ref})c_1/(c_1+c_2)+V_{ref}-v_{data})=(v_{data}-V_{ref})c_2/(c_1+c_2)$,因此驱动电流I与驱动晶体管Tdr的阈值电压vth无关,实现了对驱动晶体管Tdr的阈值电压的补偿,同时有机发光二极管发光。

[0079] 在上述各实施例的基础上,图11为本发明实施例提供的另一种像素电路的电路结构示意图。如图11所示,像素电路还包括复位模块70。复位模块70的控制端与像素电路的第二扫描信号输入端Scan2电连接,复位模块70的第一端与像素电路的复位信号输入端Vinit电连接,复位模块70的第二端与发光二极管的阳极电连接。

[0080] 示例性地,复位模块70可以是第六晶体管T6。第六晶体管T6的栅极作为复位模块70的控制端,第六晶体管T6的第一极作为复位模块70的第一端,第六晶体管T6的第二极作为复位模块70的第二端。

[0081] 图12为图11的像素电路对应的一种时序图。现结合图11和图12对图11的像素电路工作原理进行说明。

[0082] 在图12中,scan2为第二扫描信号输入端Scan2输入的第二扫描信号的时序,vinit为复位信号输入端Vinit输入的复位信号的时序,其他时序与图8相同,并且图12比图8多增加了一个复位阶段t0。

[0083] 在复位阶段t0,scan2为低电平,scan1为高电平,e1为高电平,第六晶体管T6导通,第三晶体管T3、第四晶体管T4和第五晶体管T5截止。复位信号输入端Vinit输入的复位信号

vinit为低电平,并通过第六晶体管T6输入至发光二极管的阳极,对发光二极管的阳极进行复位。

[0084] 在第一阶段t1和第二阶段t2,scan2为高电平,第六晶体管T6截止,因此第一阶段t1和第二阶段t2的工作过程与图10的工作过程相同,此处不再赘述。

[0085] 本发明实施例还提供一种显示装置,图13为本发明实施例提供的一种显示装置的结构示意图。如图13所示,该显示装置100包括阵列基板110,阵列基板110包括本发明任意实施例提供的像素电路。该显示装置100可以为:显示面板、手机、平板电脑、电视机、显示器、笔记本电脑、数码相框等任何具有显示功能的产品或部件。

[0086] 注意,上述仅为本发明的较佳实施例及所运用技术原理。本领域技术人员会理解,本发明不限于这里所述的特定实施例,对本领域技术人员来说能够进行各种明显的变化、重新调整和替代而不会脱离本发明的保护范围。因此,虽然通过以上实施例对本发明进行了较为详细的说明,但是本发明不仅仅限于以上实施例,在不脱离本发明构思的情况下,还可以包括更多其他等效实施例,而本发明的范围由所附的权利要求范围决定。

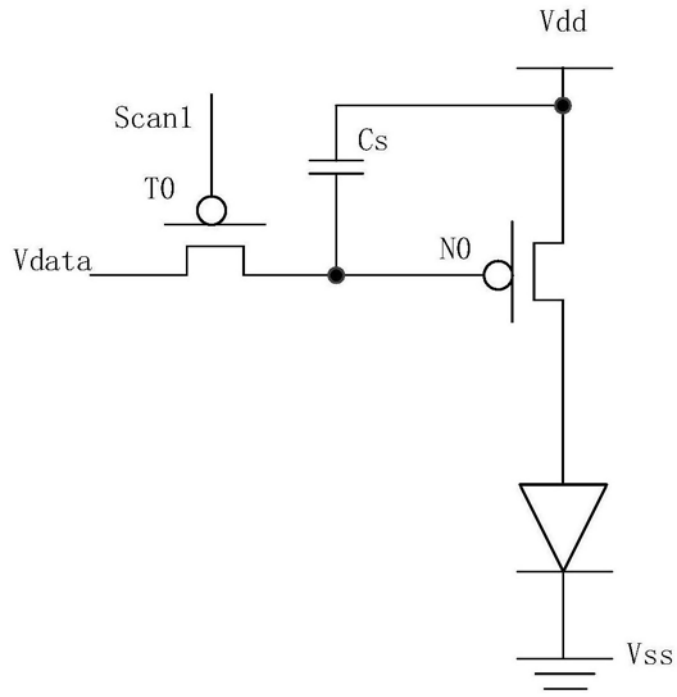


图1

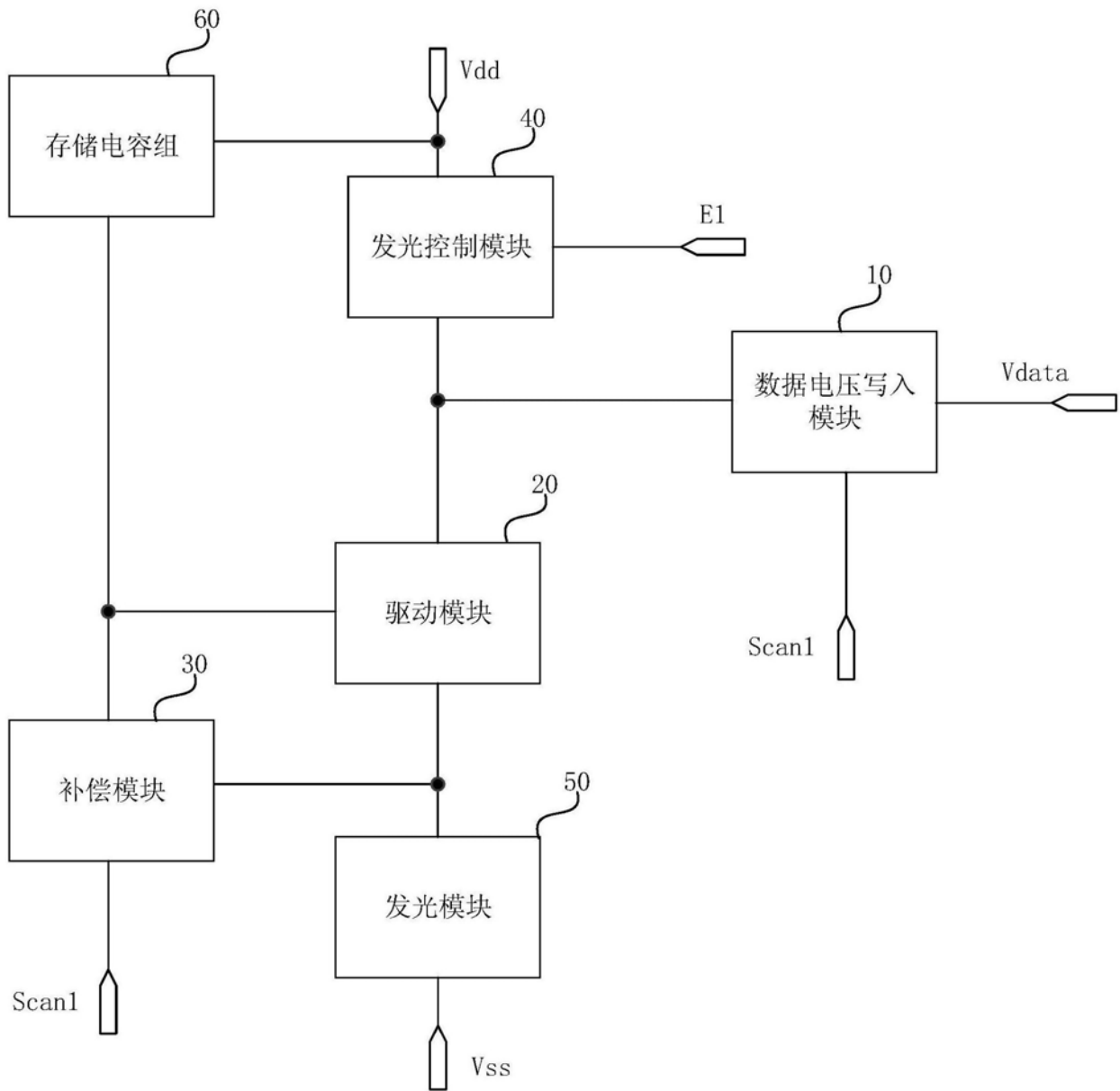


图2

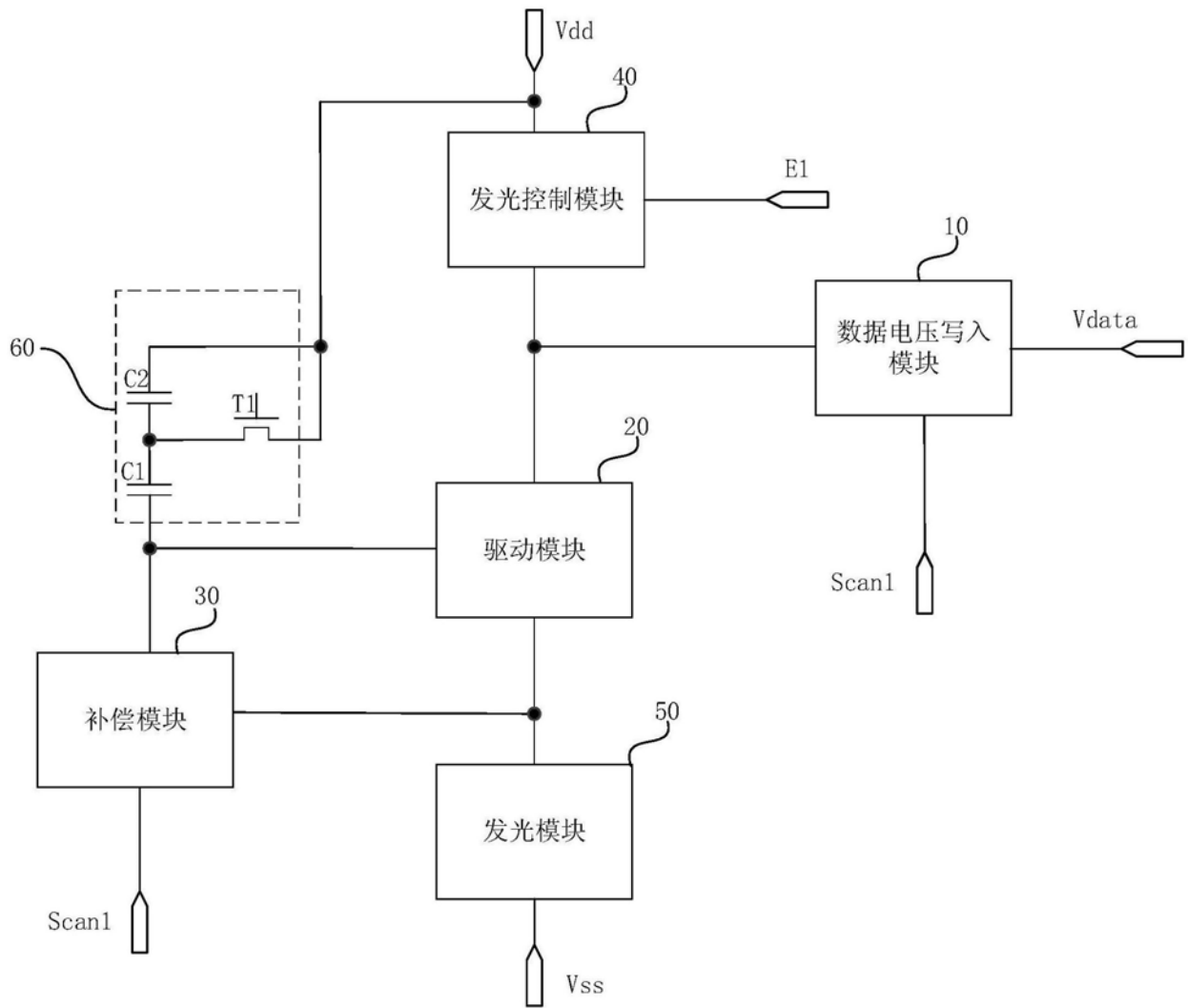


图3

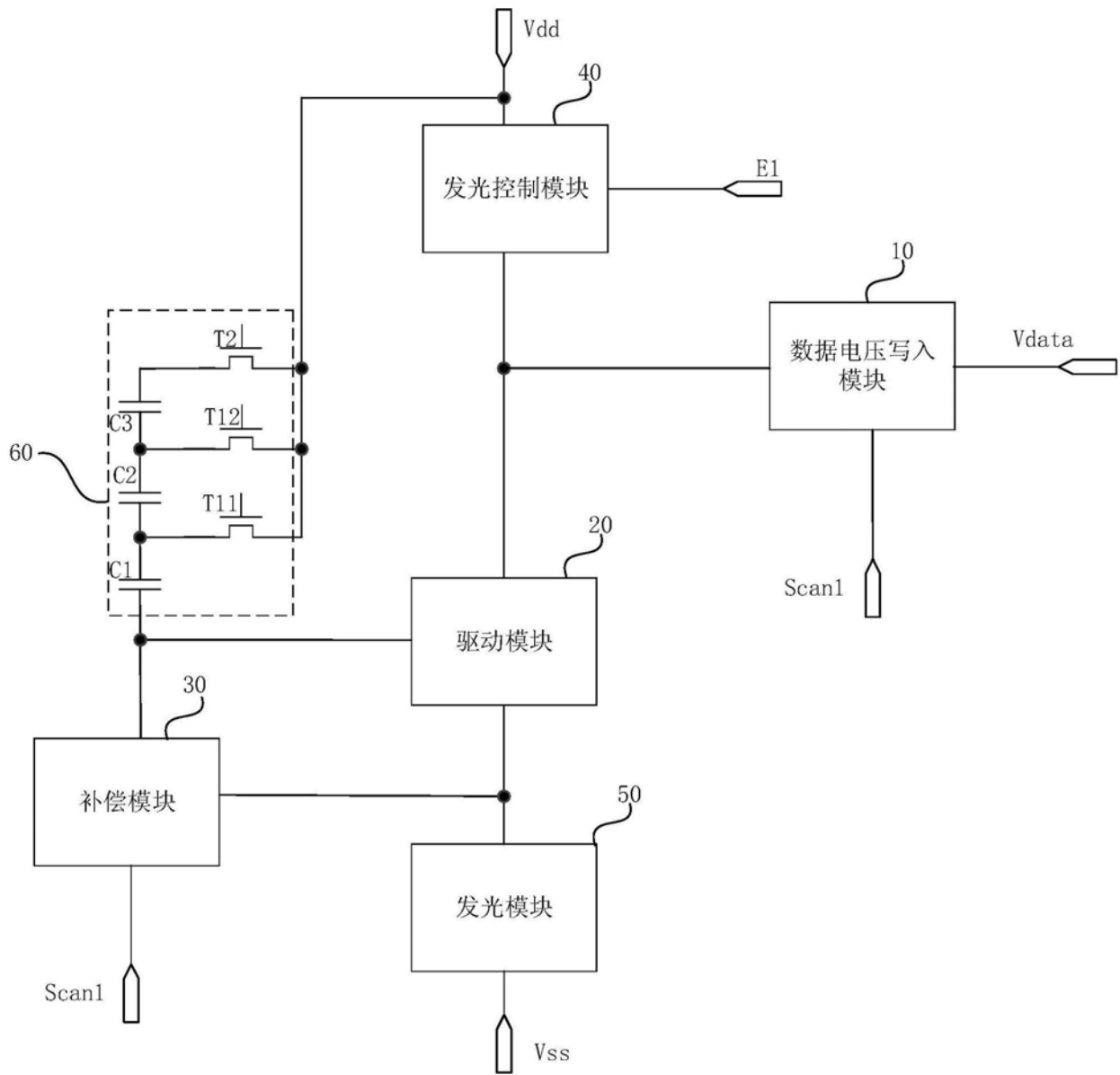


图4

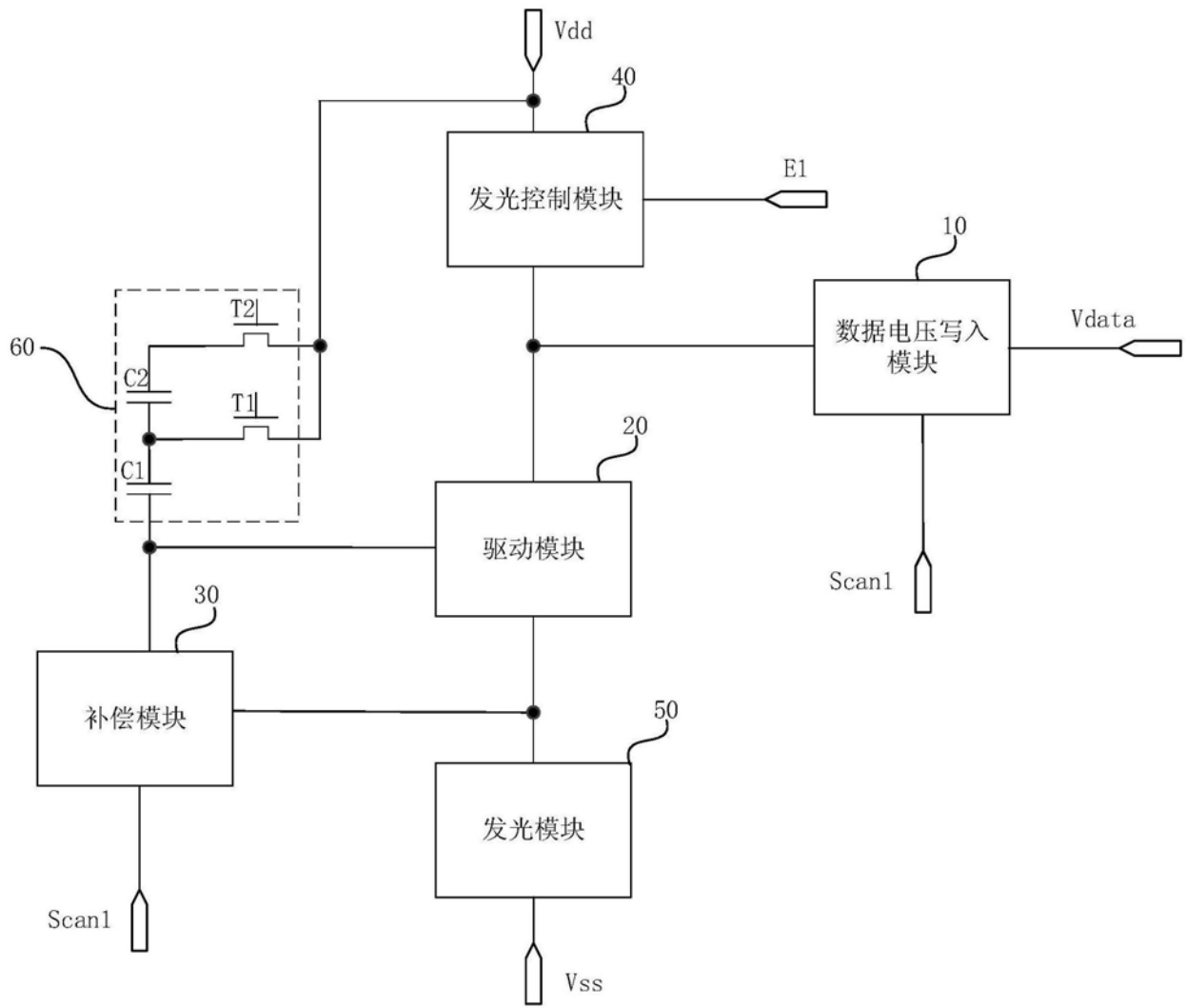


图5

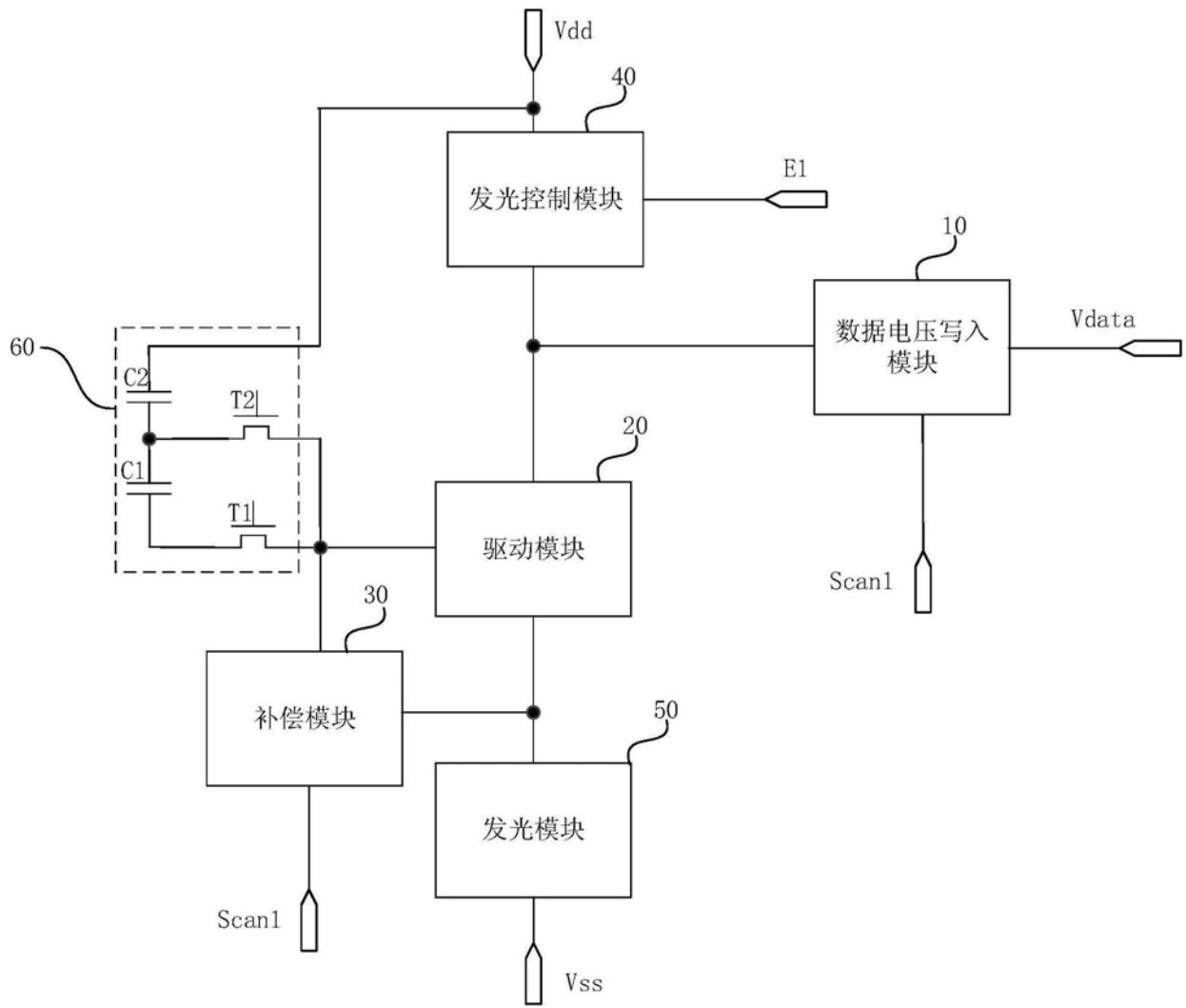


图6

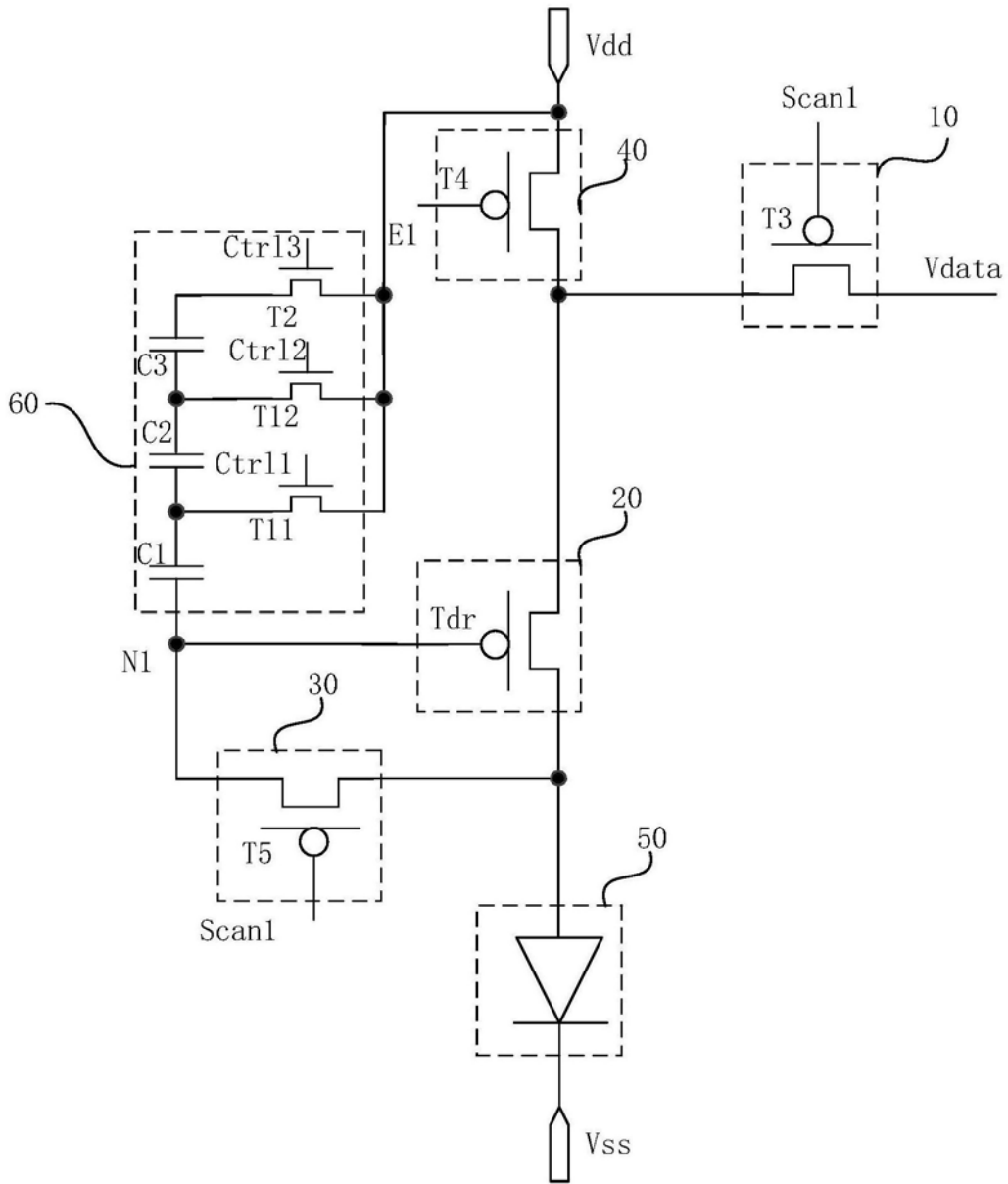


图7

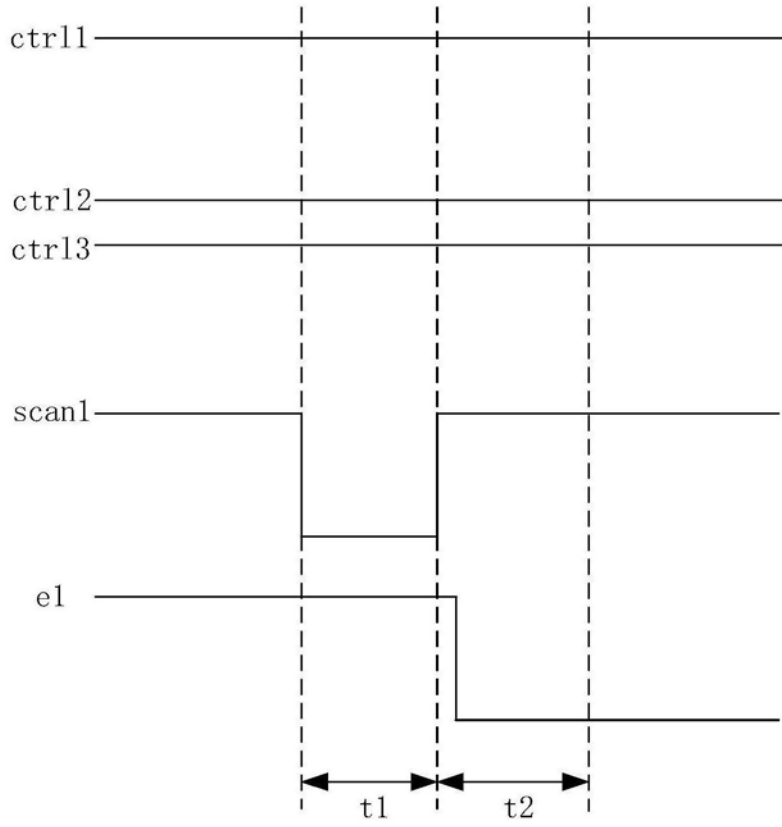


图8

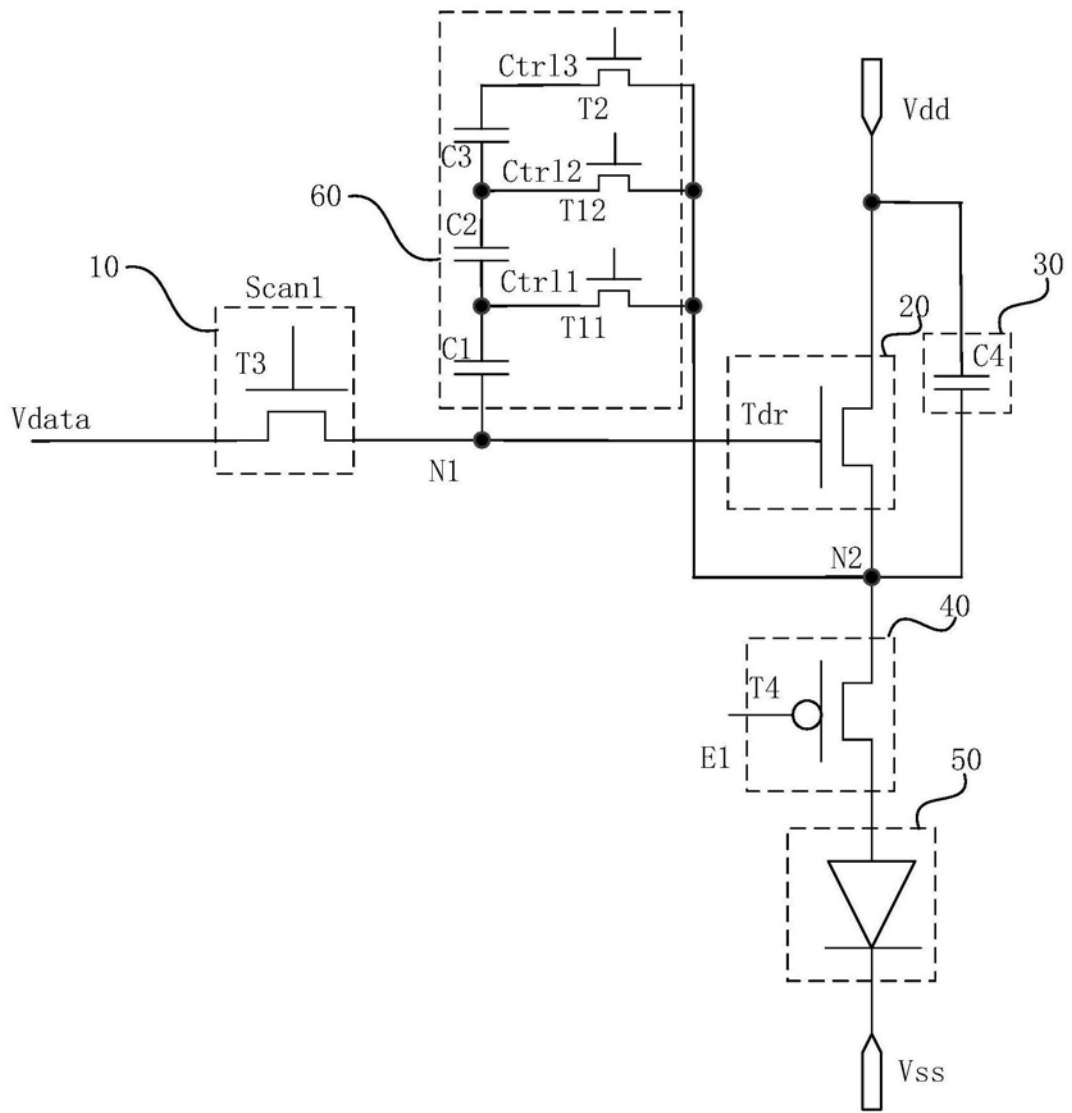


图9

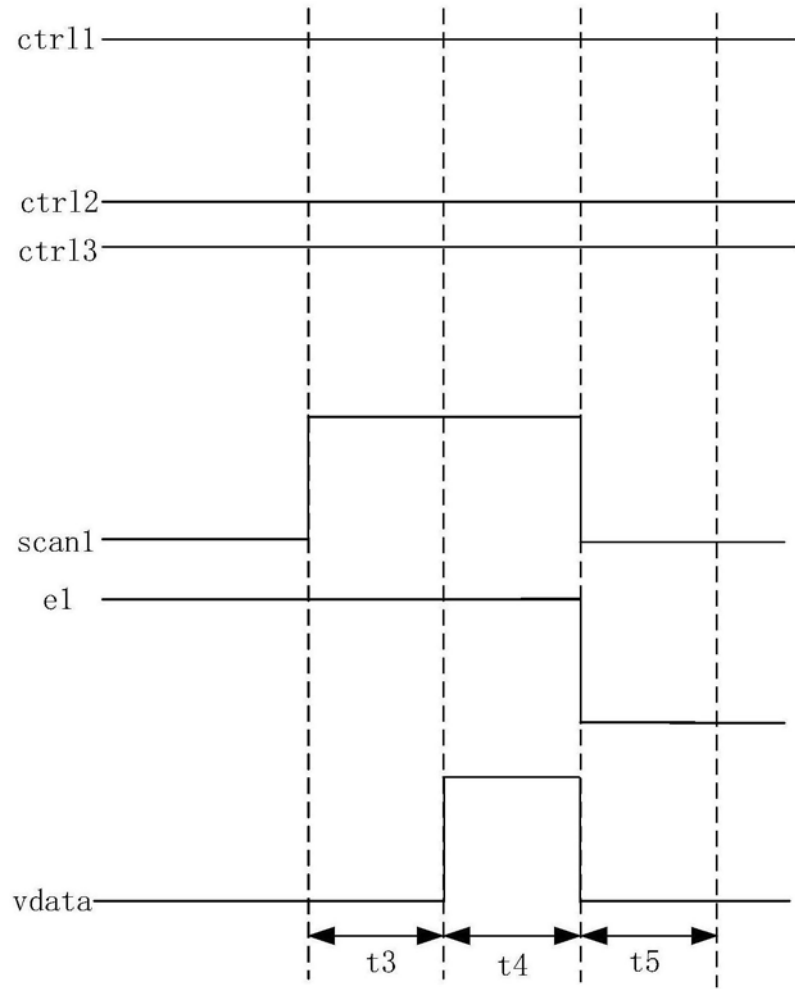


图10

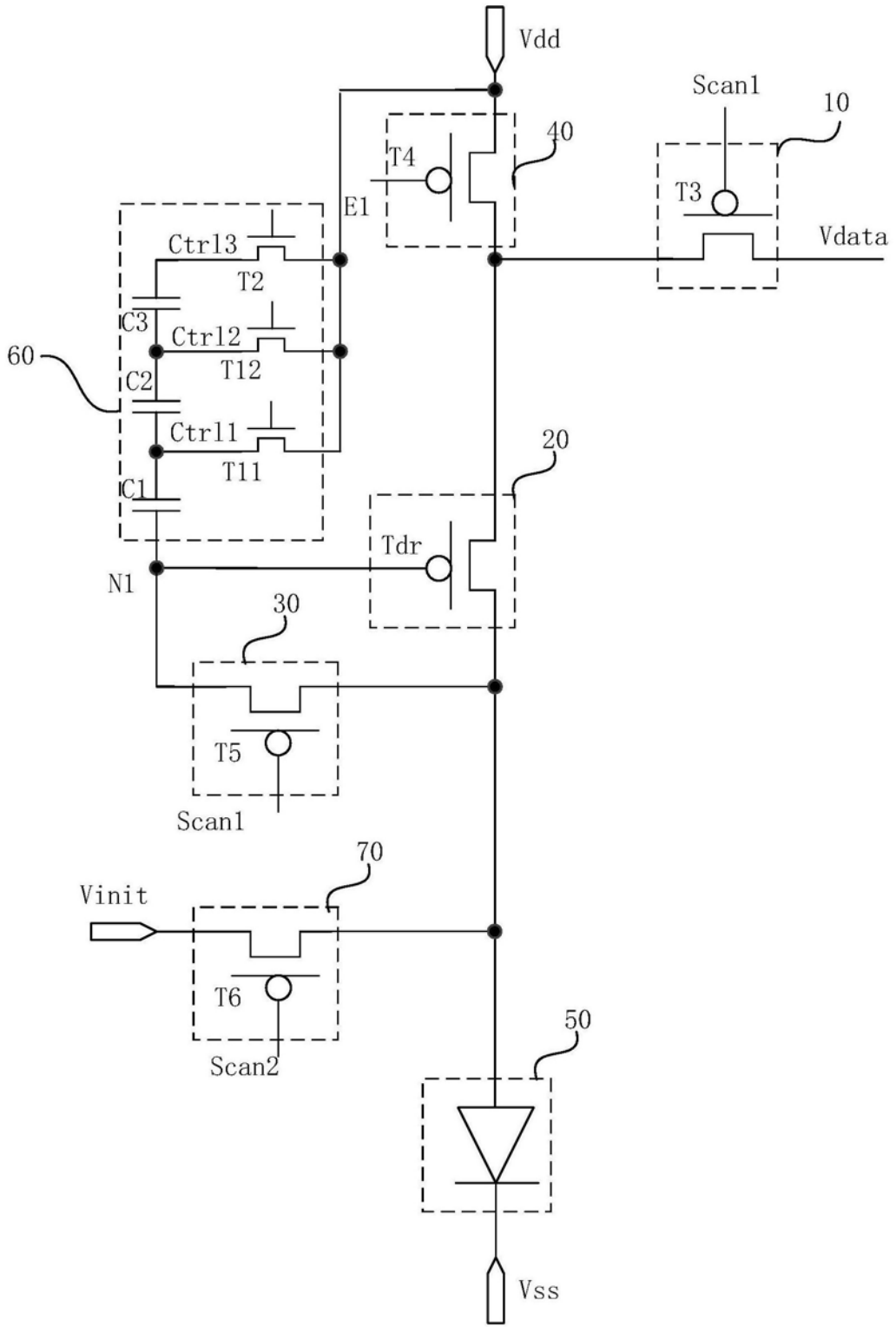


图11

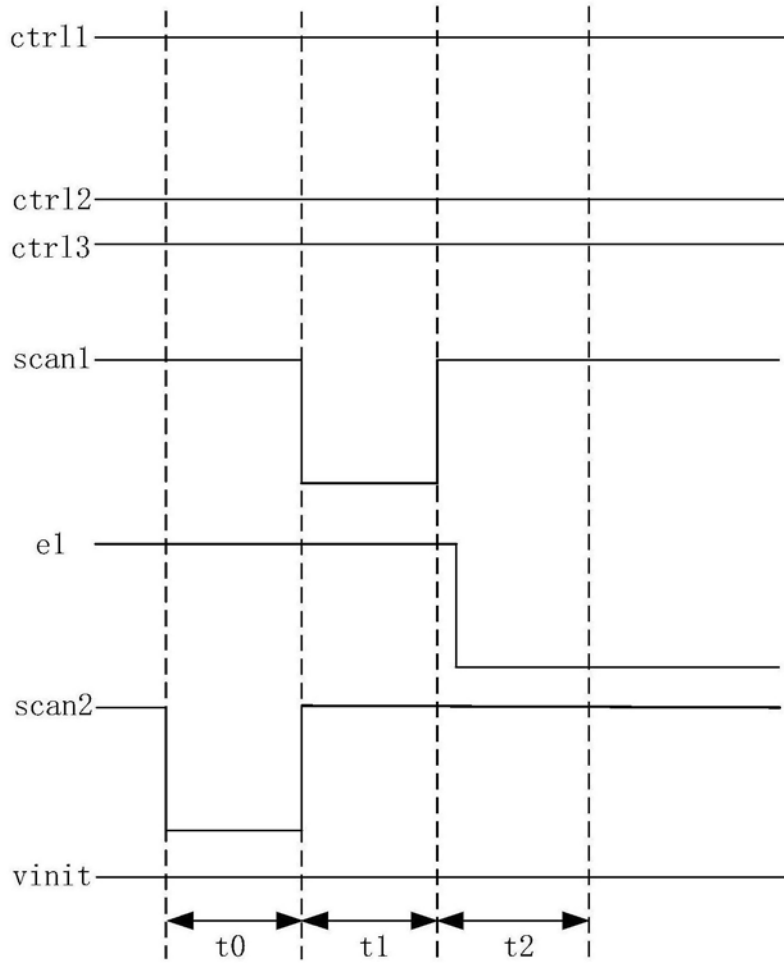


图12

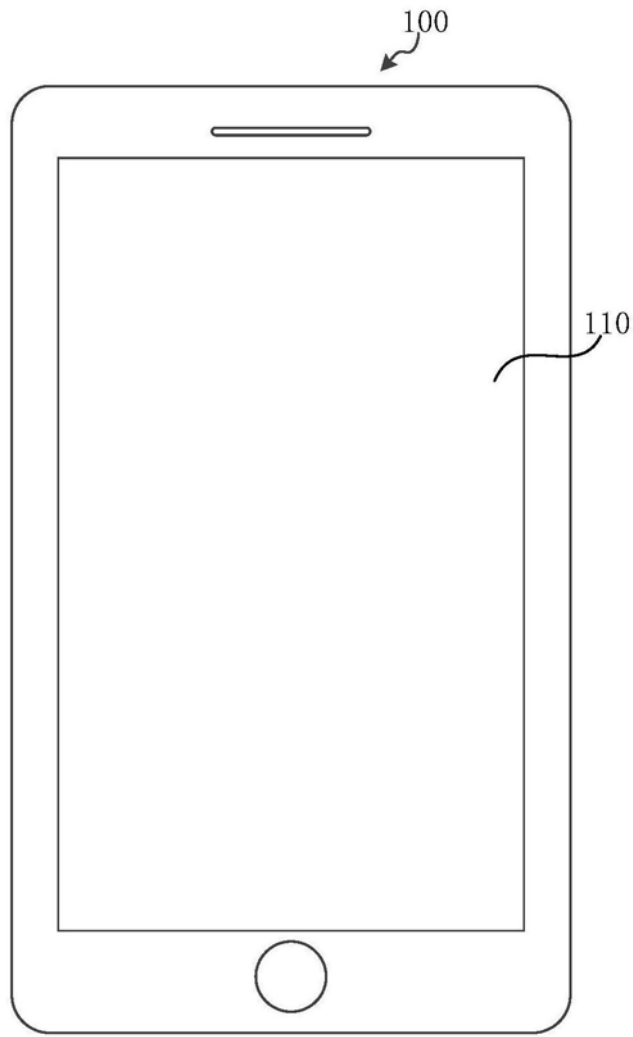


图13