(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第4462692号
(P4462692)
(45)発行日　平成22年5月12日(2010.5.12)　(24)登録日　平成22年2月26日(2010.2.26)

(51)Int.Cl.　　F I
G01R 31/28 (2006.01)　G01R 31/28 V
G01R 31/3183 (2006.01)　G01R 31/28 Q
G01R 31/319 (2006.01)　G01R 31/28 R

請求項の数 29　(全 14 頁)

(21)出願番号　特願2000-19390(P2000-19390)
(22)出願日　平成12年1月27日(2000.1.27)
(65)公開番号　特開2000-314766(P2000-314766A)
(43)公開日　平成12年11月14日(2000.11.14)
審査請求日　平成19年1月5日(2007.1.5)
(31)優先権主張番号　特願平11-52111
(32)優先日　平成11年3月1日(1999.3.1)
(33)優先権主張国　日本国(JP)

(73)特許権者　390005175
株式会社アドバンテスト
東京都練馬区旭町１丁目３２番１号
(74)代理人　100104156
弁理士　龍華　明裕
(72)発明者　須田　昌克
東京都練馬区旭町１丁目３２番１号株式会社アドバンテスト内

審査官　藤原　伸二

最終頁に続く

(54)【発明の名称】半導体デバイス

(57)【特許請求の範囲】
【請求項１】
被測定回路と、
前記被測定回路の動作を試験するために用いる試験パターンを生成するパターン生成回路と、
前記試験パターンを前記被測定回路に与えた場合に前記被測定回路が生成する試験結果を出力するデータ出力端子と、
前記試験に用いる周波数のクロックを生成して前記被測定回路へ与える発振器と、
前記クロックの周波数を示す周波数情報を半導体デバイスの外部に出力するクロック出力端子と、
前記発振器が発振する周波数を、外部からの設定を受けて、前記試験に用いるクロック周波数に制御する周波数制御手段と、
を備えたことを特徴とする半導体デバイス。
【請求項２】
前記試験を行ったときに、前記試験結果を格納するレジスタを更に備え、
前記データ出力端子は、前記レジスタに一旦格納された前記試験結果を出力することを特徴とする請求項1に記載の半導体デバイス。
【請求項３】
前記レジスタが、前記被測定回路から入力した前記試験結果を格納する、直列に接続された複数のフリップフロップを有することを特徴とする請求項２に記載の半導体デバイス

。

【請求項４】

複数の前記レジスタのそれぞれに格納された前記試験結果の一つを選択して出力するセレクタを更に備え、

前記データ出力端子は、前記セレクタが選択した前記試験結果を前記半導体デバイスの外部へ出力することを特徴とする請求項２に記載の半導体デバイス。

【請求項５】

前記周波数制御手段は、所望の周波数で発振するよう指示する信号を前記発振器へ出力する発振器コントローラを有することを特徴とする請求項１又は２に記載の半導体デバイス。

【請求項６】

被測定回路と、

前記被測定回路の動作を試験するために用いる試験パターンを生成するパターン生成回路と、

前記試験パターンを前記被測定回路に与えた場合に前記被測定回路が生成する試験結果を出力するデータ出力端子と、

半導体デバイスが正常に動作し得る最大の周波数のクロックを生成して前記被測定回路へ与える発振器と、

前記発振器が発振する周波数を制御する周波数制御手段と、

を備えることを特徴とする半導体デバイス。

【請求項７】

前記発振器が、

入出された信号を反転して出力するインバータと、

前記インバータが出力した信号を遅延させる複数段の遅延素子と、

前記遅延素子のいずれかの出力を選択して前記インバータへ入力する遅延セレクタと、

を有することを特徴とする請求項１又は５に記載の半導体デバイス。

【請求項８】

前記試験を開始させる動作開始信号を入力するトリガ入力端子を更に備え、

前記動作開始信号を受けたとき、前記発振器に同期して、前記試験の試験期間中であることを示す試験期間信号をあらかじめ設定されたサイクルだけアクティブにするコントローラを更に備え、

前記パターン生成回路は、前記試験期間信号がアクティブなときに前記試験パターンを生成することを特徴とする請求項１又は２に記載の半導体デバイス。

【請求項９】

被測定回路と、

前記被測定回路の動作を試験するために用いる試験パターンを生成するパターン生成回路と、

前記試験パターンを前記被測定回路に与えた場合に前記被測定回路が生成する試験結果を出力するデータ出力端子と、

前記試験に用いる周波数のクロックを生成して前記被測定回路へ与える発振器と、

前記発振器が発振する周波数を制御する周波数制御手段と、

前記試験を行ったときに、前記試験結果を格納するレジスタと、

前記クロックを所定の時間だけ遅延させる遅延回路とを備え、

前記試験結果を格納するレジスタは、前記遅延回路により遅延された前記クロックに基づいて前記試験結果を格納することを特徴とする半導体デバイス。

【請求項１０】

前記遅延回路により遅延された前記クロックを分周するリップルカウンタと、

分周された前記クロックを出力するクロック出力端子とを更に備えたことを特徴とする請求項９に記載の半導体デバイス。

【請求項１１】

前記リップルカウンタが、前記遅延回路が出力した信号を分周するフリップフロップを複数直列に接続して有することを特徴とする請求項１０に記載の半導体デバイス。

【請求項１２】

前記遅延回路が、コントローラから出力された試験期間信号を記憶する、直列に接続された複数のフリップフロップを有することを特徴とする請求項９に記載の半導体デバイス。

【請求項１３】

試験開始信号を受け取った後に入力された、クロック信号のクロック数をカウントするカウンタを更に備え、

前記カウンタによるカウント値が所定の値に達したときに、前記コントローラは、前記試験期間信号をインアクティブにすることを特徴とする請求項８に記載の半導体デバイス。

【請求項１４】

被測定回路と、

前記被測定回路の動作を試験するために用いる試験パターンを生成するパターン生成回路と、

前記試験パターンを前記被測定回路に与えた場合に前記被測定回路が生成する試験結果を出力するデータ出力端子と、

前記試験に用いる周波数のクロックを生成して前記被測定回路へ与える発振器と、

前記発振器が発振する周波数を制御する周波数制御手段と、

前記試験を開始させる動作開始信号を入力するトリガ入力端子と、

前記動作開始信号を受けたとき、前記発振器に同期して、前記試験の試験期間中であることを示す試験期間信号をあらかじめ設定されたサイクルだけアクティブにするコントローラと、

試験開始信号を受け取った後に入力された、クロック信号のクロック数をカウントするカウンタとを備え、

前記コントローラは、前記カウンタによるカウント値が所定の値に達したときに、前記試験期間信号をインアクティブにし、

前記パターン生成回路は、前記試験期間信号がアクティブなときに前記試験パターンを生成し、

前記パターン生成回路が、前記カウンタから出力されたカウント値を入力し、当該カウント値に応じて、あらかじめ設定された試験パターンを、前記被測定回路に出力するメモリを有することを特徴とする半導体デバイス。

【請求項１５】

被測定回路と、

前記被測定回路の動作を試験するために用いる試験パターンを生成するパターン生成回路と、

前記試験パターンを前記被測定回路に与えた場合に前記被測定回路が生成する試験結果を出力するデータ出力端子と、

前記試験に用いる周波数のクロックを生成して前記被測定回路へ与える発振器と、

前記発振器が発振する周波数を制御する周波数制御手段と、

前記試験を開始させる動作開始信号を入力するトリガ入力端子と、

前記動作開始信号を受けたとき、前記発振器に同期して、前記試験の試験期間中であることを示す試験期間信号をあらかじめ設定されたサイクルだけアクティブにするコントローラと、

試験開始信号を受け取った後に入力された、クロック信号のクロック数をカウントするカウンタとを備え、

前記コントローラは、前記カウンタによるカウント値が所定の値に達したときに、前記試験期間信号をインアクティブにし、

前記パターン生成回路は、前記試験期間信号がアクティブなときに前記試験パターンを

生成し、
　前記コントローラが、前記動作開始信号がアクティブになったときに前記動作開始信号を出力する、ディレイフリップフロップと、
　前記ディレイフリップフロップが前記動作開始信号を出力したときに、前記試験期間信号の出力を開始し、前記カウンタによるカウント値が所定値に到達したときに前記試験期間信号をインアクティブにするフリップフロップとを有することを特徴とする半導体デバイス。
【請求項１６】
　前記試験に用いるクロックを入力して前記被測定回路へ与えるクロック入力端子を更に備えたことを特徴とする請求項1又は９に記載の半導体デバイス。
【請求項１７】
　前記試験に用いるクロックを生成する発振器が出力したクロック及び前記クロック入力端子から入力したクロックの一方を選択し、前記被測定回路へ与えるクロックセレクタを更に備えたことを特徴とする請求項１６に記載の半導体デバイス。
【請求項１８】
　前記試験パターンを入力し、前記被測定回路へ与えるデータ入力端子を更に備えたことを特徴とする請求項１又は９に記載の半導体デバイス。
【請求項１９】
　被測定回路と、
　前記被測定回路の動作を試験するために用いる試験パターンを生成するパターン生成回路と、
　前記試験パターンを前記被測定回路に与えた場合に前記被測定回路が生成する試験結果を出力するデータ出力端子と、
　前記試験パターンを入力し、前記被測定回路へ与えるデータ入力端子とを備え、
　前記パターン生成回路が、前記試験パターンが記憶されているメモリが出力した前記試験パターン及び前記データ入力端子から入力した前記試験パターンの一方を選択し、前記被測定回路へ出力するデータセレクタを有することを特徴とする半導体デバイス。
【請求項２０】
　被測定回路と、試験パターンを生成するパターン生成回路とを有する半導体デバイスを試験する試験方法であって、
　前記試験に用いる周波数のクロックを生成して前記被測定回路へ与える発振ステップと、
　前記クロックの周波数を制御する周波数制御ステップと、
　前記被測定回路の動作を試験するために用いる試験パターンを、前記パターン生成回路に生成させるパターン生成ステップと、
　前記パターン生成回路が生成した前記試験パターンを前記被測定回路に与える試験ステップと、
　前記被測定回路に前記試験パターンを与えたことにより前記被測定回路が生成する試験結果を前記半導体デバイスの外部に出力させる試験結果出力ステップとを備え、
　前記周波数制御ステップは、
　前記半導体デバイスが正常に動作し得る最大の周波数のクロックを生成するステップと、
　前記周波数を示す周波数情報を前記半導体デバイスの外部に出力するステップと、
　前記周波数が所望の値に達したことを前記周波数情報が示すまで、前記周波数を逐次下げるステップと、
　を有することを特徴とする半導体デバイス試験方法。
【請求項２１】
　前記試験結果出力ステップは、
　前記試験結果を、前記半導体デバイス内に設けたレジスタに一旦格納する格納ステップと、

前記レジスタに格納された前記試験結果を出力するレジスタ出力ステップとを有することを特徴とする請求項２０に記載の半導体デバイス試験方法。

【請求項２２】

前記格納ステップは、前記被測定回路が出力した前記試験結果を、前記半導体デバイス内に設けられ、直列に接続された複数のフリップフロップに順次格納することを特徴とする請求項２１に記載の半導体デバイス試験方法。

【請求項２３】

前記レジスタ出力ステップは、複数の前記レジスタのそれぞれに格納された前記試験結果の一つを選択して前記半導体デバイスの外部へ出力することを特徴とする請求項２１に記載の半導体デバイス試験方法。

【請求項２４】

被測定回路と、試験パターンを生成するパターン生成回路とを有する半導体デバイスを試験する試験方法であって、

前記試験に用いる周波数のクロックを生成して前記被測定回路へ与える発振ステップと、

前記クロックの周波数を制御する周波数制御ステップと、

前記被測定回路の動作を試験するために用いる試験パターンを、前記パターン生成回路に生成させるパターン生成ステップと、

前記パターン生成回路が生成した前記試験パターンを前記被測定回路に与える試験ステップと、

前記被測定回路に前記試験パターンを与えたことにより前記被測定回路が生成する試験結果を前記半導体デバイスの外部に出力させる試験結果出力ステップとを備え、

前記周波数制御ステップは、

前記クロックを分周する分周ステップと、

前記分周ステップにより分周された前記クロックを出力するクロック出力ステップと、

前記クロック出力ステップによって出力された前記クロックを用いて前記周波数を制御するステップと、

を有することを特徴とする半導体デバイス試験方法。

【請求項２５】

前記パターン生成ステップは、

前記試験を開始させる動作開始信号を入力する開始ステップと、

前記動作開始信号を受けたとき、前記試験の試験期間中であることを示す試験期間信号をあらかじめ設定されたサイクルだけアクティブにするアクティブステップと、

前記試験期間信号がアクティブなときに前記試験パターンを生成する試験期間生成ステップと

を有することを特徴とする請求項２０又は２４に記載の半導体デバイス試験方法。

【請求項２６】

前記アクティブステップは、

試験開始信号を受け取った後に入力された、クロック信号のクロック数をカウントするステップと、

カウント値が所定の値に達したときに、前記試験期間信号をインアクティブにするステップと

を有することを特徴とする請求項２５に記載の半導体デバイス試験方法。

【請求項２７】

前記パターン生成ステップが、

前記カウント値を入力し、当該カウント値に応じてあらかじめ設定された試験パターンを、前記被測定回路に出力することを特徴とする請求項２６に記載の半導体デバイス試験方法。

【請求項２８】

被測定回路と、試験パターンを生成するパターン生成回路とを有する半導体デバイスを

試験する試験方法であって、
前記試験に用いるクロックを生成して前記被測定回路へ与える発振ステップと、
前記クロックの周波数を制御する周波数制御ステップと、
前記被測定回路の動作を試験するために用いる試験パターンを、前記パターン生成回路に生成させるパターン生成ステップと、
前記パターン生成回路が生成した前記試験パターンを前記被測定回路に与える試験ステップと、
前記被測定回路に前記試験パターンを与えたことにより前記被測定回路が生成する試験結果を前記半導体デバイスの外部に出力させる試験結果出力ステップと、
前記クロックを所定の時間だけ遅延させる遅延ステップを備え、
前記試験結果出力ステップは、
前記試験結果を、前記半導体デバイス内に設けたレジスタに一旦格納する格納ステップと、
前記レジスタに格納された前記試験結果を出力するレジスタ出力ステップとを有し、
前記格納ステップは、
前記遅延ステップにより遅延された前記クロックに基づいて前記試験結果を格納することを特徴とする半導体デバイス試験方法。
【請求項２９】
前記遅延ステップが、直列に接続された複数のフリップフロップに試験期間信号を一旦記憶させることにより、前記クロックを遅延させることを特徴とする請求項２８に記載の半導体デバイス試験方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、半導体デバイスに関する。特に本発明は、内部に設けられた回路を試験する機能を有する半導体デバイスに関する。
【０００２】
【従来の技術】
従来、ゲートアレイ及びシステム集積回路等の半導体の動作を当該半導体がパッケージされる前に試験する前工程試験においては、試験される半導体にプローバのプローブ針を接触させ、試験のパターン信号をプローブ針を通して入力していた。
【０００３】
【発明が解決しようとする課題】
しかし、プローブ針のインピーダンスと試験される半導体とのインピーダンスが一致しなく、またプローブ針のインダンスは大きいため、実際に使用される周波数帯において半導体を予め試験することは困難であった。したがって、従来の前工程試験では、実際に使用される周波数より低い周波数でしか半導体を試験することはできなかった。そのため、実際に使用される周波数での試験で不合格となる半導体を次の工程に流すことになり、後工程における歩留りが低下する原因となっていた。そこで本発明は、上記の課題を解決することのできる半導体デバイスを提供することを目的とする。この目的は特許請求の範囲における独立項に記載の特徴の組み合わせにより達成される。また従属項は本発明の更なる有利な具体例を規定する。
【０００４】
【課題を解決するための手段】
即ち、本発明の第１の形態における半導体デバイスは、被測定回路と、被測定回路の動作を試験するために用いる試験パターンを生成するパターン生成回路と、試験パターンを被測定回路に与えた場合に被測定回路が生成する試験結果を出力する出力端子とを備えることが好ましい。更に、半導体デバイスは、試験を行ったときに、試験結果を格納するレジスタを備え、出力端子は、レジスタに一旦格納された試験結果を出力することが好ましい。レジスタは、被測定回路から入力した試験結果を格納する、直列に接続された複数のフ

リップフロップを有することが好ましい。

【０００５】

更に、半導体デバイスは、複数のレジスタのそれぞれに格納された試験結果の一つを選択して出力するセレクタを備え、出力端子は、セレクタが選択した試験結果を半導体デバイスの外部へ出力することが好ましい。更に、半導体デバイスは、試験に用いる周波数のクロックを生成して被測定回路へ与える発振器と、発振器が発振する周波数を制御する周波数制御手段とを備えてもよい。周波数制御手段は、所望の周波数で発振するよう指示する信号を発振器へ出力する発振器コントローラを有することが好ましい。発振器は、半導体デバイスが正常に動作し得る最大の周波数のクロックを生成してもよい。発振器は、入出された信号を反転して出力するインバータと、インバータが出力した信号を遅延させる複数段の遅延素子と、遅延素子のいずれかの出力を選択してインバータへ入力する遅延セレクタとを有することが好ましい。

【０００６】

更に、半導体デバイスは、半導体デバイスの外部から試験を開始させる動作開始信号を入力するトリガ入力端子を備え、動作開始信号を受けたとき、発振器に同期して、試験の試験期間中であることを示す試験期間信号をあらかじめ設定されたサイクルだけアクティブにするコントローラを備え、パターン生成回路は、試験期間信号がアクティブなときに試験パターンを生成することが好ましい。更に、半導体デバイスは、クロックを所定の時間だけ遅延させる遅延回路を備え、試験結果を格納するレジスタは、遅延回路により遅延されたクロックに基づいて試験結果を格納することが好ましい。半導体デバイスは、遅延回路により遅延されたクロックを分周するリップルカウンタと、分周されたクロックを半導体デバイスの外部へ出力するクロック出力端子とを更に備えルことが好ましい。リップルカウンタは、遅延回路が出力した信号を分周するフリップフロップを複数直列に接続して有することが好ましい。遅延回路は、コントローラから出力された試験期間信号を記憶する、直列に接続された複数のフリップフロップを有していてもよい。

【０００７】

更に、半導体デバイスは、試験開始信号を受け取った後に入力された、クロック信号のクロック数をカウントするカウンタを備え、カウンタによるカウント値が所定の値に達したときに、コントローラは、試験期間信号をインアクティブにすることが好ましい。パターン生成回路は、カウンタから出力されたカウント値を入力し、当該カウント値に応じて、あらかじめ設定された試験パターンを、被測定回路に出力するメモリを有することが好ましい。コントローラは、動作開始信号がアクティブになったときに動作開始信号を出力する、ディレイフリップフロップと、ディレイフリップフロップが動作開始信号を出力したときに、試験期間信号の出力を開始し、カウンタによるカウント値が所定値に到達したときに試験期間信号をインアクティブにするフリップフロップとを有することが好ましい。

【０００８】

出力端子は、被測定回路が生成する試験結果を被測定回路から直接半導体デバイスの外部へ出力するデータ出力端子を有することが好ましい。半導体デバイスは、半導体デバイスの外部から試験に用いるクロックを入力して被測定回路へ与えるクロック入力端子を更に備えてもよい。半導体デバイスは、試験に用いるクロックを生成する発振器が出力したクロック及びクロック入力端子から入力したクロックのうちどちらかを選択し、被測定回路へ与えるクロックセレクタを更に備えてもよい。

【０００９】

更に、半導体デバイスは、半導体デバイスの外部から試験パターンを入力し、被測定回路へ与えるデータ入力端子を備える。このデータ入力端子は、実使用時には、被測定回路のデータ入力端子として用いられる。パターン発生回路は、試験パターンが記憶されているメモリが出力した試験パターン及びデータ入力端子から入力した試験パターンのうちどちらかを選択し、被測定回路へ出力するデータセレクタを有することが好ましい。

【００１０】

なお上記の発明の概要は、本発明の必要な特徴の全てを列挙したものではなく、これらの

特徴群のサブコンビネーションも又発明となりうる。

【００１１】

【発明の実施の形態】

以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態はクレームにかかる発明を限定するものではなく、又実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

【００１２】

図１は、本発明の半導体デバイス５２の回路構成を示す。半導体デバイス５２は、被測定回路３２と、被測定回路３２の動作を試験するために用いる試験パターンを生成するパターン生成回路１９と、被測定回路３２が生成する試験結果を出力するデータ出力端子２５と、試験期間信号をあらかじめ設定されたサイクルだけパターン生成回路１９へ出力するコントローラ２２と、試験に用いる周波数のクロックを生成して被測定回路３２へ与える発振器１８と、発振器１８の周波数を制御する発振器コントローラ１２と、与えられたクロック信号を選択して被測定回路３２へ与えるクロックセレクタ２０とを備える。

【００１３】

パターン生成回路１９は、クロック信号のクロック数をカウントし、カウント値を出力するカウンタ２４と、カウンタ２４が出力したカウント値に基づいてあらかじめ設定された試験パターンを被測定回路３２へ出力するメモリ２６と、得られた試験パターンを選択し、被測定回路３２へ出力するデータセレクタ２８とを有する。更に、半導体デバイス５２は、試験期間信号を所定のクロックだけ遅延させる遅延回路３０と、遅延された試験期間信号がアクティブな期間のみクロック信号を出力するアンドゲート３１と、試験結果を格納するレジスタ３６と、レジスタ３６に格納された試験結果を選択して出力するセレクタ３８と、遅延回路３０により遅延されたクロックを分周するリップルカウンタ３４と、各種入力バッファ１０，１４，１６及び出力バッファ４０，４２，４４を備える。

【００１４】

発振器コントローラ１２は、所望の周波数で発振するよう指示する信号を発振器１８へ出力する。発振器１８は、発振器コントローラ１２が指示した周波数のクロックを生成し、クロックセレクタ２０へ出力する。なお、この発振器１８は、半導体デバイス５２が正常に動作し得る最大の周波数のクロックを生成できる。クロック入力バッファ１４は、半導体デバイス５２の外部から外部クロック信号を入力し、クロックセレクタ２０へ与える。クロックセレクタ２０は、発振器１８が生成した発振器クロック信号又はクロック入力バッファ１４から入力した外部クロック信号の一方を選択し、コントローラ２２へ出力する。

【００１５】

トリガ入力バッファ１０は、半導体デバイス５２の外部から、被測定回路３２の動作の試験を開始する動作開始信号を入力し、コントローラ２２へ与える。コントローラ２２は、トリガ入力バッファ１０から入力された動作開始信号を受けたとき、クロックセレクタ２０が出力したクロックに同期して、試験の試験期間中であることを示す試験期間信号をあらかじめ設定されたサイクルだけアクティブにする。

【００１６】

カウンタ２４は、試験開始信号がアクティブに変化した後にクロックセレクタ２０から入力されたクロック信号のクロック数をカウントしカウント値をメモリ２６へ出力する。更にカウンタ２４は、カウント値が所定の値に到達したときにキャリ信号をコントローラ２２へ出力する。メモリ２６は、カウンタ２４から出力されたカウント値に応じて、あらかじめ設定された試験パターンをデータセレクタ２８へ出力する。データ入力バッファ１６は、半導体デバイス５２の外部から外部試験パターンを入力し、データセレクタ２８へ出力する。データセレクタ２８は、メモリ２６が出力した試験パターン及びデータ入力バッファ１６から入力した外部試験パターンの一方を選択し、被測定回路３２へ出力する。

【００１７】

遅延回路３０は、コントローラ２２から出力された試験期間信号を記憶する、直列に接続

された複数のフリップフロップを有し、試験期間信号を所定の時間だけ遅延させ、アンドゲート３１へ与える。アンドゲート３１は、遅延された試験期間信号がアクティブ（ハイ）の期間にのみ、クロックセレクタ２０が出力したクロックを、レジスタ３６及びリップルカウンタ３４へ与える。レジスタ３６は、被測定回路３２から入力した試験結果を格納する、直列に接続された複数のフリップフロップを有し、被測定回路３２が生成する試験結果をアンドゲート３１が出力したクロックに基づいて順次格納する。セレクタ３８は、レジスタ３６が有する複数のフリップフロップのそれぞれに格納された試験結果の一つを選択し、レジスタ出力バッファ４２を介して半導体デバイス５２の外部へ出力する。リップルカウンタ３４は、遅延回路３０が出力した信号を分周するフリップフロップを複数直列に接続して有し、遅延回路３０により遅延されたクロックを分周し、クロック出力バッファ４０を介して半導体デバイス５２の外部へ出力する。データ出力バッファ４４は、被測定回路３２が生成する試験結果を半導体デバイス５２の外部へ被測定回路３２から直接出力する。データ入力バッファ１６及びデータセレクタ２８は、半導体デバイス５２が実際に使用されるときに被測定回路３２にデータを入力するのに用いられる。データ出力バッファは、半導体デバイス５２が実際に使用されるときに被測定回路３２からデータを出力するのに用いられる。

【００１８】

図２は、発振器１８の回路構成を示す。発振器１８は、入出された信号を反転して出力するインバータ１００と、インバータ１００が出力した信号を遅延させる複数段の遅延素子１０２と、遅延素子１０２のいずれかの出力を選択してインバータ１００へ入力する遅延セレクタ１０４とを有する。インバータ１００から出力された信号は、複数段の遅延素子１０２を通ることにより遅延され、遅延セレクタ１０４により出力を選択され、インバータ１００に再び入力される。インバータ１００から出力された信号が、インバータ１００に再び入力される毎に信号が反転されるので、パルス状の信号が生成される。遅延セレクタ１０４は、複数段の遅延素子１０２のいずれかの出力を選択することで生成されるパルス信号の周波数を設定する。インバータ１００に近い遅延素子１０２の出力を選択すれば、インバータ１００から出力された信号は少ない遅延素子１０２を通るため、速くインバータ１００に再入力され、生成される信号の周波数が高くなる。インバータ１００から遠い遅延素子１０２の出力を選択すれば、インバータ１００から出力された信号は多くの遅延素子１０２を通るため、遅くインバータ１００に再入力され、生成される信号の周波数が低くなる。発振器コントローラ１２は、遅延セレクタ１０４にどの遅延素子１０２の出力を選択するかを指示する信号を出力することによって、発振器１８が生成する発振器クロック信号の周波数を設定する。遅延セレクタ１０４は、発振器コントローラ１２が指示した遅延素子の出力を選択し、発振器クロック信号として出力する。

【００１９】

図３は、コントローラ２２の回路構成を示す。コントローラ２２は、動作開始信号がアクティブに変化したときに試験開始信号を出力するディレイフリップフロップ９６と、ディレイフリップフロップ９６が試験開始信号を出力したときに、試験期間信号をアクティブにし、カウンタ２４がキャリ信号を出力したときに試験期間信号をインアクティブにするＪＫフリップフロップ９８を有する。ディレイフリップフロップ９６、ＪＫフリップフロップ９８、及びカウンタ２４は、発振器クロック信号に応じて動作する。試験期間信号は、動作開始信号がアクティブに変化したときアクティブにされ、カウンタ２４がキャリ信号を出力したときにインアクティブにされる。したがって、カウンタ２４がキャリ信号を出力するときのカウント値をカウンタ２４に設定することにより、所望のサイクルの試験期間信号をコントローラ２２に生成させることができる。

【００２０】

図４は、試験を行ったときに、半導体デバイス５２が生成する信号を示すタイミングチャートである。試験期間信号は動作開始信号がアクティブに変化したとき（ｔｓ１のとき）にコントローラ２２によってアクティブにされる。カウンタ２４がキャリ信号を出力するときのカウント値をｘに設定すると、カウンタ２４はカウント値がｘに到達したときにキ

ャリ信号をコントローラ２２に与える。試験期間信号は、コントローラ２２がキャリ信号を受け取ったとき（ｔｓｘのとき）にインアクティブにされる。したがって、カウント値ｘを設定することにより試験期間信号のサイクル（ｔｓ１からｔｓｘまで）が設定される。カウント値は、試験期間信号がアクティブになってから（ｔｓ１）、カウンタ値が所定値ｘに到達するまで（ｔｓｘ）の発振器クロック信号のクロック数である。データ出力信号は、被測定回路３２が生成した試験結果であり、試験期間信号に設定されたサイクルの数と等しい数のサイクル（ｔｓ１からｔｓｘまで）をもつ。データ出力信号は、被測定回路３２の段数分時間を遅延されている。レジスタ信号は、レジスタ出力バッファ４２から出力された試験結果の信号であり、データ出力信号と等しい数のサイクルをもつ。レジスタ信号は、遅延回路３０により、被測定回路３２によって遅延されるのとほぼ等しい時間遅延させられ、レジスタ３６に格納された後、セレクタ３８によって選択され、出力されるため、データ出力信号よりも出力されるタイミングが遅くなっている。

【００２１】

図５は、被測定回路３２の動作を試験する手順を示す。最初に、発振器コントローラ１２の設定値ＤＡを最小値に設定（クリア）する（Ｓ６２）。つまり図２においてインバータ１００の出力を遅延セレクタ１０４が選択するように発振器コントローラ１２を設定することにより、発振器１８が生成可能な最大の周波数を設定する。すると発振器１８は、設定値ＤＡに応じた周波数の発振器クロック信号を生成する（Ｓ６４）。クロックセレクタ２０は、発振器１８が生成した発振器クロック信号を出力する（Ｓ６６）。発振器クロック信号は、クロックセレクタ２０及びアンドゲート３１を経てリップルカウンタ３４により１／４に分周され、クロック出力バッファ４０を経て半導体デバイス５２の外部に出力される。外部に出力された周波数を測定し、測定された値にリップルカウンタ３４による分周値、即ち４を乗じることにより発振器１８が生成した発振器クロック信号の周波数を算出する（Ｓ６８）。

【００２２】

次に、周波数の目標値とステップ６８で測定及び算出された測定値の大きさとを比較する（Ｓ７１）。測定値が目標値以下のときは、設定値ＤＡを保持する（Ｓ７４）。測定値が目標値より大きいときは、現在の設定値ＤＡが、設定値ＤＡが取り得る最大の値か判定する（Ｓ７２）。設定値ＤＡが最大の値であるときには、設定値ＤＡを保持する（Ｓ７４）。設定値ＤＡが最大の値でないときには、設定値ＤＡを増加させることにより発振器クロック信号の周波数を小さくすることが出来る。そこで既存の設定値ＤＡに１を加算した設定値ＤＡを新たな設定値ＤＡとして設定して（Ｓ７３）、周波数の測定ステップ（Ｓ６８）へ戻る。周波数の測定ステップ（Ｓ６８）から設定値の増加ステップ（Ｓ７３）までを繰り返すことにより、発振器コントローラ１２が出力する発振器クロックの周波数を、目標値に近づけることが出来る。以上の手順で決定された設定値ＤＡを発振器コントローラ１２に設定することで試験に使用する周波数を設定する（Ｓ７４）。最後に、発振器コントローラ１２に設定された設定値ＤＡに応じた周波数の発振器クロック信号を用いて被測定回路３２を試験し、試験結果を測定して被測定回路３２の動作が正常であるか否か、即ち合格又は不合格の判定をする（Ｓ７６）。

【００２３】

図６は、図５における試験ステップ（Ｓ７６）の詳細な手順を示す。最初に、被測定回路３２を試験する為に用いる試験パターンを、生成すべき順にメモリ２６に格納する（Ｓ７８）。メモリ２６がマスクメモリである場合には、半導体デバイス５２の製造時に試験パターンがメモリ２６に格納される。メモリ２６をＳＲＡＭ等の書き換え可能なメモリとし、半導体デバイス５２の製造後に試験パターンを半導体デバイス５２の外部から試験パターンをメモリ２６に書き込んでも良い。試験パターンは、コントローラ２２が試験期間信号をアクティブに保持している期間にのみ出力される。そしてこの試験期間信号は、カウンタ２４が出力するキャリ信号によりインアクティブに戻る。そこで、カウンタ２４がキャリ信号を出力するときのカウント値を設定することにより、コントローラ２２が出力する試験期間信号のサイクルを設定する（Ｓ８０）。更に、トリガ入力バッファ１０へ動作

開始信号を与えることによりコントローラ２２が試験期間信号を出力する（Ｓ８２）。試験期間信号は、遅延回路３０に入力され、遅延回路３０におけるフリップフロップの段数分だけ遅延されて遅延回路３０から出力される。試験期間信号が遅延されている間に、試験パターンが被試験回路３２に与えられる。試験パターンを与えることにより被試験回路３２が試験され、試験結果が被試験回路３２から出力される。試験結果が被試験回路３２から出力され始めるのと同期して、遅延回路３０から遅延した試験期間信号が出力され始める。遅延した試験期間信号がアクティブな間、アンドゲート３１が発振器クロック信号をレジスタ３６に与える。レジスタ３６が有するフリップフロップのうち最も出力側（後段）のフリップフロップに最初の試験結果がシフトされるのに必要な期間、試験期間信号はアクティブに保持される。遅延回路３０が出力する遅延した試験期間信号により、試験結果がレジスタ３６のフリップフロップに順次格納される（Ｓ８４）。この格納サイクルをダミーサイクルと呼ぶ。次に、レジスタ３６に格納された試験結果のうち所望の試験結果をセレクタ３８が選択し、レジスタ信号として出力する（Ｓ８６）。最後に、正常な半導体デバイスを試験した場合に得られるべきレジスタ信号の期待値を、実際に測定されたレジスタ信号と比較することにより、被測定回路３２の動作が正常であるか、合格及び不合格の判定をする（Ｓ８８）。

【００２４】

以上のように、本発明の半導体デバイス５２は、半導体デバイス５２の内部回路を試験する機能を有するため、実際に使用される周波数帯において半導体デバイス５２を予め試験することができる。したがって、前工程試験で実際に使用される周波数で半導体デバイス５２を試験することができるため、実際に使用される周波数での試験で不合格となる半導体を次の工程に流す前に取り除くことができ、歩留りを向上できる。

【００２５】

以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更又は改良を加えることができることが当業者に明らかである。その様な変更又は改良を加えた形態も本発明の技術的範囲に含まれ得ることが、特許請求の範囲の記載から明らかである。

【００２６】

【発明の効果】

上記説明から明らかなように、本発明によれば半導体試験において歩留りが向上できる半導体デバイスに関する。

【図面の簡単な説明】

【図１】図１は、本発明の半導体デバイス５２の回路構成を示す。

【図２】図２は、発振器１８の回路構成を示す。

【図３】図３は、コントローラ２２の回路構成を示す。

【図４】図４は、試験を行ったときに、半導体デバイスが生成する信号を示すタイミングチャートである。

【図５】図５は、被測定回路３２の動作を試験する手順を示す。

【図６】図６は、試験（Ｓ７６）の詳細な手順を示す。

【符号の説明】

１０　トリガ入力バッファ

１２　発振器コントローラ

１４　クロック入力バッファ

１６　データ入力バッファ

１８　発振器

１９　パターン生成回路

２０　クロックセレクタ

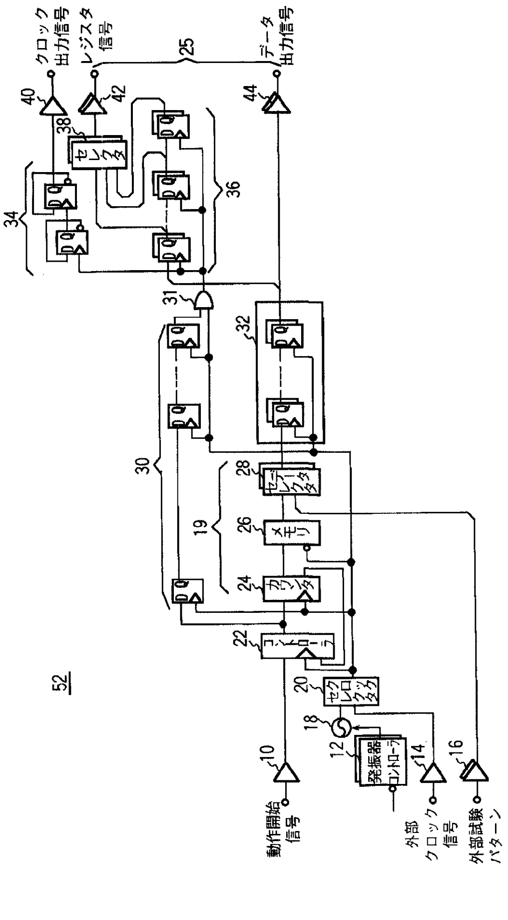
２２　コントローラ

２４　カウンタ

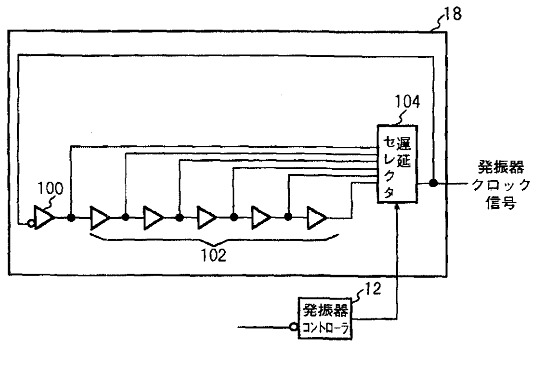
２５　データ出力端子

２６　メモリ
２８　データセレクタ
３０　遅延回路
３１　アンドゲート
３２　被測定回路
３４　リップルカウンタ
３６　レジスタ
３８　セレクタ
４０　クロック出力バッファ
４２　レジスタ出力バッファ
４４　データ出力バッファ
５２　半導体デバイス
９６　ディレイフリップフロップ
９８　ＪＫフリップフロップ
１００　インバータ
１０２　遅延素子
１０４　遅延セレクタ

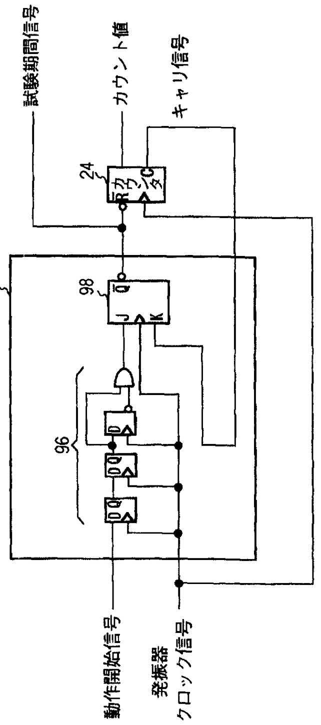
【図１】



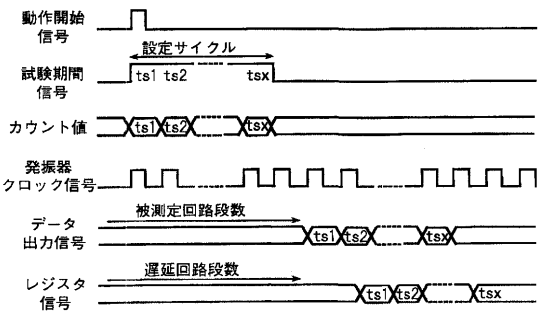
【図２】



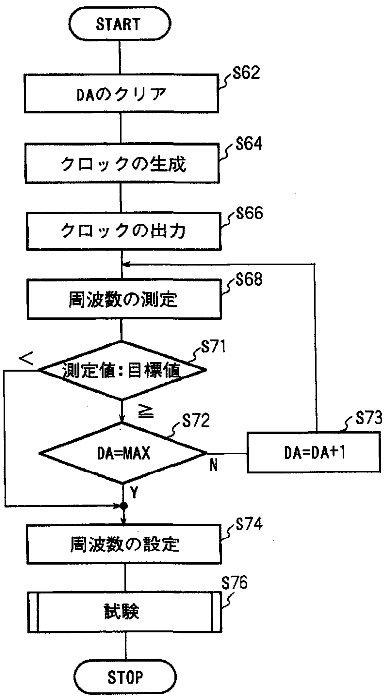
【図３】


試験期間信号
カウント値
キャリ信号
24
R
カウンタ
C
22
98
Q
J
K
96
D
Q
動作開始信号
発振器
クロック信号

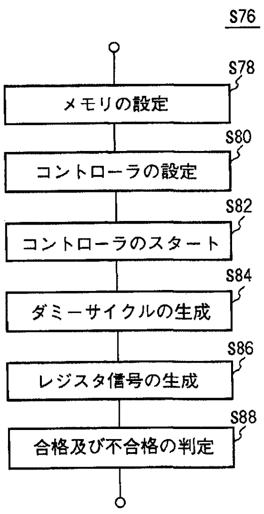
【図４】


動作開始
信号
設定サイクル
試験期間
信号
ts1 ts2
tsx
カウント値
ts1
ts2
tsx
発振器
クロック信号
被測定回路段数
データ
出力信号
ts1
ts2
tsx
遅延回路段数
レジスタ
信号
ts1
ts2
tsx

【図５】


START
S62
DAのクリア
S64
クロックの生成
S66
クロックの出力
S68
周波数の測定
S71
測定値：目標値
S72
DA=MAX
N
S73
DA=DA+1
Y
S74
周波数の設定
S76
試験
STOP

【図６】


S76
S78
メモリの設定
S80
コントローラの設定
S82
コントローラのスタート
S84
ダミーサイクルの生成
S86
レジスタ信号の生成
S88
合格及び不合格の判定

フロントページの続き

(56)参考文献　特開平０６－１７４８０３（ＪＰ，Ａ）
特開平０４－１５８２８０（ＪＰ，Ａ）
特開平１１－００２６６２（ＪＰ，Ａ）
特開平０２－００２９６２（ＪＰ，Ａ）
特開昭５８－０８５１７８（ＪＰ，Ａ）
特開平１０－０６２４９２（ＪＰ，Ａ）
特開平１１－０８３９５０（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
G01R　31/28-31/3193
H01L　21/822
H01L　27/04