

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-301698

(P2009-301698A)

(43) 公開日 平成21年12月24日(2009.12.24)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G 1 1 C</b> 19/28 (2006.01)	G 1 1 C 19/28 D	2 H 1 9 3
<b>G 0 9 G</b> 3/36 (2006.01)	G 0 9 G 3/36	5 C 0 0 6
<b>G 0 9 G</b> 3/20 (2006.01)	G 0 9 G 3/20 6 2 2 E	5 C 0 8 0
<b>G 1 1 C</b> 19/00 (2006.01)	G 1 1 C 19/00 G	
<b>G 0 2 F</b> 1/133 (2006.01)	G 1 1 C 19/00 J	

審査請求 未請求 請求項の数 6 O L (全 19 頁) 最終頁に続く

(21) 出願番号 特願2009-139530 (P2009-139530)  
 (22) 出願日 平成21年6月10日 (2009.6.10)  
 (31) 優先権主張番号 200810114613.2  
 (32) 優先日 平成20年6月10日 (2008.6.10)  
 (33) 優先権主張国 中国 (CN)

(71) 出願人 507134301  
 北京京東方光電科技有限公司  
 中華人民共和国北京經濟技術開發區西環中路8號  
 (74) 代理人 100108453  
 弁理士 村山 靖彦  
 (74) 代理人 100064908  
 弁理士 志賀 正武  
 (74) 代理人 100089037  
 弁理士 渡邊 隆  
 (74) 代理人 100110364  
 弁理士 実広 信哉  
 (72) 発明者 胡 明  
 中華人民共和国北京▲経▼▲済▼技術開發區西環中路8號

最終頁に続く

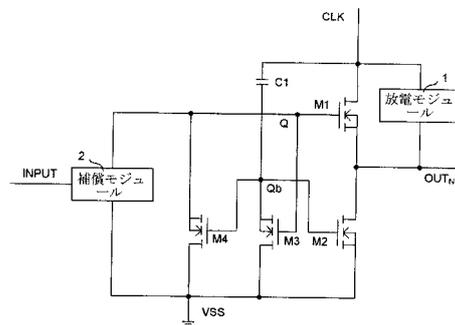
(54) 【発明の名称】 シフトレジスタ及びそのゲート駆動器

(57) 【要約】

【課題】改善されたシフトレジスタ及びそのゲート駆動装置を提供する。

【解決手段】本発明によるシフトレジスタは、第1ノードにゲートが、一つのクロック信号端にソースが、自段出力端にドレインが、それぞれ接続される第1薄膜トランジスタと、第2ノードにゲートが、自段出力端にソースが、ローレベル信号端にドレインが、それぞれ接続される第2薄膜トランジスタと、第1ノードにゲートが、ローレベル信号端にソースが、第2ノードにドレインが、それぞれ接続される第3薄膜トランジスタと、第2ノードにゲートが、ローレベル信号端にソースが、第1ノードにドレインが、それぞれ接続される第4薄膜トランジスタと、クロック信号端と第2ノードとの間に接続される第1容量と、クロック信号端と自段出力端との間に接続される放電モジュールと、第1ノードとローレベル信号端との間に接続される補償モジュールと、を備える。

【選択図】 図 1



**【特許請求の範囲】****【請求項 1】**

ブルアップノードである第1ノードにゲートが接続され、一つのクロック信号端にソースが接続され、自段出力端にドレインが接続される第1薄膜トランジスタと、

ブルダウンノードである第2ノードにゲートが接続され、自段出力端にソースが接続され、ローレベル信号端にドレインが接続される第2薄膜トランジスタと、

第1ノードにゲートが接続され、ローレベル信号端にソースが接続され、第2ノードにドレインが接続される第3薄膜トランジスタと、

第2ノードにゲートが接続され、ローレベル信号端にソースが接続され、第1ノードにドレインが接続される第4薄膜トランジスタと、

クロック信号端と第2ノードとの間に接続され、クロック信号端がハイレベルとなるとき、第2ノードをハイレベルにする第1容量と、

クロック信号端と自段出力端との間に接続され、自段出力端がハイレベルとなり、クロック信号端がローレベルとなるとき、自段出力端をクロック信号端に放電させる放電モジュールと、

第1ノードとローレベル信号端との間に接続され、第1ノードに補償と補償保護を提供して、第2ノードをクロック信号端のハイレベル或いはローレベルに応じてハイレベル或いはローレベルに変化する補償モジュールと、

を備えることを特徴とするシフトレジスタ。

**【請求項 2】**

前記放電モジュールは、薄膜トランジスタであり、そのゲートとソースが自段出力端とともに接続され、そのドレインがクロック信号端に接続されることを特徴とする請求項1に記載のシフトレジスタ。

**【請求項 3】**

前記補償モジュールは、

3段前シフトレジスタ入力端にゲートが接続され、他のクロック信号端にソースが接続され、第1ノードにドレインが接続される第6薄膜トランジスタと、

他のクロック信号端にゲートが接続され、他端が第1ノードに接続される第2容量の一端にソースが接続され、ローレベル信号端にドレインが接続される第7薄膜トランジスタと

、  
前段シフトレジスタ入力端にゲートとソースが共に接続され、第7薄膜トランジスタのソースにドレインが接続される第8薄膜トランジスタと、

もう一つのクロック信号端にゲートが接続され、第1ノードにドレインが接続される第9薄膜トランジスタと、

第1ノードにゲートが接続され、自段出力端にドレインが接続され、第9薄膜トランジスタのソースにソースが接続される第10薄膜トランジスタと、

他端が他のクロック信号端に接続される第3容量の一端にゲートが接続され、第1ノードにドレインが接続され、ローレベル信号端にソースが接続される第11薄膜トランジスタと

、  
3段前シフトレジスタ入力端にゲートが接続され、第11薄膜トランジスタのゲートにドレインが接続され、ローレベル信号端にソースが接続される第12薄膜トランジスタと、  
を備えることを特徴とする請求項1または2に記載のシフトレジスタ。

**【請求項 4】**

前記補償モジュールは、

他のクロック信号端にゲートが接続され、前段シフトレジスタ入力端にソースが接続され、第1ノードにドレインが接続される第13薄膜トランジスタと、

後段シフトレジスタ入力端にゲートが接続され、第1ノードにソースが接続され、ローレベル信号端にドレインが接続される第14薄膜トランジスタと、

第1ノードにゲートが接続され、クロック信号端にソースが接続され、ドレインが自段制御出力端として出力信号を前段シフトレジスタと後段シフトレジスタに送信する第

10

20

30

40

50

## 15 薄膜トランジスタと、

第1薄膜トランジスタのゲートとドレインとの間に接続される第4容量と、  
を備えることを特徴とする請求項1または2に記載のシフトレジスタ。

## 【請求項5】

請求項1から3までのいずれか一つの請求項に記載されたシフトレジスタを用いて、シリアルに接続された複数のシフトレジスタを備えるゲート駆動器であって、

前記シフトレジスタは、

3個のクロック信号端と、

1個の自段出力端と、

前段シフトレジスタからの出力信号を受信する前段シフトレジスタ入力端と、

3段前シフトレジスタからの出力信号を受信する3段前シフトレジスタ入力端と、

を備えることを特徴とするゲート駆動器。

10

## 【請求項6】

請求項1、2、または4に記載されたシフトレジスタを用いて、シリアルに接続された複数のシフトレジスタを備えるゲート駆動器であって、

前記シフトレジスタは、

2個のクロック信号端と、

1個の自段出力端と、

1個の自段制御出力端と、

1個の前段シフトレジスタからの出力信号を受信する前段シフトレジスタ入力端と

20

、  
1個の後段シフトレジスタからの出力信号を受信する後段シフトレジスタ入力端と  
、を備え、

前記自段出力端が、液晶ディスプレイの対応するゲートラインを駆動するように一つのゲートライン駆動信号を出力し、

前記自段制御出力端が、制御信号を前段シフトレジスタと後段シフトレジスタに出力する

ことを特徴とするゲート駆動器。

## 【発明の詳細な説明】

## 【技術分野】

30

## 【0001】

この発明は液晶ディスプレイの駆動器に関し、特にシフトレジスタ及びそのゲート駆動器に関する。

## 【背景技術】

## 【0002】

液晶ディスプレイ(LCD)は、軽量、薄型、使用電力が低いなどの特徴を持ち、携帯電話、ディスプレイ及びテレビ等の装置に広く使われる。液晶ディスプレイは、電界を利用して液晶の偏向を制御することによって、光の伝搬を制御して表示画面を生成する。液晶ディスプレイは、主に水平と垂直の二つの方向に配列される画素行列により構成される。画素行列の水平部分は、ゲートラインにより構成され、かつシフトレジスタによりゲート駆動信号が提供される。画素行列の垂直部分は、データラインにより構成され、画素行列にデータ信号を印加するために用いられる。それぞれ異なる電圧を画素行列の画素電極と共通電極に印加することによって、必要な電界が生成される。所定の期間内、複数のシフトレジスタが各ゲートラインを1行目から最終の行目まで順次にストロブされて(strobe)、データ信号がデータラインを通じて対応するゲートラインの画素電極に印加され、当該ゲートラインでの蓄積容量を対応する電圧値まで充電し、そして次の走査までこの電圧値を保持する。

40

## 【0003】

図8は従来技術に係るゲート駆動器の構成概略図である。図8に示すように、従来技術のゲート駆動器は、シリアルに接続された複数段のシフトレジスタSR<sub>1</sub>、SR<sub>2</sub>、...、SR

50

$N$ 、 $SR_{N+1}$ 、を備える。各シフトレジスタのそれぞれは、第1クロック信号端CLK1、第2クロック信号端CLK2、直流信号端VDD、及びローレベル信号端VSSに接続される。各段のシフトレジスタのそれぞれの出力端は、液晶ディスプレイのゲートラインに接続される。例えば、1段目のシフトレジスタ $SR_1$ の出力端 $OUT_1$ は、液晶ディスプレイの1行目のゲートラインに接続され、2段目のシフトレジスタ $SR_2$ の出力端 $OUT_2$ は、液晶ディスプレイの2行目のゲートラインに接続される…。シフトレジスタのそれぞれは、ゲート駆動信号を生成して対応するゲートラインを順次にストロープされることを担当する。そのほか、1段目のシフトレジスタ $SR_1$ は、シフトスタート信号STVにも接続され、スタート信号を受信する。他のシフトレジスタの出力端は、また隣接する二つの段のシフトレジスタに同時に接続される。例えば、 $N$ 段目のシフトレジスタ $SR_N$ が前段のシフトレジスタに送信する出力信号は、 $N-1$ 段目のシフトレジスタ $SR_{N-1}$ のリセット信号とし、 $N$ 段目のシフトレジスタ $SR_N$ が後段のシフトレジスタに送信する出力信号は、 $N+1$ 段目のシフトレジスタ $SR_{N+1}$ のスタート信号とする。

10

#### 【0004】

図9は従来技術に係るシフトレジスタの構成概略図である。図10は従来技術に係るシフトレジスタの動作シーケンスである。図9、図10に示すように、従来技術に係るシフトレジスタは、8個の薄膜トランジスタと2個の容量を備え、入力/出力端は、それぞれ第1クロック信号端CLK1、第2クロック信号端CLK2（第2クロック信号は第1クロック信号の反転信号である）、直流信号端VDD、ローレベル信号端VSS、前段のシフトレジスタから出力信号を受信してスタート信号とする前段シフトレジスタ入力端 $INPUT_{N-1}$ 、後段のシフトレジスタから出力信号を受信してリセット信号とする後段シフトレジスタ入力端 $INPUT_{N+1}$ 、ゲートラインにゲート駆動信号を出力する自段出力端 $OUT_N$ 、を備える。従来技術に係る上記構成が動作する時、第1ノードQがハイレベルとなると共に、第2ノードQbがローレベルとなると、ハイレベルである第1ノードQが第7薄膜トランジスタM7をオンさせ、ローレベルである第2ノードQbが第8薄膜トランジスタM8をオフさせ、第1クロック信号端CLK1が第7薄膜トランジスタM7を通じて自段出力端 $OUT_N$ から出力される。これに対して、第1ノードQがローレベルとなると共に、第2ノードQbがハイレベルとなると、ローレベルである第1ノードQが第7薄膜トランジスタM7をオフさせ、ハイレベルである第2ノードQbが第8薄膜トランジスタM8をオンさせ、ローレベル信号端VSSに接続される自段出力端 $OUT_N$ がローレベルとなり、第1クロック信号端CLK1がハイレベルとなっても、出力することができない。図10から分かるように、液晶ディスプレイが動作しているときに、各ゲートラインが大部分の時間内でストロープされない状態となり、即ち自段出力端 $OUT_N$ が大部分の時間内でローレベルに制御される必要があるため、必ず第2ノードQbを多数の場合にハイレベル状態に保持される。

20

30

#### 【発明の概要】

#### 【発明が解決しようとする課題】

#### 【0005】

しかし、検討結果に示すように、ハイレベルが印加される時間の延長につれて、薄膜トランジスタの閾値電圧が次第に高くなっていき、ハイレベルが薄膜トランジスタのゲートに長期に連続して印加されることは薄膜トランジスタの閾値電圧を向上させる。閾値電圧の向上は、薄膜トランジスタの遷移率を次第に劣化させて、薄膜トランジスタの寿命を短縮するだけでなく、動作も不安定になり、駆動器の正常動作に影響する。

40

なお、従来技術に係るシフトレジスタの自段出力は、同時に後段のシフトレジスタの入力となる。シフトレジスタがゲートラインを駆動するときに遅延を生じることができ、このような遅延は複数のゲートラインの累積を経て、シフトレジスタの正常動作に影響する。特に、シフトレジスタの数が多くなると、より大きい遅延は後の複数段のシフトレジスタに読み書きの誤りを引き起こす。

#### 【課題を解決するための手段】

#### 【0006】

本発明の目的は、従来技術のハイレベルを長期に連続して薄膜トランジスタのゲートに

50

印加することによる動作の不安定と寿命短縮など技術欠陥を効率的に解決することができるシフトレジスタ及びそのゲート駆動器を提供することにある。

上記の目的を達成するために、本発明は、プルアップノードである第1ノードにゲートが接続され、一つのクロック信号端にソースが接続され、自段出力端にドレインが接続される第1薄膜トランジスタと、プルダウンノードである第2ノードにゲートが接続され、自段出力端にソースが接続され、ローレベル信号端にドレインが接続される第2薄膜トランジスタと、第1ノードにゲートが接続され、ローレベル信号端にソースが接続され、第2ノードにドレインが接続される第3薄膜トランジスタと、第2ノードにゲートが接続され、ローレベル信号端にソースが接続され、第1ノードにドレインが接続される第4薄膜トランジスタと、クロック信号端と第2ノードとの間に接続され、クロック信号端がハイレベルとなるとき、第2ノードをハイレベルにする第1容量と、クロック信号端と自段出力端との間に接続され、自段出力端がハイレベルとなり、クロック信号端がローレベルとなるとき、自段出力端をクロック信号端に放電させる放電モジュールと、第1ノードとローレベル信号端との間に接続され、第1ノードに補償と補償保護を提供して、第2ノードをクロック信号端のハイレベル或いはローレベルに応じてハイレベル或いはローレベルに変化する補償モジュールと、を備えるシフトレジスタを提供する。

10

#### 【0007】

上記放電モジュールは、薄膜トランジスタであり、そのゲートとソースが自段出力端とともに接続され、そのドレインがクロック信号端に接続される。

上記技術方案において、上記補償モジュールは、3段前シフトレジスタ入力端にゲートが接続され、他のクロック信号端にソースが接続され、第1ノードにドレインが接続される第6薄膜トランジスタと、他のクロック信号端にゲートが接続され、他端が第1ノードに接続される第2容量の一端にソースが接続され、ローレベル信号端にドレインが接続される第7薄膜トランジスタと、前段シフトレジスタ入力端にゲートとソースが共に接続され、第7薄膜トランジスタのソースにドレインが接続される第8薄膜トランジスタと、もう一つのクロック信号端にゲートが接続され、第1ノードにドレインが接続される第9薄膜トランジスタと、第1ノードにゲートが接続され、自段出力端にドレインが接続され、第9薄膜トランジスタのソースにソースが接続される第10薄膜トランジスタと、他端が他のクロック信号端に接続される第3容量の一端にゲートが接続され、第1ノードにドレインが接続され、ローレベル信号端にソースが接続される第11薄膜トランジスタと、3段前シフトレジスタ入力端にゲートが接続され、第11薄膜トランジスタのゲートにドレインが接続され、ローレベル信号端にソースが接続される第12薄膜トランジスタと、を備える。

20

30

上記技術方案において、上記補償モジュールは、他のクロック信号端にゲートが接続され、前段シフトレジスタ入力端にソースが接続され、第1ノードにドレインが接続される第13薄膜トランジスタと、後段シフトレジスタ入力端にゲートが接続され、第1ノードにソースが接続され、ローレベル信号端にドレインが接続される第14薄膜トランジスタと、第1ノードにゲートが接続され、クロック信号端にソースが接続され、ドレインが自段制御出力端として出力信号を前段シフトレジスタと後段シフトレジスタに送信する第15薄膜トランジスタと、第1薄膜トランジスタのゲートとドレインとの間に接続される第4容量と、を備える

40

#### 【0008】

上記の目的を達成するために、本発明は、シリアルに接続された複数のシフトレジスタを備え、上記シフトレジスタは、3個のクロック信号端と、1個の自段出力端と、前段シフトレジスタからの出力信号を受信する前段シフトレジスタ入力端と、3段前シフトレジスタからの出力信号を受信する3段前シフトレジスタ入力端と、を備えることを特徴とするゲート駆動器を提供する。

上記の目的を達成するために、本発明は、シリアルに接続された複数のシフトレジスタを備えるゲートライン駆動装置であって、上記シフトレジスタは、2個のクロック信号端と、1個の自段出力端と、1個の自段制御出力端と、1個の前段シフトレジスタからの出力信号を受信する前段シフトレジスタ入力端と、1個の後段シフトレジスタから

50

の出力信号を受信する後段シフトレジスタ入力端と、を備え、上記自段出力端が、液晶ディスプレイの対応するゲートラインを駆動するように一つのゲート駆動信号を出力し、上記自段制御出力端が、制御信号を前段シフトレジスタと後段シフトレジスタに出力する他のゲート駆動器を提供する。

【発明の効果】

【0009】

本発明は、シフトレジスタ及びそのゲート駆動器を提供し、以下の特徴を有する。

(1) 直流電源を採用しなく、クロック信号だけで薄膜トランジスタが駆動されるため、消費電力を大幅に低減することができる。

(2) 第2ノードがハイレベルとなる時間を減少し、プルダウンノードである第2ノードがハイレベルとなる時間を元の時間の四分の一或いは二分の一に減少し、即ちハイレベルを第2薄膜トランジスタのゲートに印加する時間を減少して、第2薄膜トランジスタの閾値電圧の偏移を低減する。

(3) 二つの薄膜トランジスタを用いて自段出力端のローレベルを維持し、このようにして、薄膜トランジスタの動作時間を大幅に減少することができ、さらに薄膜トランジスタの閾値電圧のシフトを低減する。薄膜トランジスタのゲートのバイアス電圧のデューティ比が約25%或いは50%であり、薄膜トランジスタのゲートのデューティ比が小さい時、その閾値電圧が徐々に回復することができ、ハイレベルを印加する時間の増加につれてその閾値電圧が増加することができないため、薄膜トランジスタに対する破壊を低減して、薄膜トランジスタの動作寿命を延びる。

(4) 第2ノードの電圧は、従来技術の直流駆動方式ではなく、容量駆動方式で、クロック信号端と容量を用いて第2ノードの電圧を駆動する。このように、薄膜トランジスタは、電荷だけで駆動され、電荷によって薄膜トランジスタをオンして、消費電力を減少するだけでなく、同時に薄膜トランジスタの破壊も減少される。

【0010】

(5) 薄膜トランジスタを用いる放電モジュールにより、かつ自段出力端がハイレベルであり、及びクロック信号端がローレベルである時だけ、当該薄膜トランジスタが動作することにより、薄膜トランジスタの特性をよく維持し得、薄膜トランジスタの動作寿命を大幅に延長する。

(6) 補償モジュールによって、ゲートバイアスによる薄膜トランジスタの閾値電圧のシフトを補償する。そこで、薄膜トランジスタの閾値電圧はある程度のシフトがあっても、正常の動作に影響しなく、動作寿命を延びる。二つの薄膜トランジスタによって放電回路を構成し、第1薄膜トランジスタの閾値電圧を記憶して、第1薄膜トランジスタの正常動作を保証することができる。

(7) 2個の自段出力端が設置され、その中、一つの自段出力端が液晶ディスプレイの対応するゲートラインを駆動するように一つのゲート駆動信号を出力することを担当し、他の自段出力端が独立な薄膜トランジスタを用いて、前段シフトレジスタに、前段シフトレジスタのリセット信号である出力信号を、後段シフトレジスタに、後段シフトレジスタの初期信号である出力信号を、それぞれ出力することを担当する。このように、従来技術の一つの出力端の遅延によって、後の複数段のシフトレジスタに読み書きの誤りを引き起こすことを避けることができ、動作の安定性を向上させる。

要するに、本発明に係るシフトレジスタは、低コスト、低消費電力、長寿命の利点に加えて、高安定性、干渉に強い、小さい遅延など特徴がある。

以下、図面と実施形態を参照して、本発明の技術方案について詳細に説明する。

【図面の簡単な説明】

【0011】

【図1】本発明に係るシフトレジスタの構成概略図である。

【図2】本発明に係るシフトレジスタの第1実施形態の構成概略図である。

【図3】本発明に係るシフトレジスタの第1実施形態の動作シーケンス図である。

【図4】本発明に係るシフトレジスタの第2実施形態の構成概略図である。

【図5】本発明に係るシフトレジスタの第2実施形態の動作シーケンス図である。

【図6】本発明に係る第1種のゲート駆動器の構成概略図である。

【図7】本発明に係る第2種のゲート駆動器の構成概略図である。

【図8】従来技術に係るゲート駆動器の構成概略図である。

【図9】従来技術に係るシフトレジスタの構成概略図である。

【図10】従来技術に係るシフトレジスタの動作シーケンス図である。

【発明を実施するための形態】

【0012】

図1は本発明に係るシフトレジスタの構成概略図である。図1に示すように、本発明に係るシフトレジスタの主体は、4個の薄膜トランジスタ、1個の蓄積容量、1個の放電モジュール、1個の補償モジュール、及び対応する入力/出力端を備える。その中、第1薄膜トランジスタM1は、プルアップノードである第1ノードQにゲートが接続され、一つのクロック信号端CLKにソースが接続され、自段出力端OUT<sub>N</sub>にドレインが接続され、自段出力端OUT<sub>N</sub>にハイレベル出力を提供する役割を果たす。第2薄膜トランジスタM2は、プルダウンノードである第2ノードQbにゲートが接続され、自段出力端OUT<sub>N</sub>にソースが接続され、ローレベル信号端VSSにドレインが接続され、自段出力端OUT<sub>N</sub>をローレベルに保持する役割を果たす。第3薄膜トランジスタM3は、第1ノードQにゲートが接続され、ローレベル信号端VSSにソースが接続され、第2ノードQbにドレインが接続され、プルアップノードである第1ノードQがハイレベルとなる時プルダウンノードである第2ノードQbをローレベルに保持する役割を果たす。第4薄膜トランジスタM4は、第2ノードQbにゲートが接続され、ローレベル信号端VSSにソースが接続され、第1ノードQにドレインが接続され、第2ノードQbがハイレベルとなる時第1ノードQをローレベルに保持されて、第1薄膜トランジスタM1のゲートをローレベルに維持される役割を果たす。放電モジュール1は、クロック信号端CLKと自段出力端OUT<sub>N</sub>との間に接続され、放電する役割を果たす。クロック信号端CLKがローレベル、自段出力端OUT<sub>N</sub>がハイレベルであるときには、放電モジュール1によりクロック信号端CLKに放電して、自段出力端OUT<sub>N</sub>をローレベルに維持すると共に、自段出力端OUT<sub>N</sub>をローレベルにプルダウンする役割を果たす。第1容量C1がクロック信号端CLKと第2ノードQbとの間に接続され、クロック信号端CLKがハイレベルに変更するとき、第1容量C1により第2ノードQbをハイレベルに変更して、第4薄膜トランジスタM4と第2薄膜トランジスタM2をオンさせ、第1ノードQと自段出力端OUT<sub>N</sub>をローレベルに維持する。補償モジュール2が第1ノードQとローレベル信号端VSSに接続されるとともに、他の信号入力端INPUTに接続され、第1ノードに対して補償と補償保護を提供して、クロック信号端のハイレベルまたはローレベルに応じて第2ノードQbをハイレベルまたはローレベルに変更する。

【0013】

図2は本発明に係るシフトレジスタの第1実施形態の構成概略図である。本発明に係るシフトレジスタの主体は、12個の水素化アモルファスシリコン(Hydrogenated Amorphous Silicon)薄膜トランジスタ、3個の蓄積容量、及び対応する入力/出力端、を備える。12個の薄膜トランジスタは、それぞれ第1薄膜トランジスタM1、第2薄膜トランジスタM2、第3薄膜トランジスタM3、第4薄膜トランジスタM4、第5薄膜トランジスタM5、第6薄膜トランジスタM6、第7薄膜トランジスタM7、第8薄膜トランジスタM8、第9薄膜トランジスタM9、第10薄膜トランジスタM10、第11薄膜トランジスタM11、第12薄膜トランジスタM12である。3個の蓄積容量は、それぞれ第1容量C1、第2容量C2、第3容量C3である。入力/出力端は、ローレベル信号端VSS、自段出力端OUT<sub>N</sub>、前段のシフトレジスタから出力信号を受信する前段入力端、3段前のシフトレジスタから出力信号を受信する3段前入力端及び3個のクロック信号端を備える。3個のクロック信号端は、互いに連続する第1クロック信号端CLK1、第2クロック信号端CLK2、第3クロック信号端CLK3、及び第4クロック信号端CLK4うちの三つである。

【0014】

図2に示すN段目のシフトレジスタについて、前段のシフトレジスタから出力信号を受信する前段入力端が前段シフトレジスタ入力端INPUT<sub>N-1</sub>、3段前のシフトレジスタ

10

20

30

40

50

から出力信号を受信する3段前入力端が3段前シフトレジスタ入力端 $INPUT_{N-3}$ であり、3個のクロック信号端が、それぞれ第1クロック信号端CLK1、第2クロック信号端CLK2、及び第4クロック信号端CLK4である。第1薄膜トランジスタM1は、プルアップノードである第1ノードQにゲートが接続され、第4クロック信号端CLK4にソースが接続され、自段出力端 $OUT_N$ にドレインが接続される。第2薄膜トランジスタM2は、プルダウンノードである第2ノードQbにゲートが接続され、自段出力端 $OUT_N$ にソースが接続され、ローレベル信号端VSSにドレインが接続される。第3薄膜トランジスタM3は、第1ノードQにゲートが接続され、ローレベル信号端VSSにソースが接続され、第2ノードQbにドレインが接続される。第4薄膜トランジスタM4は、第2ノードQbにゲートが接続され、ローレベル信号端VSSにソースが接続され、第1ノードQにドレインが接続される。放電モジュールとする第5薄膜トランジスタM5は、自段出力端 $OUT_N$ にゲートとソースが共に接続され、第4クロック信号端CLK4にドレインが接続される。第6薄膜トランジスタM6は、3段前シフトレジスタ入力端 $INPUT_{N-3}$ にゲートが接続され、第1クロック信号端CLK1にソースが接続され、第1ノードQにドレインが接続される。第7薄膜トランジスタM7は、第1クロック信号端CLK1にゲートが接続され、第2容量C2の一端にソースが接続され、ローレベル信号端VSSにドレインが接続される。第2容量C2の他端は第1ノードQに接続される。第8薄膜トランジスタM8は、前段シフトレジスタ入力端 $INPUT_{N-1}$ にゲートとソースが共に接続され、第7薄膜トランジスタM7のソースにドレインが接続される。第9薄膜トランジスタM9は、第2クロック信号端CLK2にゲートが接続され、第10薄膜トランジスタM10のソースにソースが接続され、第1ノードQにドレインが接続される。第10薄膜トランジスタM10は、第1ノードQにゲートが接続され、自段出力端 $OUT_N$ にドレインが接続され、第9薄膜トランジスタM9のソースにソースが接続される。第11薄膜トランジスタM11は、第3容量C3の一端にゲートが接続され、第1ノードQにドレインが接続され、ローレベル信号端VSSにソースが接続される。第3容量C3の他端は第1クロック信号端CLK1に接続される。第12薄膜トランジスタM12は、3段前シフトレジスタ入力端 $INPUT_{N-3}$ にゲートが接続され、第11薄膜トランジスタM11のゲートにドレインが接続され、ローレベル信号端VSSにソースが接続される。第1容量C1が第4クロック信号端CLK4と第2ノードQbとの間に接続され、第2容量C2が第1ノードQと第8薄膜トランジスタM8のドレインとの間に設置され、第3容量C3が第1クロック信号端CLK1と第11薄膜トランジスタM11のゲートとの間に設置される。その中、第5薄膜トランジスタM5は本実施形態の放電モジュールとして機能し、第6薄膜トランジスタM6、第7薄膜トランジスタM7、第8薄膜トランジスタM8、第9薄膜トランジスタM9、第10薄膜トランジスタM10、第11薄膜トランジスタM11、第12薄膜トランジスタM12、第2容量C2、及び第3容量C3は、本実施形態の補償モジュールを構成する。実際の使用中、本実施形態の上記技術方案は、水素化アモルファスシリコン薄膜トランジスタだけではなく、他の薄膜トランジスタにも適用されることができる。

10

20

30

40

50

#### 【0015】

図3は、本発明に係るシフトレジスタの第1実施形態の動作シーケンス図である。以下、本発明に係る実施形態の技術方案を、図2と図3に合わせてシフトレジスタの動作プロセスによりさらに説明する。

本実施形態のシフトレジスタの動作は、6段階に分けられ、段階ごとの動作状況は、具体的に以下の通り示す。

#### 【0016】

##### 第1段階T1

本段階において、第4クロック信号端CLK4がハイレベルとなると共に、他のクロック信号端が全部ローレベルとなる。第4クロック信号端CLK4は、第1容量C1を通じてプルダウンノードである第2ノードQbをハイレベルにし、そして第2薄膜トランジスタM2と第4薄膜トランジスタM4がオン状態となり、プルアップノードである第1ノードQと自段出力端 $OUT_N$ をローレベル信号端VSSに接続させ、ローレベルを維持する。本段階において、他の薄膜トランジスタは、すべてオフ状態となる。

#### 【0017】

##### 第2段階T2

本段階において、第1クロック信号端CLK1がハイレベルとなると共に、他のクロック信号端が全部ローレベルとなり、3段前シフトレジスタ入力端 $INPUT_{N-3}$ がハイレベルとなる。3段前シフトレジスタ入力端 $INPUT_{N-3}$ のハイレベルは、第12薄膜トランジスタM12をオンさせ、そのドレインがソースを通じてローレベル信号端VSSに接続される。そこで、この時、第1クロック信号端CLK1はハイレベルとなるが、第11薄膜トランジスタM11のゲートはまだローレベルとなり、第11薄膜トランジスタM11をオフ状態にする。この時、第4クロック信号端CLK4はローレベルに変更するため、第2ノードQbもローレベルとなり、第2薄膜トランジスタM2と第4薄膜トランジスタM4をオフ状態にする。3段前シフトレジスタ入力端 $INPUT_{N-3}$ がハイレベルとなるため、第6薄膜トランジスタM6をオンさせ、ハイレベルである第1クロック信号端CLK1が第6薄膜トランジスタM6を通じて、第1ノードQにより高い電圧を持たせ、第6薄膜トランジスタM6のドレイン（すなわち第1ノードQ）に接続される第2容量C2の端子にもより高い電圧を持つ。第1ノードQがハイレベルとなるため、第7薄膜トランジスタM7をオンさせ、第7薄膜トランジスタM7のソースに接続される第2容量C2の端子もローレベルとなる。

10

【0018】

第3段階T3

本段階において、第2クロック信号端CLK2がハイレベルとなると共に、他のクロック信号端が全部ローレベルとなり、第2クロック信号端CLK2のハイレベルは、第9薄膜トランジスタM9をオン状態にする。この時、第1ノードQがハイレベルとなるため、第1薄膜トランジスタM1と第10薄膜トランジスタM10がオン状態となる。そして、第2クロック信号端CLK2、第9薄膜トランジスタM9、第10薄膜トランジスタM10、第1ノードQ、第1薄膜トランジスタM1、と第4クロック信号端CLK4は、第4クロック信号端CLK4に放電する回路を構成し、第1ノードQの電圧が第1薄膜トランジスタM1と第10薄膜トランジスタM10の閾値になるまでずっと放電して、第10薄膜トランジスタM10に第1薄膜トランジスタM1の閾値電圧を記憶して保存させ、この閾値電圧を保持する。

20

【0019】

第4段階T4

本段階において、三つのクロック信号端が全部ローレベルとなり、前段シフトレジスタ入力端 $INPUT_{N-1}$ がハイレベルとなる。前段シフトレジスタ入力端 $INPUT_{N-1}$ のハイレベルは、第8薄膜トランジスタM8をオンさせるため、第8薄膜トランジスタM8のドレインがハイレベルとなる。第2容量C2の役割で、第1ノードQの電圧は、元の閾値電圧に第8薄膜トランジスタM8が提供する電圧を加えた電圧、即ちハイレベルとなる。第1ノードQのハイレベルは、第1薄膜トランジスタM1と第3薄膜トランジスタM3をオンさせて、第2ノードQbをローレベル信号端VSSに接続され、ローレベルを保持する。

30

【0020】

第5段階T5

本段階において、第4クロック信号端CLK4がハイレベルとなると共に、他のクロック信号端がローレベルとなる。本段階において、第4クロック信号端CLK4のハイレベルは、第1容量C1により第2ノードQbをハイレベルにする傾向があるが、この時、第1ノードQがハイレベルで、第1薄膜トランジスタM1と第3薄膜トランジスタM3がオン状態となって、プルダウンノードである第2ノードQbをローレベル信号端VSSに接続させるため、第2ノードQbがローレベルにプルダウンされて、第2ノードQbのローレベルが第2薄膜トランジスタM2と第4薄膜トランジスタM4をオフ状態にする。そして、第4クロック信号端CLK4は、第1薄膜トランジスタM1を通じて出力し、自段出力端 $OUT_N$ がハイレベルとなる。

40

【0021】

第6段階T6

本段階において、第1クロック信号端CLK1がハイレベルとなると共に、他のクロック信号端がローレベルとなる。この時、ハイレベルとなる自段出力端 $OUT_N$ は、放電モジュールである第5薄膜トランジスタM5をオンさせ、自段出力端 $OUT_N$ がローレベルとなるまで、第5薄膜トランジスタM5を通じてローレベルとなる第4クロック信号端CLK4に放電する。同時

50

に、第1クロック信号端CLKがハイレベルとなるため、第7薄膜トランジスタM7と第11薄膜トランジスタM11をとともにオンされる。オンされた第7薄膜トランジスタM7と第11薄膜トランジスタM11は、第1ノードQをローレベル信号端VSSに接続されてローレベルを保持する。その後、第1クロック信号端CLK1、第2クロック信号端CLK2、と第4クロック信号端CLK4がどのように変化するにもかかわらず、第1ノードQはずっとローレベルを保持して、自段出力端OUT<sub>N</sub>のローレベルを維持する。同時に、第2ノードQbのレベルは、次のフレームの初期信号が来るまで、第1容量C1を通じて第4クロック信号端CLK4のレベルと合致するように保持され、即ち第4クロック信号端CLK4がハイレベルとなるときには、第2ノードQbのレベルも同じハイレベルとなり、第4クロック信号端CLK4がローレベルとなるときには、第2ノードQbのレベルも同じローレベルとなる。

10

**【0022】**

本実施形態のシフトレジスタの動作プロセスから分かるように、本実施形態の技術方案において、第1薄膜トランジスタM1の役割は、自段出力端OUT<sub>N</sub>にハイレベル出力を提供することである。第2薄膜トランジスタM2の役割は、自段出力端OUT<sub>N</sub>をローレベルに保持することである。第3薄膜トランジスタM3の役割は、プルアップノードである第1ノードQがハイレベルとなるときに、プルダウンノードである第2ノードQbをローレベルに保持することである。第4薄膜トランジスタM4の役割は、第2ノードQbがハイレベルとなるとき、第1ノードQをローレベルに保持して、第1薄膜トランジスタM1のゲートをローレベルに保持することである。放電モジュールとする第5薄膜トランジスタM5の役割は、放電することであり、第4クロック信号端CLK4がローレベル、自段出力端OUT<sub>N</sub>がハイレベルとなるとき、ハイレベルとなる自段出力端OUT<sub>N</sub>が第5薄膜トランジスタM5を通じて第4クロック信号端CLK4に放電して、自段出力端OUT<sub>N</sub>がローレベルに維持されると共に、自段出力端OUT<sub>N</sub>をローレベルにプルダウンする役割を果たす。第6薄膜トランジスタM6の主な役割は、第1クロック信号端CLK1がハイレベルとなる時、第1ノードQに一つの補償電圧を提供することである。第7薄膜トランジスタM7の主な役割は、第1クロック信号端CLK1がプルアップノードである第1ノードQに補償電圧を提供するとき、第7薄膜トランジスタM7のソースに接続する第2容量C2の一端をローレベルとなるように制御することである。第8薄膜トランジスタM8の主な役割は、第1ノードQに一つのハイレベルを提供することである。第9薄膜トランジスタM9と第10薄膜トランジスタM10の主な役割は、一緒に放電回路を構成し、第10薄膜トランジスタM10に第1薄膜トランジスタM1の閾値電圧を記憶して保存させることである。第11薄膜トランジスタM11の主な役割は、動作しない時に第1ノードQの電圧をローレベルに保持することである。第12薄膜トランジスタM12の主な役割は、第1クロック信号端CLK1が補償電圧を提供するとき、第11薄膜トランジスタM11をオフ状態にすることである。第1容量C1の役割は、第4クロック信号がハイレベルとなるとき、第1容量C1を通じて第2ノードQbをハイレベルにさせて、第2薄膜トランジスタM2と第4薄膜トランジスタM4をオンさせ、第1ノードQと自段出力端OUT<sub>N</sub>をローレベルに維持することである。第2容量C2の主な役割は、補償された第1ノードQをハイレベルにして、第1薄膜トランジスタM1と第3薄膜トランジスタM3をオンさせることである。第3容量C3の主な役割は、第1クロック信号端CLK1を通じて、第11薄膜トランジスタM11のゲートにハイレベルを提供すると共に、直流の発生を避けて、消費電力を低減することができる。

20

30

40

**【0023】**

本実施形態に係るシフトレジスタの技術方案において、シフトレジスタの自段出力端OUT<sub>N</sub>は、液晶ディスプレイの対応するゲートラインを駆動するように一つのゲート駆動信号を出力すると共に、他の二つのシフトレジスタから出力信号を受信する。その中の一つの出力信号は、前段シフトレジスタから出力され、自段シフトレジスタの初期信号として用いる。他の出力信号は、3段前シフトレジスタから出力され、自段シフトレジスタの補償信号として用いる。シフトレジスタの動作は、同時に3個のクロック信号、1個の前段シフトレジスタからの初期信号、及び1個の3段前シフトレジスタからの補償信号により制御される。本実施形態に係るシフトレジスタは、直流電源を採用しなく、クロック信号だけで駆動されるため、消費電力を大幅に低減することができる。本

50

実施形態に係るシフトレジスタは、第2ノードQbがハイレベルとなる時間を減少し、プルダウンノードである第2ノードQbがハイレベルとなる時間を元の時間の四分の一に減少し、即ちハイレベルを第2薄膜トランジスタM2のゲートに印加する時間を減少して、第2薄膜トランジスタM2の閾値電圧の偏移を低減する。本実施形態に係るシフトレジスタは、第2薄膜トランジスタM2と第5薄膜トランジスタM5が共に自段出力端OUT<sub>N</sub>のローレベルを維持し、このようにして、第2薄膜トランジスタM2の動作時間を大幅に減少することができ、さらに第2薄膜トランジスタM2の閾値電圧のシフトを低減する。その中、第2薄膜トランジスタM2のゲートのバイアス電圧のデューティ比が約25%であり、薄膜トランジスタのゲートのバイアス電圧のデューティ比がより小さい時、その閾値電圧が徐々に回復することができ、ハイレベルを印加する時間の増加につれてその閾値電圧が増加することができないため、本実施形態が、薄膜トランジスタに対する破壊を低減して、薄膜トランジスタの動作寿命を延長する。同時に、本実施形態の第2ノードQbの電圧は、従来技術の直流駆動方式ではなく、容量駆動方式で、第4クロック信号端CLK4と第1容量C1を用いて第2ノードQbの電圧を駆動する。このように、第2薄膜トランジスタM2と第4薄膜トランジスタM4は、電荷だけで駆動され、電荷によって薄膜トランジスタをオンして、消費電力を減少するだけでなく、同時に薄膜トランジスタの破壊も減少される。本実施形態は、まだ一つの放電モジュールを提供する。当該放電モジュールは、薄膜トランジスタを採用し、かつ自段出力端OUT<sub>N</sub>がハイレベルであり、及び第4クロック信号端CLK4がローレベルである時だけ、当該薄膜トランジスタが動作する。このように、薄膜トランジスタの特性をよく維持し得、薄膜トランジスタの動作寿命を大幅に延びる。さらに、本実施形態は、補償モジュールによって、ゲートバイアスによる薄膜トランジスタの閾値電圧のシフトを補償する。そこで、薄膜トランジスタの閾値電圧はある程度のシフトがあっても、正常の動作に影響しなく、動作寿命を延びる。その中、第9薄膜トランジスタM9と第10薄膜トランジスタM10によって放電回路を構成し、第1薄膜トランジスタM1の閾値電圧を記憶して、第1薄膜トランジスタM1の正常動作を保証することができる。本実施形態は、自段出力端OUT<sub>N</sub>がハイレベルを出力する時だけ、薄膜トランジスタのゲートにバイアスを加える。しかし、シフトレジスタのすべての動作プロセスにおいて、自段出力端OUT<sub>N</sub>からハイレベルを出力する時間は非常に短いため、薄膜トランジスタの閾値電圧のシフトにほぼ影響しなく、薄膜トランジスタが長い時間の動作で劣化しないことを保証することができる。要するに、本実施形態に係るシフトレジスタは、低コスト、低消費電力、長寿命の利点に加えて、高安定性、干渉に強いなど特徴がある。

#### 【0024】

図4は、本発明に係るシフトレジスタの第2実施形態の構成概略図である。本実施形態のシフトレジスタの主な構成は、8個の水素化アモルファスシリコン薄膜トランジスタ、2個の蓄積容量、及び対応する入力/出力端、を備える。8個の薄膜トランジスタは、それぞれ第1薄膜トランジスタM1、第2薄膜トランジスタM2、第3薄膜トランジスタM3、第4薄膜トランジスタM4、第5薄膜トランジスタM5、第13薄膜トランジスタM13、第14薄膜トランジスタM14、第15薄膜トランジスタM15である。2個の蓄積容量は、それぞれ第1容量C1、第4容量C4である。入力/出力端は、ローレベル信号端VSS、自段出力端OUT<sub>N</sub>、自段制御出力端X<sub>N</sub>、前段のシフトレジスタから出力信号を受信してスタート信号とする前段入力端、後段のシフトレジスタから出力信号を受信してリセット信号とする後段入力端及び2個のクロック信号端を備える。2個のクロック信号端は、順次に出力する第1クロック信号端CLK1と第2クロック信号端CLK2であり、第2クロック信号が第1クロック信号の反転信号である。

#### 【0025】

図4に示すN段目のシフトレジスタについて、前段のシフトレジスタから出力信号を受信する前段入力端が前段シフトレジスタ入力端INPUT<sub>N-1</sub>、後段のシフトレジスタから出力信号を受信する後段入力端が後段シフトレジスタ入力端INPUT<sub>N+1</sub>である。第1薄膜トランジスタM1～第5薄膜トランジスタM5の接続構成は、上記の本発明にかかるシフトレジスタの第1実施形態と基本的に同じであり、具体的には、第1薄膜トランジスタM1は

、プルアップノードである第1ノードQにゲートが接続され、第1クロック信号端CLK1にソースが接続され、自段出力端OUT<sub>N</sub>にドレインが接続される。第2薄膜トランジスタM2は、プルダウンノードである第2ノードQbにゲートが接続され、自段出力端OUT<sub>N</sub>にソースが接続され、ローレベル信号端VSSにドレインが接続される。第3薄膜トランジスタM3は、第1ノードQにゲートが接続され、ローレベル信号端VSSにソースが接続され、第2ノードQbにドレインが接続される。第4薄膜トランジスタM4は、第2ノードQbにゲートが接続され、ローレベル信号端VSSにソースが接続され、第1ノードQにドレインが接続される。放電モジュールとする第5薄膜トランジスタM5は、自段出力端OUT<sub>N</sub>にゲートとソースが共に接続され、第1クロック信号端CLK1にドレインが接続される。第13薄膜トランジスタM13は、第2クロック信号端CLK2にゲートが接続され、前段シフトレジスタ入力端INPUT<sub>N-1</sub>にソースが接続され、第1ノードQにドレインが接続される。第14薄膜トランジスタM14は、後段シフトレジスタ入力端INPUT<sub>N+1</sub>にゲートが接続され、第1ノードQにソースが接続され、ローレベル信号端VSSにドレインが接続される。第15薄膜トランジスタM15は、第1ノードQにゲートが接続され、第1クロック信号端CLK1にソースが接続され、ドレインが自段制御出力端X<sub>N</sub>として、リセット信号である出力信号を、前段のシフトレジスタにおける第13薄膜トランジスタM13のソースに送信する一方、スタート信号である出力信号を、後段のシフトレジスタにおける第14薄膜トランジスタM14のゲートに送信する。第1容量C1が第1クロック信号端CLK1と第2ノードQbとの間に設置され、第4容量C4が第1薄膜トランジスタM1のゲートとドレインとの間に（第1ノードQと自段出力端OUT<sub>N</sub>との間に）設置される。その中、第5薄膜トランジスタM5は本実施形態の放電モジュールとして機能し、第13薄膜トランジスタM13、第14薄膜トランジスタM14、第15薄膜トランジスタM15及び第4容量C4は、本実施形態の補償モジュールを構成する。実際の使用中、本実施形態の上記技術方案は、水素化アモルファスシリコン薄膜トランジスタだけではなく、他の薄膜トランジスタにも適用されることができる。

10

20

30

40

50

#### 【0026】

図5は、本発明に係るシフトレジスタの第2実施形態の動作シーケンス図である。以下、本発明に係る実施形態の技術方案を、図4と図5に合わせてシフトレジスタの動作プロセスによりさらに説明する。

本実施形態のシフトレジスタの動作は、4段階に分けられ、段階ごとの動作状況は、具体的に以下の通り示す。

#### 【0027】

##### 第1段階T1

本段階において、第1クロック信号端CLK1がハイレベルとなると共に、第2クロック信号端CLK2、前段シフトレジスタ入力端INPUT<sub>N-1</sub>、後段シフトレジスタ入力端INPUT<sub>N+1</sub>が全部ローレベルとなるため、第13薄膜トランジスタM13と第14薄膜トランジスタM14が共にオフ状態となる。第1容量C1の役割で、第1クロック信号端CLK1のハイレベルは、プルダウンノードである第2ノードQbをハイレベルに瞬間に変更させて、第2薄膜トランジスタM2と第4薄膜トランジスタM4をオンさせて、プルアップノードである第1ノードQと自段出力端OUT<sub>N</sub>をローレベル信号端VSSに接続させてローレベルに維持する。第1ノードQのローレベルは、第1薄膜トランジスタM1、第3薄膜トランジスタM3、第5薄膜トランジスタM5、第15薄膜トランジスタM15をオフ状態にする。

#### 【0028】

##### 第2段階T2

第1段階T1が終了した後で本段階に至る時、第1クロック信号端CLK1がローレベルとなり、第2クロック信号端CLK2がハイレベルとなると共に、前段シフトレジスタ入力端INPUT<sub>N-1</sub>が自段シフトレジスタの初期信号とするハイレベルとなり、後段シフトレジスタ入力端INPUT<sub>N+1</sub>がローレベル状態を維持する。第2クロック信号端CLK2と前段のシフトレジスタ入力端INPUT<sub>N-1</sub>が共にハイレベルとなるため、オンされた第13薄膜トランジスタM13によって、前段のシフトレジスタ入力端INPUT<sub>N-1</sub>が出力するハイレベルは、第1ノードQをハイレベルにする。第1ノードQのハイレベルは、第1薄膜トランジスタM1、第3薄膜

トランジスタM3、第15薄膜トランジスタM15を同時にオンさせる。第3薄膜トランジスタM3をオンさせることは、プルダウンノードである第2ノードQbをローレベルにして、第2薄膜トランジスタM2と第4薄膜トランジスタM4をオフ状態にする。この時、第1薄膜トランジスタM1と第15薄膜トランジスタM15がオンされているが、第1クロック信号端CLK1はローレベルとなるため、自段出力端 $OUT_N$ と自段制御出力端 $X_N$ が出力しない。

【0029】

第3段階T3

第2段階T2が終了した後で本段階に至る時、第1クロック信号端CLK1がハイレベルとなり、第2クロック信号端CLK2がローレベルとなると共に、前段シフトレジスタ入力端 $INPUT_{N-1}$ と後段シフトレジスタ入力端 $INPUT_{N+1}$ が共にローレベルとなるため、第13薄膜トランジスタM13と第14薄膜トランジスタM14はオフ状態となる。第1薄膜トランジスタM1のゲートとドレインとの間に第4容量C4が接続されるため、ブートストラップ (bootstrap) 効果によって、第1クロック信号端CLK1のハイレベルの作用で、ハイレベルである第1ノードQを更に向上させて、第1薄膜トランジスタM1、第3薄膜トランジスタM3と第15薄膜トランジスタM15のオン状態の保持を続ける。本段階において、第1クロック信号端CLK1のハイレベルは、第1容量C1を通じて第2ノードQbをハイレベルに変化する傾向があるが、第3薄膜トランジスタM3のオンされることがプルダウンノードである第2ノードQbをローレベル信号端VSSに接続されることによって、第2ノードQbをローレベルにプルダウンして、第2薄膜トランジスタM2と第4薄膜トランジスタM4がオフ状態となる。第1薄膜トランジスタM1のオンされることは、第1クロック信号端CLK1のハイレベルを第1薄膜トランジスタM1を通じて自段出力端 $OUT_N$ から出力されて、ハイレベルである自段出力端 $OUT_N$ が液晶ディスプレイの第N行目のゲートラインを駆動する。第15薄膜トランジスタM15のオンされることは、第1クロック信号端CLK1のハイレベルを第15薄膜トランジスタM15を通じて自段制御出力端 $X_N$ から出力されて、前段のシフトレジスタにリセット信号を、後段のシフトレジスタにスタート信号を出力する。

【0030】

第4段階T4

第3段階T3が終了した後で本段階に至る時、第1クロック信号端CLK1がローレベルとなり、第2クロック信号端CLK2がハイレベルとなると共に、前段シフトレジスタ入力端 $INPUT_{N-1}$ がローレベルとなり、後段シフトレジスタ入力端 $INPUT_{N+1}$ がハイレベルとなる。第2クロック信号端CLK2と後段シフトレジスタ入力端 $INPUT_{N+1}$ のハイレベルは、第13薄膜トランジスタM13と第14薄膜トランジスタM14を同時にオン状態となつて、第1ノードQをローレベルにする。第1ノードQと第2ノードQbが同時にローレベルとなることは、第1薄膜トランジスタM1、第2薄膜トランジスタM2、第3薄膜トランジスタM3、第4薄膜トランジスタM4と第15薄膜トランジスタM15を共にオフ状態にする。第1クロック信号端CLK1がローレベルとなり、自段出力端 $OUT_N$ がハイレベルとなることは、第5薄膜トランジスタM5をオン状態にし、自段出力端 $OUT_N$ がローレベルとなつて第5薄膜トランジスタM5がオフ状態となるまで、第5薄膜トランジスタM5を通じて、自段出力端 $OUT_N$ を第1クロック信号端CLK1に放電させる。その後、第1クロック信号端CLK1と第2クロック信号端CLK2がどのように変化しても、第1ノードQは、ずっとローレベルに保持されて、自段出力端 $OUT_N$ のローレベルを維持する。同時に、次のフレームの初期信号が来るまで、第2ノードQbのレベルは、第1容量C1を通じて、第1クロック信号端CLK1のレベルと合致するように保持され、即ち第1クロック信号端CLK1がハイレベルとなるとき、第2ノードQbのレベルも同じハイレベルとなり、第1クロック信号端CLK1がローレベルとなるとき、第2ノードQbのレベルも同じローレベルとなる。

【0031】

本実施形態のシフトレジスタの動作プロセスから分かるように、本実施形態の技術方案において、第1薄膜トランジスタM1の役割は、自段出力端 $OUT_N$ にハイレベル出力を提供することである。第2薄膜トランジスタM2の役割は、自段出力端 $OUT_N$ をローレベルに保持することである。第3薄膜トランジスタM3の役割は、プルアップノードである第1ノードQ

がハイレベルとなるときに、プルダウンノードである第2ノードQbをローレベルに保持することである。第4薄膜トランジスタM4の役割は、第2ノードQbがハイレベルとなるとき、第1ノードQをローレベルに保持して、第1薄膜トランジスタM1のゲートをローレベルに保持することである。放電モジュールとする第5薄膜トランジスタM5の役割は、放電することであり、第1クロック信号端CLK1がローレベル、自段出力端OUT<sub>N</sub>がハイレベルとなるとき、ハイレベルとなる自段出力端OUT<sub>N</sub>が第5薄膜トランジスタM5を通じて第1クロック信号端CLK1に放電して、自段出力端OUT<sub>N</sub>がローレベルに維持されると共に、自段出力端OUT<sub>N</sub>をローレベルにプルダウンする役割を果たす。第13薄膜トランジスタM13の主な役割は、第2クロック信号端CLK2と前段シフトレジスタ入力端INPUT<sub>N-1</sub>が共にハイレベルとなるとき、前段シフトレジスタ入力端INPUT<sub>N-1</sub>が出力するハイレベルが第13薄膜トランジスタM13を通じて、プルアップノードである第1ノードQに伝送して、第1ノードQをハイレベルにすることである。第14薄膜トランジスタM14の役割は、後段シフトレジスタ入力端INPUT<sub>N+1</sub>がハイレベルを出力する時、第1ノードQの電圧をローレベルにすることである。第15薄膜トランジスタM15の役割は、第15薄膜トランジスタM15のドレインを通じて、前段シフトレジスタに、前段シフトレジスタのリセット信号である出力信号を、後段シフトレジスタに、後段シフトレジスタのスタート信号である出力信号を、送信することである。第1容量C1の役割は、第1クロック信号がハイレベルとなるとき、第1容量C1を通じて、第2ノードQbをハイレベルにして、第2薄膜トランジスタM2と第4薄膜トランジスタM4をオンさせて、第1ノードQと自段出力端OUT<sub>N</sub>をローレベルに維持することである。第4容量C4の役割は、ブートストラップ効果を利用して、第1ノードQのハイレベルを維持することである。

10

20

30

40

50

#### 【0032】

本実施形態に係るシフトレジスタの技術方案において、シフトレジスタの自段出力端OUT<sub>N</sub>は、液晶ディスプレイの対応するゲートラインを駆動するように一つのゲート駆動信号を出力すると共に、他の二つのシフトレジスタから出力信号を受信する。その中の一つの出力信号は、前段シフトレジスタから出力され、自段シフトレジスタの初期信号として用いられる。他の出力信号は、後段シフトレジスタから出力され、自段シフトレジスタのリセット信号として用いられる。シフトレジスタの動作は、同時に2個のクロック信号、1個の前段シフトレジスタからの出力信号、及び1個の後段シフトレジスタからの出力信号により制御される。本実施形態に係るシフトレジスタは、直流電源を採用しなく、クロック信号だけで駆動されるため、消費電力を大幅に低減することができる。本実施形態に係るシフトレジスタは、第2ノードQbがハイレベルとなる時間を減少し、プルダウンノードである第2ノードQbがハイレベルとなる時間を元の時間の二分の一に減少し、即ちハイレベルを第2薄膜トランジスタM2のゲートに印加する時間を減少して、第2薄膜トランジスタM2の閾値電圧の偏移を低減する。本実施形態に係るシフトレジスタは、第2薄膜トランジスタM2と第5薄膜トランジスタM5が共に自段出力端OUT<sub>N</sub>のローレベルを維持し、このようにして、第2薄膜トランジスタM2の動作時間を大幅に減少することができ、さらに第2薄膜トランジスタM2の閾値電圧のシフトを低減する。その中、第2薄膜トランジスタM2のゲートのバイアス電圧のデューティ比が約50%であり、薄膜トランジスタのゲートのバイアス電圧のデューティ比が小さい時、その閾値電圧が徐々に回復することができ、ハイレベルを印加する時間の増加につれてその閾値電圧が増加することができないため、本実施形態が、薄膜トランジスタに対する破壊を低減して、薄膜トランジスタの動作寿命を延びる。同時に、本実施形態の第2ノードQbの電圧は、従来技術の直流駆動方式ではなく、容量駆動方式で、第1クロック信号端CLK1と第1容量C1を用いて第2ノードQbの電圧を駆動する。このように、第2薄膜トランジスタM2と第4薄膜トランジスタM4は、電荷だけで駆動され、電荷によって薄膜トランジスタをオンして、消費電力を減少するだけでなく、同時に薄膜トランジスタの破壊も減少される。本実施形態は、まだ一つの放電モジュールを提供する。当該放電モジュールは、薄膜トランジスタを採用し、かつ自段出力端OUT<sub>N</sub>がハイレベルであり、及び第1クロック信号端CLK1がローレベルである時だけ、当該薄膜トランジスタが動作する。このように、薄膜トランジスタの特性をよく維

持し得、薄膜トランジスタの動作寿命を大幅に延びる。さらに、本実施形態のシフトレジスタは、2個の自段出力端が設置され、その中、一つの自段出力端が液晶ディスプレイの対応するゲートラインを駆動するように一つのゲート駆動信号を出力することを担当し、他の自段出力端が単独な薄膜トランジスタを用いて、前段シフトレジスタに、前段シフトレジスタのリセット信号である出力信号を、後段シフトレジスタに、後段シフトレジスタの初期信号である出力信号を、それぞれ出力することを担当する。このように、従来技術の一つの出力端の遅延によって、後の複数段のシフトレジスタに読み書きの誤りを引き起こすことを避けることができ、動作の安定性を向上させる。そして、本実施形態の技術方案は、特に複数のシフトレジスタを含むゲート駆動器に適用され、後の複数段のシフトレジスタに読み書きの誤りを引き起こすことを避ける。本実施形態は、自段出力端 $OUT_N$ がハイレベルを出力する時だけ、薄膜トランジスタのゲートにバイアスを加える。しかし、シフトレジスタのすべての動作プロセスにおいて、自段出力端 $OUT_N$ からハイレベルを出力する時間は非常に短いため、薄膜トランジスタの閾値電圧のシフトにほぼ影響しなく、薄膜トランジスタが長い時間の動作で劣化しないことを保証することができる。要するに、本実施形態に係るシフトレジスタは、低コスト、低消費電力、長寿命の利点に加えて、高安定性、小遅延など特徴がある。

10

20

30

40

50

#### 【0033】

本発明に係る第1種のゲート駆動器は、シリアルに接続された複数のシフトレジスタを備え、かつ、シリアルに接続された4個のシフトレジスタが一つのシフトレジスタセットを構成する。各シフトレジスタのそれぞれは、3個のクロック信号を受信するクロック信号端と、ゲート駆動信号を対応するゲートラインに送信する自段出力端と、自段シフトレジスタの初期信号として前段シフトレジスタからの出力信号を受信する前段シフトレジスタ入力端と、自段シフトレジスタの補償信号として3段前シフトレジスタからの出力信号を受信する3段前シフトレジスタ入力端と、を具備する。なお、シフトレジスタ毎は、ローレベル信号端に接続される。

#### 【0034】

図6は、本発明に係る第1種のゲート駆動器の構成概略図である。シフトレジスタのセットの4個のシフトレジスタは、それぞれ第 $N-3$ 段目のシフトレジスタ $SR_{N-3}$ 、第 $N-2$ 段目のシフトレジスタ $SR_{N-2}$ 、 $N-1$ 段目のシフトレジスタ $SR_{N-1}$ 、及び $N$ 段目のシフトレジスタ $SR_N$ である。各シフトレジスタのそれぞれは、図2に示す構成を備える。本実施形態のゲート駆動器は、クロック信号発生器によって、連続する4個のクロック信号を生成し、第1クロック信号端 $CLK1$ 、第2クロック信号端 $CLK2$ 、第3クロック信号端 $CLK3$ 、及び第4クロック信号端 $CLK4$ にそれぞれ提供する。各シフトレジスタのそれぞれは、4個のクロック信号端のうち3個のクロック信号端に、所定の順序で接続される。

#### 【0035】

$N$ 段目のシフトレジスタ $SR_N$ を例とし、その入力/出力端は、具体的に、第1クロック信号端 $CLK1$ 、第2クロック信号端 $CLK2$ 、第4クロック信号端 $CLK4$ 、自段出力端 $OUT_N$ 、 $N-1$ 段目のシフトレジスタ出力端 $OUT_{N-1}$ からの出力信号を受信する前段シフトレジスタ入力端 $INPUT_{N-1}$ と、及び第 $N-3$ 段目のシフトレジスタ出力端 $OUT_{N-3}$ からの出力信号を受信する3段前シフトレジスタ入力端 $INPUT_{N-3}$ である。自段出力端 $OUT_N$ は、初期信号としての出力信号を後段（第 $N+1$ 段目）のシフトレジスタに出力し、補償信号としての出力信号を後の第3段目（第 $N+3$ 段目）のシフトレジスタに出力する。

本発明に係る第1種のゲート駆動器の動作プロセスについては、本発明に係るシフトレジスタの第1実施形態においてすでに詳細に説明したため、ここで、重複な説明を省略する。

#### 【0036】

本発明に係る第2種のゲート駆動器は、シリアルに接続された複数のシフトレジスタを備え、各シフトレジスタのそれぞれは、2個のクロック信号を受信するクロック信号端と、ゲート駆動信号を対応するゲートラインに送信する自段出力端と、信号を前段シフトレジスタと後段シフトレジスタに出力する自段制御出力端と、自段シフトレジスタ

の初期信号として前段シフトレジスタからの出力信号を受信する前段シフトレジスタ入力端と、自段シフトレジスタのリセット信号として後段シフトレジスタからの出力信号を受信する後段シフトレジスタ入力端と、を具備する。なお、シフトレジスタ毎は、ローレベル信号端に接続される。

【0037】

図7は、本発明に係る第2種のゲート駆動器の構成概略図であり、その中、N-1段目のシフトレジスタ $SR_{N-1}$ 、N段目のシフトレジスタ $SR_N$ 、及びN+1段目のシフトレジスタ $SR_{N+1}$ 、を備え、各シフトレジスタのそれぞれは、図4に示す構成を備える。本実施形態のゲート駆動器は、クロック信号発生器によって、連続する2個のクロック信号を生成し、第1クロック信号端CLK1、及び第2クロック信号端CLK2にそれぞれ提供する。その中、第2クロック信号は、第1クロック信号の反転信号である。

10

【0038】

N段目のシフトレジスタ $SR_N$ を例とし、その入力/出力端は、具体的に、第1クロック信号端CLK1、第2クロック信号端CLK2、自段出力端 $OUT_N$ 、自段制御出力端 $X_N$ 、N-1段目のシフトレジスタ出力端 $OUT_{N-1}$ からの出力信号を受信する前段シフトレジスタ入力端 $INPUT_{N-1}$ と、及びN+1段目のシフトレジスタ出力端 $OUT_{N+1}$ からの出力信号を受信する後段シフトレジスタ入力端 $INPUT_{N+1}$ である。自段制御出力端 $X_N$ は、初期信号としての出力信号を後段（第N+1段目）のシフトレジスタに出力し、リセット信号としての出力信号を前段（N-1段目）のシフトレジスタに出力する。

本発明に係る第2種のゲート駆動器の動作プロセスについては、本発明に係るシフトレジスタの第2実施形態においてすでに詳細に説明したため、ここで、重複な説明を省略する。

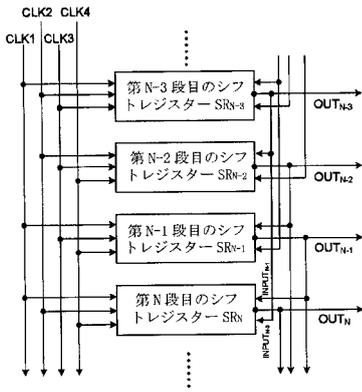
20

【0039】

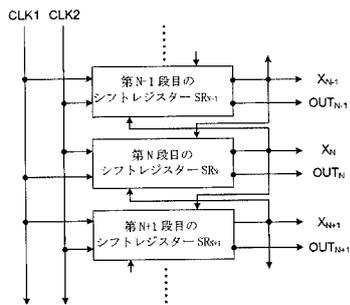
最後に説明すべきは、以上の実施形態は本発明の技術的方案を説明するためのもので、限定を意図しない。上記の最適な実施形態にしたがって本発明を詳しく説明したが、上記の実施形態に記載の技術的方案を修正したり、その部分的な技術的特徴を均等物に取り替えたりすることができ、その修正や取替えは該当する技術的方案の本質が本発明の実施形態の技術的方案の趣旨と範囲を脱出することに繋がらないことは当業者にとって理解するところである。



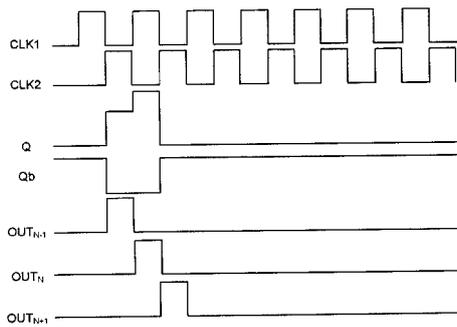
【 図 6 】



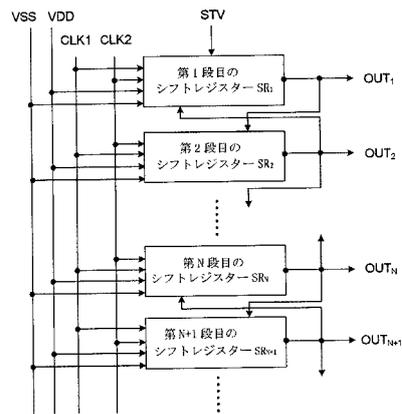
【 図 7 】



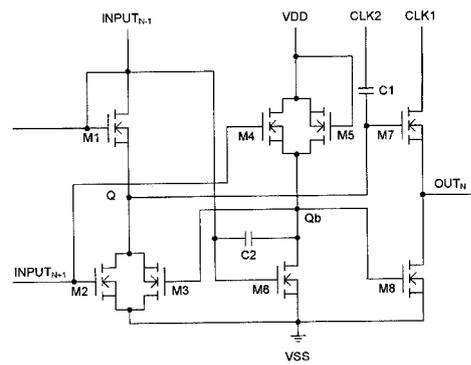
【 図 10 】



【 図 8 】



【 図 9 】



---

フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 2 F 1/133 5 0 5

Fターム(参考) 2H193 ZA04 ZC25 ZF23 ZF32

5C006 BB16 BC03 BC20 BF03 FA11 FA33 FA47 FA51

5C080 AA10 BB05 DD08 DD09 DD26 DD27 DD29 JJ03 JJ04 KK43

KK47