



Государственный комитет  
СССР  
по делам изобретений  
и открытий

# О П И С А Н И Е ИЗОБРЕТЕНИЯ

## К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 936424

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 31.10.80 (21) 2999682/18-21

с присоединением заявки № -

(23) Приоритет -

Опубликовано 15.06.82. Бюллетень № 22

Дата опубликования описания 15.06.82

(51) М. Кл.<sup>3</sup>

Н 03 К 13/22

(53) УДК 621.395.  
.43(088.8)

(72) Авторы  
изобретения

С. Н. Яблоновский, В. А. Ардашев и Л. Ф. Матвеев

(71) Заявитель

(54) ДЕЛЬТА-МОДУЛЯТОР

1

Изобретение относится к импульсной технике и может быть использовано для цифровой передачи сообщений.

Известен дельта-модулятор, содержащий компаратор, первый вход которого соединен с шиной входного сигнала, второй вход соединен с выходом интегратора, а выход соединен с выходом регистра сдвига, эквивалентор и инвертор [1].

Недостатком этого устройства является низкая точность.

Известно устройство, содержащее компаратор, первый вход которого соединен с шиной входного сигнала, второй вход через двойной интегратор соединен с выходом перемножителя, а выход подключен ко входу регистра сдвига, синхронизирующий вход которого соединен с шиной тактового сигнала, а выходы всех разрядов соединены с соответствующими входами первого эквивалентора, первый вход перемножителя соединен с шиной входного сигнала и с выходом первого разряда регистра сдвига, выход первого

2

ключа объединен с выходом второго ключа и через конденсатор соединен с общей шиной, вход второго ключа соединен через источник тока разряда с общей шиной, управляющий вход первого ключа соединен с выходом инвертора [2].

Недостатком этого устройства также является его низкая точность.

Цель изобретения - повышение точности.

Поставленная цель достигается тем, что в дельта-модулятор, содержащий компаратор, первый вход которого соединен с шиной входного сигнала, второй вход через двойной интегратор соединен с выходом перемножителя, а выход подключен ко входу регистра сдвига, синхронизирующий вход которого соединен с шиной тактового сигнала, а выходы всех разрядов соединены с соответствующими первыми эквиваленторами, первый вход перемножителя соединен с шиной входного сигнала и с выходом первого разряда регистра сдвига, выход первого

5

10

15

20

ключа объединен с выходом второго ключа и через конденсатор соединен с общей шиной, вход второго ключа соединен через источник тока разряда с общей шиной, управляющий вход первого ключа соединен с выходом инвертора, введены второй и третий эквиваленторы и управляемый источник тока, причем второй вход перемножителя соединен с выходом первого ключа, вход которого соединен с выходом управляемого источника тока, первый вход которого соединен с выходом первого эквивалентора, а второй вход соединен с выходом второго эквивалентора, входы которого соединены соответственно с выходами первого, второго и третьего разрядов регистра сдвига, выход третьего эквивалентора соединен с входами инвертора и второго ключа, входы третьего эквивалентора соединены соответственно с выходами первого и второго разрядов регистра сдвига.

На чертеже представлена блок-схема дельта-модулятора.

Дельта-модулятор содержит компаратор 1, первый вход которого соединен с шиной 2 входного сигнала, второй вход через двойной интегратор 3 соединен с выходом перемножителя 4, а выход подключен ко входу регистра 5 сдвига, синхронизирующий вход которого соединен с шиной 6 тактового сигнала, а выходы всех разрядов соединены с соответствующими входами эквивалентора 7. Первый вход перемножителя 4 соединен с выходом первого разряда регистра 5 сдвига и с шиной 8 выходного сигнала, выход ключа 9 соединен с выходом ключа 10, со вторым входом перемножителя 4 и через конденсатор 11 соединен с общей шиной, вход ключа 10 соединен с выходом эквивалентора 12, через источник 13 тока разряда с общей шиной и через инвертор 14 с управляющим входом ключа 9, вход которого соединен с выходом управляемого источника 15, первый вход которого соединен с выходом эквивалентора 7, а второй вход соединен с выходом эквивалентора 16, входы которого соединены соответственно с первым, вторым и третьим разрядами регистра 5, входы эквивалентора 12 соединены с первым и вторым разрядами регистра 5 сдвига.

Дельта-модулятор работает следующим образом.

Входной аналоговый сигнал, подвергаемый цифровому преобразованию подается на шину 2 на первый вход компаратора 1, на второй вход которого поступает од-

новременно аппроксимирующее напряжение, которое вырабатывается интегратором 3 модулятора. Входной сигнал и аппроксимирующее напряжение сравниваются и сигнал ошибки квантуется по уровню компаратором 1. Квантованный сигнал ошибки поступает на один вход регистра 5 сдвига, на синхронизирующий вход которого с шины 6 подается сигнал с тактовой частотой дискретизации. В регистре 5 сдвига накапливается четыре последних решения компаратора 1. Эквивалентор 7 формирует сигнал с соответствующим логическим уровнем при наличии в выходных сигналах регистра 5 четырех символов одного знака. Аналогично, эквиваленторы 16 и 12 формируют сигналы с соответствующими уровнями при наличии в выходных сигналах регистра 5 трех и двух символов одного знака соответственно. Сигналы с выходов эквиваленторов 7 и 16 поступают на соответствующие входы управляемого источника 15 тока со ступенчатой характеристикой. Последний может иметь три значения выходного тока  $i_1, i_2$  и  $i_3$ , причем  $i_1 < i_2 < i_3$ , где  $i_1$  - ток при отсутствии сигнала на выходах эквиваленторов 7 и 16,  $i_2$  - ток, при наличии сигнала на выходе эквивалентора 16,  $i_3$  - ток, при наличии сигнала на выходе эквивалентора 7.

Сигнал с выхода эквивалентора 12 поступает на управляющий вход ключа 10 и на вход инвертора 14, инвертированный сигнал с выхода последнего поступает на управляющий вход ключа 9. Интегрирующий конденсатор 11 через ключ 9 и 10 подсоединяется либо к выходу источника 15 тока со ступенчатой характеристикой при заряде, либо к источнику 13 тока разряда в зависимости от логического уровня на выходе эквивалентора 12. Напряжение с интегрирующего конденсатора 11 поступает на второй вход перемножителя 4, выходной ток которого пропорционален напряжению на интегрирующем конденсаторе 11, а затем выходного тока определяется логическим уровнем сигнала, с выхода первого разряда регистра 5 сдвига. Выходной ток перемножителя 4 поступает на двойной интегратор 3, на котором формируется аппроксимирующее напряжение, непрерывно поступающее на вход компаратора 1. Если уровень входного сигнала мал, то частота появления, четырех и трех следующих подряд символов одного знака на выходе дельта-модулятора неве-

лика, поэтому на выходах эквиваленторов 7 и 16 имеются такие потенциалы, что источник 15 тока генерирует ток  $i_1$ , линейно заряжая через ключ 9 интегрирующий конденсатор 11. Если амплитуда входного сигнала увеличивается, то увеличивается частота появления трех следующих подряд символов одного знака на выходе устройства, поэтому соответствующий потенциал с выхода эквивалентора 16 устанавливает источник 15 тока в такое состояние, что он генерирует ток  $i_2$ , а интегрирующий конденсатор 11 заряжается с большей скоростью, обеспечивая тем самым большую скорость нарастания аппроксимирующего напряжения и возможность сложения без перегрузки за входным аналоговым сигналом. Аналогичным образом с дальнейшим ростом амплитуды входного сигнала происходит компандирование по четырем символам одного знака на выходе дельта-модулятора, при этом интегрирующий конденсатор 11 линейно заряжается током  $i_3$ . Если на вход дельта-модулятора сигнал подан со спектральными составляющими, лежащими в области верхней граничной частоты передаваемых сообщений, то компандирование осуществляется по двум и трем символам одного знака, при этом источник 15 тока со ступенчатой характеристикой генерирует ток, равный  $a_1 i_1 + a_2 i_2$ , где  $a_1$  и  $a_2$  — коэффициенты, зависящие от уровня спектральных составляющих входного сигнала. В общем случае ток заряда интегрирующего конденсатора 11 равен  $a_1 i_1 + a_2 i_2 + a_3 i_3$ , где  $a_1, a_2, a_3$  — коэффициенты, зависящие от уровня и частоты входного сигнала, изменяющиеся таким образом при соответствующем подборе соотношения токов  $i_1, i_2$  и  $i_3$ , что закон компандирования повторяет с достаточной степенью точности перегрузочную характеристику дельта-модулятора, что позволяет улучшить точность дельта-модулятора.

### Ф о р м у л а и з о б р е т е н и я

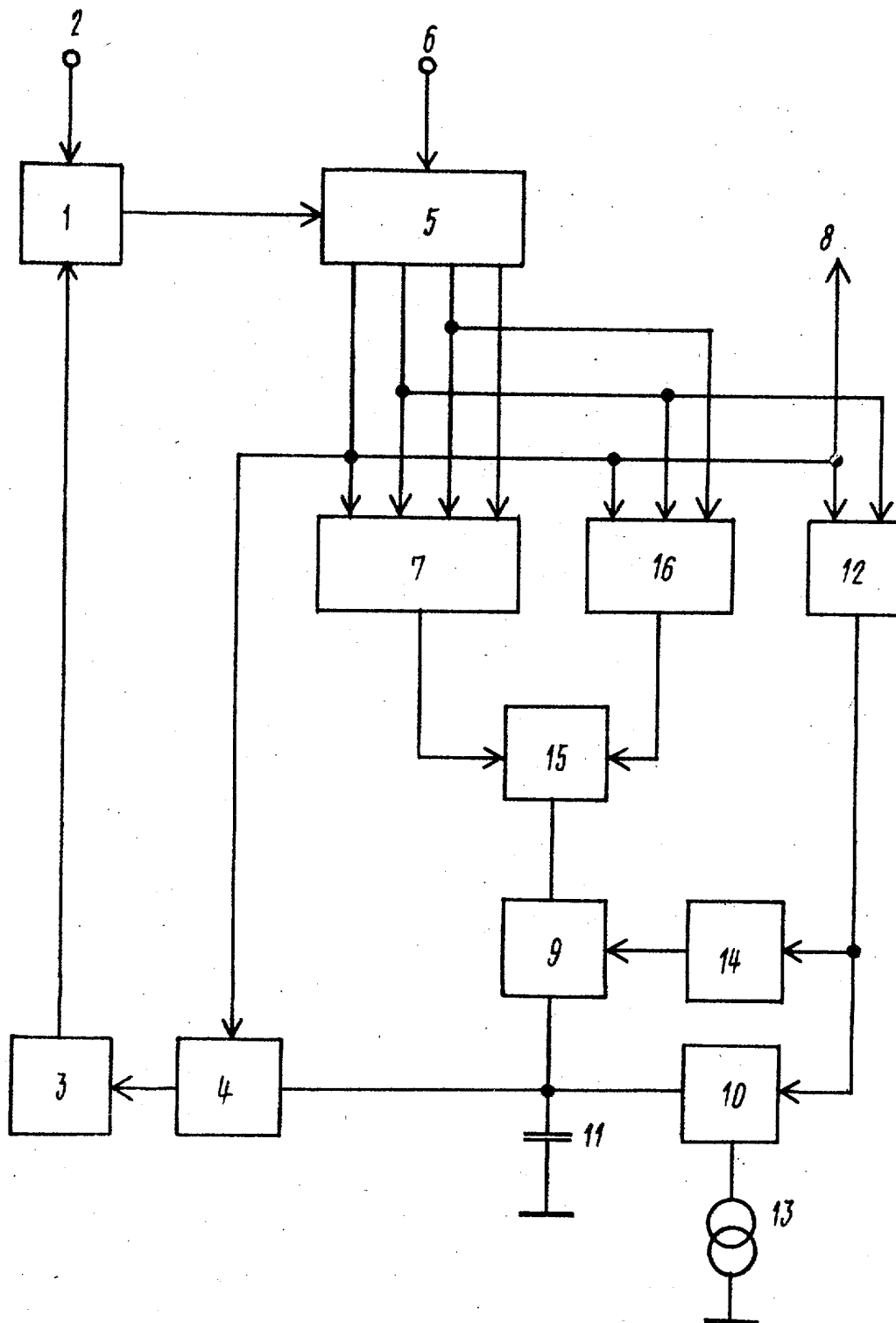
Дельта-модулятор, содержащий компаратор, первый вход которого соединен с шиной входного сигнала, второй вход через двойной интегратор соединен с выходом перемножителя, а выход подключен к входу регистра сдвига, синхронизирующий вход которого соединен с шиной тактового сигнала, а выходы всех разрядов соединены с соответствующими входами первого эквивалентора, первый вход перемножителя соединен с шиной выходного сигнала и с выходом первого разряда регистра сдвига, выход первого ключа объединен с выходом второго ключа и через конденсатор соединен с общей шиной, вход второго ключа соединен через источник тока разряда с общей шиной, управляющий вход первого ключа соединен с выходом инвертора, от л и ч а ю щ и й с я тем, что, с целью повышения точности, в него введены второй и третий эквиваленторы и управляемый источник тока, причем второй вход перемножителя соединен с выходом первого ключа, вход которого соединен с выходом управляемого источника тока, первый вход которого соединен с выходом первого эквивалентора, а второй вход соединен с выходом второго эквивалентора, входы которого соединены соответственно с выходами первого, второго и третьего разрядов регистра сдвига, выход третьего эквивалентора соединен с входами инвертора и второго ключа, входы третьего эквивалентора соединены соответственно с выходами первого и второго разрядов регистра сдвига.

Источники информации,

принятые во внимание при экспертизе  
1. Авторское свидетельство СССР № 752799, кл. Н 03 К 13/22, 10.07.78.

2. "Proc. Int. Zurich Seminar Digital Commun. Digital Transmiss and Swich Lokal Networks, 1978", New York, № 4, 1978, в. 3.2

Fig. 2a, (прототип).



Составитель Н. Коновалов

Редактор И. Митровка Техред Л. Пекарь Корректор М. Шароши

Заказ 4258/76

Тираж 959

Подписное

ВНИИПИ Государственного комитета СССР

по делам изобретений и открытий

113035, Москва, Ж-35, Раушская наб., д. 4/5

Финанс ППП "Патент", г. Ужгород, ул. Проектная, 4