

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2009年7月9日 (09.07.2009)

PCT

(10) 国際公開番号
WO 2009/084301 A1

- (51) 国際特許分類:
H01L 23/32 (2006.01)
- (21) 国際出願番号: PCT/JP2008/068383
- (22) 国際出願日: 2008年10月9日 (09.10.2008)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
61/017,430 2007年12月28日 (28.12.2007) US
61/038,949 2008年3月24日 (24.03.2008) US
- (71) 出願人 (米国を除く全ての指定国について): イビデン株式会社 (IBIDEN CO., LTD.) [JP/JP]; 〒5038604 岐阜県大垣市神田町2丁目1番地 Gifu (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 坂本一 (SAKAMOTO, Hajime) [JP/JP]; 〒5038604 岐阜県

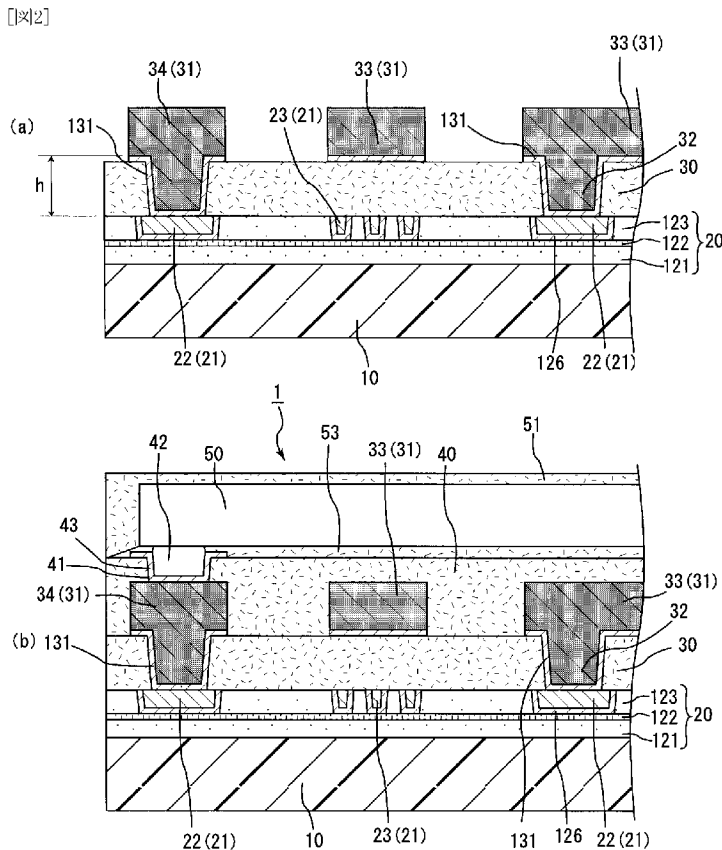
大垣市神田町2丁目1番地 イビデン株式会社内 Gifu (JP). 古谷俊樹 (FURUTANI, Toshiki) [JP/JP]; 〒5038604 岐阜県大垣市神田町2丁目1番地 イビデン株式会社内 Gifu (JP). 瀬川博史 (SEGAWA, Hiroshi) [JP/JP]; 〒5038604 岐阜県大垣市神田町2丁目1番地 イビデン株式会社内 Gifu (JP).

- (74) 代理人: 安富康男, 外(YASUTOMI, Yasuo et al.); 〒5320003 大阪府大阪市淀川区宮原3丁目5番36号 新大阪MT-2ビル Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI,

[続葉有]

(54) Title: INTERPOSER AND INTERPOSER MANUFACTURING METHOD

(54) 発明の名称: インターポージャー及びインターポージャーの製造方法



(57) Abstract: Provided is an interposer which suitably relaxes stress concentration of a via conductor and the like to a conductor section, even when a semiconductor element generated heat. The interposer is provided with at least one inorganic insulating layer; a first wiring formed inside or on the surface of the inorganic insulating layer; at least one organic insulating layer formed on the inorganic insulating layer and the first wiring on the outermost layer; a second wiring formed on the surface of the inorganic insulating layer; and a conductor section which connects the first wiring and the second wiring.

(57) 要約: 本発明は、半導体素子が発熱した際においても、ビア導体等の導体部への応力集中を好適に緩和させることが可能なインターポージャーを提供することを目的とするものであり、本発明のインターポージャーは、少なくとも1層の無機絶縁層と、上記無機絶縁層の内部又は表面上に形成されてなる第1配線と、最外層の無機絶縁層上及び上記第1配線上に形成されてなる、少なくとも1層の有機絶縁層と、上記有機絶縁層の表面上に形成されてなる第2配線と、上記第1配線と上記第2配線とを接続

する導体部とからなることを特徴とする。

WO 2009/084301 A1



NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY,

添付公開書類:
— 国際調査報告書

明 細 書

インターポーター及びインターポーターの製造方法

技術分野

[0001] 本発明は、インターポーター及びインターポーターの製造方法に関する。

背景技術

[0002] ロジック、メモリなどの半導体素子が搭載される中間基板として、インターポーターと呼ばれる基板が用いられている。

[0003] 特許文献1には、Siの表面に SiO_2 からなる無機絶縁層が形成されており、無機絶縁層の表面に銅めっきによってパターンが形成されてなるインターポーター、及び、半導体素子が搭載された半導体装置が開示されている。

[0004] また、特許文献2には、配線層を多層化したインターポーター、及び、半導体素子が搭載された半導体装置が開示されており、特許文献2に記載のインターポーターの各配線層には、絶縁層としてポリイミド樹脂等の樹脂が用いられており、配線がめっき法によって形成されている。

特許文献1:特開2006-19368号公報

特許文献2:特開2006-294692号公報

発明の開示

発明が解決しようとする課題

[0005] 特許文献1に記載されたような、全ての絶縁層が SiO_2 等の無機絶縁層からなるインターポーターにおいては、例えば半導体素子が作動して発熱した際に、無機絶縁層内(例えば、ビア導体のボトムランドと無機絶縁層との境界部分)にクラックが発生することがあった。

[0006] これらの現象は、絶縁層の材料が、熱膨張係数が小さく且つヤング率の大きい材料である SiO_2 であるために、ビア導体を構成する銅が半導体素子の発熱により膨張した際に、絶縁層が銅から受ける熱応力を緩和させることが困難であるため、この熱応力がビア導体の底部に集中するために生じるものと推測される。

[0007] また、特許文献2に記載されたような、全ての絶縁層がポリイミド樹脂等の有機絶縁層

からなるインターポージャーにおいても、半導体素子が発熱した際に、ビアランドとビア導体とが剥離することがあった。

[0008] 有機絶縁層を構成する樹脂は、ヤング率が低いため、半導体素子が発熱した際に銅から受ける熱応力がある程度緩和することができ、熱応力がビア導体の底部に集中することを防止することができるものと推測される。

しかし、樹脂はその熱膨張係数が相対的に大きいため、半導体素子が発熱した際に樹脂自体が膨張して、その樹脂の膨張に起因してビアランド及びビア導体の底部が引っ張り応力を受けると推測される。そして、ビアランドが受けた引っ張り応力がビア導体の底部に伝わってビアランドとビア導体との剥離が生じるものと推測される。

[0009] 本発明は、上記のような問題に鑑み、例えば半導体素子が発熱した際においても、ビア導体等の導体部への応力集中を好適に緩和させることが可能なインターポージャーを提供すること、及び、そのようなインターポージャーの製造方法を提供することを目的とする。

課題を解決するための手段

[0010] 請求項1に記載のインターポージャーは少なくとも1層の無機絶縁層と、上記無機絶縁層の内部又は表面上に形成されてなる第1配線と、最外層の無機絶縁層上及び上記第1配線上に形成されてなる、少なくとも1層の有機絶縁層と、上記有機絶縁層の表面上に形成されてなる第2配線と、上記第1配線と上記第2配線とを接続する導体部とからなることを特徴とする。

[0011] 請求項1に記載のインターポージャーにおいては、導体部の底部の周囲には有機絶縁層が存在する。そのため、例えば半導体素子の発熱により導体部が膨張した場合であっても、導体部の底部の周囲にある有機絶縁層が導体部から受ける熱応力を緩和させることが可能となる。そのため、熱応力が導体部の底部に集中することが抑制され、ひいては絶縁層内にクラックが生じることを抑制することが可能となる。

[0012] しかしながら、例えば半導体素子の発熱により有機絶縁層が膨張した際においては、そうした有機絶縁層の膨張とその後の収縮に起因して導体部に対して引っ張り応力が生じ、この引っ張り応力により第1配線から、バイアホール又はスルーホールとし

て機能する導体部が剥離するといった問題が生じる可能性がある。このような問題に対して、本実施形態では有機絶縁層の下面に無機絶縁層を一体で設けることで、剛性を確保し、ひいては導体部に対する有機絶縁層の引っ張り応力を低減させることで、剥離の問題の解消を図っている。

[0013] 請求項2に記載のインターポージャーでは、上記第2配線は、上記第1配線よりも厚さが厚い。

例えば半導体素子の発熱によりインターポージャーに熱が加わった場合は、半導体素子とインターポージャーとの間の熱膨張係数差に起因して、インターポージャーに反りが生じることがある。これは、半導体素子に対して有機絶縁層の熱膨張係数が格段に大きいことに起因するものと推測される。仮に、半導体素子に対してインターポージャーが反ってしまうと、双方の接続信頼性が低下して品質が落ちる可能性がある。しかしながら、本実施形態のように、第1配線よりも相対的に厚い第2配線と、ヤング率の大きい無機絶縁層との間に有機絶縁層を設けることにより、ヤング率の大きい第2配線と無機絶縁層とで有機絶縁層が挟持されるため、インターポージャーに剛性が付与される。その結果、上記熱膨張係数の相違に起因したインターポージャーの反りが抑制される。

[0014] また、請求項3に記載のインターポージャーでは、第1配線の厚みに対する第2配線の厚みの割合は、1より大きく15以下である。この範囲であれば、第2配線が厚いため、上述したようにインターポージャーの反りが抑えられるとともに、例えば熱履歴により有機絶縁層が膨張収縮した際も第2配線と有機絶縁層との密着を確保することが容易となる。すなわち、第1配線の厚みに対する第2配線の厚みの割合が1未満の場合は、インターポージャーの剛性が十分に確保されず、半導体素子とインターポージャーとの間の熱膨張係数の相違に起因してインターポージャーに反りが生じる可能性がある。一方、第1配線の厚みに対する第2配線の厚みの割合が15を超える場合は、仮に配線幅が同じだと仮定すると第2配線のアスペクト比が大きくなってしまい、例えば熱履歴により有機絶縁層が膨張収縮した際にはその有機絶縁層の膨張収縮に第2配線が容易に追従してしまい、有機絶縁層に対する第2配線の密着性が低下する可能性がある。

- [0015] 請求項4に記載のインターポージャーでは、上記第1配線の厚みに対する上記導体部の高さの割合は5以下である。これによれば、有機絶縁層の膨張収縮に起因して生じる応力が導体部に与える影響を極力低減することが可能となる。
- [0016] 請求項5に記載のインターポージャーにおいては、上記第1配線よりも上記第2配線の配線長が長い。また、請求項6に記載のインターポージャーでは、上記第2配線は、上記第1配線よりも断面積が大きい。
第2配線の形状をこのような形状とすると、第2配線の配線抵抗を小さくすることが可能となる。
- [0017] 請求項7に記載のインターポージャーでは、上記第2配線は、上記第1配線よりも単位長さあたりの配線抵抗が小さい。
第2配線の単位長さあたりの配線抵抗を小さくすることによって、大容量の信号伝送、高速信号伝送に適したインターポージャーとすることができる。なお、配線抵抗の測定方法は、特に限定されるものではない。例えばプローブを介して特定の配線に抵抗測定器を接続することで配線抵抗が測定される。測定機器としては、例えばアジレント・テクノロジー株式会社製のインピーダンス・ゲインフェーズアナライザ(型番:4194A)が挙げられる。
また、請求項8に記載のインターポージャーでは、上記第1配線は、上記第2配線よりも L/S が小さい。
これによれば、無機絶縁層の内部又は無機絶縁層の表面上の第1配線を用いてファイナ配線の引き回しが可能となる。
- [0018] 請求項9に記載のインターポージャーでは、最外層の有機絶縁層の表面には、保護膜が形成されてなる。
これによれば、内方の配線層が保護され、それらの損傷を抑制することが可能となる。
- [0019] 請求項10に記載のインターポージャーでは、上記最外層の無機絶縁層と上記有機絶縁層との間に形成された無機薄膜をさらに備える。
無機絶縁層と有機絶縁層との間に無機薄膜が設けられていると、無機絶縁層と有機絶縁層との間の密着性を向上させることができる。

[0020] 請求項11に記載のインターポージャーは、さらに支持基板を備え、上記無機絶縁層が上記支持基板上に形成されている。また、請求項12に記載のインターポージャーでは、上記支持基板はシリコンである。

支持基板を有することによって、剛性が高められるため、熱膨張によるインターポージャーの反りを低減することができる。また、シリコンからなる支持基板は平坦度が極めて高いため、その表面上に微細な配線を形成することが可能となる。さらに、搭載される半導体素子とインターポージャーとの間の熱膨張係数の相違による、インターポージャーの反りをより抑制することができる。

[0021] 請求項13に記載のインターポージャーにおいて、上記第1配線は、上記無機絶縁層の内部に形成されてなる。また、請求項14に記載のインターポージャーにおいては、上記第1配線の表面と、上記無機絶縁層の表面とが略同一平面上にある。この表面が平坦であると、その面の上に第2絶縁層、導体部、第2配線等を精度よく形成することができ、且つ、平坦性の高いインターポージャーとすることができる。

[0022] 請求項15に記載のインターポージャーは、さらに、上記有機絶縁層の表面上に形成され、半導体素子を搭載するパッド群と、当該パッド群を露出させる開口又は凹部を有するスティフナと、を有する。

スティフナが設けられることで、インターポージャーの剛性が向上する。その結果、例えば半導体素子との熱膨張係数差に起因する熱応力に対してもインターポージャーが十分に耐えられるようになり、インターポージャー全体が反りにくくなる。それゆえ、半導体素子とインターポージャーとの接合部分(半田バンプ等の外部接続端子)におけるクラックの発生も抑制される。

[0023] 請求項16に記載のインターポージャーの製造方法は、支持基板上に無機絶縁層を形成する工程と、

上記無機絶縁層の内部又は表面上に第1配線を形成する工程と、

最外層の無機絶縁層上及び上記第1配線上に有機絶縁層を形成する工程と、

上記有機絶縁層の表面に第2配線を形成するとともに、上記第2配線と上記第1配線を電氣的に接続する導体部を形成する工程と、を有することを特徴とする。

このような工程によると、例えば半導体素子が発熱した際においても、導体部にかか

る応力を効果的に低減でき、ひいては絶縁層内にクラックが生じることがなく、また、導体部とビアランドとの剥離が生じることのないインターポージャーを製造することができる。

[0024] 請求項17に記載のインターポージャーの製造方法は、上記第1配線をダマシン法により形成する。

ダマシン法を用いることによって、第1配線を微細配線にして精度よく形成することができる。さらに、平坦性の高い配線を形成することが可能となる。

[0025] 請求項18に記載のインターポージャーの製造方法においては、上記第2配線をセミアディティブ法により形成する。

セミアディティブ法を用いることによって、第2配線を低コストで精度良く形成することができる。

[0026] 請求項19に記載のインターポージャーの製造方法においては、上記支持基板を除去する工程を含む。

支持基板を除去することによって、厚さが薄く、半導体素子を搭載した際の実装高さの低いインターポージャーを製造することができる。

発明を実施するための最良の形態

[0027] 以下、本発明の実施形態を説明する。

図1は、本発明のインターポージャーが用いられる態様の一例を模式的に示す断面図である。

本実施形態のインターポージャー1は、図1に示すように、半導体素子50とプリント配線板100との間に介在される。

半導体素子50とインターポージャー1は、例えばバンプ42を介して接続されている。インターポージャー1とプリント配線板100は、例えばワイヤー110を介して接続されている。

[0028] (第一実施形態)

図2(a)は、本発明のインターポージャーの一例の一部分を模式的に示す断面図であり、

図2(b)は、図2(a)に示すインターポージャーに保護膜が設けられ、半導体素子が搭

載された形態の一例を模式的に示す断面図である。

本実施形態のインターポージャー1は、支持基板10と、無機材料よりなる無機絶縁層20と、無機絶縁層20の内部に形成された第1配線21と、有機材料よりなる有機絶縁層30と、有機絶縁層30の表面に形成された第2配線31と、第1配線21と第2配線31とを電氣的に接続する導体部としてのビア導体とを有する。図2(b)には、本実施形態のインターポージャーにさらに保護膜40が設けられ、半導体素子50が搭載された様子を示している。

以下、これら各部位の詳細について、図2(a)及び図2(b)を参照して、下側から順次説明する。

[0029] まず、支持基板10について説明する。

本実施形態における支持基板10を形成する材料としては、シリコン、窒化珪素、炭化珪素、窒化アルミニウム、ムライト等が挙げられる。それらのうち、表面の平坦度が高く、微細な配線を形成できるといった観点で、シリコンを用いることが好ましい。この支持基板10の厚みとしては特に限定されないが、30～800 μm が好ましい。支持基板10の厚みが30 μm 未満の場合は、インターポージャーの剛性が確保できない可能性がある。一方、支持基板10の厚みが800 μm を超える場合は、インターポージャー全体の厚みが増加してしまい好ましくない。

本実施形態における無機絶縁層20は、 SiO_2 (二酸化珪素)、 Si_3N_4 (窒化珪素)等の無機材料よりなる層である。具体的な層構成の一例については本実施形態のインターポージャーの製造方法の項で説明する。

[0030] 第1配線21は、複数のビアランド22と、所定のビアランド22間を電氣的に接続する配線部23とからなる。すなわち、無機絶縁層20の内部に形成された第1配線21の一部には、ビア導体と接続されるビアランド22が形成されており、所定のビアランド22間は配線部23により接続されている。

[0031] 第1配線21は、無機絶縁層20の内部に、ビアランド22の表面を含む第1配線21の表面が無機絶縁層20の表面と略同一平面に位置するように形成されている。

また、第1配線21は、銅めっき及び銅めっきの下のシード層126からなる。シード層の構成の一例については本実施形態のインターポージャーの製造方法の項で説明す

る。

[0032] 本実施形態において、第1配線21はダマシン法によって形成されており、第1配線21のL/Sは後述する第2配線31のL/Sと比べて小さくなっている。

なお、第1配線のL/Sは、特に限定されるものではなく、L/S=1 μ m/1 μ m程度であることが望ましいが、それよりもファインであってもよい。

なお、ここでいう第1配線のL/Sとは、ビアランド22を除いた配線部23のL/Sのことである。

この第1配線21の厚みは、後述する第2配線の厚みよりも小さい。本実施形態における第1配線21の厚みは特に限定されるものではないが、2 μ m以下であることが好ましい。第1配線21の厚みが2 μ m以下の場合、配線のファイン化が可能となるほか、プロセスが容易となり、コスト低減が図られる。

[0033] また、第1配線21はダマシン法によって形成されているため、無機絶縁層20及び第1配線21からなる表面は平坦になっている。

[0034] また、本実施形態においては、ビアランド22の径は後述するビア導体の径よりも大きくなっている。なお、ビアランドの径とビア導体の径を比較する際には、ビアランドとビア導体が接触する面どうしの径を比較すればよい。

[0035] 本実施形態における有機絶縁層30は、有機材料よりなり、無機絶縁層20上及び第1配線21上に形成されている。この有機絶縁層30は、開口36(図6(a)参照)を有し、開口36には導体部としてのビア導体32が形成されている。さらに、有機絶縁層30の表面には、第2配線31が形成されている。

[0036] ビア導体32の底面はビアランド22に接続されている。

さらに、有機絶縁層30の上に形成された第2配線31の一部には、パッド34が形成されている。そして、この第2配線31と第1配線21とは、ビア導体32により電氣的に接続されている。なお、パッド34とは、半導体素子を搭載する際に半導体素子の接続端子と半田バンプ等を介して接続される部位である。

[0037] また、第2配線31は、パッド34の他に配線部33を有している。

図2(a)及び図2(b)においては、第2配線31の配線部33が接続される先(図中右側)を省略して描いているが、配線部33は、所定のパッドと電氣的に接続されている。

[0038] 有機絶縁層30は、熱硬化性樹脂、感光性樹脂、熱硬化性樹脂の一部に感光性基が付与された樹脂、熱可塑性樹脂、又は、これらの樹脂を含む樹脂複合体等からなる層である。

具体的には、感光性ポリイミド樹脂からなることが望ましい。

[0039] ビア導体32及び第2配線31は、銅めっき及び銅めっきの下のシード層131からなる。

シード層の構成の一例については本実施形態のインターポーザーの製造方法の項で説明する。

[0040] 本実施形態において、ビア導体32及び第2配線31は例えばセミアディティブ法によって形成されており、第2配線31のL/Sは第1配線21のL/Sと比べて大きくなっている。本実施形態における第2配線のL/Sは、 $L/S = 3 \mu\text{m} / 3 \mu\text{m}$ だが、これに限定されるものではない。第2配線の本数及び第2配線が形成される領域の面積等に応じて適宜決定すればよい。

なお、ここでいう第2配線31のL/Sとは、パッド34を除いた配線部33のL/Sのことである。

第2配線31は、第1配線21よりも厚み大きい。本実施形態における第2配線31の厚みは、特に限定されるものではないが、 $2 \mu\text{m}$ より大きく、 $30 \mu\text{m}$ 以下であることが好ましい。第2配線31の厚みがこの範囲の場合、インターポーザーの反りが好適に抑制される。さらに、第2配線31の配線抵抗を低減させることが可能となる。加えて、インターポーザーの厚みも増大することもない。なお、第2配線の厚みは、その長さ方向における任意の10箇所断面に基づいて走査型電子顕微鏡を用いて測定して得られた各々の値の平均値を意味する。第1配線の厚みについても同様である。

また、第1配線の厚みに対する第2配線の厚みの割合は、1より大きく15以下である。第1配線の厚みに対する上記第2配線の厚みの割合が1未満の場合は、インターポーザーの剛性が十分に確保されず、半導体素子とインターポーザーとの間の熱膨張係数の相違に起因してインターポーザーに反りが生じる可能性がある。一方、第1配線の厚みに対する上記第2配線の厚みの割合が15を超える場合は、仮に配線幅が同じだと仮定すると第2配線のアスペクト比が大きくなってしまい、例えば熱履歴によ

り有機絶縁層が膨張収縮した際にはその有機絶縁層の膨張収縮に第2配線が容易に追従してしまい、有機絶縁層に対する第2配線の密着性が低下する可能性がある。

[0041] また、第2配線31の断面積は、第1配線21の断面積に対して大きいことが望ましく、特に3~10倍であることが望ましい。第2配線の断面積を大きくすることによって、第2配線の単位長さあたりの配線抵抗が小さくなる。

例えば、第1配線21と第2配線31のアスペクト比がともに1:1である場合に、第1配線の $L/S=1\mu\text{m}/1\mu\text{m}$ 、第2配線の $L/S=3\mu\text{m}/3\mu\text{m}$ とすると、第2配線の断面積は第1配線の断面積の9倍となる。

なお、第1配線21と第2配線31の断面積を比較する場合には、各配線の配線部の断面積を比較する。

また、第1配線の厚みに対するビア導体の高さ(導体部の高さ)hの割合は5以下である。これによれば、有機絶縁層の膨張収縮に起因して生じる応力が導体部に与える影響を極力低減することが可能となる。このビア導体の高さも、走査型電子顕微鏡を用いて測定される。

[0042] 次に、保護膜40及び半導体素子50について説明する。

保護膜40は、有機絶縁層30の上及び第2配線31の上に形成されている。この保護膜40は、パッド34を部分的に露出させる開口を有している。すなわち、図2(b)に示すように、パッド34の外縁部は、保護膜40により被覆されている。

[0043] 保護膜40の材料は特に限定されるものではないが、有機絶縁層30との密着性の観点から、有機材料であることが好ましい。

そして、開口41には、バリアメタル層43を介してはんだよりなるバンプ42が形成されており、このバンプ42を介して半導体素子50がインターポーザーに接続されている。

また、半導体素子50とインターポーザーの間にはアンダーフィル樹脂53が充填されている。さらに、半導体素子50は封止樹脂51により封止されている。

[0044] 以下、本実施形態のインターポーザーの製造方法について図面を用いて説明する。図3(a)、図3(b)及び図3(c)、並びに、図4(a)、図4(b)及び図4(c)は、第一実施

形態のインターポーザーの製造工程の一部を模式的に示す断面図である。

まず、図3(a)に示すように、支持基板10の上に無機絶縁層20(例えば第1SiO₂層121、Si₃N₄層122及び第2SiO₂層123)を成膜する。

本実施形態の支持基板10としてはシリコンウェハを用い、シリコンウェハ10の上面に、第1SiO₂層121、Si₃N₄層122及び第2SiO₂層123をそれぞれCVD(化学気相成長)法によって成膜する。

[0045] 次に、レジスト124を塗布し、露光、現像することにより、第2SiO₂層123に対して開口を形成する所定位置のレジスト124を除去する。

これらの工程をまとめて図3(b)に示している。

[0046] 次に、ドライエッチング(反応性イオンエッチング)を行い、レジスト124の形成されていない部分の第2SiO₂層123をエッチングする。

これにより、図3(c)に示すようなパターンを第2SiO₂層123に形成する。

なお、ドライエッチングの際には、Si₃N₄層122がエッチングストッパーの役割を果たす。

[0047] 次に、図4(a)に示すように、第2SiO₂層123表面にシード層126を、例えばスパッタリングにより形成する。本実施形態では、シード層126は、下から順にTaN、Ta、Cuのスパッタリング膜により構成されるが、これに限定されるものではない。

[0048] 次に、図4(b)に示すように、シード層126を給電層として電解銅めっきを行い電解銅めっき層127を形成する。電解銅めっきは、従来公知の方法により行えばよい。

[0049] 次に、図4(c)に示すように、CMP(化学機械研磨)を行って、電解銅めっき層127、及び、第2SiO₂層123表面のシード層126を除去する。

なお、CMPは従来のダマシン法において知られている方法及び装置を用いて行えばよい。

そして、CMPを行った後に残った電解銅めっき層が、ビアランド22と配線部23を含む第1配線21となる。

[0050] 以上の工程によって、無機絶縁層及び第1配線を形成することができる。

また、無機絶縁層及び第1配線の表面には、Si₃N₄等の無機薄膜を例えばCVDにより形成してもよい。この無機薄膜は、有機絶縁層と無機絶縁層との密着性を高める目

的に設けられる。

[0051] 図5(a)、図5(b)及び図5(c)並びに図6(a)、図6(b)及び図6(c)は、第一実施形態のインターポザーの製造工程の一部を模式的に示す断面図である。

まず、図5(a)に示すように、無機絶縁層20及び第1配線21の上に有機絶縁層30を形成し、図5(b)に示すように開口36を形成する。

有機絶縁層30を形成する方法としては、例えば未硬化の感光性ポリイミド樹脂をロールコーター等を用いて塗布する方法等を用いることができる。

開口を形成する方法としては、露光現像処理を用いることができる。

[0052] 次に、図5(c)に示すように有機絶縁層30の表面(開口36の壁面を含む)と、開口36より露出したビアランド22の上面にシード層131を形成する。

シード層131は、例えばスパッタリングにより形成され、本実施形態においてはTi及びCuよりなる。なお、シード層131の構造は、これに限定されるものではない。

[0053] 次に、図6(a)に示すように、めっきレジスト132を設け、めっきレジスト132をマスクを介して露光、現像することによって、第2配線を形成する位置のめっきレジスト132を除去する。

めっきレジストとしては、例えば感光性ドライフィルム等を使用することができる。

[0054] 続いて、図6(b)に示すように、シード層131を給電層として電解銅めっきを行って、めっきレジスト132が除去された部位に銅めっきを施す。これにより有機絶縁層30内にビア導体32が形成され、さらに、有機絶縁層30の上に、パッド34と配線部33を含む第2配線31が形成される。

[0055] 次に、図6(c)に示すように、残っためっきレジストを除去するとともに、除去しためっきレジストの下のシード層131をエッチングによって除去する。このシード層131をエッチング方法としては特に限定されないが、電解銅めっきのオーバーエッチングを抑制するといった観点から、ドライエッチング(反応性イオンエッチング)が好ましい。

以上の工程により、有機絶縁層及び第2配線を形成することができる。

[0056] 図7(a)及び図7(b)は、第一実施形態のインターポザーの製造工程の一部を模式的に示す断面図である。

まず、有機絶縁層30上にさらに別の有機絶縁層40を形成する。そして、新たに形成

した有機絶縁層40の上に開口41を形成する。この新たに形成した有機絶縁層40が保護膜となる。

これらの工程をまとめて図7(a)に示している。

保護膜としての有機絶縁層40としては、有機絶縁層30と同様の材料を用いることができる。また、開口41を形成する方法も、有機絶縁層30に開口36を形成する方法と同様の方法を用いることができる。

[0057] 次に、図7(b)に示すように、有機絶縁層40に設けた開口41にバリアメタル層43を形成する。このバリアメタル層43は、例えば窒化タンタル及びタンタルを順次スパッタすることで形成される。なお、このバリアメタル層43の構成材料及び形成方法は特に限定されるものではない。また、図示は省略するが、保護膜の開口から露出するバリアメタル層43の表面にNi/Auめっきを施す。これは、後述するはんだ接合を行ったときに、はんだとパッドとの密着性を確保するためである。

なお、保護膜の形成及びバリアメタル層の形成については、必要に応じて行えばよい。

[0058] 続いて、本実施形態のインターポージャーに半導体素子を搭載する工程について説明する。

図8(a)、図8(b)は、第一実施形態のインターポージャーに半導体素子を搭載する工程の一例を模式的に示す断面図である。

まず、図8(a)に示すように、バリアメタル層43の上にはんだよりなるバンプ42を形成する。

[0059] 次に、このバンプ42を介して半導体素子50をインターポージャー上にフリップチップ実装する。

そして、半導体素子50とインターポージャーとの間にアンダーフィル樹脂53を充填し、それを硬化させる。次いで、搭載した半導体素子50の周囲を封止樹脂51で封止する。

これらの工程をまとめて図8(b)に示している。

なお、アンダーフィル樹脂及び封止樹脂としては、公知の樹脂を用いればよい。

[0060] また、支持基板としてシリコンウェハを用いて、シリコンウェハ上にインターポージャーを

形成した場合、インターポザーの寸法に対して充分大きいシリコンウェハを用いることによって、1枚のシリコンウェハ上に複数のインターポザーを形成することができる。

1枚のシリコンウェハ上に複数のインターポザーを形成した場合は、半導体素子を搭載する工程の前又は半導体素子を搭載する工程の後といった適切な時期に、ダイシング等の方法によってシリコンウェハを切断することによってインターポザーごとに分割することができる。このようにすることによって、効率よくインターポザーを製造することができる。

[0061] 以下、本実施形態のインターポザー及びインターポザーの製造方法の作用効果について列挙する。

(1)本実施形態のインターポザーにおいては、導体部としてのビア導体の底部の周囲には有機絶縁層が存在する。そのため、例えば半導体素子の発熱によりビア導体が膨張した場合であっても、ビア導体の底部の周囲にある有機絶縁層がビア導体から受ける熱応力を緩和させることが可能となる。そのため、熱応力がビア導体の底部に集中することが抑制され、ひいては絶縁層内にクラックが生じることを抑制することが可能となる。

[0062] (2)また、有機絶縁層の下面には無機絶縁層が一体で設けられている。これにより剛性が確保され、ひいてはビア導体に対する有機絶縁層の引っ張り応力が低減されるため、第1配線とビア導体が剥離することを抑制することが可能となる。

[0063] (3)また、最外層の有機絶縁層の表面には、保護膜が形成されているため、内方の配線層が保護され、それらの損傷を抑制することが可能となる。

[0064] (4)また、無機絶縁層と有機絶縁層の間に、無機薄膜が設けられているため、無機絶縁層と有機絶縁層との間の密着性を向上させることができる。

(5)また、本実施形態のインターポザーは、シリコンからなる支持基板を有している。支持基板を有することによって、インターポザーに剛性が付与され、例えば熱膨張によるインターポザーの反りを低減することができる。さらに、シリコンからなる支持基板は平坦度が極めて高いため、その表面上に微細な配線を形成することが可能となる。加えて、搭載される半導体素子とインターポザーとの間の熱膨張係数の

相違による、インターポーザーの反りをより抑制することができる。

- [0065] (6)また、本実施形態のインターポーザーにおいて、第2配線は、第1配線よりも厚さが厚くなっており、第1配線の厚みに対する第2配線の厚みの割合は、1より大きく15以下である。

このように、第1配線よりも相対的に厚い第2配線と、ヤング率の大きい無機絶縁層との間に有機絶縁層を設けることにより、ヤング率の大きい第2配線と無機絶縁層とで有機絶縁層が挟持されるため、インターポーザーに剛性が付与される。その結果、上記熱膨張係数の相違に起因したインターポーザーの反りが抑制される。また、熱履歴により有機絶縁層が膨張収縮した際も第2配線と有機絶縁層との密着を確保することが容易となる。

- [0066] (7)また、本実施形態のインターポーザーにおいて、第1配線の厚みに対するビア導体の高さの割合は5以下である。このようにすると、有機絶縁層の膨張収縮に起因して生じる応力がビア導体に与える影響を極力低減することが可能となる。

- [0067] (8)本実施形態のインターポーザーの製造方法では、無機絶縁層の内部に第1配線を形成し、無機絶縁層上及び第1配線上に有機絶縁層を形成し、第2配線と第1配線とを電氣的に接続するビア導体を形成する。

このような工程によると、例えば半導体素子が発熱した際においても、ビア導体にかかる応力を効果的に低減でき、ひいては絶縁層内にクラックが生じることがなく、また、ビア部とビアランドとの剥離が生じることのないインターポーザーを製造することができる。

- [0068] (9)本実施形態のインターポーザーの製造方法では、第1配線をダマシン法により形成し、第2配線をセミアディティブ法により形成する。

これにより、第1配線を微細配線にして精度よく形成し、さらに、平坦性の高い配線を形成することができる。また、配線抵抗の低い第2配線を簡便に形成してインターポーザーを製造することができる。

- [0069] (第二実施形態)

本実施形態は、支持基板10が無い点で上記第1実施形態と異なる。

すなわち、図8(b)に示すように半導体素子50の周囲を封止樹脂51で封止した後、

支持基板10を剥離する。支持基板を剥離する方法は特に限定されるものではないが、研削とエッチングにより行うことができる。

[0070] まず、シリコンウェハからなる支持基板の第1面側(支持基板の表面が露出している面)を研削装置を用いて研削し、支持基板の厚さを薄くする。研削量は特に限定されるものではないが、支持基板の厚さが100 μ m程度になるまで研削することが望ましい。

研削装置としては、シリコンウェハを研削するための研削装置を好適に用いることができる。

[0071] 続いて、研削によって薄くした支持基板(シリコンウェハ)を水酸化カリウム等のエッチング液を用いてエッチングして全て除去する。エッチングに用いるエッチング液としては、シリコンウェハのエッチングに用いられるものであれば特に限定されるものではないが、例えば水酸化カリウム水溶液等を用いることができる。エッチングに用いる装置は、特に限定されるものではないが、シリコンウェハのウエットエッチングに用いられる装置を好適に用いることができる。

また、図3(a)において支持基板10(シリコンウェハ)上に無機絶縁層20を形成する前に、支持基板10表面に剥離層を形成してもよい。この剥離層の材料としては、Cu、Ni等の金属であってもよく、或いは樹脂であってもよい。そうした場合、支持基板10を剥離する際には、剥離層を介してインターポーザと支持基板とを容易に分離することが可能となる。その手法としては特に限定されないが、剥離層が金属の場合はエッチングが用いられる。剥離層が樹脂の場合は例えば、アルカリ溶解等が挙げられる。こうした場合、支持基板10(シリコンウェハ)を再度使用することができる。

[0072] 図9は、第二実施形態のインターポーザーにスティフナを設けた場合の一例を模式的に示す断面図である。

本実施形態のインターポーザー2においては、その剛性を高めるといった観点から、図9に示すようなスティフナ60をインターポーザー2の最表面上に接着剤を介して設けてもよい。そのスティフナ60の形状としては例えば図9(a)に示すように、複数のパッド34からなるパッド群61を露出する開口部62を備える枠状でもよく、例えば図9(b)に示すように、パッド群61を露出する凹部63を備える蓋状であってもよい。このステ

ィフナの材料は特に限定されないが、放熱性を確保するといった観点から、銅等の金属材料が好ましい。

[0073] 以下、本実施形態のインターポージャーの製造方法の作用効果について列挙する。

(10)本実施形態のインターポージャーの製造方法は、支持基板を除去する工程を含む。

支持基板を除去することによって、厚さが薄く、半導体素子を搭載した際の実装高さの低いインターポージャーを製造することができる。

[0074] (11)スティフナが設けられることで、インターポージャーの剛性が向上する。その結果、例えば半導体素子との熱膨張係数差に起因する熱応力に対してもインターポージャーが十分に耐えられるようになり、インターポージャー全体が反りにくくなる。それゆえ、半導体素子とインターポージャーとの接合部分(半田バンプ等の外部接続端子)におけるクラックの発生も抑制される。

[0075] (第三実施形態)

以下、本発明の一実施形態である第三実施形態について説明する。

図10は、本発明のインターポージャーの別の一例の一部を模式的に示す断面図である。

本実施形態のインターポージャー3は、支持基板10が無い点で上記第2実施形態と同じだが、半導体素子が両面において実装可能である点が上記第2実施形態と異なる(図10参照)。

すなわち、無機絶縁層20及び第1配線21の下面には保護膜70が形成されており、この保護膜70においてビアランド22の直下に位置する箇所には開口71が設けられている。そして、この開口71には、第1実施形態と同様に、バリアメタル層73を介してバンプ72が形成されており、このバンプ72を介して半導体素子90がインターポージャーに接続されている。

また、半導体素子90とインターポージャーの間にはアンダーフィル樹脂93が充填されている。さらに、半導体素子90は封止樹脂91により封止されている。

[0076] 本実施形態のインターポージャーの製造方法を以下に示す。

図11(a)、図11(b)、図11(c)及び図11(d)、並びに、図12(a)、図12(b)及び図1

2(c)は、第三実施形態のインターポージャーの製造工程の一部を模式的に示す断面図である。

まず、図11(a)に示すように、支持基板上に Si_3N_4 層122及び SiO_2 層123を順次CVD等により形成することで無機絶縁層20を設ける。次いで、この無機絶縁層20の所望の箇所にドライエッチングにより開口125を形成する(図11(b))。その後、第一実施形態と同様にしてシード層126を形成し(図11(c))、このシード層126を給電層として電解めっきを施し、CMPにより研磨して、第1配線21を形成する(図11(d))。

[0077] その後、上記第一実施形態と同様にして、有機絶縁層30、第2配線31等を形成し、半導体素子50を搭載するとともに、樹脂封止までを行う(図12(a))。

[0078] 続いて、支持基板10を除去し、第1配線21及び無機絶縁層20の下面を露出させる(図12(b))。さらに、第1配線21及び無機絶縁層20の下面に保護膜70を形成し、ビアランド22の直下に位置する箇所に開口71を形成する。

その後、開口へのバリアメタル層73の形成及びバンプ72の形成を行い、半導体素子90を実装する(図12(c))。

本実施形態では第一実施形態において説明した効果(1)～(9)及び第二実施形態で説明した効果(10)を発揮することができる。

この第三実施形態においては、半導体素子90を実装することなく、バンプ72を介してインターポージャ3をプリント基板(マザーボード)に搭載してもよい。

[0079] (第四実施形態)

以下、本発明の一実施形態である第四実施形態について説明する。

本実施形態のインターポージャーにおいては、第一実施形態において説明したインターポージャーにおいて、無機絶縁層の内部又は有機絶縁層の表面に、電源層及びグランド層のうちの少なくとも一方が形成されている。或いは、キャパシタ等の受動素子が形成されていても良い。

例えば無機絶縁層内にグランド層を形成した場合には、その直上に位置する第2配線とを含めてマイクロストリップ構造が形成される。その結果、特性インピーダンスを整合でき、信号の伝搬を安定化させることが可能となる。

[0080] 本実施形態では第一実施形態において説明した効果(1)～(9)を発揮することがで

きるとともに、以下の効果を発揮することができる。

(12)無機絶縁層又は有機絶縁層の、配線が形成されていない領域に電源層、グラウンド層或いは受動素子のうちの少なくとも一方を設けることによって、この領域が有効に活用され、無駄な部分のない高密度なインターポージャーとなる。ひいては、インターポージャーの電源強化、信号特性の向上、薄型化、小型化を図ることができる。

[0081] (第五実施形態)

以下、本発明の一実施形態である第五実施形態について説明する。

図13(a)は、本発明のインターポージャーの別の一例の一部分を模式的に示す断面図であり、図13(b)は、図13(a)に示すインターポージャーに保護膜が設けられ、半導体素子が搭載された形態の一例を模式的に示す断面図である。

[0082] 本実施形態のインターポージャーは、第1配線が無機絶縁層の表面に形成されている。他は第一実施形態のインターポージャーと同様である。以下、これら本実施形態のインターポージャーの詳細について、図13(a)及び図13(b)を参照して説明する。

[0083] 本実施形態のインターポージャー4では、ビアランド22及び配線部23を含む第1配線21は無機絶縁層20の表面上に形成されており、第1配線21の表面は無機絶縁層20の表面の上部に位置している。

すなわち、ビアランド22の底部には無機絶縁層20が存在している。

[0084] その他の構成は第一実施形態のインターポージャー1と同様であり、無機絶縁層20の上には開口を有する有機絶縁層30が形成されており、有機絶縁層の開口、すなわちビアランド22の上にはビア導体32が形成されている。

そして、有機絶縁層30の上には、パッド34と配線部33を有する第2配線31が形成されている。

さらに、有機絶縁層30の上及び第2配線の上には保護膜40が形成され、半導体素子50が搭載されている。

[0085] 続いて、本実施形態のインターポージャーの製造方法について、第一実施形態のインターポージャーの製造方法と異なる工程についてのみ説明する。

図14(a)、図14(b)、図14(c)、図14(d)及び図14(e)は、第五実施形態のインターポージャーの製造工程の一部を模式的に示す断面図である。

[0086] 本実施形態のインターポージャーの製造方法においては、図14(a)に示すように、支持基板10の上に無機絶縁層20(例えば第1SiO₂層121、Si₃N₄層122及び第2SiO₂層123)をCVDを用いて順次成膜する。なお、無機絶縁層20の構成はこれに限定されるものではない。

[0087] 続いて、図14(b)に示すように、無機絶縁層20の表面に金属層226を形成する。この金属層226は、例えばスパッタリングにより形成され、Cuよりなる。

[0088] 次に、図14(c)に示すように、めっきレジスト224を設け、めっきレジスト224をマスクを介して露光、現像することによって、第1配線を形成する位置のめっきレジスト224を除去する。

めっきレジストとしては、例えば感光性ドライフィルム等を使用することができる。

[0089] 次に、図14(d)に示すように、金属層226を給電層として電解銅めっきを行って、めっきレジスト224が除去された部位に銅めっき層227を形成する。

[0090] 次に、図14(e)に示すように、めっきレジストを除去するとともに、除去しためっきレジストの下の金属層226をエッチングによって除去する。

以上の工程により、無機絶縁層20の表面にビアランド22及び配線部23を含む第1配線21を形成することができる。

その後は、第一実施形態のインターポージャーの製造方法と同様にして有機絶縁層の形成以後の工程を行うことによって、本実施形態のインターポージャーを製造することができる。

なお、無機絶縁層20の表面へのビアランド22及び配線部23の形成プロセスはこれに限定されるものではない。すなわち、例えば無機絶縁層20上にスパッタリングにより金属膜226を形成した後、この金属膜226をエッチングすることで、所望のビアランド22及び配線部23からなる第1配線21を形成してもよい。本実施形態においても、上記第一実施形態と同様の効果を奏する。

また、この第五実施形態においても、第二実施形態と同様に、支持基板が除去されてもよい。

[0091] (第六実施形態)

以下、本発明の一実施形態である第六実施形態について説明する。

本実施形態のインターポージャーにおいては、第五実施形態において説明したインターポージャーにおいて、無機絶縁層又は有機絶縁層の表面に、電源層及びグランド層のうちの少なくとも一方が形成されている。また、キャパシタ等の受動素子が形成されてもよい。

[0092] 無機絶縁層の表面又は有機絶縁層の表面に電源層又はグランド層を設ける方法としては、第四実施形態と同様の方法を用いることができる。

[0093] 本実施形態では第五実施形態において説明した効果に加えて、第四実施形態において説明した(12)の効果を発揮することができる。

[0094] (第七実施形態)

本実施形態のインターポージャーには、複数の半導体素子を搭載することができ、複数の半導体素子のうちの特定の半導体素子の間が第2配線のみを介して接続されるように構成されている。

図15は、本発明のインターポージャーの別の一例の一部分を模式的に示す断面図である。

図15に示すインターポージャー5には、複数の半導体素子50、52を搭載することができる。

半導体素子50及び半導体素子52の間は、バンプ42と接続された第2配線31を介して接続されている。

[0095] この第七実施形態で用いられる半導体素子50及び半導体素子52としては、例えば半導体素子50が電源レギュレータモジュールであり、半導体素子52がCPUである。これらの半導体素子間を第2配線のみを介して接続することによって、半導体素子間の配線の抵抗を低くすることができる。その結果、第2配線において電圧降下が生じることなく、CPU等の半導体素子に適切な電圧を加えることが可能となる。

[0096] なお、半導体素子間の配線抵抗が問題にならないのであれば、半導体素子間が第1配線と第2配線を介して接続されていてもよい。

[0097] (第八実施形態)

図16は、本発明のインターポージャーの別の一例の一部分を模式的に示す断面図である。

図16に示すインターポージャー6には、支持基板10内に貫通電極500が設けられている。

この場合、インターポージャーの表裏が電氣的に接続され、インターポージャーの下面側にも半導体素子を実装することが可能となる。また、インターポージャーがプリント配線板(例えばマザーボード)に半田バンプを介して実装可能となる。

[0098] 貫通電極500は、銅めっき層501及び銅めっき層の下の導体薄膜502からなる。貫通電極500と支持基板10との間は絶縁膜503で隔てられており、支持基板10の裏面側にも絶縁膜503が形成されている。

[0099] 貫通電極500の上側(支持基板の表面側)は無機絶縁層20の内部に形成された導体(図16においてはビアランド22)と接続されている。

貫通電極500の下側(支持基板の裏面側)は、支持基板10の裏面に形成されたパッド600(配線)と接続されている。すなわち、支持基板10の裏面に形成されたパッド600(配線)と、第1配線21(ビアランド22)とが貫通電極500により電氣的に接続されている。

また、パッド600上にはバンプ542が形成されている。このバンプ542を介して、プリント配線板100上にインターポージャー6が実装されている。

プリント配線板100とインターポージャー6の間にはアンダーフィル樹脂553が充填されている。

なお、インターポージャー6とプリント配線板100とは、バンプ542のみにより接続されていてもよく、バンプ及びワイヤーの両方によって接続されていてもよい。

[0100] 絶縁膜503の材質は、特に限定されるものではなく、 SiO_2 膜等の無機絶縁膜や樹脂からなる有機絶縁膜を用いることができる。ここでは、絶縁膜503として有機絶縁膜を用いた例を挙げる。

[0101] 第八実施形態のインターポージャーの製造方法は、貫通電極を形成する工程を除き、第一実施形態のインターポージャーの製造方法とほぼ同様である。そのため、第八実施形態のインターポージャーの製造方法のうち、第一実施形態のインターポージャーの製造方法と異なる工程について説明する。

[0102] 図17(a)、図17(b)、図17(c)、図17(d)、図18(a)、図18(b)、図18(c)、図19(a)

)、図19(b)及び図19(c)は、第八実施形態のインターポージャーの製造工程の一部を模式的に示す断面図である。

本実施形態においては、第一実施形態のインターポージャーの製造方法において示した工程と同様にして、第一実施形態の説明において図4(c)で示す構造と同様の構造の基板を作製する(図17(a)参照)。

[0103] 次に、図17(b)に示すように、例えばUVレーザーを用いて、支持基板10の所定位置に開口510を形成する。この開口510の形成方法としては特に限定されるものではなく、ドライエッチング(反応性イオンエッチング)や、アルカリ溶液を用いたウエットエッチング等を採用してもよい。

さらに、図17(c)に示すように、開口510を露出させるようにレジスト511をパターンニングする。その後、レジスト511をマスクとしてドライエッチング(反応性イオンエッチング)を行って、第1 SiO_2 層121及び Si_3N_4 層122を順次エッチングして、ビアランド22の下面を露出させる。

[0104] 次に、図17(d)に示すように、例えばディップコート法又はスピコート法を用いて液状樹脂を支持基板10の裏面側にコートし、これを約 200°C で1時間乾燥させて絶縁膜503を形成する。

このとき、支持基板10の裏側表面と、開口510の壁面とに絶縁膜503が形成される。この工程で用いる液状樹脂としては、後述するようにビアランド22表面の絶縁膜503を容易に除去することができるといった観点から、感光性樹脂(例えばJSR(株)社製、商品名:WPR、型番:5100)を用いることが望ましい。

具体的には、メチルエチルケトン20~30重量%、乳酸エチル20~30重量%、フィラー15~25重量%、ノボラック樹脂5~15重量%、メラミン系化合物1~10重量%、フェノール系樹脂1~10重量%、架橋ゴム1~10重量%、エポキシ系化合物1~5重量%、低分子フェノール樹脂1~5重量%、カップリング剤0.1~3重量%、トリアジン系感光剤0.1~3重量%からなる液状樹脂が挙げられる。

なお、有機絶縁膜の形成方法としては、スピコート法やディップコート法の他、例えば真空蒸着が挙げられる。

[0105] 次に、図18(a)に示すように、開口510に対応した位置が開口されているマスク512

を介して露光を行う。

さらに、図18(b)に示すように、現像を行い、露光された部位(開口510の底部)の絶縁膜503を除去する。

上記工程によって、ビアランド22の下面が支持基板10の裏面側に再度露出する。

[0106] 次に、図18(c)に示すように、露出したビアランド22の下面及び絶縁膜503の表面に導体薄膜502を形成する。

導体薄膜502は、例えばNi/Cuよりなり、スパッタリングにより形成される。なお、この導体薄膜502の構成はこれに限定されるものではない。また、導体薄膜502の形成方法としてはスパッタリングに限定されるものではなく、例えば無電解めっきを採用してもよい。

さらに、図19(a)に示すように、導体薄膜502を給電層として電解銅めっきを行って銅めっき層501を形成する。

[0107] 次に、図19(b)に示すように、銅めっき層501のうちパッドが形成される箇所にレジスト513を形成する。

次に、図19(c)に示すように、エッチングによって、レジスト513が形成されていない部位の銅めっき層501及び導体薄膜502を除去する。

上記工程によって、貫通電極500及びパッド600が形成される。

[0108] 本実施形態では第一実施形態において説明した効果(1)～(9)を発揮することができるとともに、以下の効果を発揮することができる。

(13) 支持基板内に貫通電極を形成することで、インターポーザーとプリント配線板とが半田バンプを介して接続される。その結果、双方をワイヤーによって接続する場合と比較して、配線距離の短縮が図られる。これにより、プリント配線板から半導体素子に至る配線における抵抗の増大が抑制され、半導体素子に至るまでの電圧降下を効果的に抑制することが可能となる。

[0109] (14) また、本実施形態のインターポーザーは、有機樹脂からなる絶縁膜を含むため、絶縁膜として無機絶縁膜を形成した場合と比較して、インターポーザーの熱膨張係数が大きくなる。そのため、主に樹脂からなるプリント配線板とインターポーザーとの間の熱膨張係数の不整合をある程度緩和でき、インターポーザーとプリント配線板の

接合部(バンプ)における接続信頼性を確保することが可能となる。

[0110] (その他の実施形態)

第1配線と第2配線とを電氣的に接続する導体部としては、スルーホール導体であってもよい。

[0111] 本発明のインターポージャーに搭載される半導体素子の種類、機能は特に限定されるものでない。また、そうした半導体素子の個数及び搭載形態も特に限定されない。すなわち、複数の半導体素子が積層された状態で実装されてもよい。この場合、例えば、各々の半導体素子に設けられた貫通電極同士が半田バンプを介して接続される。

[0112] また、無機絶縁層及び／又は有機絶縁層が複数設けられていて、第1配線及び／又は第2配線が多層配線となっても良い。

[0113] 第1配線、導体部、及び、第2配線を構成する材料は、導電性のある材料であれば、特に限定されるものではない。

銅の他にはニッケル、金、銀等が挙げられる。

[0114] 有機絶縁層の種類としては、熱硬化性樹脂として、例えば、エポキシ樹脂、フェノール樹脂、ポリイミド樹脂、ポリエステル樹脂、ビスマレイミド樹脂、ポリオレフィン系樹脂、ポリフェニレンエーテル樹脂、ポリフェニレン樹脂、フッ素樹脂等が挙げられる。

また、感光性樹脂として、例えば、アクリル樹脂等が挙げられる。

[0115] 熱硬化性樹脂の一部に感光性基が付与された樹脂としては、上記熱硬化性樹脂の熱硬化基とメタクリル酸やアクリル酸とをアクリル化反応させたもの等が挙げられる。

また、熱可塑性樹脂としては、例えば、フェノキシ樹脂、ポリエーテルスルホン(PE S)、ポリスルホン(PSF)、ポリフェニレンスルホン(PPS)ポリフェニレンサルファイド(PPES)、ポリフェニレンエーテル(PPE)ポリエーテルイミド(PI)等が挙げられる。

[0116] また、有機絶縁層として用いることのできる樹脂複合体の具体的な組み合わせとしては、例えば、フェノール樹脂／ポリエーテルスルホン、ポリイミド樹脂／ポリスルホン、エポキシ樹脂／ポリエーテルスルホン、エポキシ樹脂／フェノキシ樹脂、アクリル樹脂／フェノキシ樹脂、エポキシ基の一部をアクリル化したエポキシ樹脂／ポリエーテルスルホン等が挙げられる。

- [0117] ビアランドの径とビア導体の径との関係は、ビアランドとビア導体との間の導通が確保できる範囲であれば、特に限定されるものではなく、同じ径であってもよい。
- [0118] また、ダマシン法により第1配線を形成する際に用いる、無機絶縁層の上に形成するレジストの種類、露光方法及び現像方法は、半導体製造工程で用いられるレジスト、露光方法、及び、現像方法であれば特に限定されるものでない。
- [0119] 無機絶縁層及び有機絶縁層の上にシード層を形成する方法としては、スパッタリングの他に、いわゆるPVD(物理気相成長)法と呼ばれる方法を用いることができ、具体的には、真空蒸着、イオンプレーティング、電子ビーム蒸着等の方法を用いることができる。
- また、有機絶縁層の表面にシード層を形成する方法としては、セミアディティブ法により導体回路を形成するために知られている従来公知の方法も用いることができる。
- [0120] 有機絶縁層を形成する方法としては、特に限定されるものではなく、スピスコーター、カーテンコーター等によって未硬化の樹脂を塗布する方法や、樹脂フィルムを熱圧着することにより樹脂層を形成する方法を用いることができる。
- また、樹脂を硬化させる方法は、熱硬化に限定されるものではない。
- [0121] また、有機絶縁層に開口を形成する方法としては、露光現像処理に限定されるものではなく、レーザー加工によって開口する方法を用いることもできる。
- この場合、エキシマーレーザー、UV-YAGレーザー、炭酸ガスレーザー等を用いる方法が挙げられる。

図面の簡単な説明

- [0122] [図1]図1は、第一実施形態のインターポージャーが用いられる態様の一例を模式的に示す断面図である。
- [図2]図2(a)は、本発明のインターポージャーの一部分の一例を模式的に示す断面図であり、図2(b)は、図2(a)に示すインターポージャーに保護膜が設けられ、半導体素子が搭載された態様の一例を模式的に示す断面図である。
- [図3]図3(a)、図3(b)及び図3(c)は、第一実施形態のインターポージャーの製造工程の一部を模式的に示す断面図である。
- [図4]図4(a)、図4(b)及び図4(c)は、第一実施形態のインターポージャーの製造工

程の一部を模式的に示す断面図である。

[図5]図5(a)、図5(b)及び図5(c)は、第一実施形態のインターポーターの製造工程の一部を模式的に示す断面図である。

[図6]図6(a)、図6(b)及び図6(c)は、第一実施形態のインターポーターの製造工程の一部を模式的に示す断面図である。

[図7]図7(a)及び図7(b)は、第一実施形態のインターポーターの製造工程の一部を模式的に示す断面図である。

[図8]図8(a)及び図8(b)は、第一実施形態のインターポーターに半導体素子を搭載する工程の一例を模式的に示す断面図である。

[図9]図9(a)及び図9(b)は、第二実施形態のインターポーターにステイフナを設けた場合の一例を模式的に示す断面図である。

[図10]図10は、本発明のインターポーターの別の一例の一部分を模式的に示す断面図である。

[図11]図11(a)、図11(b)、図11(c)及び図11(d)は、第三実施形態のインターポーターの製造工程の一部を模式的に示す断面図である。

[図12]図12(a)、図12(b)及び図12(c)は、第三実施形態のインターポーターの製造工程の一部を模式的に示す断面図である。

[図13]図13(a)は、本発明のインターポーターの別の一例の一部分を模式的に示す断面図であり、図13(b)は、図13(a)に示すインターポーターに保護膜が設けられ、半導体素子が搭載された形態の一例を模式的に示す断面図である。

[図14]図14(a)、図14(b)、図14(c)、図14(d)及び図14(e)は、第五実施形態のインターポーターの製造工程の一部を模式的に示す断面図である。

[図15]図15は、本発明のインターポーターの別の一例の一部分を模式的に示す断面図である。

[図16]図16は、本発明のインターポーターの別の一例の一部分を模式的に示す断面図である。

[図17]図17(a)、図17(b)、図17(c)及び図17(d)は、第八実施形態のインターポーターの製造工程の一部を模式的に示す断面図である。

[図18]図18(a)、図18(b)及び図18(c)は、第八実施形態のインターポーターの製造工程の一部を模式的に示す断面図である。

[図19]図19(a)、図19(b)及び図19(c)は、第八実施形態のインターポーターの製造工程の一部を模式的に示す断面図である。

符号の説明

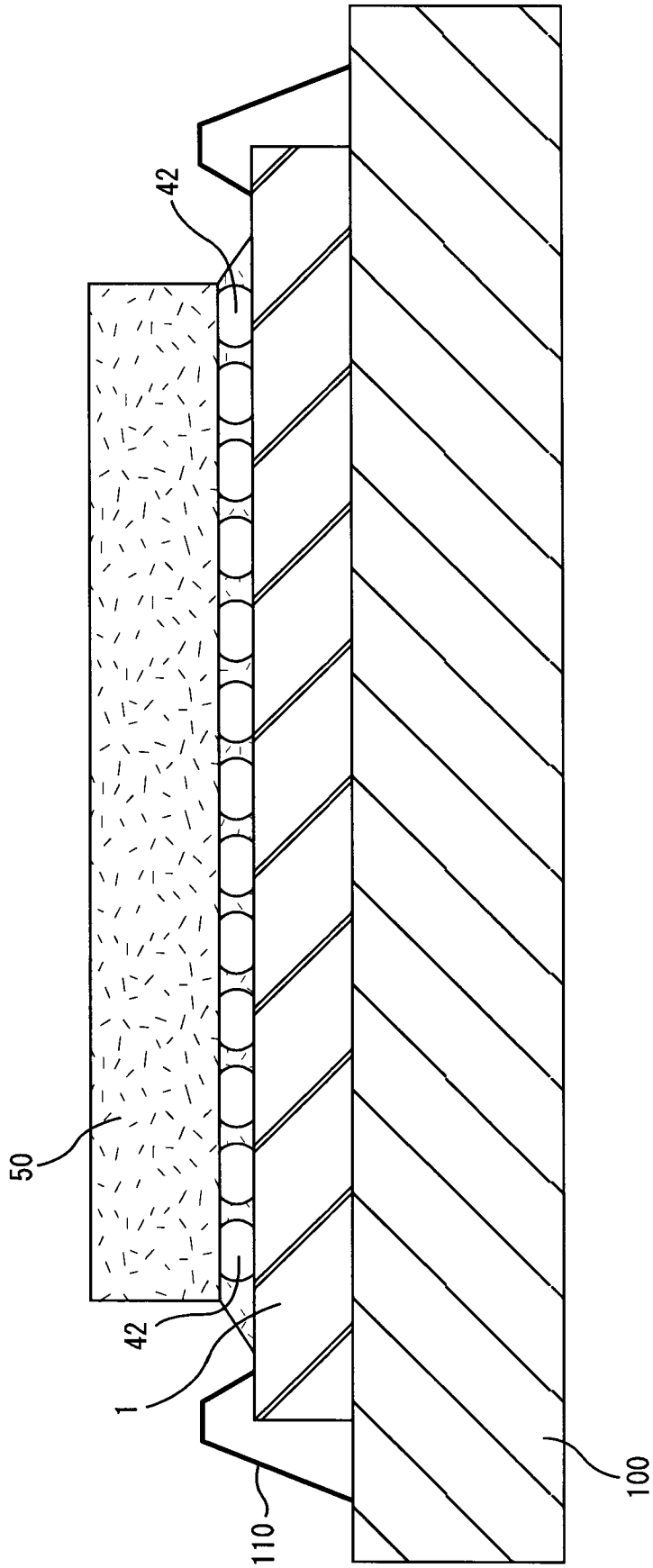
- [0123] 1～6 インターポーター
- 10 支持基板
 - 20 無機絶縁層
 - 21 第1配線
 - 30 有機絶縁層
 - 31 第2配線
 - 32 ビア導体
 - 40、70 保護膜
 - 60 スティフナ
 - 128 無機薄膜

請求の範囲

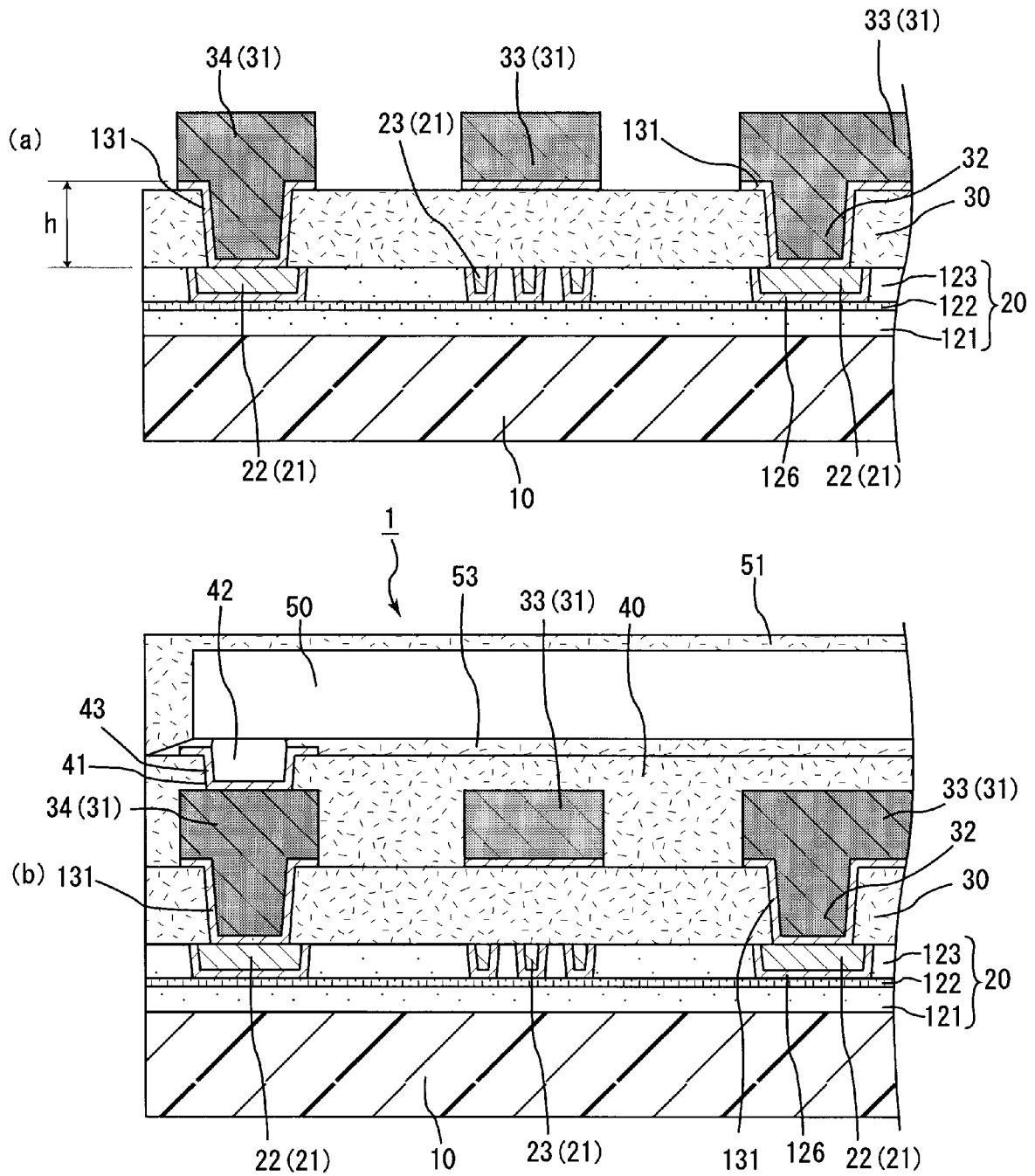
- [1] 少なくとも1層の無機絶縁層と、
前記無機絶縁層の内部又は表面上に形成されてなる第1配線と、
最外層の無機絶縁層上及び前記第1配線上に形成されてなる、少なくとも1層の有機絶縁層と、
前記有機絶縁層上に形成されてなる第2配線と、
前記第1配線と前記第2配線とを接続する導体部とからなることを特徴とするインターポージャー。
- [2] 前記第2配線は、前記第1配線よりも厚さが厚い請求項1に記載のインターポージャー。
- [3] 前記第1配線の厚みに対する前記第2配線の厚みの割合は、1より大きく15以下である請求項1又は2に記載のインターポージャー。
- [4] 前記第1配線の厚みに対する前記導体部の高さの割合は5以下である請求項1～3のいずれかに記載のインターポージャー。
- [5] 前記第2配線は、前記第1配線よりも配線長が長い請求項1～4のいずれかに記載のインターポージャー。
- [6] 前記第2配線は、前記第1配線よりも断面積が大きい請求項1～5のいずれかに記載のインターポージャー。
- [7] 前記第2配線は、前記第1配線よりも単位長さあたりの配線抵抗が小さい請求項1～6のいずれかに記載のインターポージャー。
- [8] 前記第1配線は、前記第2配線よりも L/S が小さい請求項1～7のいずれかに記載のインターポージャー。
- [9] 最外層の有機絶縁層の表面には、保護膜が形成されてなる請求項1～8のいずれかに記載のインターポージャー。
- [10] 前記最外層の無機絶縁層と前記有機絶縁層との間に形成された無機薄膜をさらに備える請求項1～9のいずれかに記載のインターポージャー。
- [11] さらに支持基板を備え、
前記無機絶縁層が前記支持基板上に形成されている請求項1～10のいずれかに記

- 載のインターポージャー。
- [12] 前記支持基板はシリコンである請求項11に記載のインターポージャー。
- [13] 前記第1配線は、前記無機絶縁層の内部に形成されてなる請求項1～12のいずれかに記載のインターポージャー。
- [14] 前記第1配線の表面と、前記最外層の無機絶縁層の表面とが略同一平面上に位置する請求項1～13のいずれかに記載のインターポージャー。
- [15] さらに、前記有機絶縁層の表面上に形成され、半導体素子を搭載するパッド群と、当該パッド群を露出させる開口又は凹部を有するスティフナと、を有する請求項1～14のいずれかに記載のインターポージャー。
- [16] 支持基板上に無機絶縁層を形成する工程と、前記無機絶縁層の内部又は表面上に第1配線を形成する工程と、最外層の無機絶縁層上及び前記第1配線上に有機絶縁層を形成する工程と、前記有機絶縁層上に第2配線を形成するとともに、前記第2配線と前記第1配線を電気的に接続する導体部を形成する工程と、を有することを特徴とするインターポージャーの製造方法。
- [17] 前記第1配線をダマシン法により形成する請求項16に記載のインターポージャーの製造方法。
- [18] 前記第2配線をセミアディティブ法により形成する請求項16又は17に記載のインターポージャーの製造方法。
- [19] 前記支持基板を除去する工程を含む請求項16～18のいずれかに記載のインターポージャーの製造方法。

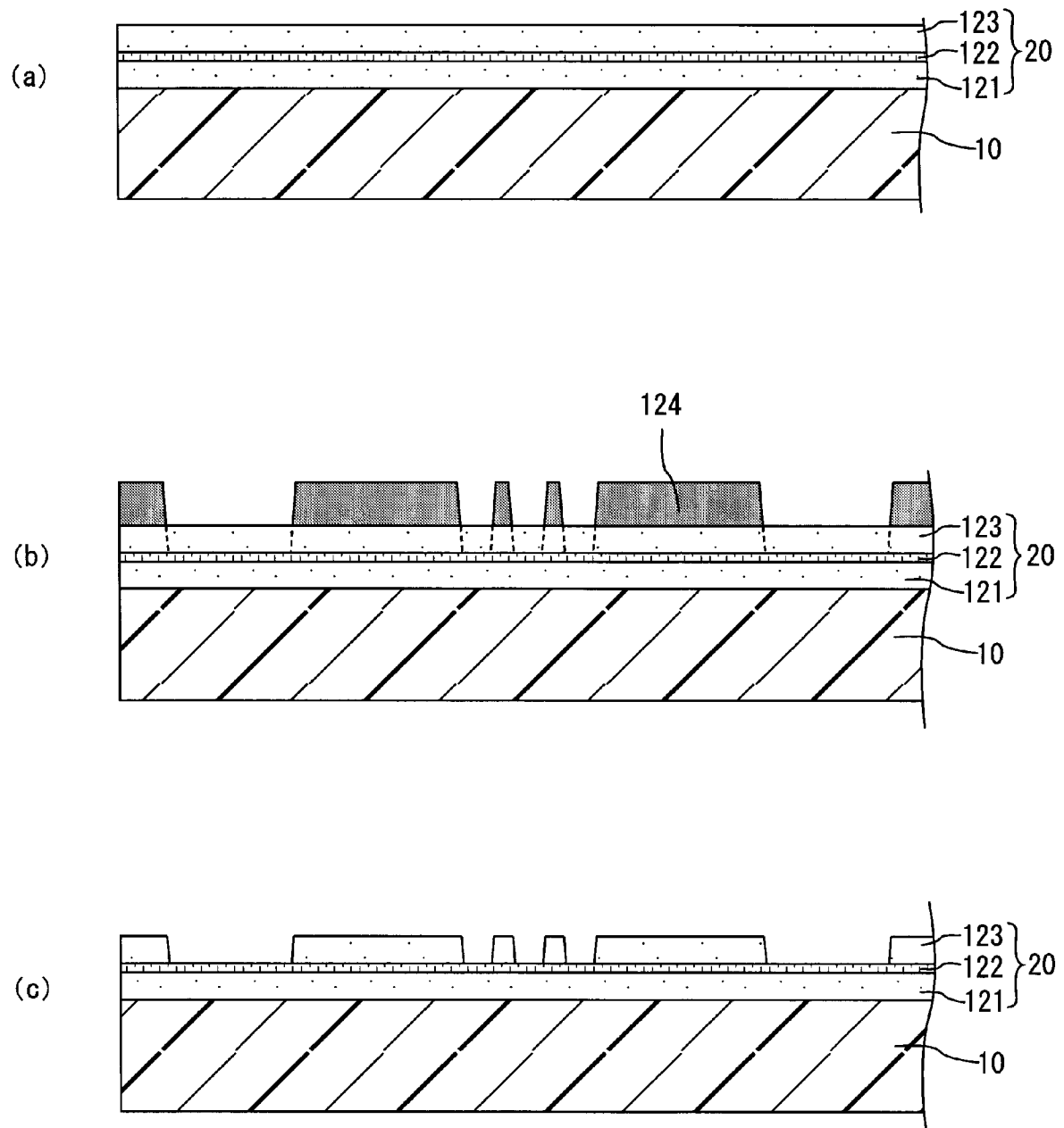
[図1]



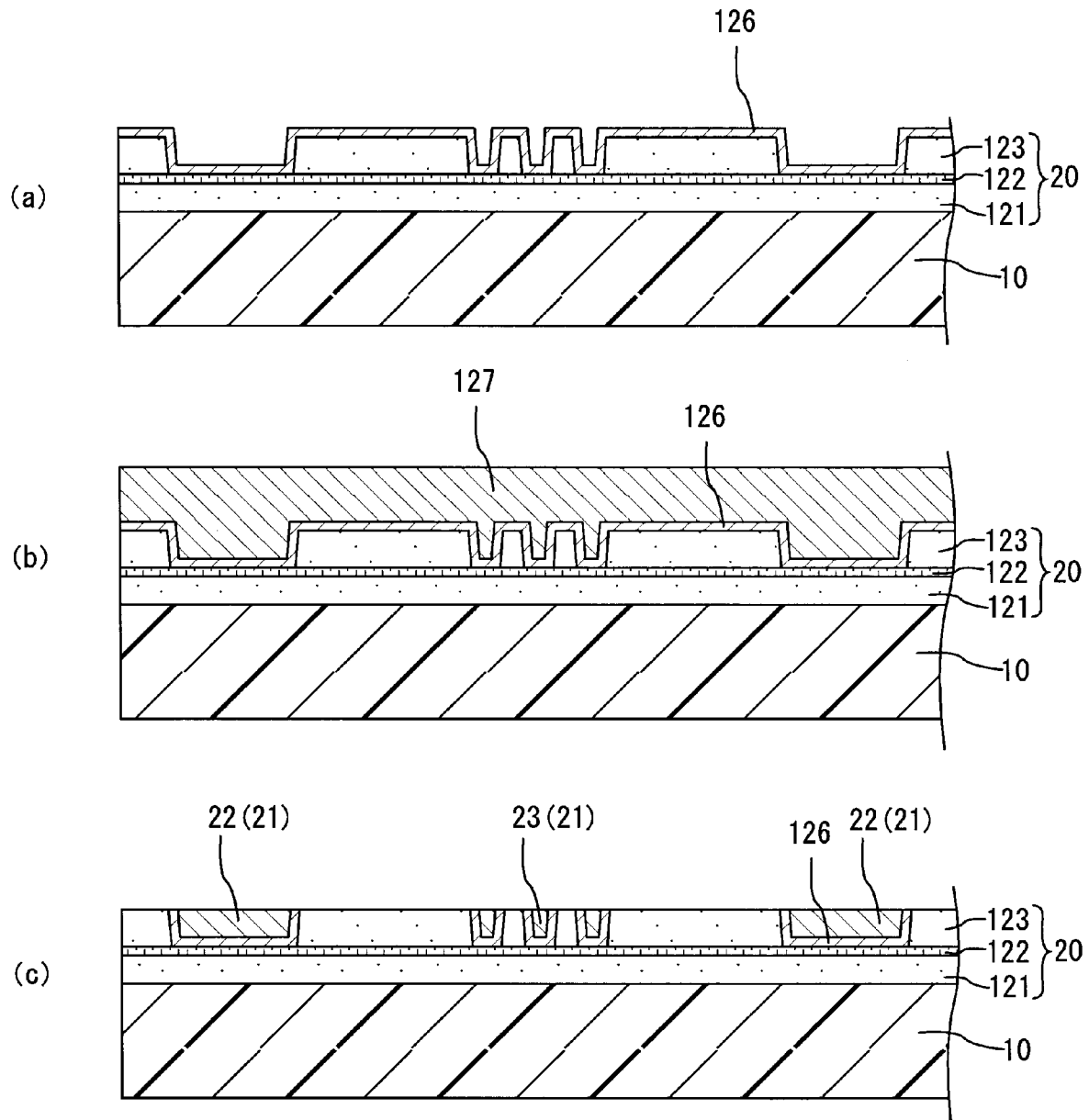
[図2]



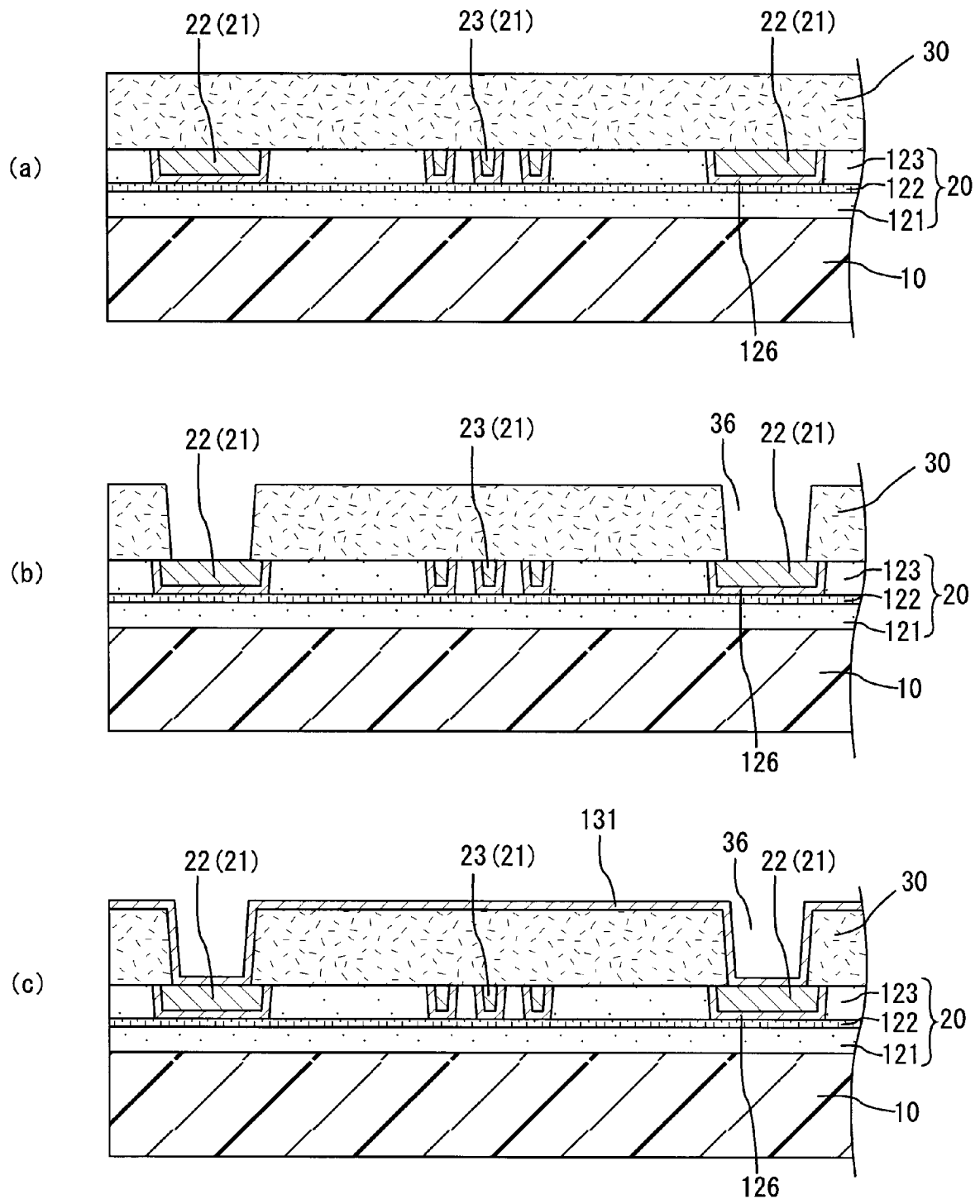
[図3]



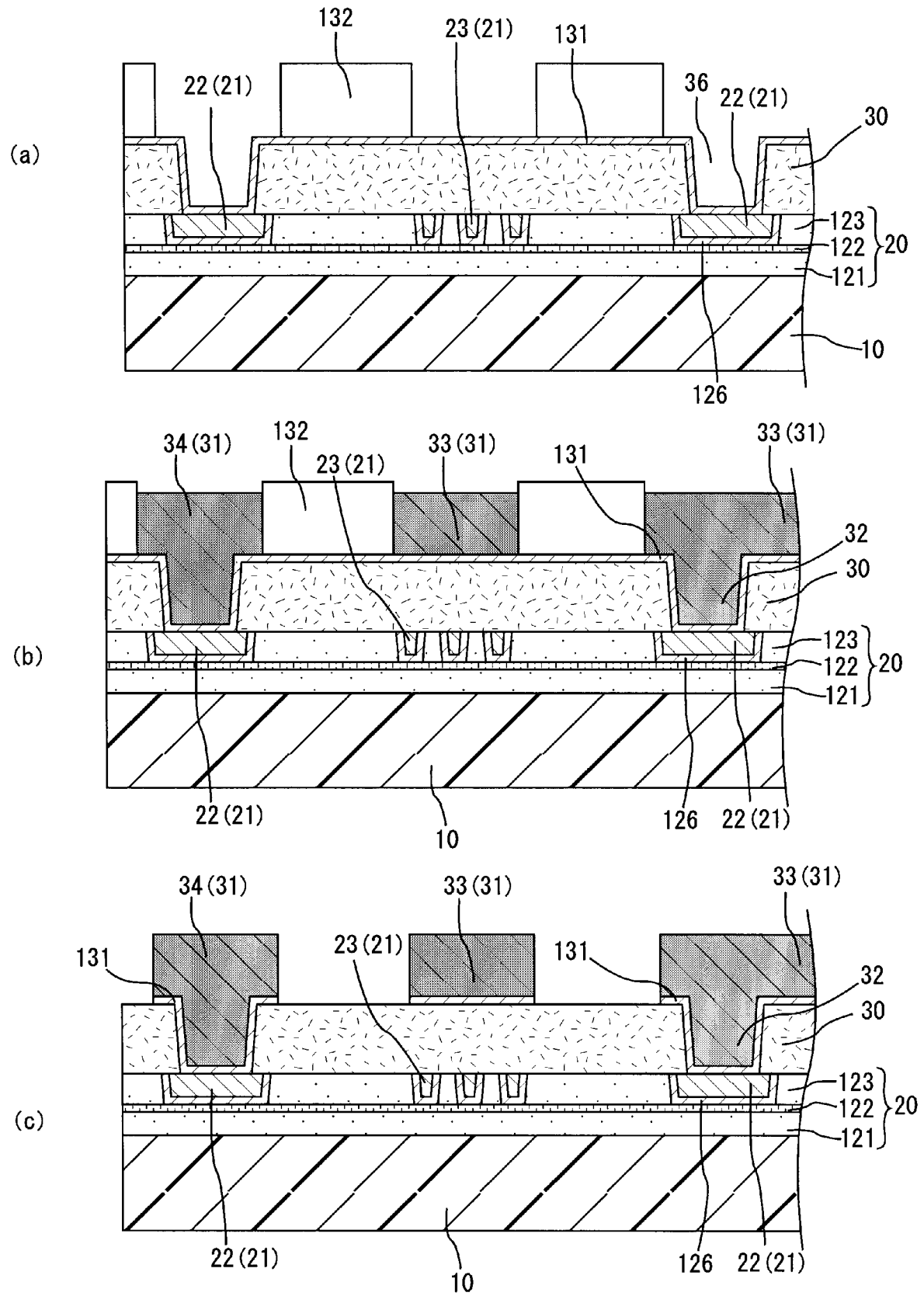
[図4]



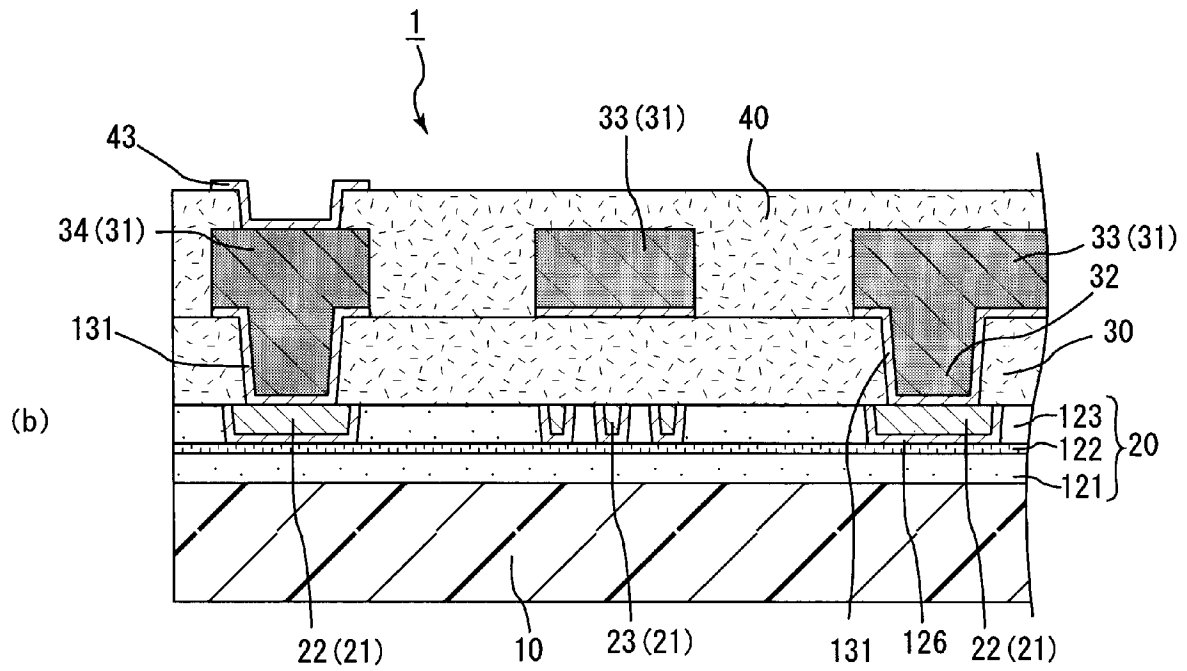
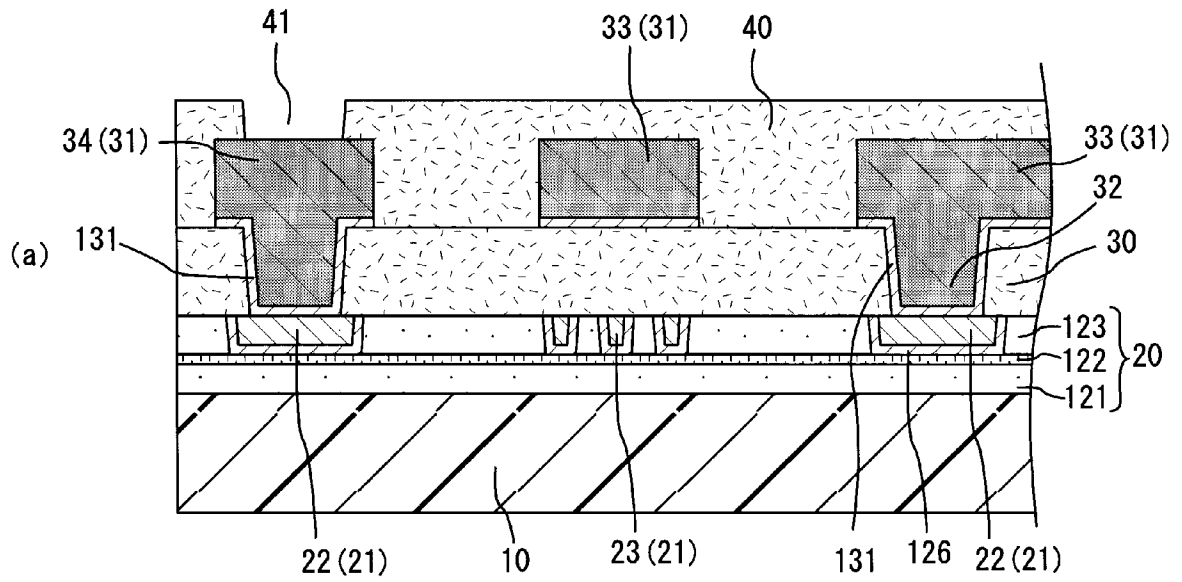
[図5]



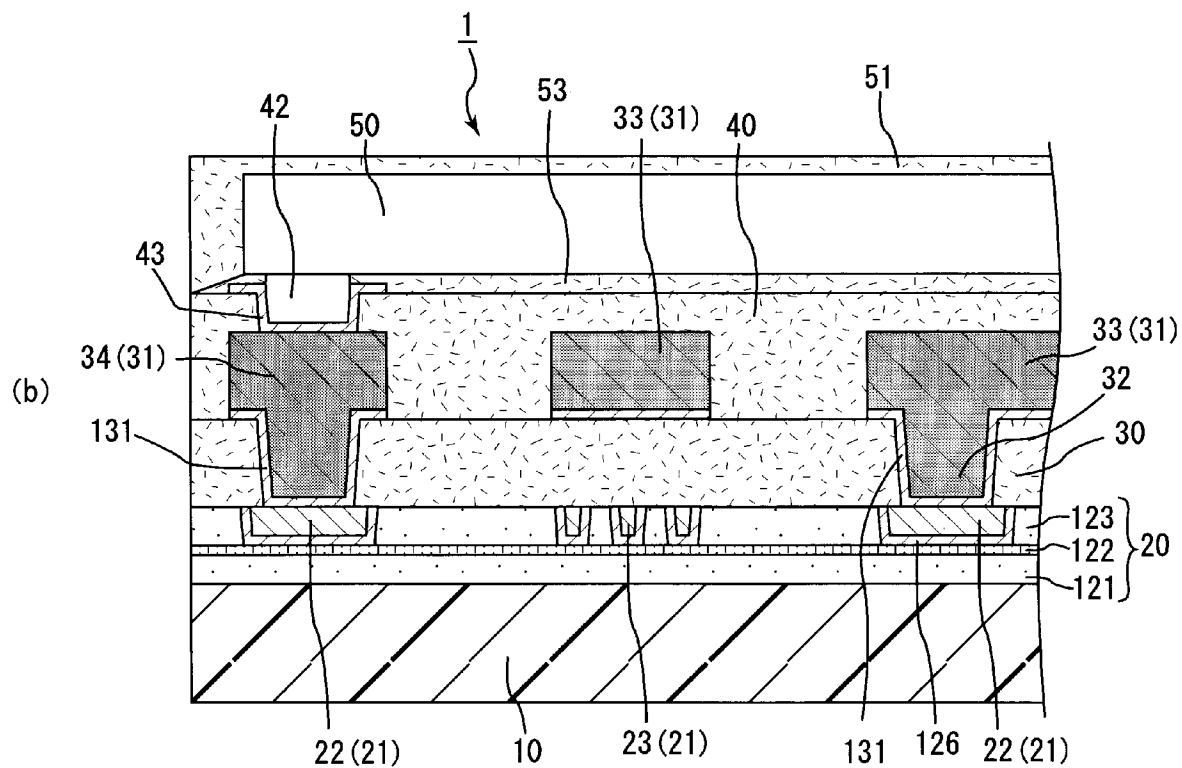
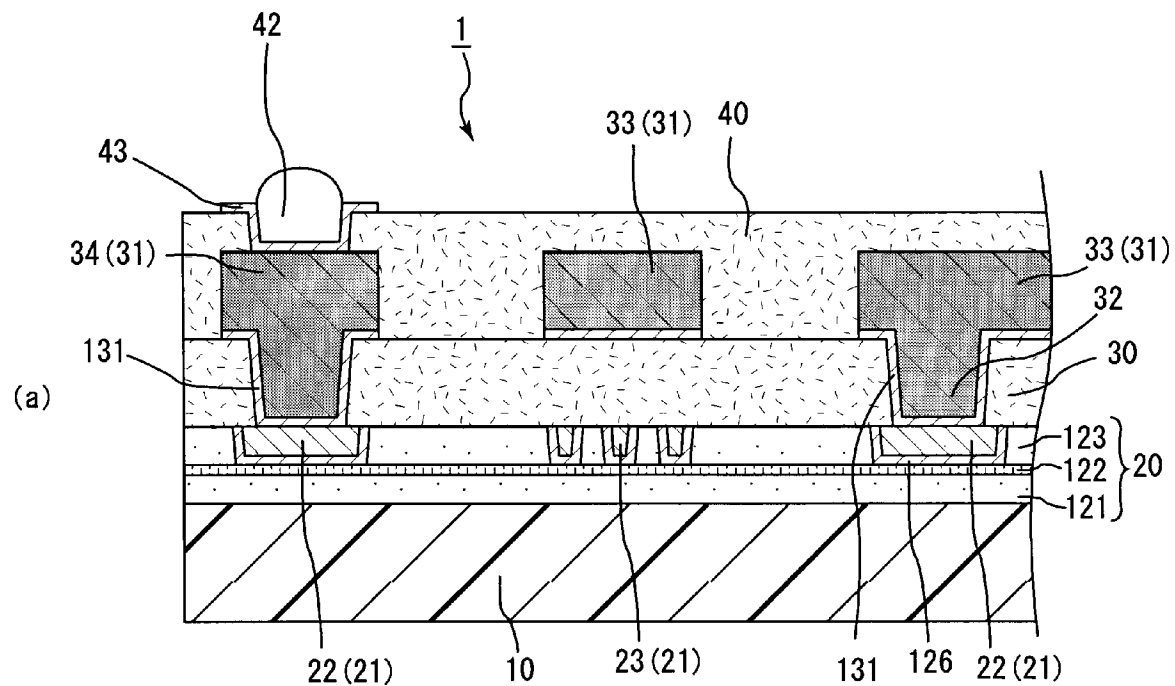
[図6]



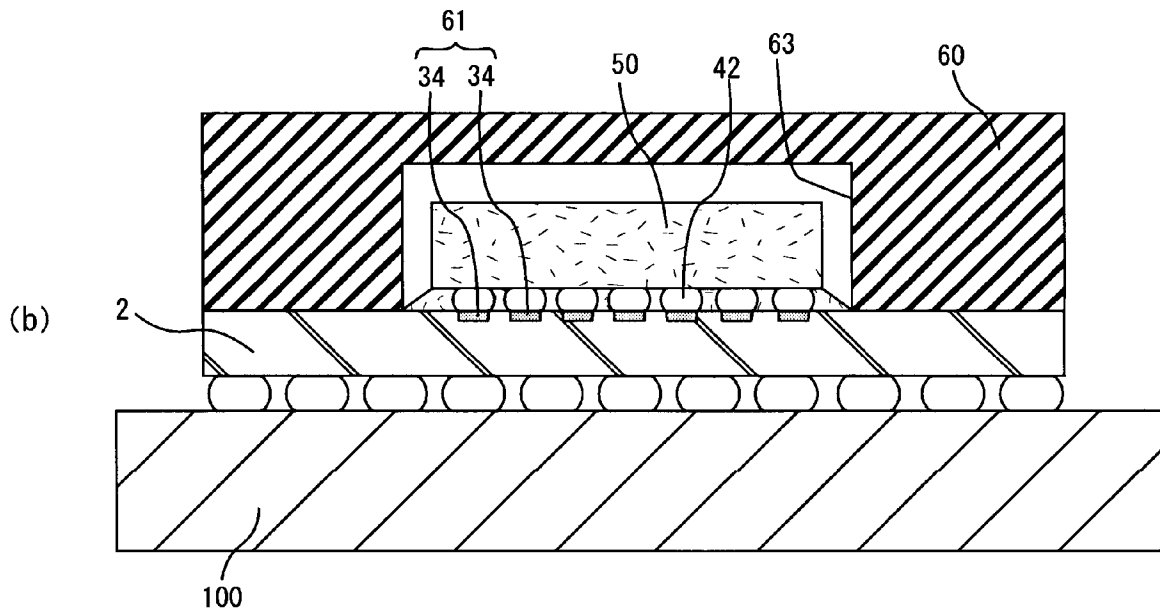
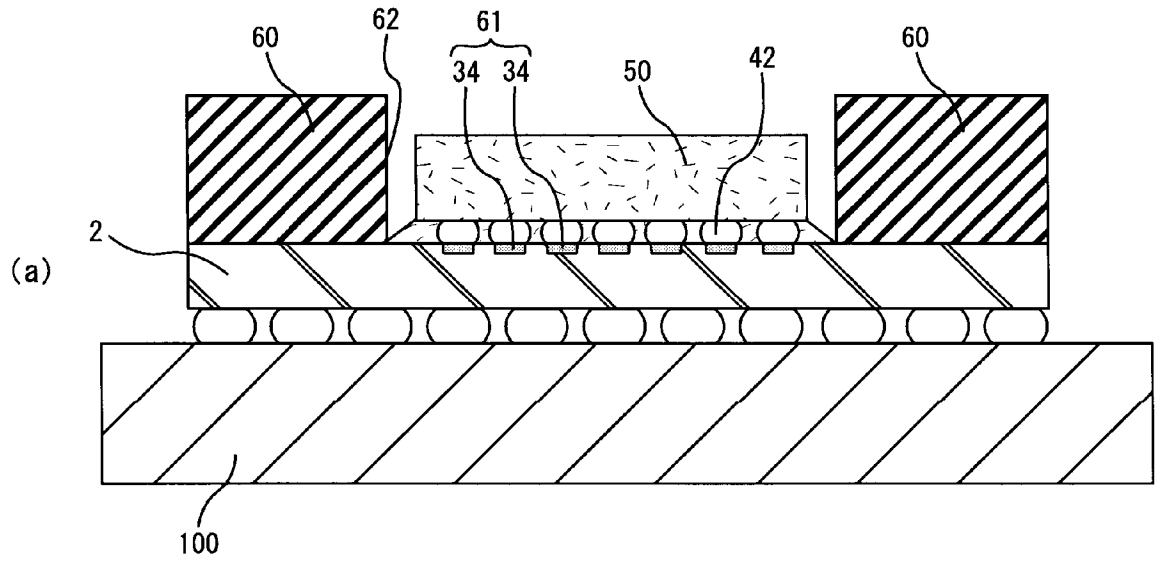
[図7]



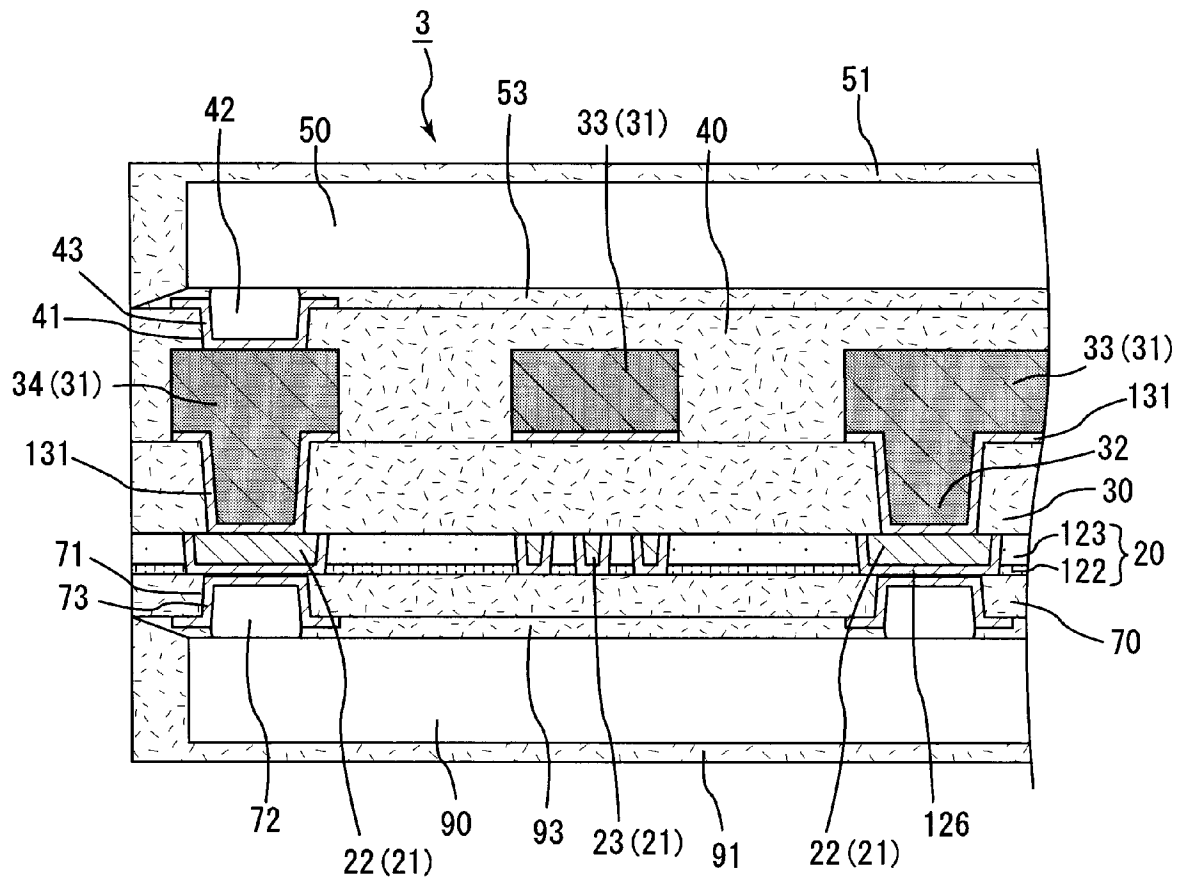
[図8]



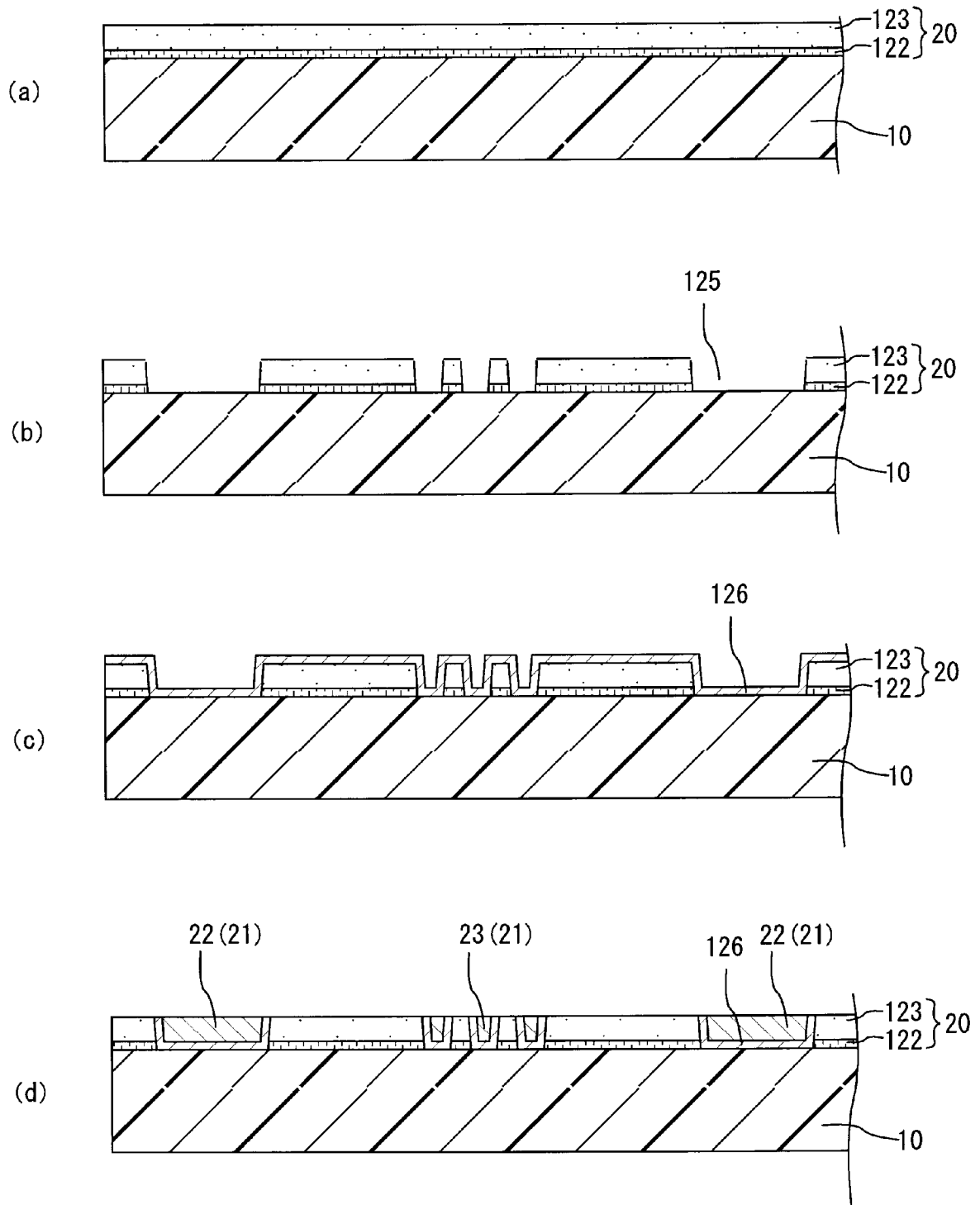
[図9]



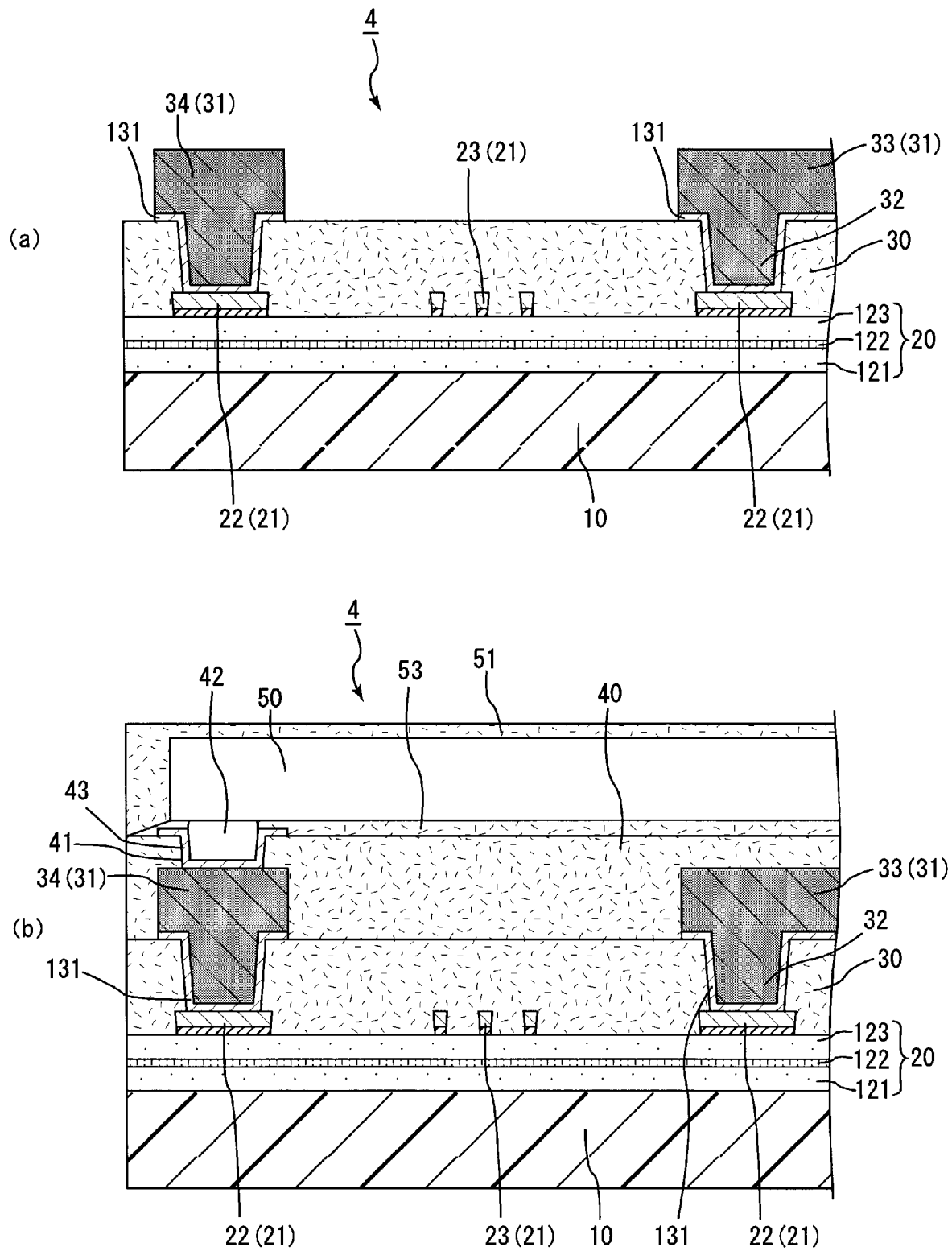
[図10]



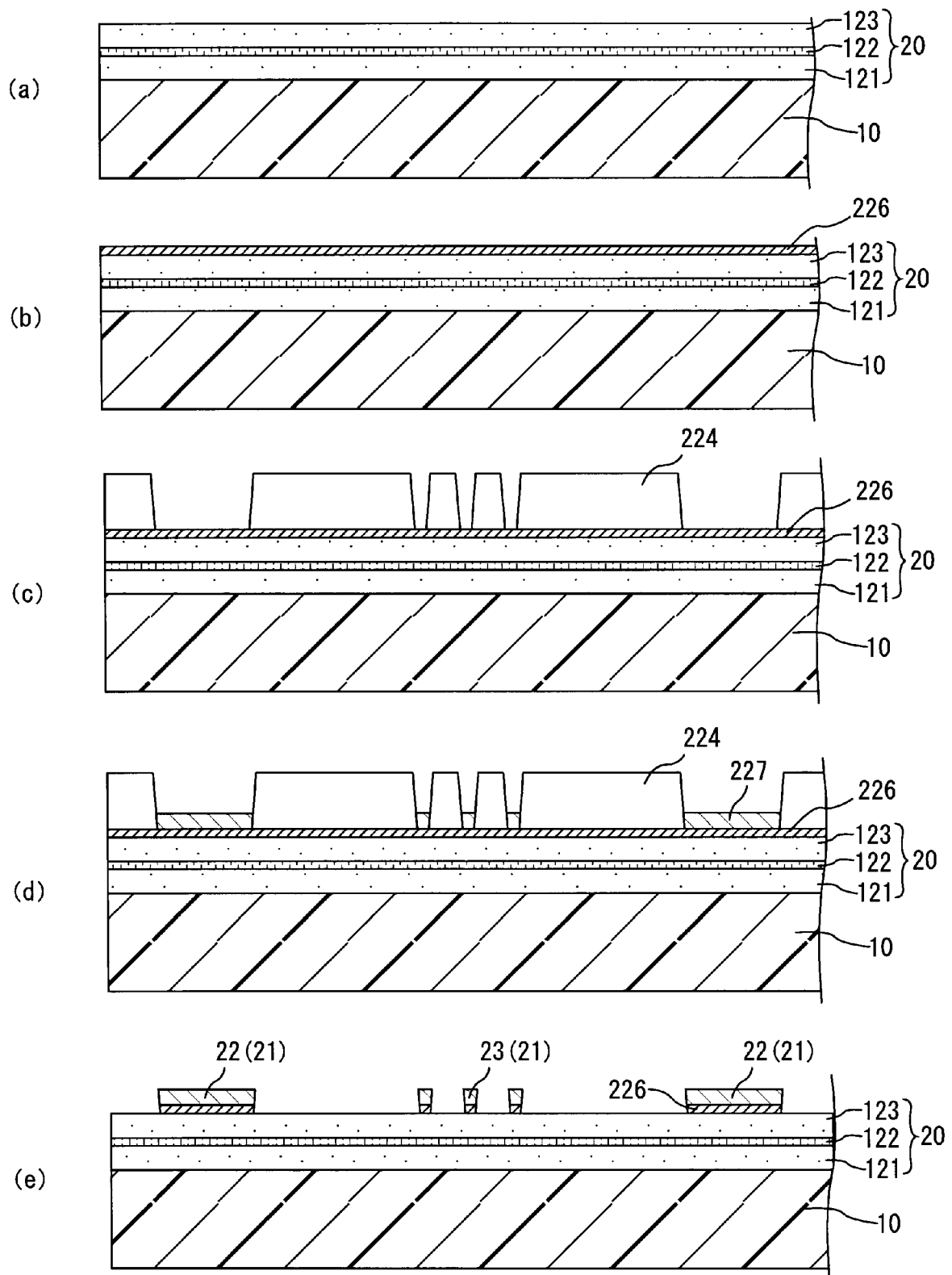
[図11]



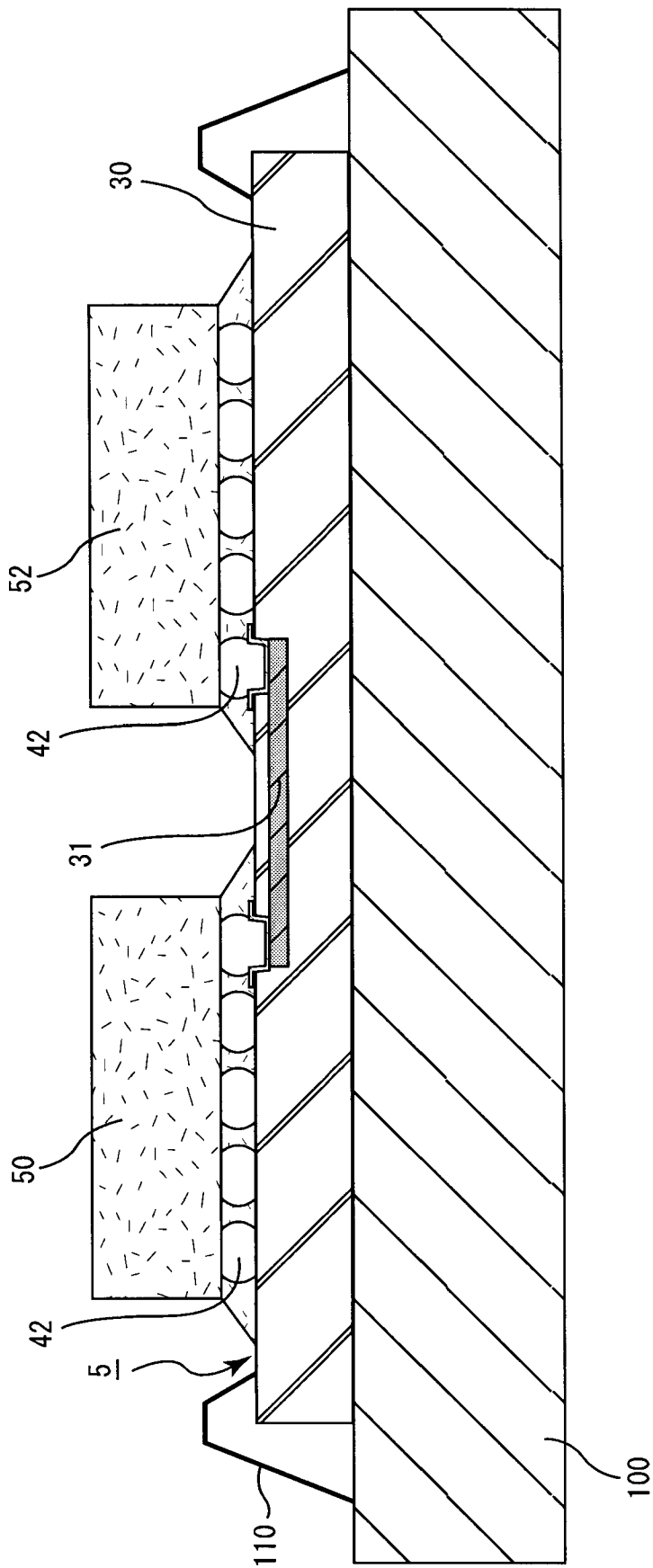
[図13]



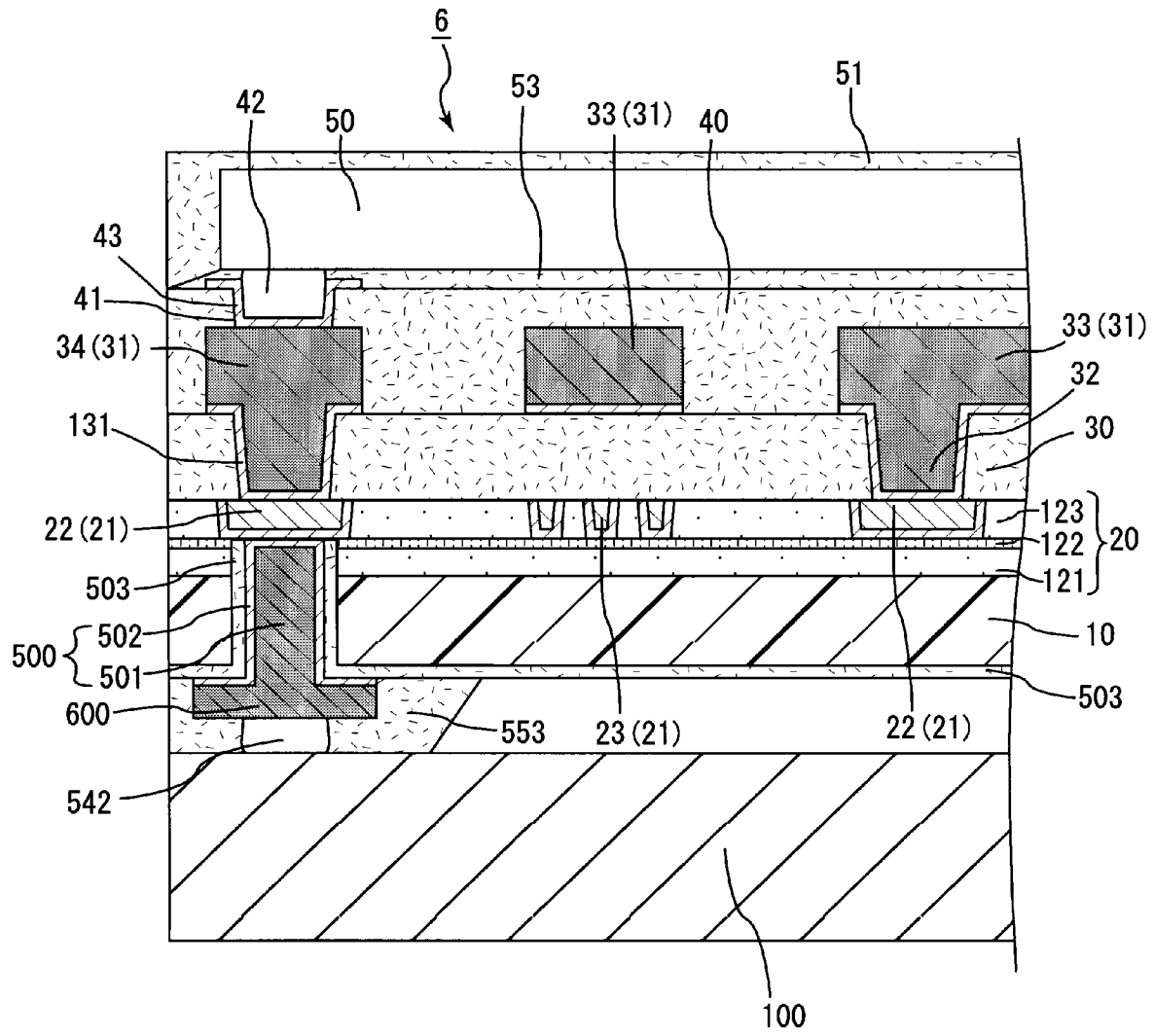
[図14]



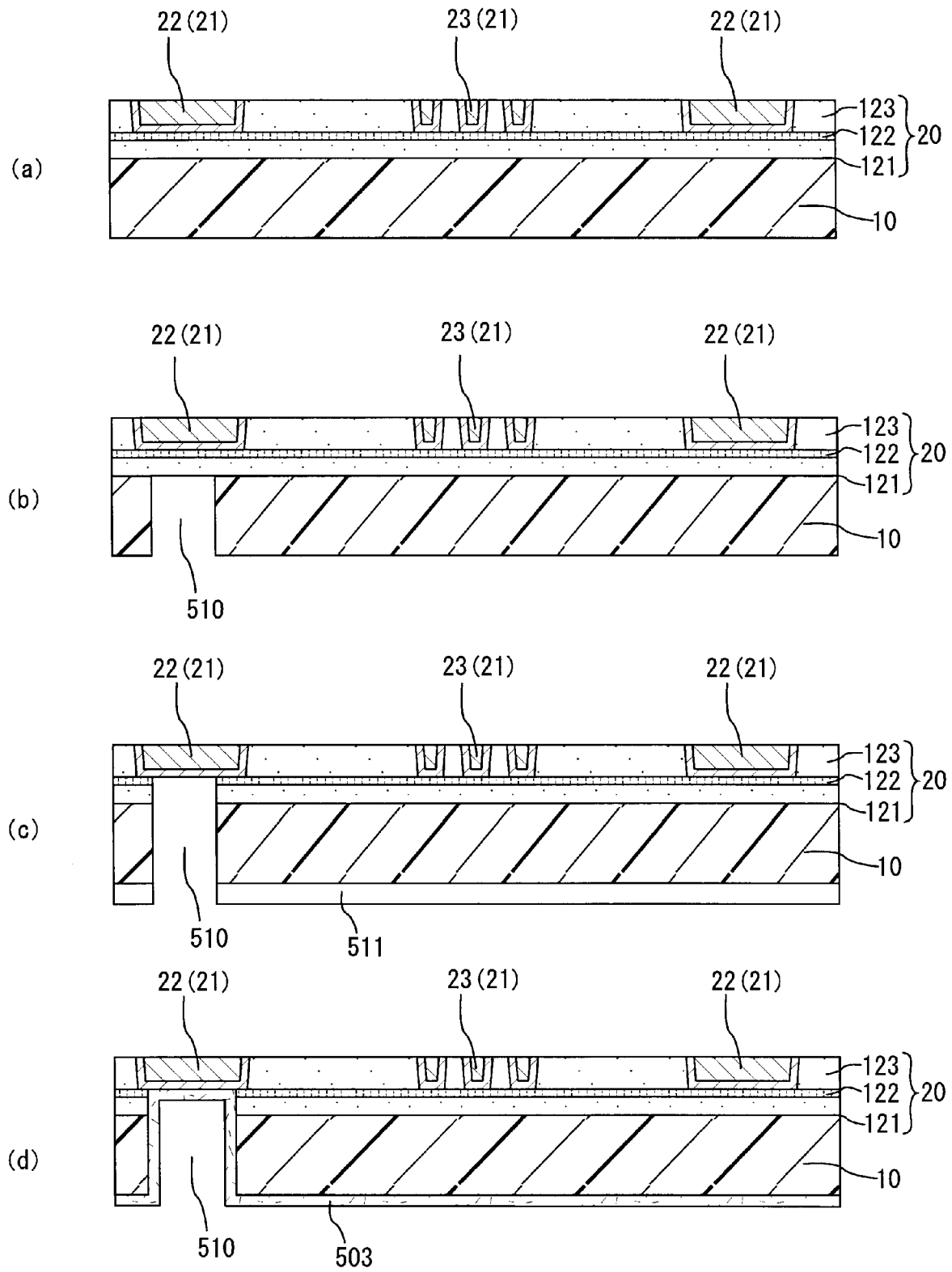
[図15]



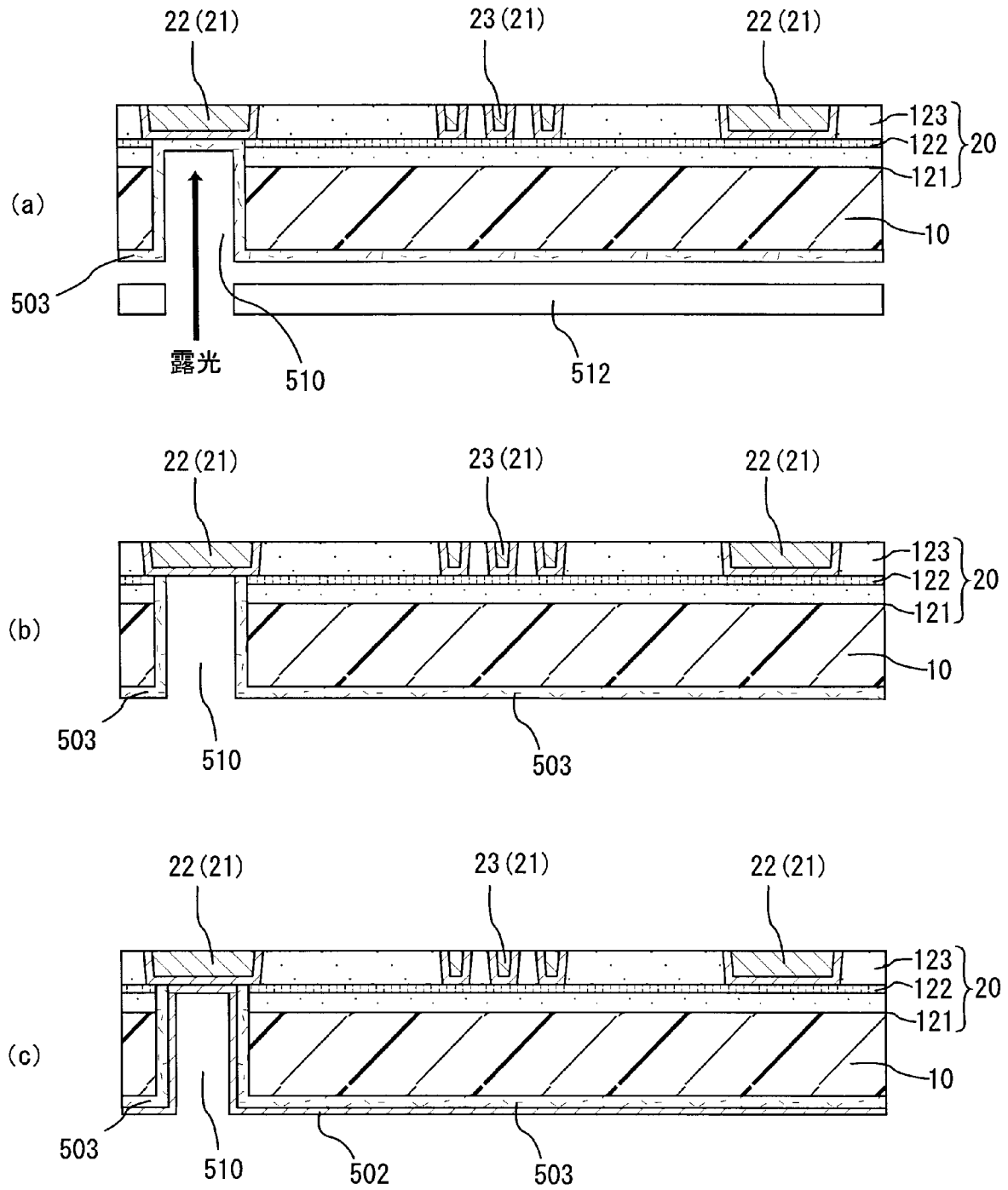
[図16]



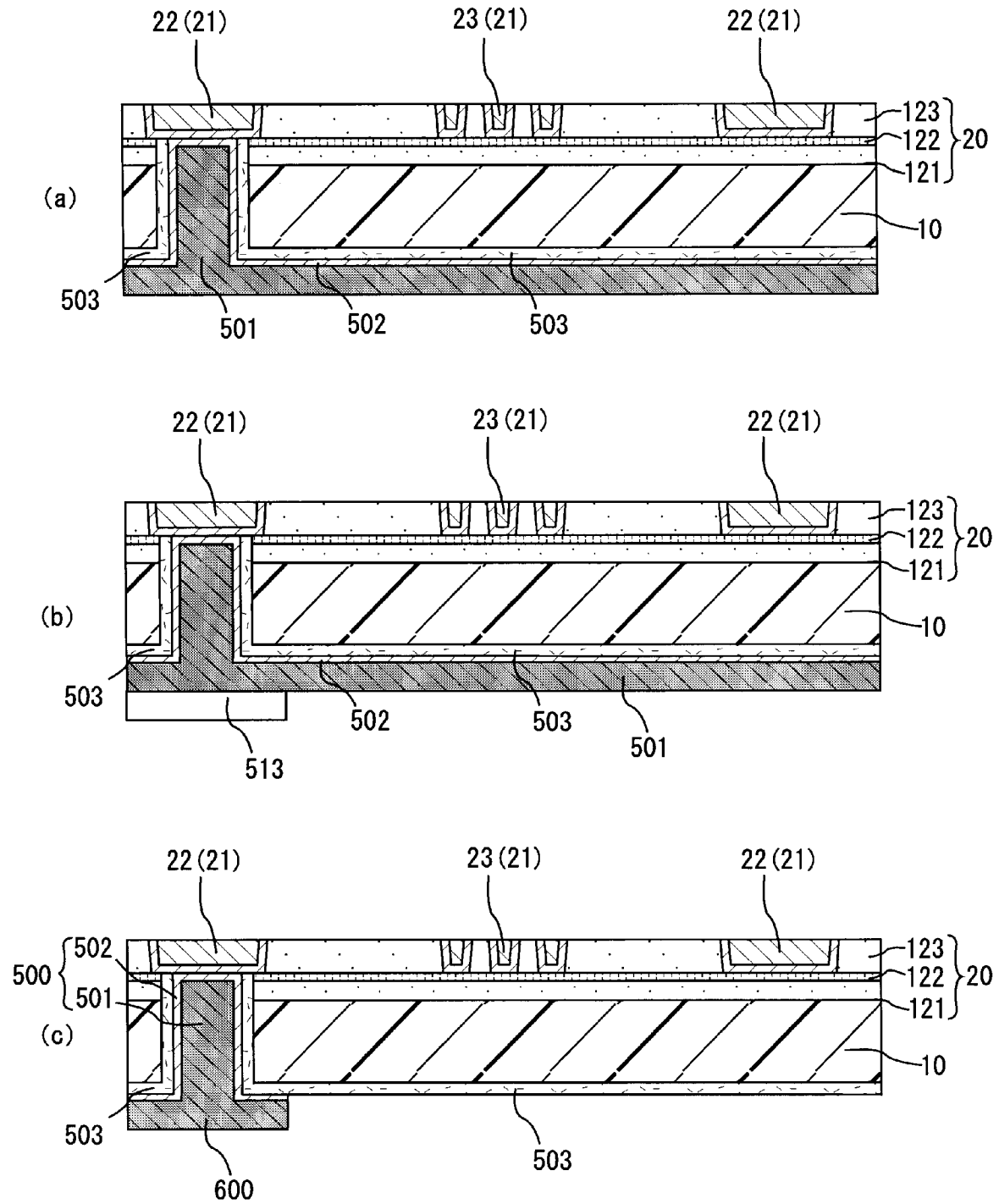
[図17]



[図18]



[図19]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2008/068383

A. CLASSIFICATION OF SUBJECT MATTER
H01L23/32 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L23/32

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2008
Kokai Jitsuyo Shinan Koho	1971-2008	Toroku Jitsuyo Shinan Koho	1994-2008

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2005-317705 A (NEC Corp.), 10 November, 2005 (10.11.05), Full text; all drawings (Family: none)	1, 4-5, 9-18 2-3, 6-8, 19

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 30 October, 2008 (30.10.08)	Date of mailing of the international search report 11 November, 2008 (11.11.08)
------------------------------------------------------------------------------------------	------------------------------------------------------------------------------------

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L23/32(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L23/32

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2008年
日本国実用新案登録公報	1996-2008年
日本国登録実用新案公報	1994-2008年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X A	JP 2005-317705 A (日本電気株式会社) 2005. 11. 10, 全文, 全図 (ファミリーなし)	1, 4-5, 9-18 2-3, 6-8, 19

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的な技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

30. 10. 2008

国際調査報告の発送日

11. 11. 2008

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

宮崎 園子

電話番号 03-3581-1101 内線 3471

4R

9277