



(21) 申請案號：109123550 (22) 申請日：中華民國 109 (2020) 年 07 月 13 日
 (51) Int. Cl. : *H01L27/1157(2017.01)* *H01L21/8239(2006.01)*
 (30) 優先權：2020/05/25 世界智慧財產權組織 PCT/CN2020/092081
 (71) 申請人：大陸商長江存儲科技有限責任公司 (中國大陸) YANGTZE MEMORY TECHNOLOGIES CO., LTD. (CN)
 中國大陸
 (72) 發明人：孫中旺 SUN, ZHONGWANG (CN) ; 張中 ZHANG, ZHONG (CN) ; 劉磊 LIU, LEI (CN) ; 周文犀 ZHOU, WENXI (SG) ; 夏志良 XIA, ZHILIANG (CN)
 (74) 代理人：吳豐任 ; 戴俊彥
 申請實體審查：有 申請專利範圍項數：20 項 圖式數：26 共 60 頁

(54) 名稱

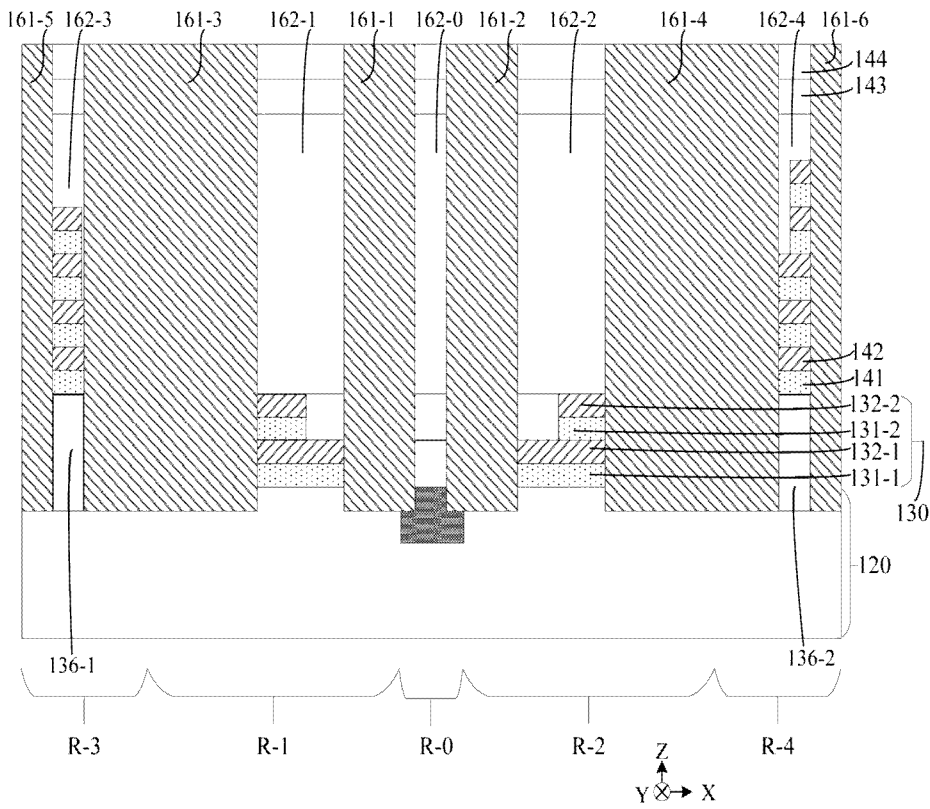
記憶裝置及其形成方法

(57) 摘要

記憶裝置包括底部選擇閘 (BSG) 結構。在襯底上穿過 BSG 結構垂直形成切縫。在 BSG 結構上形成單元-層結構。閘極線狹縫垂直穿過單元-層結構和 BSG 結構形成至襯底中，並且沿第一橫向方向佈置以區分指狀區域。閘極線狹縫包括在第一指狀區域與第二指狀區域之間的第一閘極線狹縫，第一閘極線狹縫包括閘極線子狹縫。切縫包括第一切縫，第一切縫形成於第二指狀區域中並連接到閘極線子狹縫，以在第二指狀區域的第一部分中限定 BSG。第二指狀區域的第一部分中的 BSG 通過一個閘極線子狹縫和相鄰閘極線子狹縫之間的居間部分電性連接到在第一指狀區域中的單元串。

A memory device includes a bottom select gate (BSG) structure. A slit is vertically formed penetrating through the BSG structure on a substrate. A cell-layer structure is formed on the BSG structure. A gate line slit is formed in the substrate by penetrating through the cell-layer structure and the BSG structure vertically and disposed in a first lateral direction for dividing finger-shaped regions. The gate line slit includes a first gate line slit located between a first finger-shaped region and a second finger-shaped region, and the first gate line slit includes a gate line sub slit. The slit includes a first slit formed in the second finger-shaped region and connected with the gate line sub slit for limiting a BSG in a first part of the second finger-shaped region. The BSG located in the first part of the second finger-shaped region is electrically connected to a cell string in the first finger-shaped region via a medium portion between one gate line sub slit and an adjacent gate line sub slit.

指定代表圖：



符號簡單說明：

- 120:襯底
- 130:BSG 結構
- 131-1:絕緣層
- 131-2:絕緣層
- 132-1:犧牲層
- 132-2:犧牲層
- 136-1:切縫
- 136-2:切縫
- 141:絕緣層
- 142:犧牲層
- 143:絕緣層
- 144:絕緣層
- 161-1:閘極線子狹縫
- 161-2:閘極線子狹縫
- 161-3:閘極線子狹縫
- 161-4:閘極線子狹縫
- 161-5:閘極線子狹縫
- 161-6:閘極線子狹縫
- 162-0:子狹縫間部分
- 162-1:子狹縫間部分
- 162-2:子狹縫間部分
- 162-3:子狹縫間部分
- 162-4:子狹縫間部分
- R-0:區域
- R-1:區域
- R-2:區域
- R-3:區域
- R-4:區域

第20圖



202145537

【發明摘要】**【中文發明名稱】** 記憶裝置及其形成方法**【英文發明名稱】** MEMORY DEVICE AND METHOD OF FORMING THE SAME**【中文】**

記憶裝置包括底部選擇閘 (BSG) 結構。在襯底上穿過BSG結構垂直形成切縫。在BSG結構上形成單元-層結構。閘極線狹縫垂直穿過單元-層結構和BSG結構形成至襯底中，並且沿第一橫向方向佈置以區分指狀區域。閘極線狹縫包括在第一指狀區域與第二指狀區域之間的第一閘極線狹縫，第一閘極線狹縫包括閘極線子狹縫。切縫包括第一切縫，第一切縫形成於第二指狀區域中並連接到閘極線子狹縫，以在第二指狀區域的第一部分中限定BSG。第二指狀區域的第一部分中的BSG通過一個閘極線子狹縫和相鄰閘極線子狹縫之間的居間部分電性連接到在第一指狀區域中的單元串。

【英文】

A memory device includes a bottom select gate (BSG) structure. A slit is vertically formed penetrating through the BSG structure on a substrate. A cell-layer structure is formed on the BSG structure. A gate line slit is formed in the substrate by penetrating through the cell-layer structure and the BSG structure vertically and disposed in a first lateral direction for dividing finger-shaped regions. The gate line slit includes a first gate line slit located between a first finger-shaped region and a second finger-shaped region, and the first gate line slit includes a gate line sub slit. The slit includes a first slit formed in the second finger-shaped region and connected with the gate line sub slit for limiting a BSG in a first part of the second finger-shaped region.

The BSG located in the first part of the second finger-shaped region is electrically connected to a cell string in the first finger-shaped region via a medium portion between one gate line sub slit and an adjacent gate line sub slit.

【指定代表圖】第（ 20 ）圖。

【代表圖之符號簡單說明】

120:襯底

130:BSG結構

131-1:絕緣層

131-2:絕緣層

132-1:犧牲層

132-2:犧牲層

136-1:切縫

136-2:切縫

141:絕緣層

142:犧牲層

143:絕緣層

144:絕緣層

161-1:閘極線子狹縫

161-2:閘極線子狹縫

161-3:閘極線子狹縫

161-4:閘極線子狹縫

161-5:閘極線子狹縫

161-6:閘極線子狹縫

162-0:子狹縫間部分

162-1:子狹縫間部分

162-2:子狹縫間部分

162-3:子狹縫間部分

162-4:子狹縫間部分

R-0:區域

R-1:區域

R-2:區域

R-3:區域

R-4:區域

【特徵化學式】

無

【發明說明書】

【中文發明名稱】 記憶裝置及其形成方法

【英文發明名稱】MEMORY DEVICE AND METHOD OF FORMING THE SAME

【技術領域】

【0001】 概括地說，本申請涉及記憶體技術的領域，並且更具體而言，涉及記憶裝置及其形成方法。

【先前技術】

【0002】 3維記憶裝置，諸如NAND記憶裝置中常常使用階梯結構。階梯結構可以包括許多電極階梯。可以在階梯上形成垂直接觸以電性連接到對應電極。底部選擇閘是用於選擇NAND串的電極，並且底部選擇閘的階梯處於階梯結構的底部。

【發明內容】

【0003】 本公開內容的一個方面包括記憶裝置。該記憶裝置包括在襯底上的底部選擇閘（BSG）結構，包括穿過所述BSG結構垂直形成的切縫。單元-層結構形成於BSG結構上。閘極線狹縫垂直穿過單元-層結構和BSG結構結構形成至襯底中，並且沿第一橫向方向佈置以區分複數個指狀區域。閘極線狹縫包括在複數個指狀區域中的第一指狀區域與第二指狀區域之間的第一閘極線狹縫，第一閘極線狹縫包括閘極線子狹縫。切縫包括第一切縫，第一切縫形成於第二指狀區域中並且連接到第一閘極線狹縫的閘極線子狹縫，以在第二指狀區域的第一部分中限定BSG。在第二指狀區域的第一部分中的BSG通過在第一閘極線狹縫

的一個閘極線子狹縫與相鄰閘極線子狹縫之間的居間部分電性連接到在第一指狀區域中的單元串。

【0004】 可選地，第一切縫將在第二指狀區域的第一部分中的BSG與在第二指狀區域的第二部分中的BSG電性分隔。在第二指狀區域的第二部分中的BSG電性連接到在第二指狀區域中的單元串。在第二指狀區域的第一部分中的BSG和在第二指狀區域的第二部分中的BSG具有距襯底相同的高度。

【0005】 可選地，切縫還包括一個或複數個第二切縫，各自連接在相同閘極線狹縫中的相鄰閘極線子狹縫。

【0006】 可選地，該記憶裝置還包括形成於在襯底上方的複數個指狀區域中的偽通道；以及形成於除第一指狀區域之外的複數個指狀區域中BSG結構的BSG上的接觸。

【0007】 可選地，第一指狀區域被限定在連續閘極線狹縫與包括閘極線子狹縫的第一閘極線狹縫之間。壁結構形成於襯底上方的第一指狀區域中。壁結構包括交替電極/絕緣層對的堆疊結構。

【0008】 可選地，切縫在襯底上的正投影包括直線段。

【0009】 可選地，該記憶裝置還包括另一BSG結構。襯底包括階梯結構區域，並且在襯底的階梯結構區域中形成摻雜阱。BSG結構和另一BSG結構形成於襯底的階梯結構區域上且在摻雜阱的相對側上。BSG結構的頂部和另一BSG結構的頂部具有距襯底不同的高度。襯底還包括第一陣列區域和第二陣列區域，並且階梯結構區域在第一陣列區域和第二陣列區域之間，沿第二橫向方向佈置。

【0010】 可選地，單元-層結構包括交替電極/絕緣層對的堆疊結構。

【0011】 可選地，在BSG結構上方的第二指狀區域中的字元線通過在第一閘極線狹縫的一個閘極線子狹縫與相鄰閘極線子狹縫之間的居間部分連接到在第一指狀區域中的電極層。

- 【0012】 可選地，記憶裝置還包括形成於切縫中的絕緣材料。
- 【0013】 本公開內容的另一方面包括一種用於形成記憶裝置的方法。在襯底上形成底部選擇閘（BSG）結構。在襯底上穿過BSG結構垂直形成切縫。在BSG結構上形成單元-層結構。閘極線狹縫垂直穿過單元-層結構和BSG結構結構形成至襯底中，並且沿第一橫向方向佈置以區分複數個指狀區域。閘極線狹縫包括在複數個指狀區域的第一指狀區域與第二指狀區域之間的第一閘極線狹縫，第一閘極線狹縫包括閘極線子狹縫。切縫包括第一切縫，第一切縫形成於第二指狀區域中並且連接到第一閘極線狹縫的閘極線子狹縫，以在第二指狀區域的第一部分中限定BSG。在第二指狀區域的第一部分中的BSG通過在第一閘極線狹縫的一個閘極線子狹縫與相鄰閘極線子狹縫之間的居間部分電性連接到在第一指狀區域中的單元串。
- 【0014】 可選地，第一切縫將在第二指狀區域的第一部分中的BSG與在第二指狀區域的第二部分中的BSG電性分隔。
- 【0015】 可選地，在第二指狀區域的第二部分中的BSG電性連接到在第二指狀區域中的單元串。在第二指狀區域的第一部分中的BSG和在第二指狀區域的第二部分中的BSG具有距襯底相同的高度。切縫還包括一個或複數個第二切縫，各自連接在相同閘極線狹縫中的相鄰閘極線子狹縫。
- 【0016】 可選地，在襯底上方的複數個指狀區域中形成偽通道；並且在除第一指狀區域之外的複數個指狀區域中的BSG上形成接觸。
- 【0017】 可選地，第一指狀區域被限定在連續閘極線狹縫與包括閘極線子狹縫的第一閘極線狹縫之間。壁結構形成於襯底上方的第一指狀區域中。壁結構包括交替電極/絕緣層對的堆疊結構。
- 【0018】 可選地，切縫在襯底上的正投影包括直線段。
- 【0019】 可選地，形成另一BSG結構。襯底包括階梯結構區域，以及形成在

襯底的階梯結構區域中的摻雜阱。BSG結構和另一BSG結構形成於襯底的階梯結構區域上且在摻雜阱的相對側上。BSG結構的頂部和另一BSG結構的頂部具有距襯底不同的高度。襯底還包括第一陣列區域和第二陣列區域，並且階梯結構區域在第一陣列區域與第二陣列區域之間，沿第二橫向方向佈置。

【0020】 可選地，單元-層結構在形成閘極線狹縫之前包括交替犧牲層/絕緣層對的堆疊結構。

【0021】 可選地，在BSG結構上方的第二指狀區域中的字元線通過在第一閘極線狹縫的一個閘極線子狹縫與相鄰閘極線子狹縫之間的居間部分連接到在第一指狀區域中的電極層。

【0022】 可選地，在切縫中沉積絕緣材料。

【0023】 本公開內容的其它方面可以由本領域的技術人員考慮到本公開內容的說明書、發明申請專利範圍和圖式來理解。

【圖式簡單說明】

【0024】

第1圖示出了根據本公開內容的各實施例的示例性三維（3D）記憶裝置的示意圖。

第2圖示出了根據本公開內容的各實施例的示例性3D記憶裝置的第一半導體結構的示意圖。

第3圖示出了根據本公開內容的各實施例的在3D記憶裝置的塊中的示例性階梯結構區域。

第4圖示出了根據本公開內容的各實施例的用於形成三維記憶裝置的示例性方法的流程圖。

第5圖示出了根據本公開內容的各實施例的示例性3D記憶裝置的襯底的示

意圖。

第6圖到第9圖示出了根據本公開內容的各實施例的在形成底部選擇閘（BSG）結構的過程期間在特定階段的結構。

第10圖示出了根據本公開內容的各實施例的形成切縫的過程期間在特定階段的結構。

第11圖到第16圖示出了根據本公開內容的各實施例的在形成單元-層結構的過程期間在特定階段的結構。

第17圖到第18圖示出了根據本公開內容的各實施例的在形成通道的過程期間在特定階段的結構。

第19圖到第20圖示出了根據本公開內容的各實施例的在形成一個或複數個閘極線狹縫的過程期間在特定階段的結構。

第21圖示出了根據本公開內容的各實施例的在去除3D記憶裝置中的犧牲層並且形成複數個電極之後，沿第19圖中的方向G1-G2的截面圖。

第22圖示出了根據本公開內容的各實施例的示例性閘極線狹縫和切縫在襯底上的正投影的示意圖。

第23圖示出了根據本公開內容的各實施例的在形成接觸的過程期間在特定階段的結構。

第24圖示出了根據本公開內容的各實施例的包括在第一半導體結構上的第二半導體結構的示例性3D記憶裝置。

第25圖示出了根據本公開內容的各實施例的另一種示例性3D記憶裝置。

第26圖示出了根據本公開內容的各實施例，3D記憶裝置的閘極線狹縫和切縫的並且在階梯結構區域中的正投影的另一示意圖。

【實施方式】

【0025】 下文參考圖式描述了本發明實施例中的技術解決方案。在任何可能的的情況下，將在所有圖式中使用相同的圖式標記來指示相同或相似部分。顯而易見地，所述實施例僅僅是本發明實施例的一些而非全部。本領域技術人員基於本發明的實施例、未經創造性勞動而獲得的其它實施例應當落在本公開內容的保護範圍之內。

【0026】 在本公開內容的說明書、發明申請專利範圍和圖式中，術語“第一”、“第二”、“第三”、“第四”等（如果有的話）旨在在類似物件之間進行區分，未必表示順序或序列。應當理解的是，可以按照例如除本文所示或所述順序之外的順序來實施本文所述的本公開內容的實施例。

【0027】 可以根據實際需求來選擇製程的一些或全部製程以實現本公開內容的目的。可以根據實際需求選擇元件中的一些或全部元件以實現本公開內容的目的。

【0028】 本文中使用的術語“一個或複數個”等可以用於描述單數意義的特徵、結構或特性或/及者可以用於描述複數意義的特徵、結構或特性的組合。類似地，術語“一（a）”、“一個（an）”和“所述（the）”可以用於傳達單數用途或/及傳達複數用途。

【0029】 應當理解，本公開內容中的“在……上”、“在……上方”和“之上”的含義應當以最寬泛的方式來解釋，使得“在……上”不僅表示“直接在”某物“上”而且包括在某物“上”並且之間具有居間特徵或層，且“在……上方”或“之上”不僅表示“在”某物“上方”或“之上”的意思，而且還可以包括“在”某物“上方”或“之上”並且之間沒有居間特徵或層（即，直接在某物上）的意思。

【0030】 此外，空間術語“在……之下”、“在……下方”、“下”、“在……上方”、“上”、“頂部”、“底部”等等可以在本文中使用的以便於描述而描

述如在圖式中示出的一個元件或特徵與另外一個或複數個元件或一個或複數個特徵的關係。空間術語旨在涵蓋除了在圖式所示朝向之外的裝置在使用或操作過程中的不同的朝向。裝置可以具有其它朝向（旋轉90度或在其它朝向），並且本文中使用的空間相對描述詞可以類似被相應地解釋。

【0031】 本公開內容提供了三維（3D）記憶裝置以及用於形成其的方法。第1圖示出了根據本公開內容的各實施例的示例性三維（3D）記憶裝置的示意圖。第2圖示出了根據本公開內容的各實施例的示例性3D記憶裝置的第一半導體結構的示意圖。第3圖示出了根據本公開內容的各實施例的在3D記憶裝置的塊中的示例性階梯結構區域。第4圖示出了用於形成3D記憶裝置的示例性方法的流程圖。第5圖到第24圖示出了形成示例性3D記憶裝置的在特定階段的結構的示意圖。例如，第5圖到第15圖以及第17圖到第23圖示出了示例性3D記憶裝置在階梯結構區域中的結構的示意圖，第16圖示出了在示例性陣列區域中結構的示意圖。第25圖示出了根據本公開內容的各實施例的另一種示例性3D記憶裝置。第26圖示出了3D記憶裝置的閘極線狹縫和切縫的並且在襯底上在階梯結構區域中的正投影的另一示意圖。

【0032】 第1圖示出了根據本公開內容的各實施例的示例性三維（3D）記憶裝置的示意圖。3D記憶裝置100包括第一半導體結構110和第二半導體結構210。第一半導體結構110可以包括襯底120。在襯底的表面平面中或平行於該表面平面的第一方向被表示為X方向。在襯底的表面平面中或平行於該表面平面的第二方向被表示為Y方向，字母“Y”附近並且示出圓形和交叉組合的符號表示第1圖中的Y方向指向相對於圖式的圖頁的內部。與襯底的表面平面垂直的第三方向被表示為Z方向。

【0033】 相對於襯底而言的垂直方向可以是沿第三方向的方向（例如，Z方向）。相對於襯底而言的橫向或水平方向可以是平行於襯底的表面平面的方向

(例如，X或/及Y方向)。橫向或水平平面可以是平行於襯底表面平面的平面。

【0034】 第一半導體結構110可以包括存儲單元、字元線、接觸、通道、底部選擇閘、頂部選擇閘、階梯等。階梯可以包括一個或複數個臺階或梯級。底部選擇閘(bottom select gate)也可以被稱為“底部選擇閘級”(bottom-select-gate)或“BSG”。頂部選擇閘(top select gate)也可以被稱為“頂部選擇閘級”(top-select-gate)或“TSG”。第二半導體結構210可以包括後段製程互連層。在一些實施例中，第二半導體結構210可以直接形成在第一半導體結構110上。在其它實施例中，第二半導體結構210可以相對於第一半導體結構110單獨地形成，並且還與第一半導體結構110接合。

【0035】 第2圖示出了根據本公開內容的各實施例的示例性3D記憶裝置的第一半導體結構的示意上視圖。例如，第一半導體結構110可以包括一個或複數個塊，諸如塊B-1、塊B-2等。塊B-N表示第N個塊，其中N可以是正整數。可以沿Y方向佈置塊並且每個塊可以沿X方向延伸。第一半導體結構110的每個塊都可以包括第一陣列區域，表示為“AR-1”；第二陣列區域，表示為“AR-2”；以及階梯結構區域，表示為“SSR”，階梯結構區域是在每個塊中的在第一陣列區域與第二陣列區域之間的中心區域並且包括梯級。在AR-1和B-1兩者中的區域，即，在塊B-1中的第一陣列區域，被表示為區域(AR-1, B-1)。在階梯結構SSR和B-1兩者中的區域，即，塊B-1中的階梯結構區域，被表示為區域(SSR, B-1)。在AR-2和B-1兩者中的區域，即，塊B-1中的第二陣列區域，被表示為區域(AR-2, B-1)。在AR-1和B-N兩者中的區域，即，塊B-N中的第一陣列區域，被表示為區域(AR-1, B-N)。

【0036】 第3圖示出了根據本公開內容的各實施例的在3D記憶裝置的塊中的示例性階梯結構區域。階梯結構區域可以包括摻雜阱區域，表示為區域“R-0”；第一BSG區域，表示為區域“R-1”；第二BSG區域，表示為區域“R-2”；第一字

元線階梯區域，表示為區域“R-3”；第二字元線階梯區域，表示為區域“R-4”。區域R-0、R-1、R-2、R-3和R-4可以沿Z方向從襯底或從襯底內部的位位置從襯底110延伸。用於底部選擇閘的一個或複數個梯級可以形成於區域R-1和R-2中；以及用於字元線或/及頂部選擇閘的一個或複數個梯級可以形成於區域R-3和R-4中。區域R1可以包括第一子區域R-11和第二子區域R-12。區域R2可以包括第一子區域R-21和第二子區域R-22。區域F-1、F-2、F-3分別是3D記憶裝置中的塊的第一指狀區域、第二指狀區域和第三指狀區域。區域(R-1, F-1)是指在第一指狀區域和第一BSG區域兩者中的區域，即，第一指狀區域和第一BSG區域的重疊區域。區域(R-m, F-n)是指在區域R-m和區域F-n中的區域，即，區域R-m和區域F-n的重疊區域，其中m和n是諸如正整數的適當數位。例如，如果m=2且n=3，則區域(R-m, F-n)則是區域(R-2, F-3)，其是在區域R-2和區域F-3兩者中的區域，即，區域R-2和區域F-3的重疊區域。

【0037】 在一些實施例中，階梯結構區域(SSR)可以包括：包括字元線梯級的第一字元線梯級區域(R-3)、包括底部選擇閘和BSG梯級的第一BSG區域(R-1)、包括摻雜阱的摻雜阱區域(R-0)、包括底部選擇閘和BSG階梯的第二BSG區域(R-2)以及包括字元線梯級的第二字元線梯級區域(R-4)。例如，可以從一個區域到另一個區域沿第一方向佈置第一字元線梯級區域(R-3)、第一BSG區域(R-1)、摻雜阱區域(R-0)、第二BSG區域(R-2)和第二字元線梯級區域(R-4)，並且可以各自沿第一方向或/及第二方向延伸。

【0038】 在本公開內容中，可以根據各種應用場景來選擇在塊中指狀區域的數量。例如，指狀區域的數量可以是2、3、4或任何其它適當的數量。

【0039】 第4圖示出了根據本公開內容的各實施例的用於形成3D記憶裝置的示例性方法的流程圖。參考第4圖，形成第一半導體結構(S610)。

【0040】 為了形成第一半導體結構，提供襯底(S611)。對應地，第5圖示出

了根據本公開內容的各實施例的示例性3D記憶裝置的襯底的示意圖。

【0041】 在第5圖中，襯底120包括摻雜阱121。摻雜阱121可以沿Y方向延伸。襯底120可以包括矽，諸如單晶矽、矽鍺、砷化鎵、鍺（Ge）或任何其它適當材料。摻雜阱121可以完全或部分地摻雜有n型或/及p型摻雜劑。例如，摻雜阱可以是p阱，即，摻雜有p型摻雜劑的阱，或n阱，摻雜有n型摻雜劑的阱。出於例示的目的，第5圖中僅部分地示出了在階梯結構區域SSR中的結構。襯底可以包括諸如陣列區域AR-1和AR-2的其它區域。

【0042】 返回第4圖，在襯底上形成底部選擇閘（BSG）結構（S612）。對應地，第6圖到第9圖示出了在形成BSG結構的過程期間在某些階段的結構。

【0043】 參考第6圖，在襯底120上形成包括用於BSG結構的交替佈置的犧牲層132和絕緣層131的堆疊結構。絕緣層131和相鄰犧牲層132形成層或對，諸如絕緣層/犧牲層對。相對於參考表面，例如，襯底表面，所述對可以在不同的高度。在一些實施例中，每個對都可以具有相同的厚度。在其它實施例中，每個對都可以具有不同的厚度。

【0044】 例如，在一些實施例中，犧牲層可以包括多晶矽、多晶鍺或/及氮化矽。例如，在一些實施例中，絕緣層可以包括諸如氧化矽的氧化物材料。

【0045】 在一些實施例中，犧牲層可以包括與絕緣層不同的任何適當材料。例如，犧牲層可以是氮化物，絕緣層可以是氧化物，以及犧牲層/絕緣層對可以是氮化物-氧化物對。

【0046】 可以根據各種應用場景選擇對的數量。例如，對的數量可以是1、2、3、4或任何其它適當的數量。

【0047】 在一些實施例中，堆疊結構可以包括一個或複數個犧牲層/絕緣層對，並且還可以包括底部絕緣層或/及頂部絕緣層。例如，堆疊結構可以包括底部絕緣層和一個或複數個犧牲層/絕緣層對，並且底部絕緣層與相鄰對的犧牲層

相接觸。在一些實施例中，在犧牲層/絕緣層對中，犧牲層可以在絕緣層的上方。在其它實施例中，在犧牲層/絕緣層對中，絕緣層可以在犧牲層的上方。

【0048】 第7圖到第9圖示出了包括襯底上的示例性BSG階梯的示例性BSG結構。第8圖是上視圖，以及第7圖是沿第8圖中的方向A1-A2的截面圖。

【0049】 參考第7圖和第8圖，BSG結構130可以包括例如，形成於襯底120的階梯結構區域(SSR)上和摻雜阱121相對側上的第一BSG結構和第二BSG結構。在一些實施例中，第一BSG結構的頂部和第二BSG結構的頂部可以具有距襯底120的相同高度或不同高度。

【0050】 在BSG結構130中形成梯級。例如，絕緣層131-1/犧牲層132-1對形成梯級(或階梯);以及絕緣層131-2/犧牲層132-2對形成另一個階梯。絕緣層131-1/犧牲層132-1梯級和絕緣層131-2/犧牲層132-2梯級具有不同的高度。梯級的高度可以是從參考平面沿Z方向到梯級表面的距離。例如，梯級表面可以是梯級的頂表面或一層梯級的頂表面。例如，參考平面可以是襯底的表面平面。

【0051】 可以在階梯結構區域(SSR)的中心平面O1-O2的兩側上形成在BSG結構中的梯級。例如，中心平面可以是平行於第二方向和第三方向並且在第一方向上在階梯結構區域的中心位置處的平面。絕緣層131-11/犧牲層132-11梯級和絕緣層131-21/犧牲層132-21梯級可以在中心平面O1-O2的一側上，並且絕緣層131-12/犧牲層132-12梯級和絕緣層131-22/犧牲層132-22梯級可以在中心平面O1-O2的另一側上。

【0052】 絕緣層131-11/犧牲層132-11梯級和絕緣層131-21/犧牲層132-21梯級的臺階邊緣可以沿X方向相對於彼此處在不同位置。絕緣層131-11/犧牲層132-11梯級延伸到第一子區域R-11中，以及絕緣層131-21/犧牲層132-21梯級延伸到第二子區域R-12中。亦即，絕緣層131-11/犧牲層132-11梯級的臺階邊緣在第一子區域R-11中，並且絕緣層131-21/犧牲層132-21梯級的臺階邊緣在第二子區域R-12中。

【0053】 在一些實施例中，可以通過蝕刻（諸如乾式蝕刻或濕式蝕刻）以移除交替佈置的犧牲層和絕緣層的部分，從而形成BSG梯級。

【0054】 參考第9圖，在BSG結構130中形成絕緣層134。例如，絕緣層可以包括氧化物。可以通過在BSG結構中的空白區域中，例如，在BSG結構130的梯級之間的區域中經由沉積製程，諸如化學氣相沉積（CVD）製程、物理氣相沉積（PVD）製程或/及原子層沉積（ALD）製程來沉積絕緣材料；並且經由諸如化學-機械平面化（CMP）的平面化製程來移除多餘的絕緣材料，從而形成絕緣層134。

【0055】 參考第4圖，在BSG結構中形成切縫，例如，BSG切縫（S613）。對應地，第10圖示出了根據本公開內容的各實施例的在形成切縫的過程的特定階段的結構。

【0056】 參考第10圖，在階梯結構區域SSR中形成複數個切縫。例如，切縫135-1可以形成於區域（R-1，F-2）中並且可以將在區域（R-1，F-2）中的BSG結構130的結構分隔成至少兩個部分。例如，可以由切縫135-1將在區域（R-1，F-2）中的BSG結構130的階梯分成至少兩個部分。

【0057】 在一些實施例中，BSG結構130在不同高度處的不同梯級可以延伸到第一子區域R-11和第二子區域R-12中。例如，參見第7圖、第9圖和第10圖，延伸到第二子區域R-12中的絕緣層131-21/犧牲層132-21梯級具有與延伸到第一子區域R-11中的絕緣層131-11/犧牲層132-11梯級的高度不同的高度；因此，在區域（R1，F-2）中，切縫135-1可以將絕緣層131-21/犧牲層132-21梯級分隔成兩個部分，並且將絕緣層131-11/犧牲層132-11梯級分隔成兩個部分。

【0058】 切縫135-2在區域（R-2，F-2）中，即，在第二指狀區域F-2的第二BSG區域R-2中，並且將在區域（R-2，F-2）中的BSG區域130的結構分隔成至少兩個部分。例如，可以將在區域（R-2，F-2）中的BSG結構130的梯級分成兩個部分。

【0059】 在一些實施例中，BSG結構130在不同高度處的不同梯級可以延伸到第一子區域R-21和第二子區域R-22中。例如，參見第7圖、第9圖和第10圖，延伸到第二子區域R-22中的絕緣層131-22/犧牲層132-22梯級具有與延伸到第一子區域R-21中的絕緣層131-12/犧牲層132-12梯級的高度不同的高度。因此，在區域(R2, F-2)中，切縫135-2可以將絕緣層131-22/犧牲層132-22梯級分隔成兩個部分，並且將絕緣層131-12/犧牲層132-12梯級分隔成兩個部分。

【0060】 參考第10圖，切縫136-1在區域F-1與F-2之間的邊界處並且在區域R-3中；以及切縫136-2在區域F-1與F-2之間的邊界處並且在區域R-4中。切縫137-1在區域F-2於F-3之間的邊界處並且在區域R-3中；以及切縫137-2在區域F-2與F-3之間的邊界處並且在區域R-4中。

【0061】 在一些實施例中，BSG結構130的切縫可以從BSG結構130的頂部延伸到襯底120的一部分。在一些實施例中，可以通過在BSG結構和襯底中形成溝槽並且經由沉積製程利用絕緣材料填充溝槽，從而形成BSG結構130的切縫。例如，可以通過在BSG結構上方形成遮罩層；通過使用微影對遮罩層進行圖案化以形成對應於溝槽的開口，並且去除BSG結構和襯底的由開口暴露的部分直到溝槽達到襯底中預設的深度，從而形成溝槽。例如，沉積製程可以包括CVD、PVD或/及ALD。絕緣材料可以包括氧化矽、氮化矽、氮氧化矽或/及任何其它適當的絕緣材料。在一些實施例中，可以使用化學-機械平面化(CMP)在沉積之後移除上方過量的絕緣材料。

【0062】 返回到第4圖，在BSG結構上形成包括交替佈置的層的單元-層結構(S614)。對應地，第11圖到第16圖示出了形成單元-層結構的過程中在某些階段的結構。

【0063】 第11圖到第12圖示出了包括用於在BSG結構和襯底上的單元-層結構的交替佈置的犧牲層和絕緣層的示例性堆疊結構。第12圖是上視圖，以及第11

圖是沿第12圖中的方向A1-A2的截面圖。

【0064】 參考第11圖和第12圖，在BSG結構130上沉積包括用於單元-層結構的交替佈置的犧牲層142和絕緣層141的堆疊結構。絕緣層和相鄰犧牲層可以形成層或對。例如，在一些實施例中，犧牲層可以包括多晶矽、多晶鍺或/及氮化矽。例如，在一些實施例中，絕緣材料可以包括諸如氧化矽的氧化物材料。

【0065】 可以根據各種應用場景選擇對的數量。例如，對的數量可以是正整數。例如，對的數量可以是6、16、18、32、34、64、66、132、134或任何其它適當的數量，諸如適當的正整數。

【0066】 在一些實施例中，堆疊結構可以包括一個或複數個犧牲層/絕緣層對，並且還可以包括底部絕緣層或/及頂部絕緣層。例如，堆疊可以包括底部絕緣層和一個或複數個犧牲層/絕緣層對，並且底部絕緣層與相鄰對的犧牲層相接觸。在一些實施例中，在犧牲層/絕緣層對中，犧牲層可以在絕緣層的上方。在其它實施例中，在犧牲層/絕緣層對中，絕緣層可以在犧牲層的上方。

【0067】 在一些實施例中，單元-層結構可以是這樣的結構：該結構包括延伸到三維記憶裝置的存儲單元的交替犧牲層/絕緣層對，或者如果犧牲層被電極替代，則該結構包括延伸到三維記憶裝置的存儲單元的交替電極/絕緣層對。例如，電極可以是金屬電極。

【0068】 第13圖到第15圖示出了根據本公開內容的各實施例包括梯級的示例性單元-層結構。第13圖示出了包括梯級的示例性單元-層結構的上視圖。第14圖示出了沿在第13圖中的方向B1-B2的截面圖。第15圖是沿在第13圖中的方向C1-C2的截面圖。C1-C2在第一半導體結構110的用於形成壁結構的壁區域中，即，區域F-1中。

【0069】 參考第13圖、第14圖和第15圖，去除在區域F-2和F-3中單元-層結構的犧牲層/絕緣層對的部分以在區域（R-4，F-2）和（R-4，F-3）中形成層對

141-12/142-12、141-22/142-22、141-32/142-32、141-42/142-42和141-52/142-52，並且在區域(R-3, F-2)和(R-3, F-3)中形成層對141-11/142-11、141-21/142-21、141-31/142-31和141-41/142-41。

【0070】 參考第13圖和第15圖，在區域F-1中，在區域(R-3, F-1)中的單元-層結構的犧牲層142/絕緣層141對連接到在區域(R-4, F-1)中的單元-層結構的犧牲層142/絕緣層141對。亦即，在區域F-1中，在區域(R-3, F-1)中的單元-層結構的犧牲層/絕緣層對延伸到在區域(R-4, F-1)中的單元-層結構的犧牲層/絕緣層對。因此，在第一陣列區域(即區域AR-1)中的單元-層結構的犧牲層/絕緣層對與在第二陣列區域(即區域AR-2(第13圖中未示出))中的單元-層結構的犧牲層/絕緣層對連接。區域F-1可以用於形成壁結構的壁區域，其中在區域(R-3, F-1)中的單元-層結構的層可以延伸到在區域(R-4, F-1)中單元-層結構的層。

【0071】 在一些實施例中，層對141-12/142-12、141-32/142-32和141-52/142-52可以形成梯級；以及層對141-21/142-21和141-41/142-41可以形成梯級。利用上述在區域F-1中的連接，區域R-3和區域R-4可以共用梯級。例如，層對141-12/142-12可以充當針對其自身和針對層對141-11/142-11的梯級；層對141-32/142-32可以充當針對其自身和針對層對141-31/142-31的梯級；層對141-21/142-21可以充當針對其自身和針對層對141-22/142-22的梯級；以及層對141-41/142-41可以充當針對其自身和針對層對141-42/142-42的梯級。共用梯級可以減少梯級的數量，從而減小階梯的長度。

【0072】 在其它實施例中，在中心平面O1-O2一側的層對可以各自形成梯級，並且在中心平面O1-O2另一側的層對可以各自形成梯級。

【0073】 在一些實施例中，在單元-層結構中的梯級可以包括用於字元線的梯級。在一些實施例中，在單元-層結構中的梯級可以包括用於字元線的梯級或/

及用於一個或複數個頂部選擇閘的梯級。在一些實施例中，在單元-層結構中的梯級可以包括用於字元線的梯級，並且可以在用於字元線的梯級上方進一步形成用於一個或複數個頂部選擇閘的梯級。

【0074】 形成單元-層結構（S614）還可以包括形成一個或複數個絕緣層。可以在單元-層結構的交替佈置的犧牲層和絕緣層上方形成絕緣層；以及在單元-層結構的梯級之間的空間上方形成絕緣層。例如，絕緣層可以包括氧化物。可以通過經由沉積製程，諸如化學氣相沉積（CVD）製程、物理氣相沉積（PVD）製程或/及原子層沉積（ALD）製程來沉積絕緣材料；並且經由諸如化學-機械平面化（CMP）的平面化製程移除多餘的絕緣材料，從而形成絕緣層。

【0075】 單元-層結構還可以包括在第一和第二陣列區域中的NAND串。例如NAND串可以是包括NAND存儲單元的存儲串。第16圖示出了在示例性陣列區域中的結構的示意圖。單元-層結構的陣列區域包括複數個NAND串152。陣列區域可以是例如，第一陣列區域或第二陣列區域。

【0076】 複數個NAND串152可以形成於襯底120的摻雜區域122上，並且可以穿過交替佈置的犧牲層142和絕緣層141以及絕緣層143垂直延伸。NAND串152可以包括磊晶層153、半導體通道155和介電層156，以及絕緣層154。磊晶層153可以在NAND串152的下端處並且可以接觸半導體通道155和襯底120的摻雜區域122兩者。磊晶層153可以充當由在NAND串下端處的選擇閘（例如底部選擇閘）控制的通道。在一些實施例中，半導體通道155可以包括矽，諸如非晶矽、多晶矽或/及單晶矽。在一些實施例中，介電層156可以包括隧穿層、存儲層和阻障層。NAND串152可以具有例如圓柱形形狀。在一些實施例中，隧穿層、存儲層和阻障層可以按照從圓柱中心朝向外表面這樣的順序佈置。例如，隧穿層可以接近半導體通道155；存儲層比隧穿層距半導體通道155更遠；並且阻障層比存儲層距半導體通道155更遠。NAND串152可以與交替佈置的犧牲層142和絕緣層141，

以及交替佈置的犧牲層132和絕緣層131相接觸。

【0077】 返回到第4圖，形成延伸穿過BSG結構和單元-層結構的通道(S615)。對應地，第17圖到第18圖示出了在形成通道的過程的某些階段的結構。第17圖示出了上視圖。第18圖是沿在第16圖中的方向E1-E2的截面圖。

【0078】 參考第17圖和第18圖，形成複數個通道151。參考第18圖，複數個通道151可以從單元-層結構的頂部部分延伸穿過BSG結構和單元-層結構到達襯底120的一部分。例如，複數個通道151可以從在單元-層結構的頂部處的絕緣層143延伸到襯底120的一部分。在一些實施例中，複數個通道可以包括偽通道，諸如在階梯結構區域SSR中的偽通道。偽通道可以在去除犧牲層期間支持一個或複數個堆疊和層。

【0079】 在一些實施例中，可以在單元-層結構上進一步形成絕緣層。對於形成絕緣層的細節，可以參考以上描述。

【0080】 返回第4圖，在三維記憶裝置的複數個指狀區域之間形成一個或複數個閘極線狹縫(S616)。第19圖到第20圖示出了在形成一個或複數個閘極線狹縫的過程中某些階段處的結構。第19圖是上視圖，而第20圖是沿在第19圖中的方向G1-G2的截面圖。

【0081】 參考第19圖和第20圖，在區域F-1與F-2之間形成閘極線狹縫161以便區分兩個指狀區域。閘極線狹縫161包括複數個閘極線子狹縫161-1、161-2、161-3、161-4、161-5和161-6，每個閘極線子狹縫都穿過BSG結構和單元-層結構垂直延伸並且延伸到襯底120的一部分中。例如，複數個閘極線子狹縫161-1、161-2、161-3、161-4、161-5和161-6可以沿Z方向或-Z方向從絕緣層144延伸到襯底120中。在複數個閘極線子狹縫161-1、161-2、161-3、161-4、161-5和161-6之間，存在複數個中間部分或子狹縫間部分162-0、162-1、162-2、162-3和162-4。如果單元-層結構的交替佈置的犧牲層和絕緣層存在於第一指狀區域和第二指狀

區域兩者上並且與子狹縫間部分相鄰，則可以經由子狹縫間部分將在第一指狀區域中的單元-層結構的交替佈置的犧牲層和絕緣層連接到在第二指狀區域中的單元-層結構的交替佈置的犧牲層和絕緣層。例如，可以經由子狹縫間部分162-4將在第一指狀區域中的絕緣層141/犧牲層142對連接到在第二指狀區域中的絕緣層141/犧牲層142對。類似地，可以經由子狹縫間部分162-3將在第一指狀區域中的絕緣層141/犧牲層142對連接到在第二指狀區域中的絕緣層141/犧牲層142對。與子狹縫間部分162-0、162-1和162-2相鄰，絕緣層141/犧牲層142對可以存在於第一指狀區域中，並且可以在第二指狀區域中去除絕緣層141/犧牲層142對。

【0082】 在一些實施例中，切縫136-1可以在區域（R3，F-1）中的BSG結構的一個或複數個絕緣層/犧牲層對與在區域（R3，F-2）中BSG結構的一個或複數個絕緣層/犧牲層對之間。因此，在切縫136-1處，可以由切縫136-1將在區域（R3，F-1）中的BSG結構的一個或複數個絕緣層/犧牲層對與在區域（R3，F-2）中的BSG結構的一個或複數個絕緣層/犧牲層對分開。

【0083】 在一些實施例中，切縫136-2可以在區域（R4，F-1）中的BSG結構的一個或複數個絕緣層/犧牲層對與在區域（R4，F-2）中BSG結構的一個或複數個絕緣層/犧牲層對之間。因此，在切縫136-2處，可以由切縫136-2將在區域（R4，F-1）中的BSG結構的一個或複數個絕緣層/犧牲層對與在區域（R4，F-2）中BSG結構的一個或複數個絕緣層/犧牲層對分開。

【0084】 在一些實施例中，可以去除在BSG結構中的犧牲層和在單元-層結構中的犧牲層，以在BSG結構中的絕緣層之間形成水平溝槽，並且在單元-層結構中的絕緣層之間形成水平溝槽。此外，可以在水平溝槽中形成複數個電極。複數個電極可以包括複數個字元線以及一個或複數個底部選擇閘。在一些實施例中，複數個電極還可以包括例如一個或複數個頂部選擇閘。第21圖示出了在去除3D記憶裝置中的犧牲層並且形成複數個電極之後，沿在第19圖中的方向

G1-G2的截面圖。

【0085】 參考第19圖和第21圖，閘極線狹縫161在區域F-1與F-2之間，以便區分區域F-1和F-2。

【0086】 對於在區域F-1和區域F-2兩者中都存在的單元-層結構的電極142e和絕緣層141，與子狹縫間部分相鄰並且相對於襯底表面具有相同高度，可以在子狹縫間部分處將在第一指狀區域中的單元-層結構的電極和絕緣層連接到在第二指狀區域中的單元-層結構的電極和絕緣層。

【0087】 在一些實施例中，單元-層結構的電極142e可以包括例如一個或複數個字元線。在一些實施例中，單元-層結構的電極142e可以包括例如一個或複數個字元線或/及一個或複數個頂部選擇閘。

【0088】 在一些實施例中，可以在子狹縫間部分162-4處將在第一指狀區域中的電極142e/絕緣層141對連接到在第二指狀區域中的電極142e/絕緣層141對。因此，在第一指狀區域中的字元線可以在子狹縫間部分162-4處連接到，例如，電性連接到在第二指狀區域中的字元線。

【0089】 在一些實施例中，可以在子狹縫間部分162-3處將在第一指狀區域中的電極142e/絕緣層141對連接到在第二指狀區域中的電極142e/絕緣層141對。因此，在第一指狀區域中的字元線可以在子狹縫間部分162-3處連接到，例如，電性連接到在第二指狀區域中的字元線。

【0090】 在BSG結構130中的一個或複數個電極/絕緣層對可以包括例如電極132-1e/絕緣層131-1對或/及電極132-2e/絕緣層131-2對。電極132-1e和電極132-2e可以是底部選擇閘。

【0091】 在一些實施例中，切縫可以在區域F-1中的BSG結構中的一個或複數個電極/絕緣層對與在區域F-2中的BSG結構中的一個或複數個電極/絕緣層對之間；並且在切縫處，切縫可以將在區域F-1中的BSG結構中的一個或複數個電極/

絕緣層對與在區域F-2中的BSG結構中的一個或複數個電極/絕緣層對分開，並且相應地將在區域F-1中的BSG結構中的底部選擇閘與在區域F-2中的BSG結構中的底部選擇閘分開。

【0092】 在一些實施例中，切縫可以在區域F-2中的BSG結構中的一個或複數個電極/絕緣層對與在區域F-3中的BSG結構中的一個或複數個電極/絕緣層對之間；並且在切縫處，切縫可以將在區域F-2中的BSG結構中的一個或複數個電極/絕緣層對與在區域F-3中的BSG結構中的一個或複數個電極/絕緣層對分開，並且相應地將在區域F-2中的BSG結構中的底部選擇閘與在區域F-3中的BSG結構中的底部選擇閘分開。

【0093】 例如，參考第20圖，切縫136-1可以在區域（R3，F-1）中的BSG結構中的一個或複數個電極/絕緣層對與在區域（R3，F-2）中的BSG結構中的一個或複數個電極/絕緣層對之間。因此，在切縫136-1處，可以由切縫136-1將在區域（R3，F-1）中的BSG結構的一個或複數個電極/絕緣層對與在區域（R3，F-2）中的BSG結構的一個或複數個電極/絕緣層對分開；並且在切縫136-1處，可以由切縫136-1將在區域（R3，F-1）中的底部選擇閘與在區域（R3，F-2）中的底部選擇閘分開。

【0094】 作為另一個示例，切縫136-2可以在區域（R4，F-1）中的BSG結構中的一個或複數個電極/絕緣層對與在區域（R4，F-2）中的BSG結構中的一個或複數個電極/絕緣層對之間。因此，在切縫136-2處，可以由切縫136-2將區域（R4，F-1）中的BSG結構的一個或複數個電極/絕緣層對與在區域（R4，F-2）中的BSG結構的一個或複數個電極/絕緣層對分開；並且在切縫136-2處，可以由切縫136-2將在區域（R4，F-1）中的底部選擇閘與在區域（R4，F-2）中的底部選擇閘分開。

【0095】 第22圖示出了根據本公開內容的各實施例，示例性閘極線和切縫在

襯底上的正投影的示意圖。諸如切縫135-1、135-2、136-1、136-2、137-1和137-2的切縫可以穿過BSG結構垂直延伸，例如，從BSG結構的頂部垂直延伸到襯底的一部分。因此，切縫可以分隔BSG結構中的在切縫兩側的層、梯級或/及電極。亦即，BSG結構中的在切縫一側的層、梯級或/及電極與BSG結構中的在切縫另一側的層、梯級或/及電極分隔開。複數個閘極線狹縫，諸如閘極線狹縫161、163、165和167可以穿過單元-層結構和BSG垂直延伸，並且可以垂直延伸到襯底的一部分中。閘極線狹縫161可以包括複數個閘極線子狹縫161-1、161-2、161-3、161-4、161-5和161-6；並且閘極線狹縫163可以包括閘極線子狹縫163-1、163-2、163-3和163-4。

【0096】 在一些實施例中，一個或複數個閘極線狹縫可以穿過BSG結構和單元-層結構垂直延伸，並且垂直延伸到襯底的一部分中，以區分三維記憶裝置的複數個指狀區域。

【0097】 在一些實施例中，參考第22圖，在閘極線子狹縫161-1與161-3之間子狹縫間部分處，可以將第一指狀區域在區域R-1中的一個或複數個底部選擇閘連接到在第二指狀區域的第一部分P11中的一個或複數個底部選擇閘。因此，在第一指狀區域中的一個或複數個底部選擇閘和在第二指狀區域的第一部分P11中的一個或複數個底部選擇閘可以連接到第一陣列區域（區域AR-1）在第一指狀區域中的NAND串，並且充當用於第一陣列區域（區域AR-1）的且在第一指狀區域中的NAND串的底部選擇閘。

【0098】 在第二指狀區域的第一部分P11中的一個或複數個底部選擇閘包括適於在其上形成接觸的BSG梯級，並且可以在第二指狀區域的第一部分P11中的一個或複數個底部選擇閘上並且針對第一陣列區域在第一指狀區域中的NAND串形成接觸。亦即，可以在第二指狀區域的第一部分P11中的一個或複數個底部選擇閘的梯級上形成接觸；在第二指狀區域的第一部分P11中的一個或複數個底

部選擇閘的梯級可以對應於第一陣列區域在第一指狀區域中的NAND串；並且接觸可以是用於第一陣列區域在第一指狀區域中的NAND串的。

【0099】 在一些實施例中，第二指狀區域的第一部分可以在區域R-1中。在其它實施例中，第二指狀區域的第一部分可以在區域R-1和R-3中。

【0100】 可以由切縫135-1和136-1以及閘極線子狹縫161-3和161-5將在第二指狀區域的第一部分P11中的一個或複數個底部選擇閘與在第二指狀區域的第二部分P21中的一個或複數個底部選擇閘分開。

【0101】 在第二指狀區域的第二部分P21中的一個或複數個底部選擇閘可以連接到區域AR-1在第二指狀區域中的NAND串，並且充當用於區域AR-1的且在第二指狀區域中的NAND串的底部選擇閘。

【0102】 可以在第二指狀區域的第二部分P21中的一個或複數個底部選擇閘上，並且針對區域AR-1在第二指狀區域中的NAND串形成接觸。亦即，可以在第二指狀區域的第二部分P21中的一個或複數個底部選擇閘的梯級上，並且針對區域AR-1在第二指狀區域中的NAND串形成接觸；在第二指狀區域的第二部分P21中的一個或複數個底部選擇閘的梯級可以對應於區域AR-1在第二指狀區域中的NAND串；並且接觸可以是用於區域AR-1在第二指狀區域中的NAND串的。

【0103】 在閘極線子狹縫161-3與161-5之間的子狹縫間部分處，在第一指狀區域中的複數個字元線可以連接到，例如電性連接到在第二指狀區域中的複數個字元線。

【0104】 可以由切縫137-1和閘極線子狹縫163-1和161-3將在第二指狀區域的第二部分P21中的一個或複數個底部選擇閘與第三指狀區域在區域R-1和R-3中的一個或複數個底部選擇閘分開。

【0105】 第三指狀區域在區域R-1和R-2中的一個或複數個底部選擇閘可以連接到區域AR-1在第三指狀區域中的NAND串，並且充當用於區域AR-1在第三指

狀區域中的NAND串的底部選擇閘。

【0106】 在區域R-1中的一個或複數個底部選擇閘可以包括，例如，延伸到第一子區域R-11中的第一底部選擇閘以及延伸到第二子區域R-12中的第二底部選擇閘。第一底部選擇閘的梯級可以延伸到第一子區域R-11中，第二底部選擇閘的梯級可以延伸到第二子區域R-12中。

【0107】 參考第19圖和第22圖，在閘極線子狹縫163-1與163-3之間的子狹縫間部分164-1處，在第二指狀區域中的複數個字元線可以連接到，例如電性連接到在區域R-1和R-3中在第三指狀區域中的複數個字元線。

【0108】 在一些實施例中，參考第22圖，在閘極線子狹縫161-2與161-4之間的子狹縫間部分處，可以將第一指狀區域在區域R-2和R-4中的一個或複數個底部選擇閘連接到在第二指狀區域的第一部分P12中的一個或複數個底部選擇閘。因此，在第一指狀區域中的一個或複數個底部選擇閘和在第二指狀區域的第一部分P12中的一個或複數個底部選擇閘可以連接到區域AR-2在第一指狀區域中的NAND串，並且充當用於區域AR-2在第一指狀區域中的NAND串的底部選擇閘。

【0109】 在第二指狀區域的第一部分P12中的一個或複數個底部選擇閘包括適於在其上形成接觸的BSG梯級，並且可以在第二指狀區域的第一部分P12中的一個或複數個底部選擇閘上並且針對區域AR-2在第一指狀區域中的NAND串形成接觸。亦即，可以在第二指狀區域的第一部分P12中的一個或複數個底部選擇閘的梯級上形成接觸；在第二指狀區域的第一部分P12中的一個或複數個底部選擇閘的梯級可以對應於區域AR-2在第一指狀區域中的NAND串；並且接觸可以用於區域AR-2在第一指狀區域中的NAND串。

【0110】 在一些實施例中，第二指狀區域的第一部分（諸如P12）可以在區域R-2中。在其它實施例中，第二指狀區域的第一部分可以在區域R-2和R-4中。

【0111】 可以由切縫135-2和136-2以及閘極線子狹縫161-4和161-6將在第二

指狀區域的第一部分P12中的一個或複數個底部選擇閘與在第二指狀區域的第二部分P22中的一個或複數個底部選擇閘分開。

【0112】 在第二指狀區域的第二部分P22中的一個或複數個底部選擇閘可以連接到區域AR-2在第二指狀區域中的NAND串，並且充當用於區域AR-2在第二指狀區域中的NAND串的底部選擇閘。

【0113】 可以在第二指狀區域的第二部分P22中的一個或複數個底部選擇閘上，並且針對區域AR-2在第二指狀區域中的NAND串形成接觸。亦即，可以在第二指狀區域的第二部分P22中的一個或複數個底部選擇閘的梯級上，並且針對區域AR-2在第二指狀區域中的NAND串形成接觸；在第二指狀區域的第二部分P22中的一個或複數個底部選擇閘的梯級可以對應於區域AR-2在第二指狀區域中的NAND串；並且接觸可以用於區域AR-2在第二指狀區域中的NAND串的。

【0114】 在閘極線子狹縫161-4與161-6之間的子狹縫間部分處，在第一指狀區域中的複數個字元線可以連接到，例如電性連接到在第二指狀區域中的複數個字元線。

【0115】 可以由切縫137-2和閘極線子狹縫163-2和163-4將在第二指狀區域的第二部分P22中的一個或複數個底部選擇閘與在區域R-2和R-4中在第三指狀區域中的一個或複數個底部選擇閘分開。

【0116】 在第三指狀區域中且在區域R-2和R-4中的一個或複數個底部選擇閘可以連接到區域AR-2在第三指狀區域中的NAND串，並且充當用於區域AR-2在第三指狀區域中的NAND串的底部選擇閘。

【0117】 在區域R-2中的一個或複數個底部選擇閘可以包括，例如，延伸到第一子區域R-21中的第一底部選擇閘以及延伸到第二子區域R-22中的第二底部選擇閘。亦即，第一底部選擇閘的梯級可以延伸到第一子區域R-21中，以及第二底部選擇閘的梯級可以延伸到第二子區域R-22中。

【0118】 參考第19圖和第22圖，在閘極線子狹縫163-2和163-4之間的子狹縫間部分164-2處，在第二指狀區域中的複數個字元線可以連接到，例如電性連接到在區域R-2和R-4中在第三指狀區域中的複數個字元線。

【0119】 在一些實施例中，閘極線狹縫或閘極線子狹縫可以相對於階梯結構區域的中心平面O1-O2對稱。例如，參考第22圖，閘極線子狹縫161-1和161-2相對於階梯結構區域的中心平面O1-O2對稱；閘極線子狹縫161-3和161-4相對於中心平面O1-O2對稱；閘極線子狹縫161-5和161-6相對於中心平面O1-O2對稱；閘極線子狹縫163-1和163-2相對於中心平面O1-O2對稱；並且閘極線子狹縫163-3和163-4相對於中心平面O1-O2對稱。

【0120】 在一些實施例中，切縫可以相對於中心平面O1-O2對稱。例如，參考第22圖，切縫135-1和135-2相對於中心平面O1-O2對稱；切縫136-1和136-2相對於中心平面O1-O2對稱；切縫137-1和137-2相對於中心平面O1-O2對稱。

【0121】 在一些實施例中，切縫在襯底上的正投影可以包括一個或複數個直線段。例如，切縫136-1的正投影為直線段。在一些實施例中，諸如切縫135-1或135-2的切縫的正投影可以包括兩個直線段，並且兩個直線段之間的角度可以大約為90度。在其它實施例中，切縫的正投影的兩個直線段可以是大約70度、75度、80度、85度、90度、95度、100度、105度、110度或任何其它適當角度。

【0122】 參考第4圖，在BSG結構和單元-層結構中形成接觸(S617)。對應地，第23圖示出了在形成接觸的過程的特定階段的結構。

【0123】 參考第23圖，可以在階梯結構區域SSR中在第二指狀區域和第三指狀區域中形成複數個接觸171。可以在第二指狀區域和第三指狀區域的區域R-0、R-1、R-2、R-3和R-4中形成複數個接觸。複數個接觸可以例如從單元-層結構的頂部部分垂直延伸到第一半導體結構110中的各個深度。

【0124】 在一些實施例中，可以不在第一指狀(F-1)區域中形成接觸171。

例如，壁結構可以形成於第一指狀區域中並且可以不包括其中形成的接觸。壁結構可以包含偽通道（如第17圖中所示）。

【0125】 在一些實施例中，一個或複數個接觸可以從單元-層結構的頂部部分延伸到在單元-層結構中的字元線的梯級。在一些實施例中，一個或複數個接觸可以從單元-層結構的頂部部分延伸到在BSG結構中底部選擇閘的梯級。在一些實施例中，一個或複數個接觸可以從單元-層結構的頂部部分延伸到襯底120，例如延伸到摻雜阱121。

【0126】 返回第4圖，在第一半導體結構上形成包括後段製程（BEOL）互連層的第二半導體結構（S620）。對應地，第24圖示出了根據本公開內容的各實施例，包括在第一半導體結構上的第二半導體結構的示例性3D記憶裝置。

【0127】 參考第24圖，第二半導體結構210形成在第一半導體結構110上。第一半導體結構110可以包括存儲單元、用於字元線的梯級、接觸、通道、底部選擇閘、頂部選擇閘、階梯等。階梯可以包括一個或複數個梯級，即臺階。第二半導體結構210可以包括後段製程互連層211。可以在第一半導體結構110中的接觸與後段製程互連層211之間形成電性連接。

【0128】 本公開內容提供了一種3D記憶裝置。第24圖示出了根據本公開內容的各實施例的示例性3D記憶裝置100。

【0129】 參考第24圖，3D記憶裝置100包括第一半導體結構110和第二半導體結構210。第二半導體結構210形成在第一半導體結構110上。第一半導體結構110可以包括，例如存儲單元、NAND串、用於字元線的梯級、接觸、通道、底部選擇閘、頂部選擇閘、用於底部選擇閘的梯級、用於頂部選擇閘的梯級等。第二半導體結構210可以包括後段製程互連層211。可以在第一半導體結構110中的接觸與後段製程互連層211之間形成電性連接。

【0130】 在一些實施例中，指狀區域，諸如第一指狀區域、第二指狀區域或

第三指狀區域可以包括一行或多行NAND串。

【0131】 要瞭解3D記憶裝置100的細節，可以參考方法實施例和結構的以上描述，例如涉及第1圖至第23圖的描述。例如，第一半導體結構110可以包括閘極線狹縫和切縫，如結合第22圖所述。

【0132】 第25圖示出了根據本公開內容的各實施例的另一種示例性3D記憶裝置。參考第25圖，3D記憶裝置100'包括第一半導體結構110'和第二半導體結構210'。第二半導體結構210'形成在第一半導體結構110'上。第一半導體結構110'可以包括，例如存儲單元、NAND串、用於字元線的梯級、接觸、通道、底部選擇閘、頂部選擇閘、用於底部選擇閘的梯級、用於頂部選擇閘的梯級等。第二半導體結構210'可以包括後段製程互連層211'。可以在第一半導體結構110'中的接觸與後段製程互連層211'之間形成電性連接。

【0133】 3D記憶裝置100'的一些結構可以與3D記憶裝置100的結構相同或相似。要瞭解3D記憶裝置100'的細節，可以參考方法和裝置實施例的以上描述，諸如關於3D記憶裝置100的描述。

【0134】 第26圖根據本公開內容的各實施例示出了，3D記憶裝置的閘極線狹縫和切縫的且在襯底上的階梯結構區域中的正投影的另一示意圖。3D記憶裝置例如可以是3D記憶裝置100'。

【0135】 諸如切縫135-1'、135-2'、136-1'、136-2'、137-1'和137-2'的切縫，例如，可以垂直穿過第一半導體結構110'的BSG結構，並且沿Z方向從BSG結構的頂部延伸到襯底的一部分。因此，切縫可以分隔在切縫兩側的在BSG結構中的層、梯級或/及電極。亦即，在切縫一側的在BSG結構中的層、梯級或/及電極與在切縫另一側的在BSG結構中的層、梯級或/及電極分隔開。複數個閘極線狹縫，諸如閘極線狹縫161'、163'、165'和167'可以例如穿過第一半導體結構110'的單元-層結構和BSG結構垂直延伸，並且延伸到襯底的一部分中。閘極線狹縫

161'可以包括複數個閘極線子狹縫161-1'、161-2'、161-3'、161-4'、161-5'和161-6'；並且閘極線狹縫163'可以包括閘極線子狹縫163-1'、163-2'、163-3'和163-4'。

【0136】 在一些實施例中，切縫，諸如切縫136-1'在襯底上的正投影可以包括一個或複數個線段。在一些實施例中，切縫，諸如切縫135-1'在襯底上的正投影可以包括一個或複數個曲線段。在一些實施例中，切縫，諸如切縫135-2'在襯底上的正投影可以包括一個或複數個鋸齒狀線段。在一些實施例中，切縫在襯底上的正投影可以包括一個或複數個線段和一個或複數個曲線段。在一些實施例中，切縫的正投影可以包括上述形狀或/及任何其它適當形狀的任意組合。

【0137】 在一些實施例中，在中心平面O1-O2兩側的切縫可以相對於中心平面O1-O2不對稱。例如，切縫136-1'和136-2'相對於中心平面O1-O2不對稱。從切縫136-1'到中心平面O1-O2的距離與從切縫136-2'到中心平面O1-O2的距離不同。切縫136-1'的橫向長度與切縫136-2'的橫向長度不同。

【0138】 又如，切縫135-1'和135-2'相對於中心平面O1-O2不對稱。切縫135-1'的形狀與切縫135-2'的形狀不同。形成的區域P11'、P21'和區域P12'、P22'相對於中心平面O1-O2不對稱。

【0139】 在一些實施例中，在中心平面O1-O2兩側的閘極線切縫或閘極線子切縫可以相對於中心平面O1-O2不對稱。例如，閘極線子切縫161-3'和161-4'相對於中心平面O1-O2不對稱。從閘極線子切縫161-3'到中心平面O1-O2的距離與從閘極線子切縫161-4'到中心平面O1-O2的距離不同。閘極線子切縫161-3'的橫向長度與閘極線子切縫161-4'的橫向長度不同。

【0140】 本公開內容提供了一種中央處理器結構。該中央處理器結構可以包括根據本公開內容的三維記憶裝置的階梯結構區域，諸如，以上描述中的階梯結構區域中的結構。本公開內容提供了一種用於中央處理器結構的方法。關於

用於中央處理器結構的方法的細節，可以參考以上描述，諸如與第4圖相關聯的描述。

【0141】 儘管通過使用說明書中的具體實施例描述了本公開內容的原理和實現方式，但是實施例的前述描述僅旨在說明理解本公開內容的方法和該方法的核心理念。同時，本領域的普通技術人員可以根據本公開內容的理念對具體實施方式和應用範圍做出修改。總之，說明書的內容不應被視為對本公開內容的限制。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

【符號說明】

【0142】

100:記憶裝置

100':記憶裝置

110:第一半導體結構

110':第一半導體結構

120:襯底

121:摻雜阱

122:摻雜區域

130:BSG結構

131:絕緣層

131-1:絕緣層

131-11:絕緣層

131-12:絕緣層

131-2:絕緣層

131-21:絕緣層

131-22:絕緣層

132:犧牲層

132-1:犧牲層

132-11:犧牲層

132-12:犧牲層

132-1e:電極

132-2:犧牲層

132-21:犧牲層

132-22:犧牲層

132-2e:電極

134:絕緣層

135-1:切縫

135-1':切縫

135-2:切縫

135-2':切縫

136-1:切縫

136-1':切縫

136-2:切縫

136-2':切縫

137-1:切縫

137-1':切縫

137-2:切縫

137-2':切縫

141:絕緣層

141-11/142-11:層對

141-12/142-12:層對

141-21/142-21:層對

141-22/142-22:層對

141-31/142-31:層對

141-32/142-32:層對

141-41/142-41:層對

141-42/142-42:層對

141-52/142-52:層對

142:犧牲層

142e:電極

143:絕緣層

144:絕緣層

151:通道

152:NAND串

153:磊晶層

154:絕緣層

155:半導體通道

156:介電層

161:閘極線狹縫

161':閘極線狹縫

161-1:閘極線子狹縫

161-1':閘極線子狹縫

161-2:閘極線子狹縫
161-2':閘極線子狹縫
161-3:閘極線子狹縫
161-3':閘極線子狹縫
161-4:閘極線子狹縫
161-4':閘極線子狹縫
161-5:閘極線子狹縫
161-5':閘極線子狹縫
161-6:閘極線子狹縫
161-6':閘極線子狹縫
162-0:子狹縫間部分
162-1:子狹縫間部分
162-2:子狹縫間部分
162-3:子狹縫間部分
162-4:子狹縫間部分
163:閘極線狹縫
163':閘極線狹縫
163-1:閘極線子狹縫
163-1':閘極線子狹縫
163-2:閘極線子狹縫
163-2':閘極線子狹縫
163-3:閘極線子狹縫
163-3':閘極線子狹縫
163-4:閘極線子狹縫

163-4':閘極線子狹縫
164-1:子狹縫間部分
164-2:子狹縫間部分
165:閘極線狹縫
165':閘極線狹縫
167:閘極線狹縫
167':閘極線狹縫
171:接觸
210:第二半導體結構
210':第二半導體結構
211:後段製程互連層
211':後段製程互連層
AR-1:第一陣列區域
AR-2:第二陣列區域
B-1:塊
B-2:塊
B-N:塊
F-1:區域
F-2:區域
F-3:區域
P11:第一部分
P11':區域
P12:第一部分
P12':區域

P21:第二部分

P21':區域

P22:第二部分

P22':區域

R-0:區域

R-1:區域

R-11:第一子區域

R-12:第二子區域

R-2:區域

R-21:第一子區域

R-22:第二子區域

R-3:區域

R-4:區域

SSR:階梯結構區域

【發明申請專利範圍】

【請求項1】 一種記憶裝置，包括：

襯底上的底部選擇閘（BSG）結構，包括穿過該BSG結構垂直形成的切縫；

形成於該BSG結構上的單元-層結構；以及

閘極線狹縫，該閘極線狹縫垂直穿過該單元-層結構和該BSG結構形成至該襯

底中，並且沿第一橫向方向佈置以區分複數個指狀區域，其中：

該述閘極線狹縫包括在該等指狀區域中的第一指狀區域與第二指狀區域

之間的第一閘極線狹縫，該第一閘極線狹縫包括閘極線子狹縫，並

且

該切縫包括第一切縫，該第一切縫形成於該第二指狀區域中並且連接到

該第一閘極線狹縫的閘極線子狹縫，以在該第二指狀區域的第一部

分中限定BSG，其中：

在該第二指狀區域的該第一部分中的該BSG通過在該第一閘極

線狹縫的該一個閘極線子狹縫與相鄰閘極線子狹縫之間的

居間部分電性連接到在該第一指狀區域中的單元串。

【請求項2】 如請求項1所述的裝置，其中：

該第一切縫將在該第二指狀區域的該第一部分中的該BSG與在該第二指狀區

域的第二部分中的BSG電性分隔。

【請求項3】 如請求項2所述的裝置，其中：

在該第二指狀區域的該第二部分中的該BSG被電性連接到在該第二指狀區域

中的單元串。

【請求項4】 如請求項3所述的裝置，其中：

在該第二指狀區域的該第一部分中的該BSG和在該第二指狀區域的該第二部分中的該BSG具有距該襯底相同的高度。

【請求項5】 如請求項1所述的裝置，其中：

該切縫還包括一個或複數個第二切縫，各自連接在相同閘極線狹縫中的相鄰閘極線子狹縫。

【請求項6】 如請求項1所述的裝置，還包括：

形成於該襯底上方在該等指狀區域中的偽通道；以及
形成於該BSG結構的在不包括該第一指狀區域的該等指狀區域中的BSG上的接觸。

【請求項7】 如請求項1所述的裝置，其中：

該第一指狀區域被限定在連續閘極線狹縫與包括該閘極線子狹縫的第一閘極線狹縫之間，以及
壁結構形成在該襯底上方在該第一指狀區域中，其中，該壁結構包括交替的電極/絕緣層對的堆疊結構。

【請求項8】 如請求項1所述的裝置，還包括：

另一BSG結構，其中：

該襯底包括階梯結構區域，並且摻雜阱形成在該襯底的該階梯結構區域中，並且

該BSG結構和該另一BSG結構形成於該襯底的該階梯結構區域上且在該

摻雜阱的相對側上。

【請求項9】 如請求項8所述的裝置，其中：

該襯底還包括第一陣列區域和第二陣列區域，並且

該階梯結構區域在該第一陣列區域與該第二陣列區域之間，沿第二橫向方向佈置。

【請求項10】 如請求項1所述的裝置，其中：

在該BSG結構上方在該第二指狀區域中的字元線通過在該第一閘極線狹縫的一個閘極線子狹縫與相鄰閘極線子狹縫之間的居間部分連接到在該第一指狀區域中的電極層。

【請求項11】 如請求項1所述的裝置，還包括：

形成於該切縫中的絕緣材料。

【請求項12】 一種用於形成記憶裝置的方法，包括：

在襯底上形成底部選擇閘（BSG）結構；

穿過在該襯底上的該BSG結構垂直形成切縫；

在該BSG結構上形成單元-層結構；以及

形成閘極線狹縫，該閘極線狹縫垂直穿過該單元-層結構和該BSG結構結構至該襯底中，並且沿第一橫向方向佈置以區分複數個指狀區域，其中：

該閘極線狹縫包括在該等指狀區域中的第一指狀區域與第二指狀區域之間的第一閘極線狹縫，該第一閘極線狹縫包括閘極線子狹縫，並且

該切縫包括第一切縫，該第一切縫形成於該第二指狀區域中並且連接到

該第一閘極線狹縫的閘極線子狹縫，以在該第二指狀區域的第一部分中限定BSG，其中：

在該第二指狀區域的該第一部分中的該BSG通過在該第一閘極線狹縫的該一個閘極線子狹縫與相鄰閘極線子狹縫之間的居間部分電性連接到在該第一指狀區域中的單元串。

【請求項13】 如請求項12所述的方法，其中：

該第一切縫將在該第二指狀區域的該第一部分中的該BSG與在該第二指狀區域的第二部分中的BSG電性分隔。

【請求項14】 如請求項13所述的方法，其中：

在該第二指狀區域的該第二部分中的該BSG被電性連接到在該第二指狀區域中的單元串。

【請求項15】 如請求項14所述的方法，其中：

在該第二指狀區域的該第一部分中的該BSG和在該第二指狀區域的該第二部分中的該BSG具有距該襯底相同的高度。

【請求項16】 如請求項12所述的方法，其中：

該切縫還包括一個或複數個第二切縫，各自連接在相同閘極線狹縫中的相鄰閘極線子狹縫。

【請求項17】 如請求項12所述的方法，還包括：

在該襯底上方在該等指狀區域中形成偽通道；以及

在不包括該第一指狀區域的該等指狀區域中在該BSG上形成接觸。

【請求項18】 如請求項12所述的方法，其中：

該第一指狀區域被限定在連續閘極線狹縫與包括該閘極線子狹縫的該第一閘極線狹縫之間，以及
壁結構形成在該襯底上方在該第一指狀區域中，其中，該壁結構包括交替的電極/絕緣層對的堆疊結構。

【請求項19】 如請求項12所述的方法，還包括：

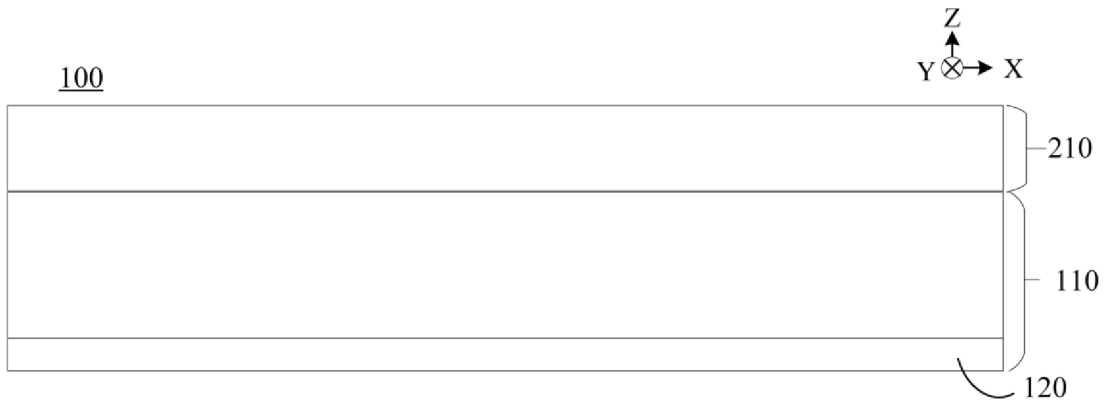
形成另一BSG結構，其中：

該襯底包括階梯結構區域，並且摻雜阱形成在該襯底的該階梯結構區域中，並且
該BSG結構和該另一BSG結構形成於該襯底的該階梯結構區域上且在該摻雜阱的相對側上。

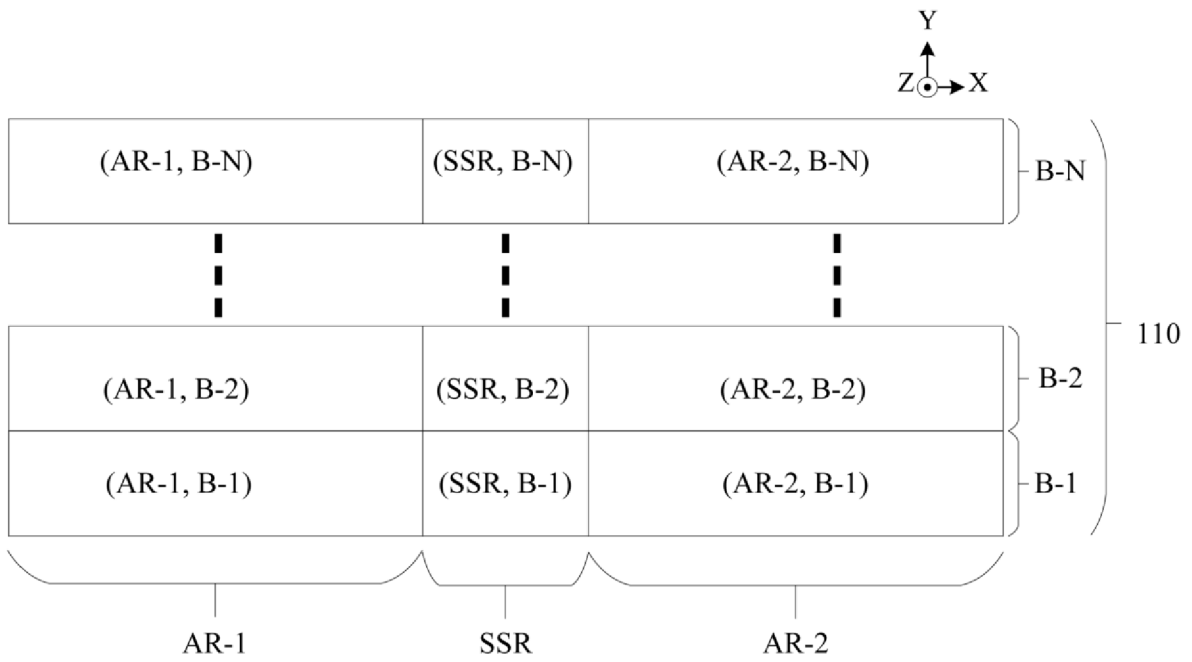
【請求項20】 如請求項12所述的方法，還包括：

在該切縫中沉積絕緣材料。

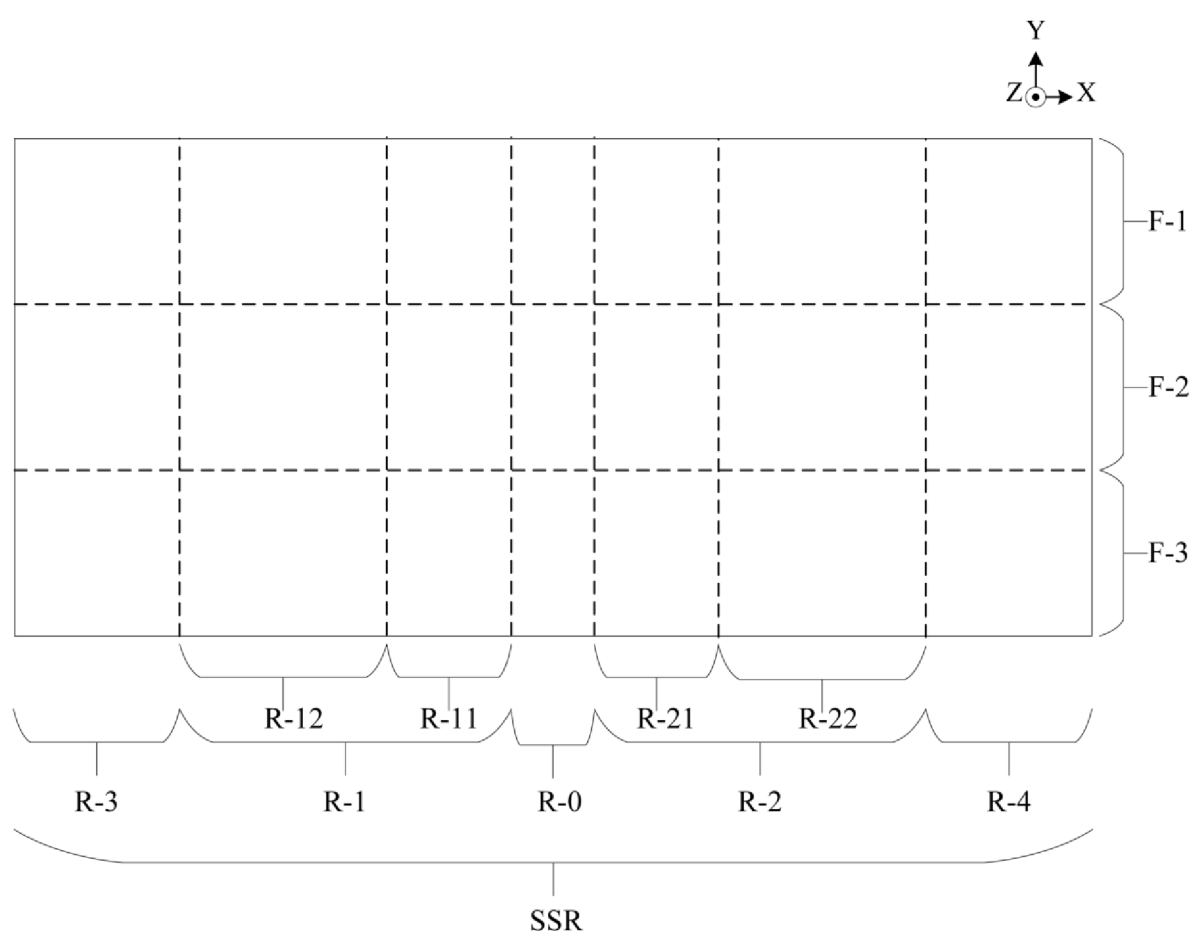
【發明圖式】



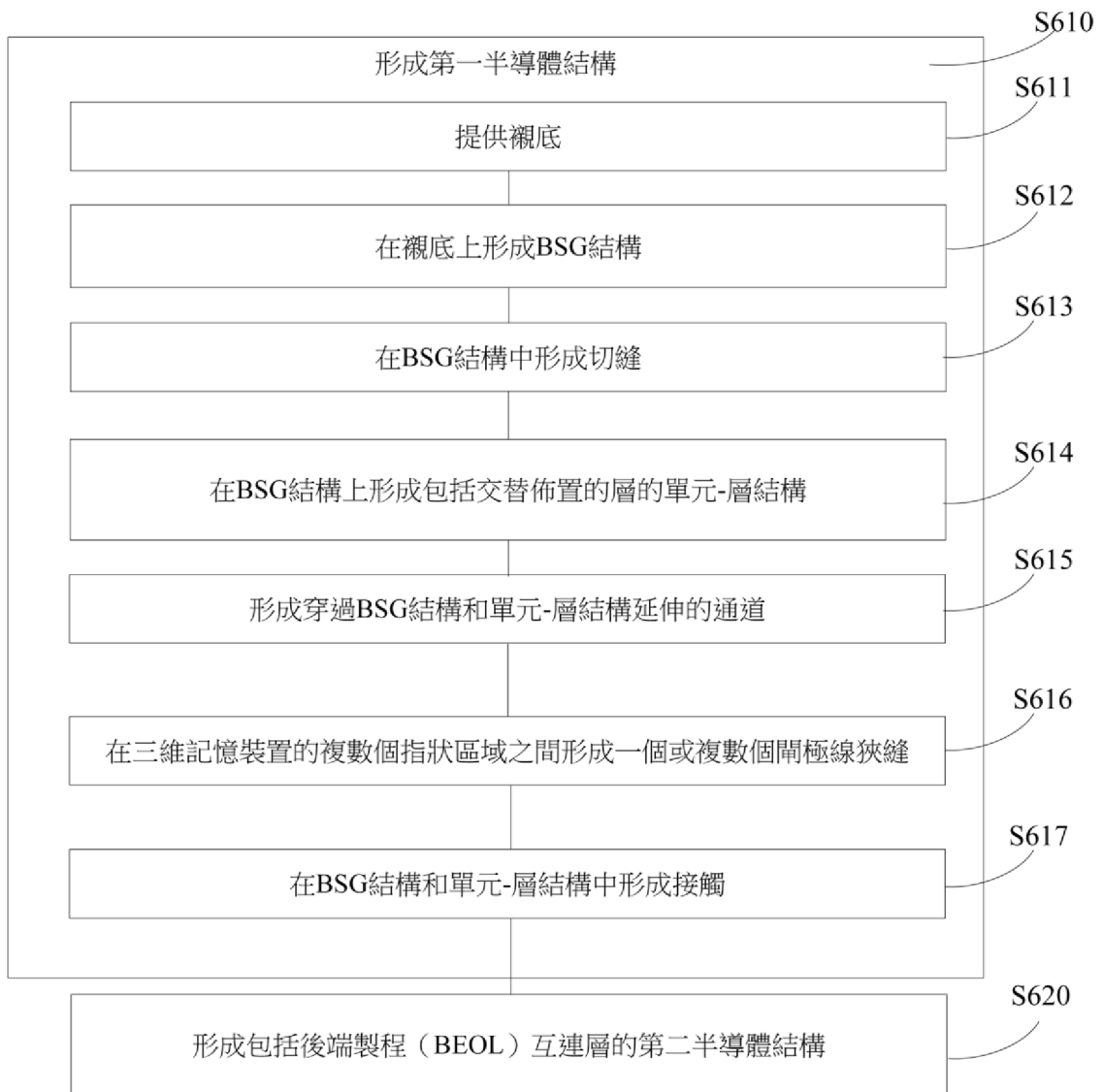
第1圖



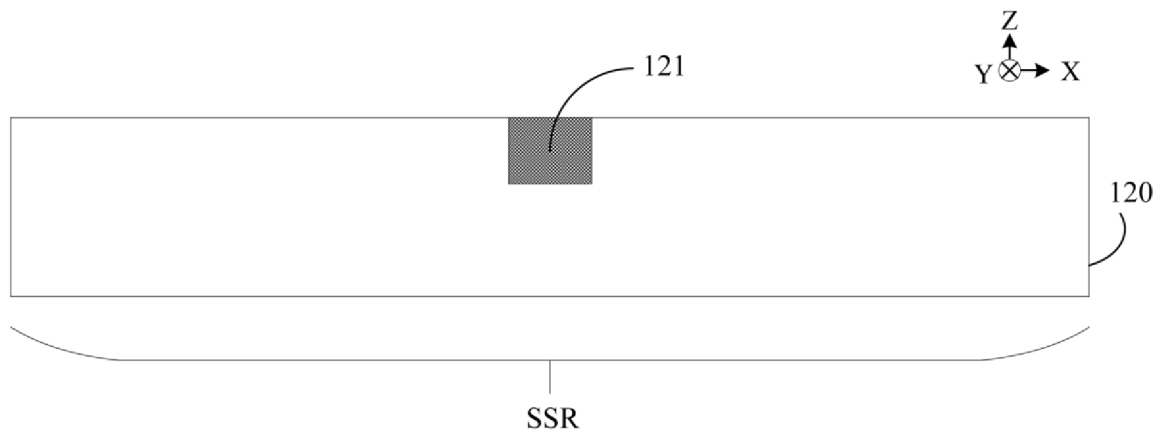
第2圖



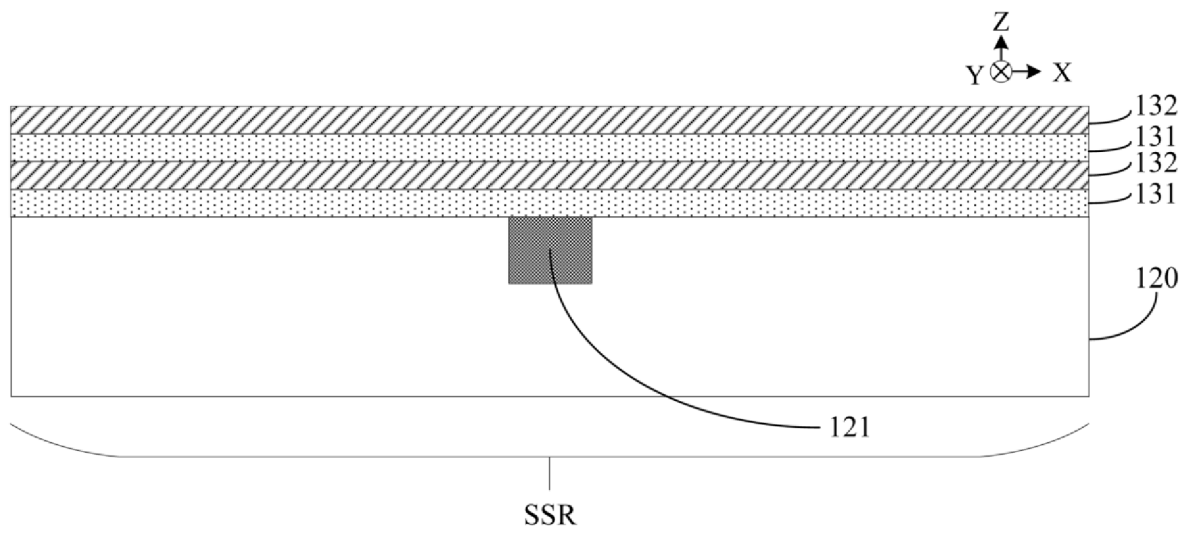
第3圖



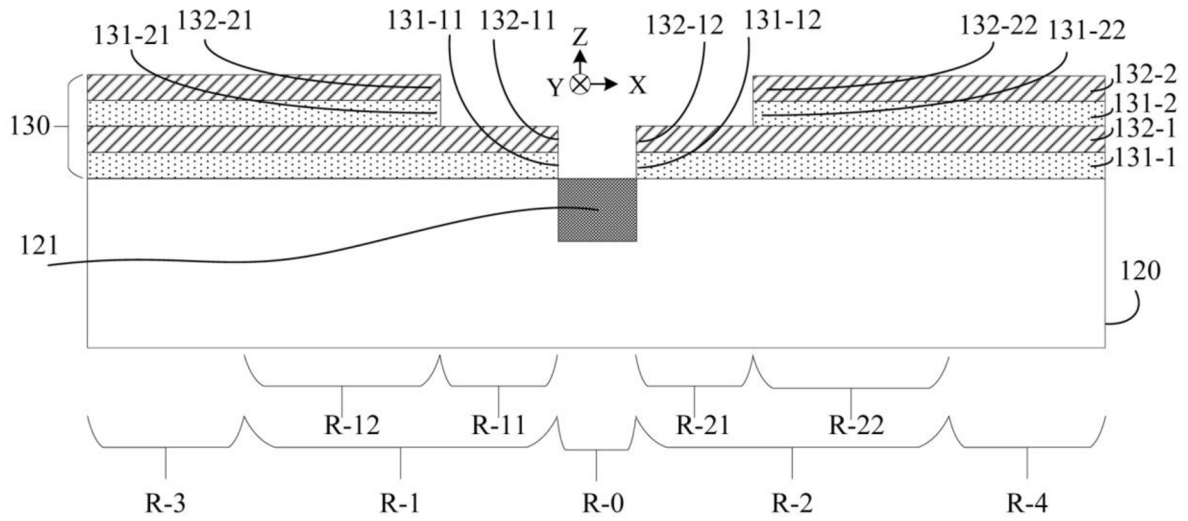
第4圖



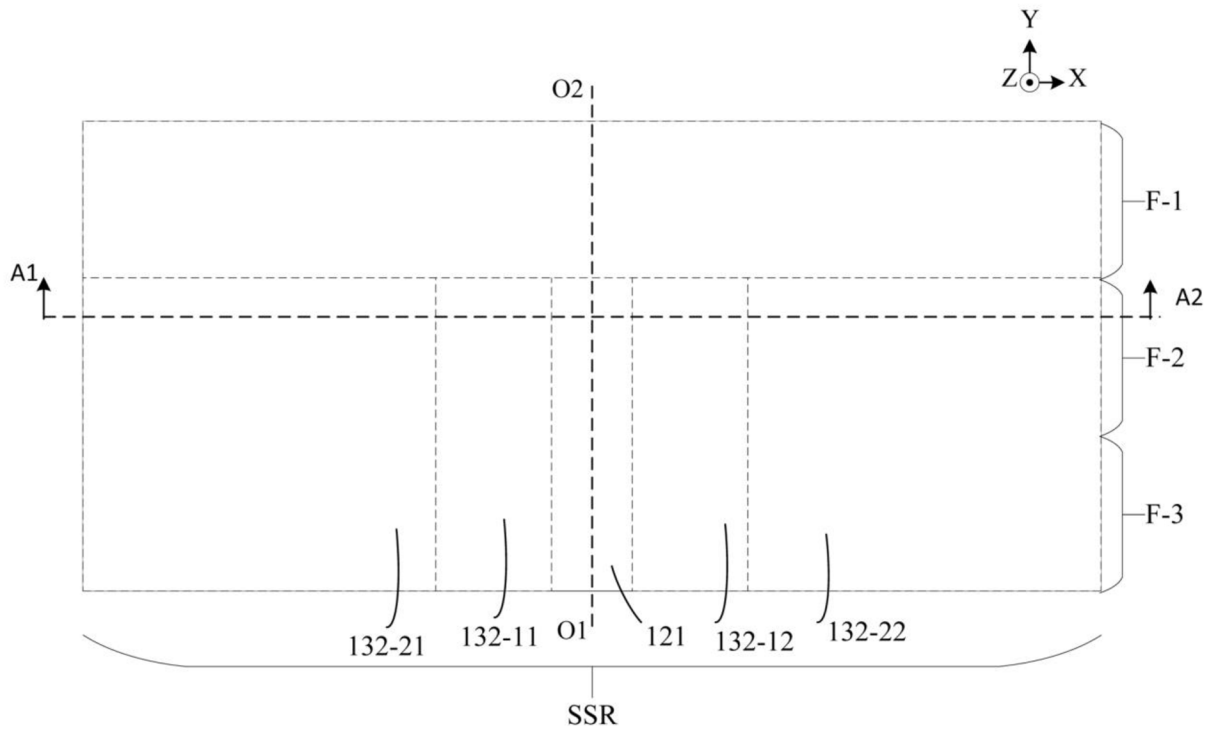
第5圖



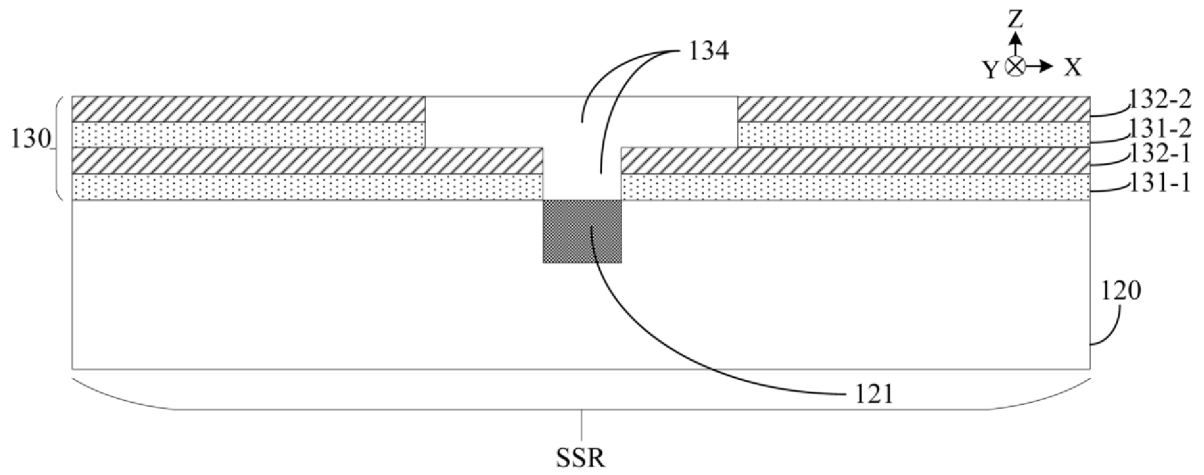
第6圖



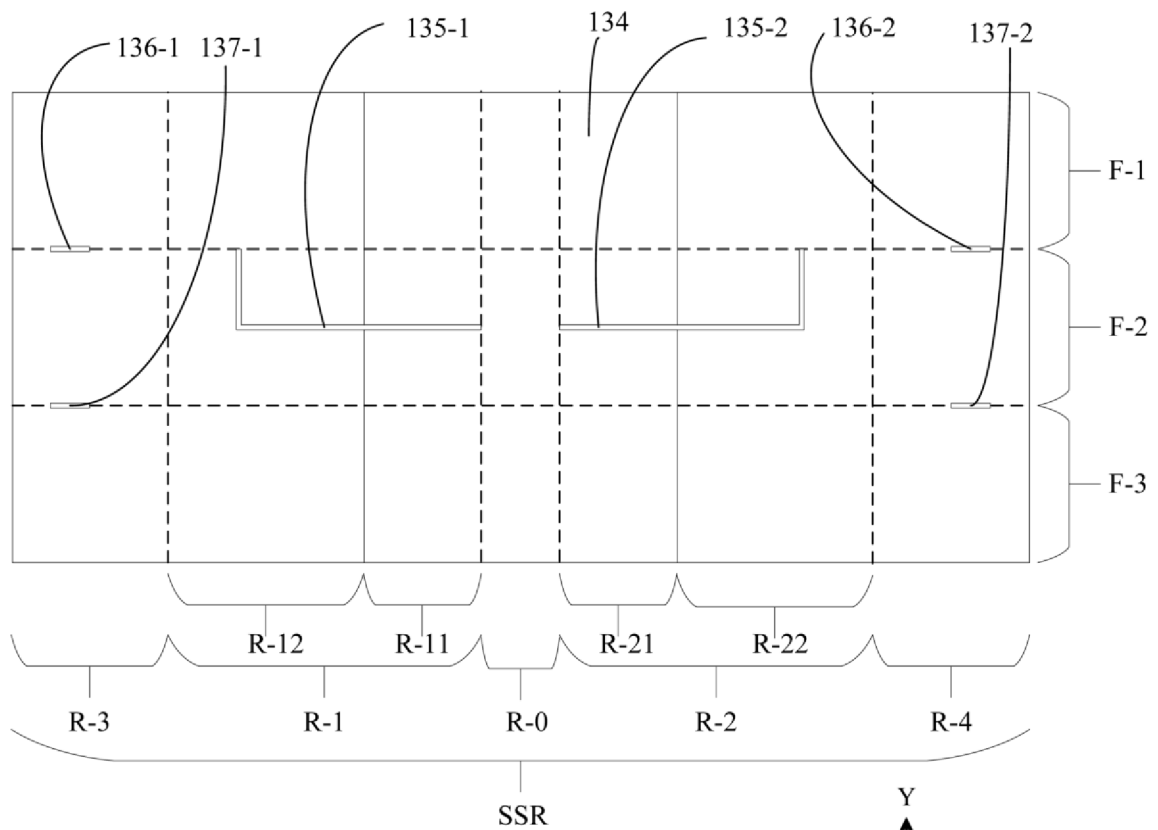
第7圖



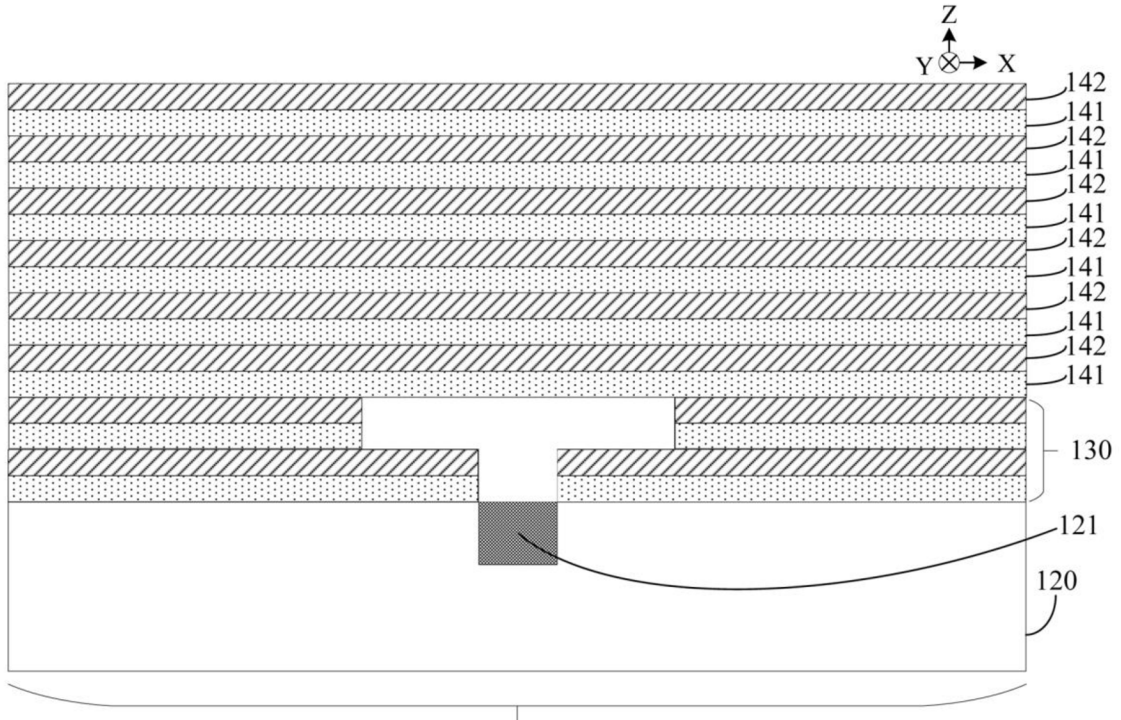
第8圖



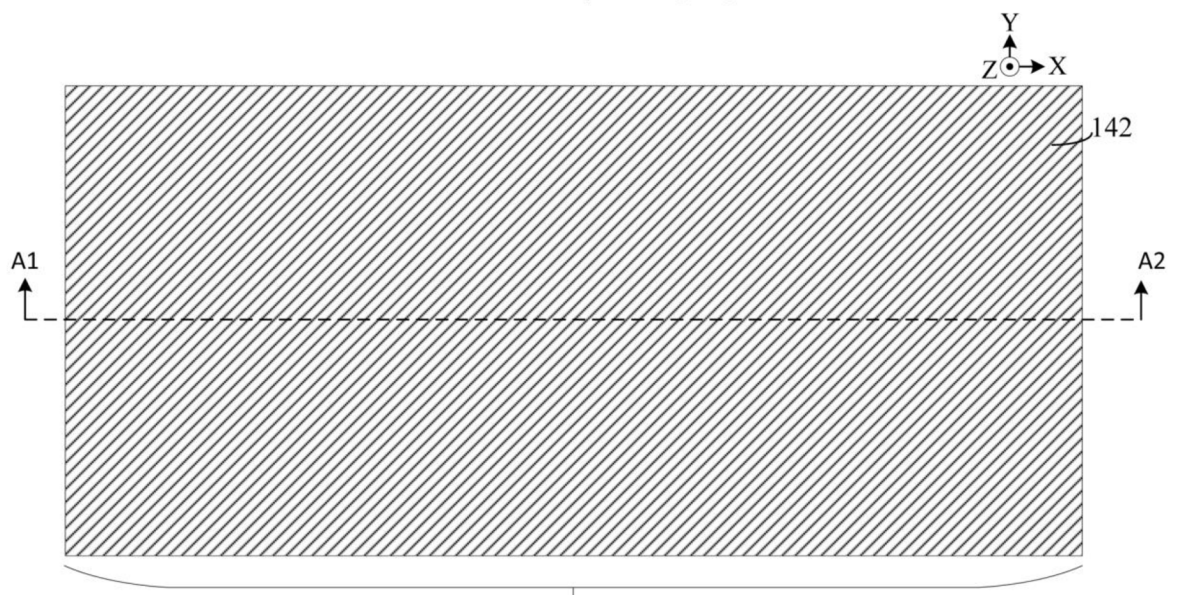
第9圖



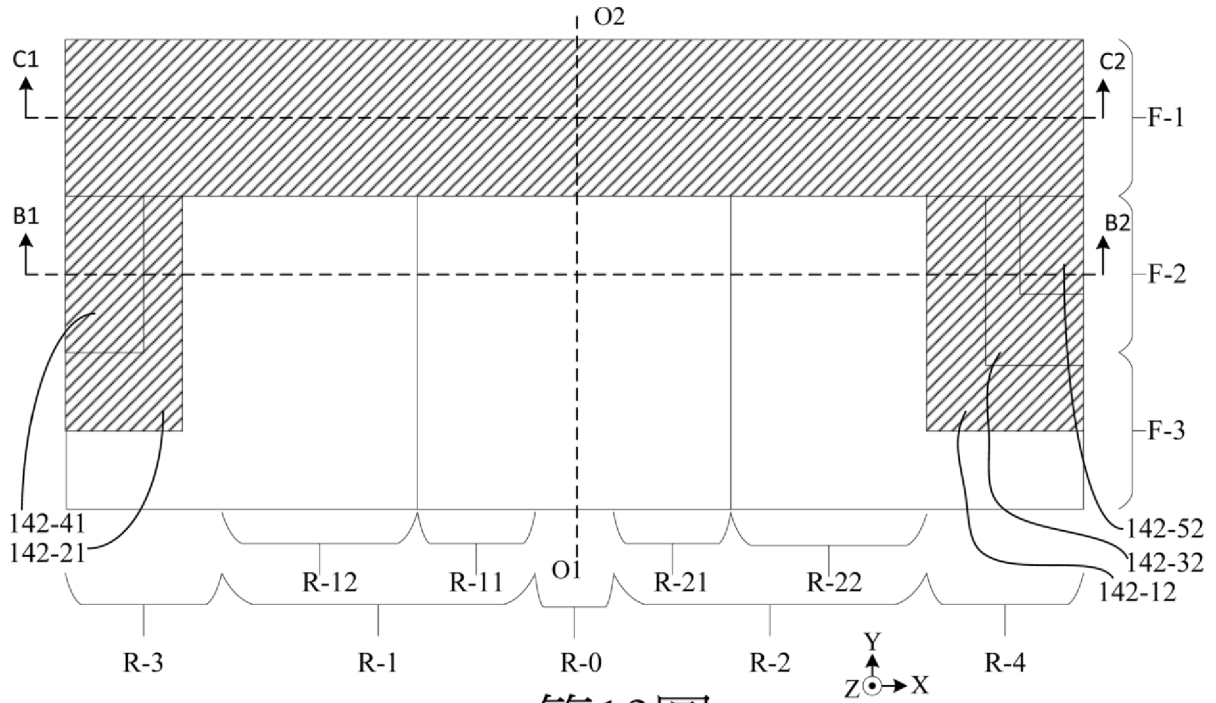
第10圖



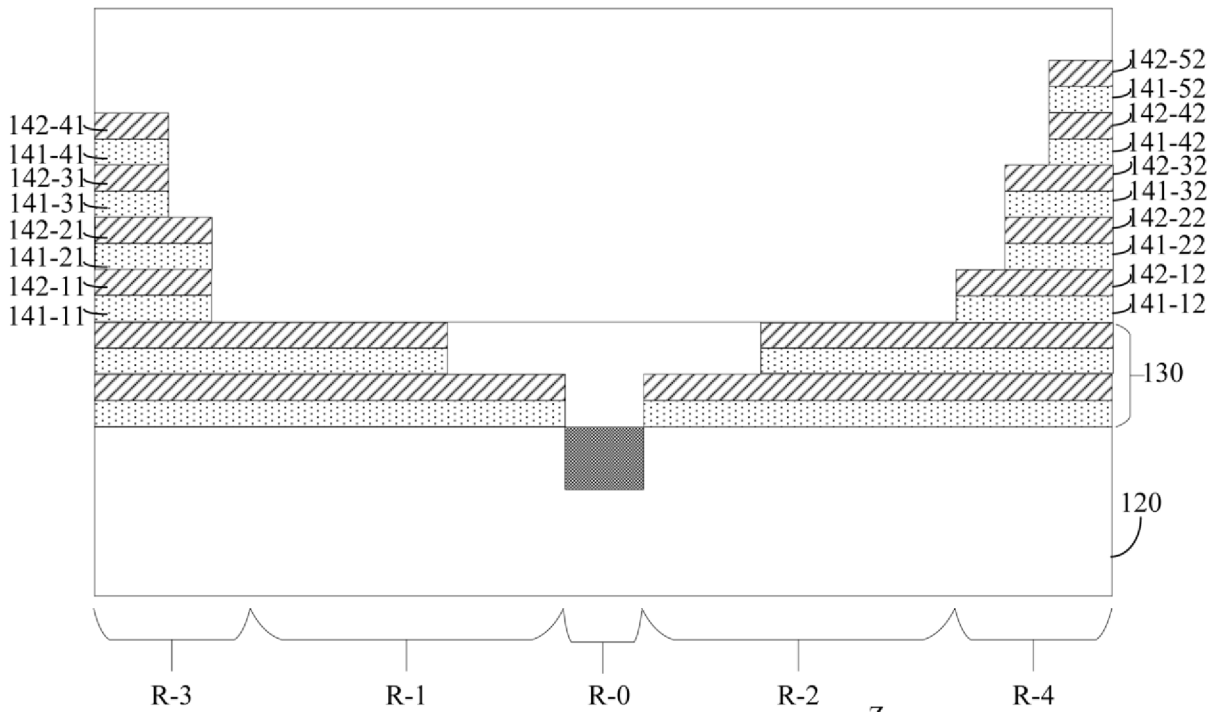
SSR
第11圖



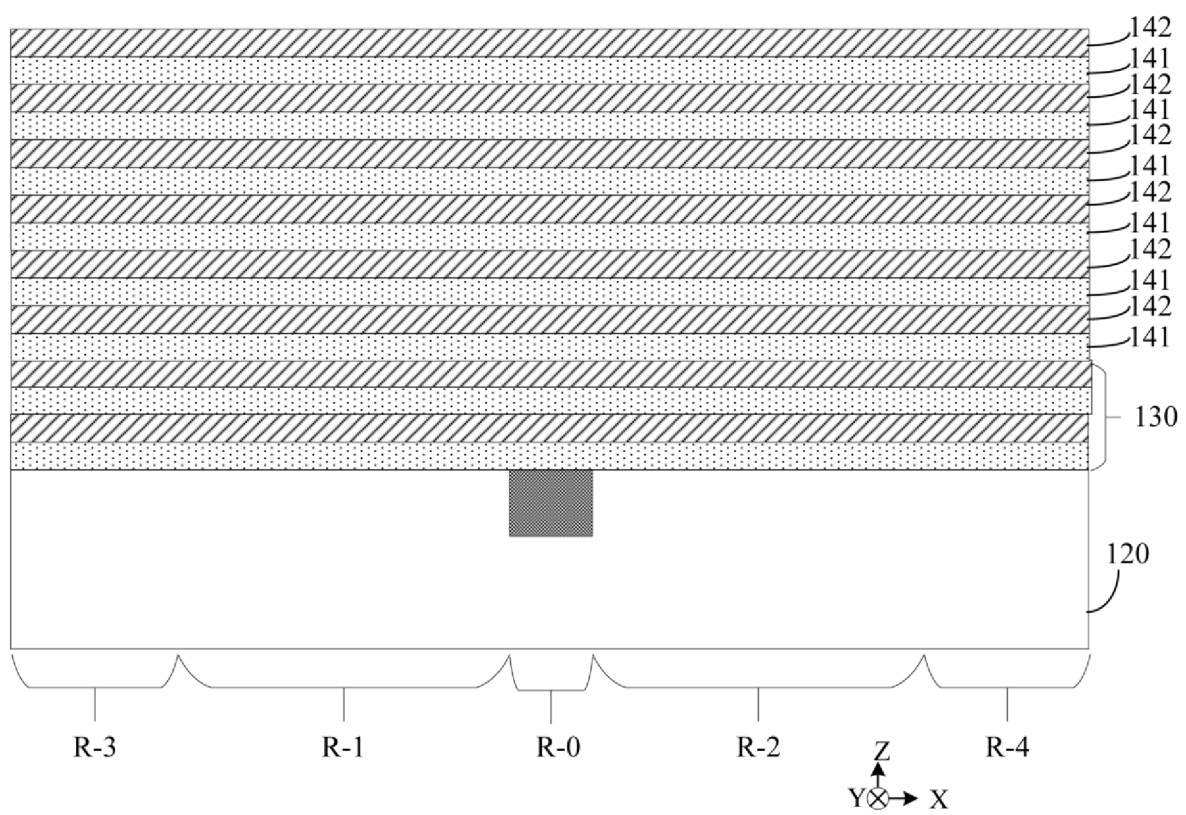
SSR
第12圖



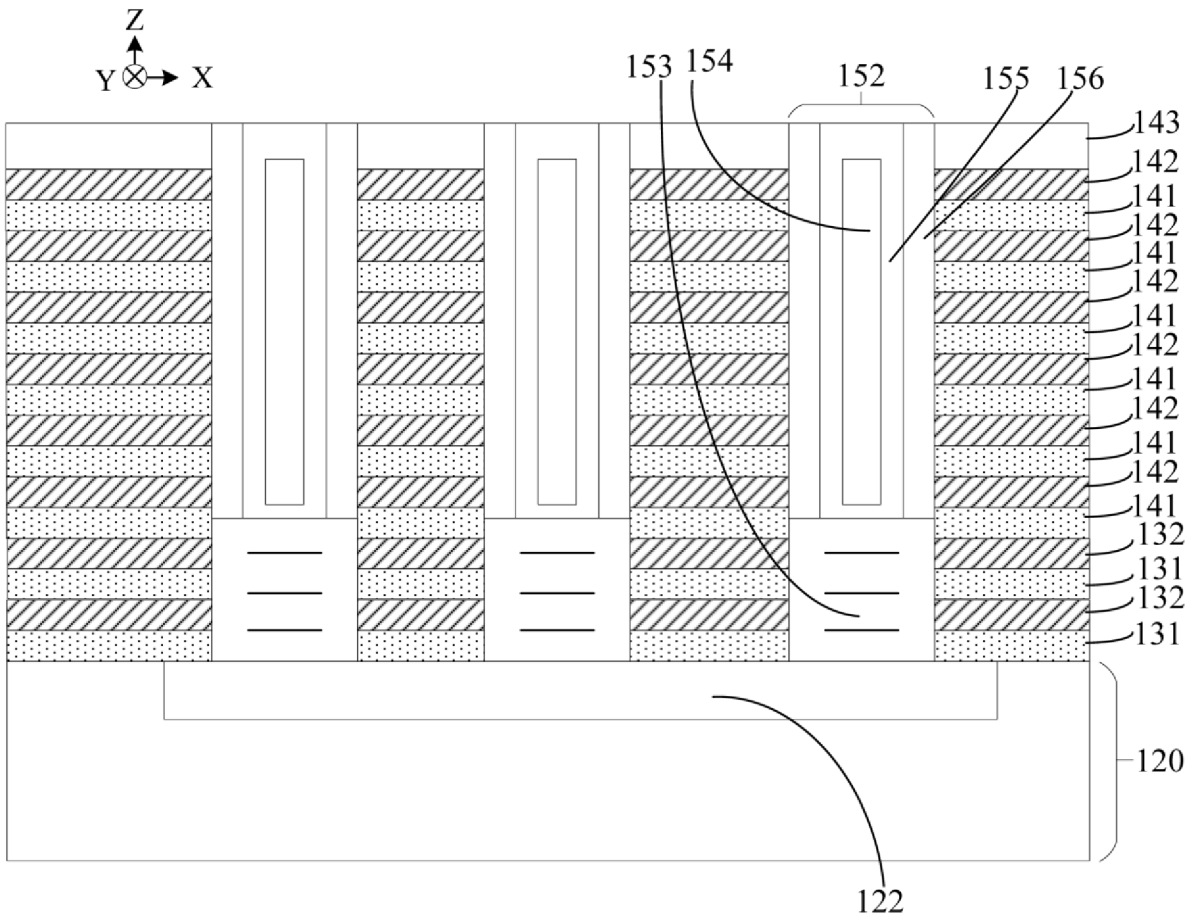
第13圖



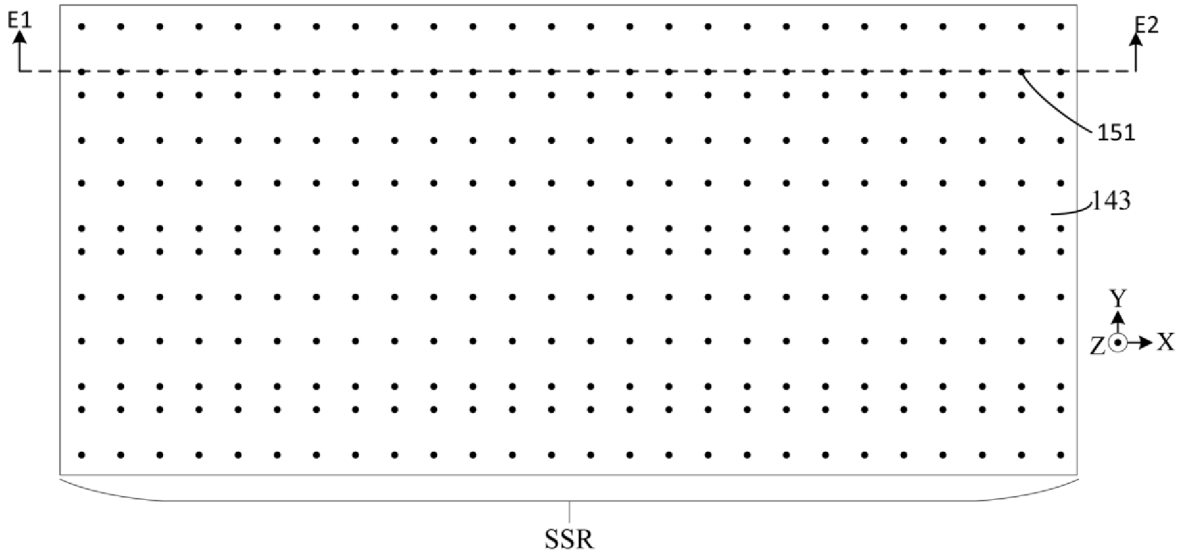
第14圖



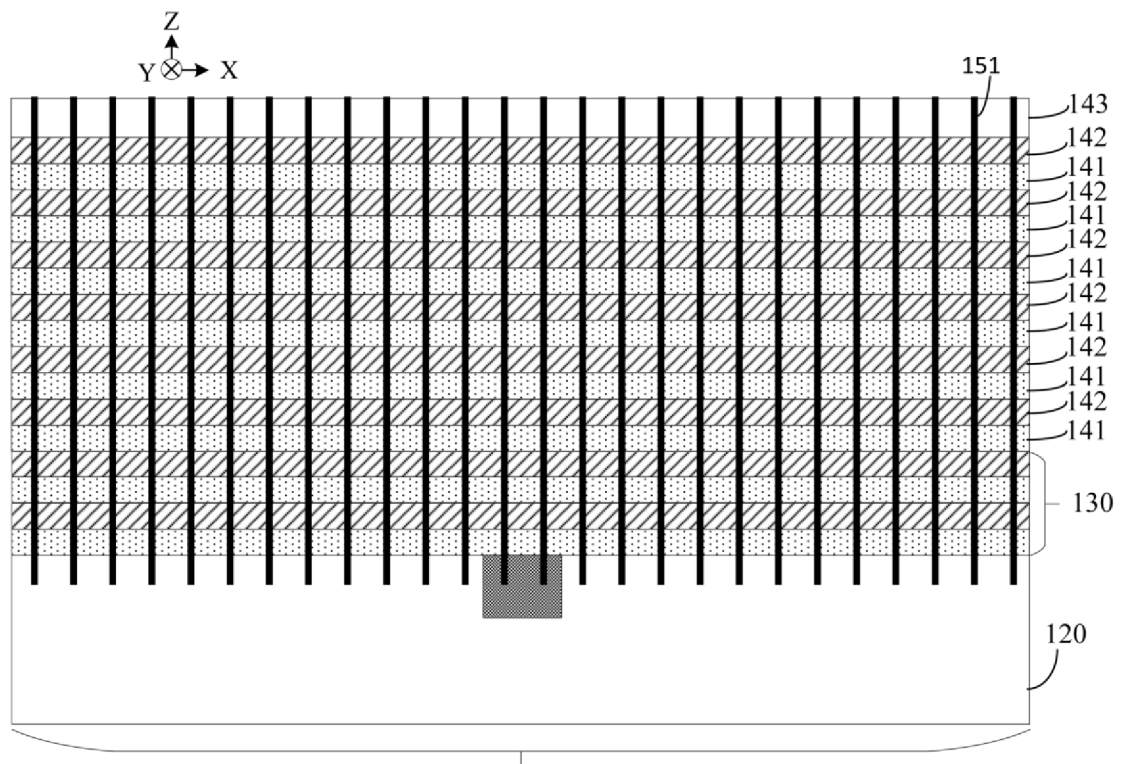
第15圖



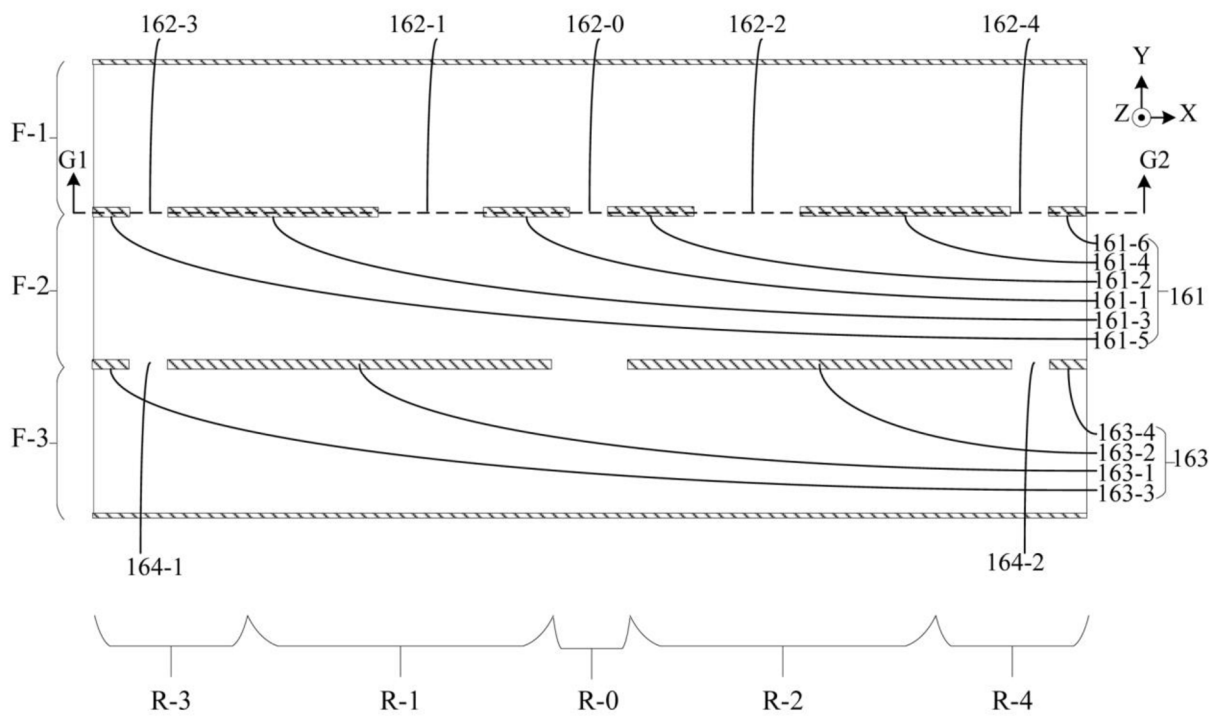
第16圖



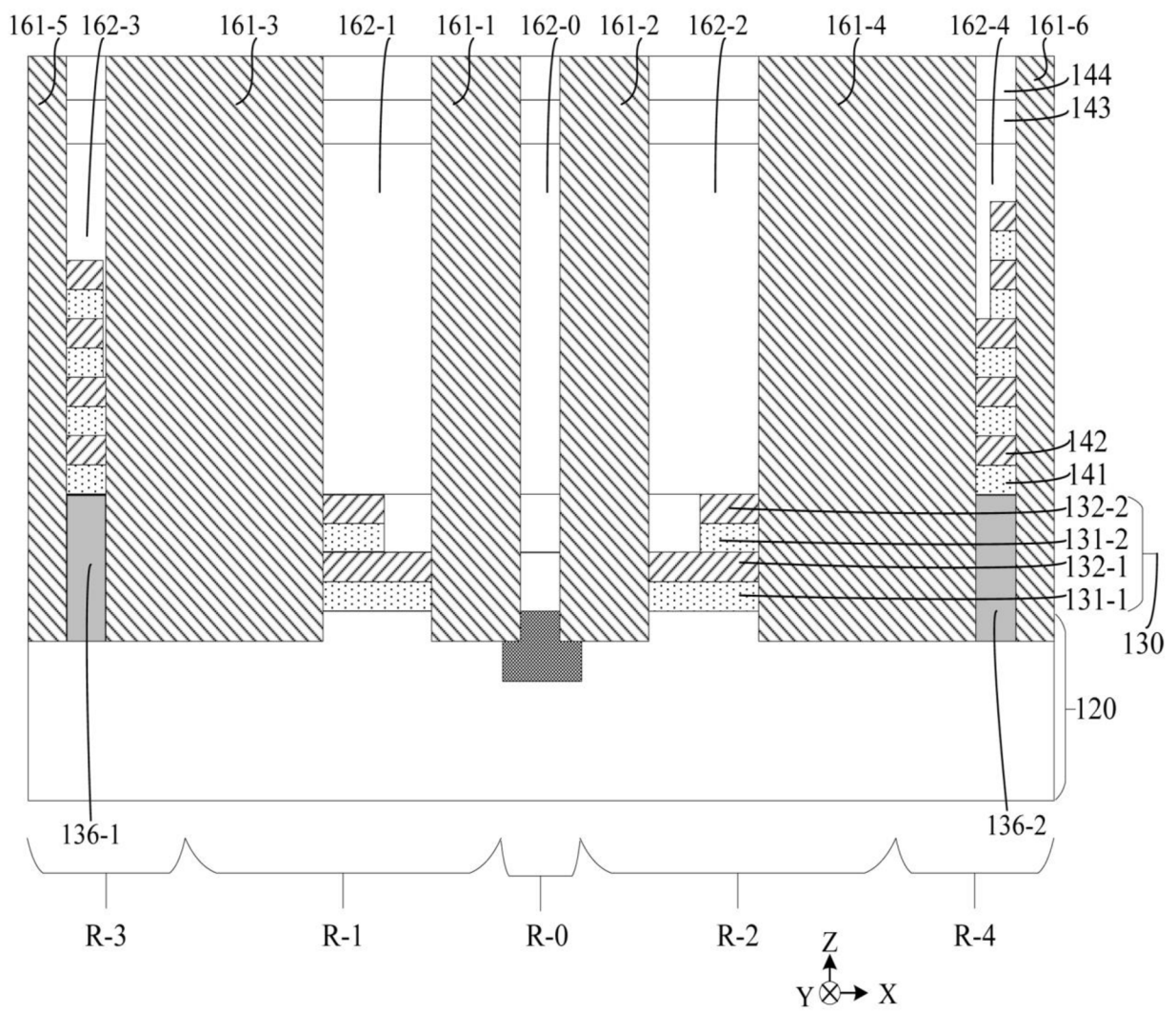
第17圖



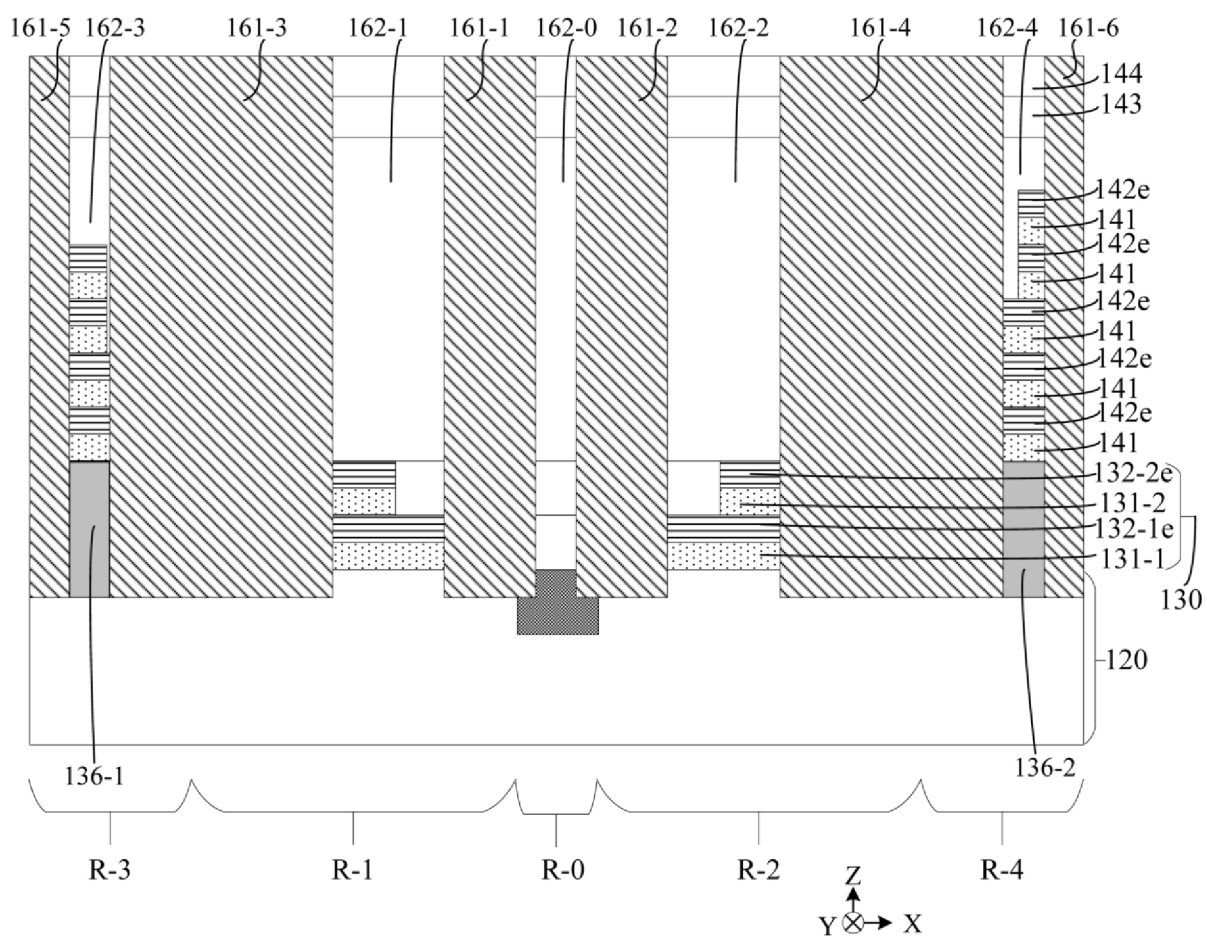
第18圖



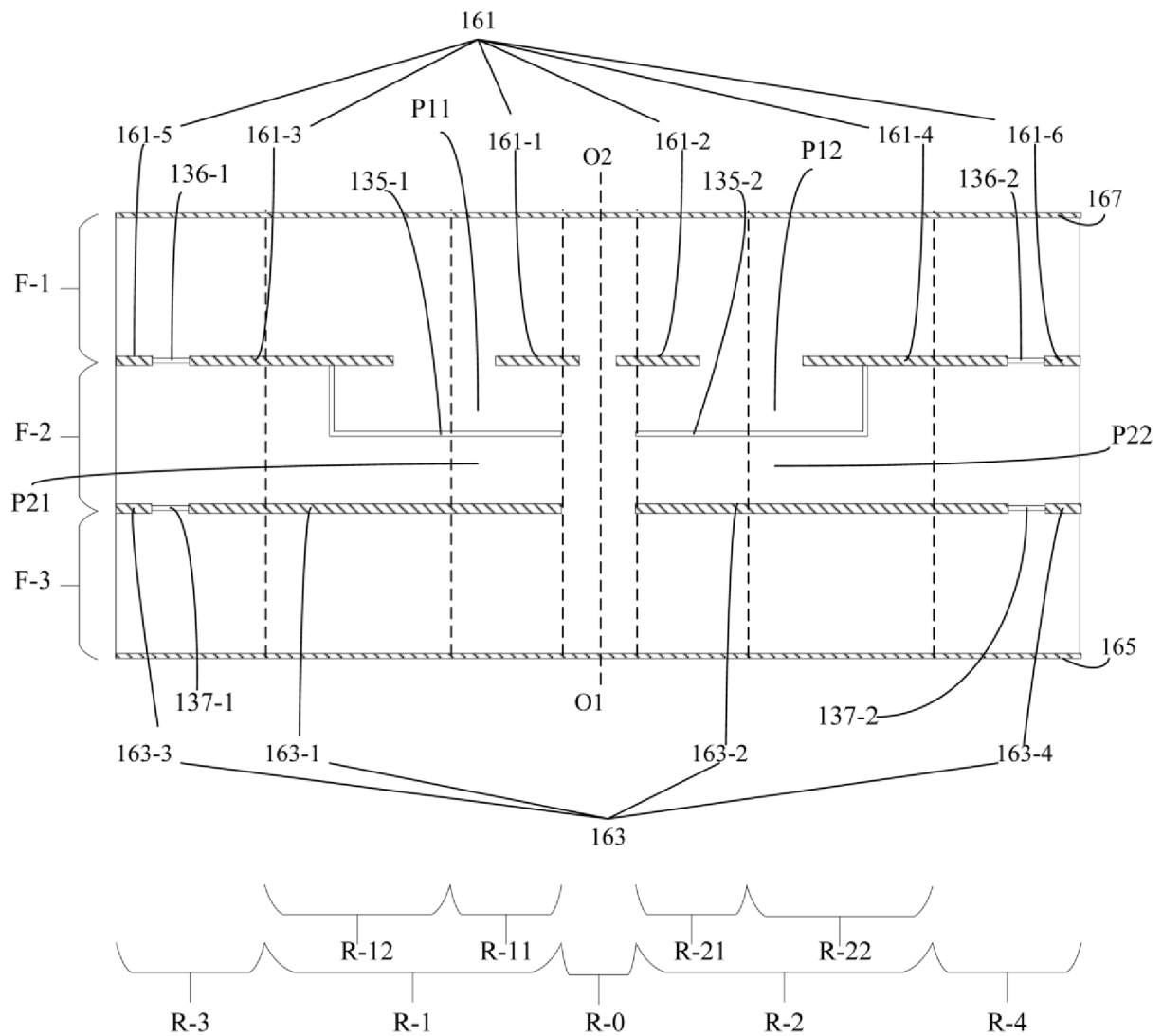
第19圖



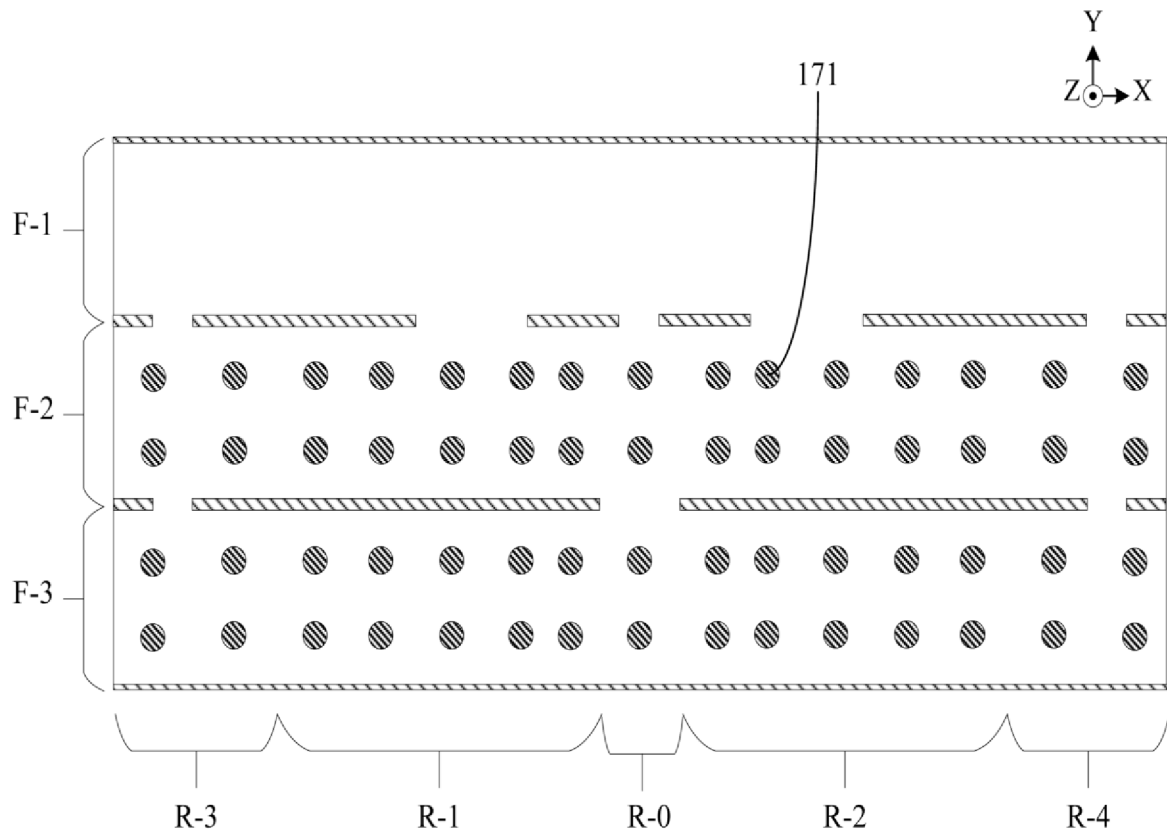
第20圖



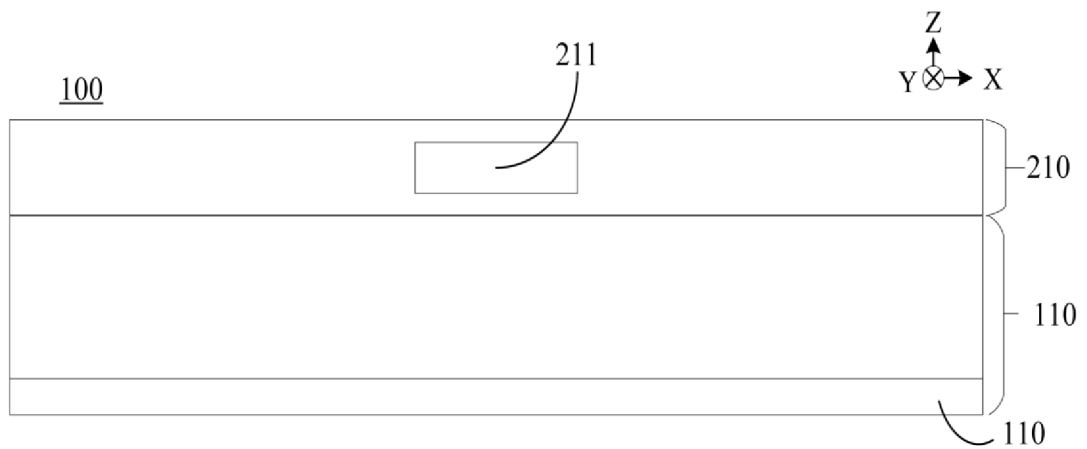
第21圖



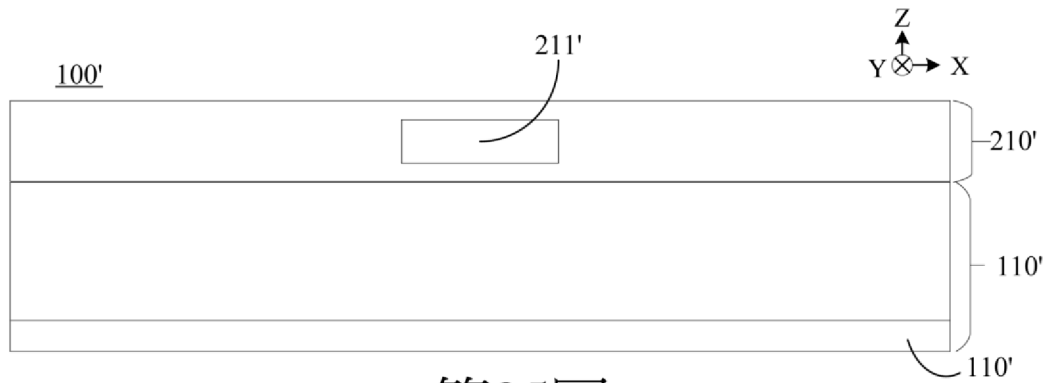
第22圖



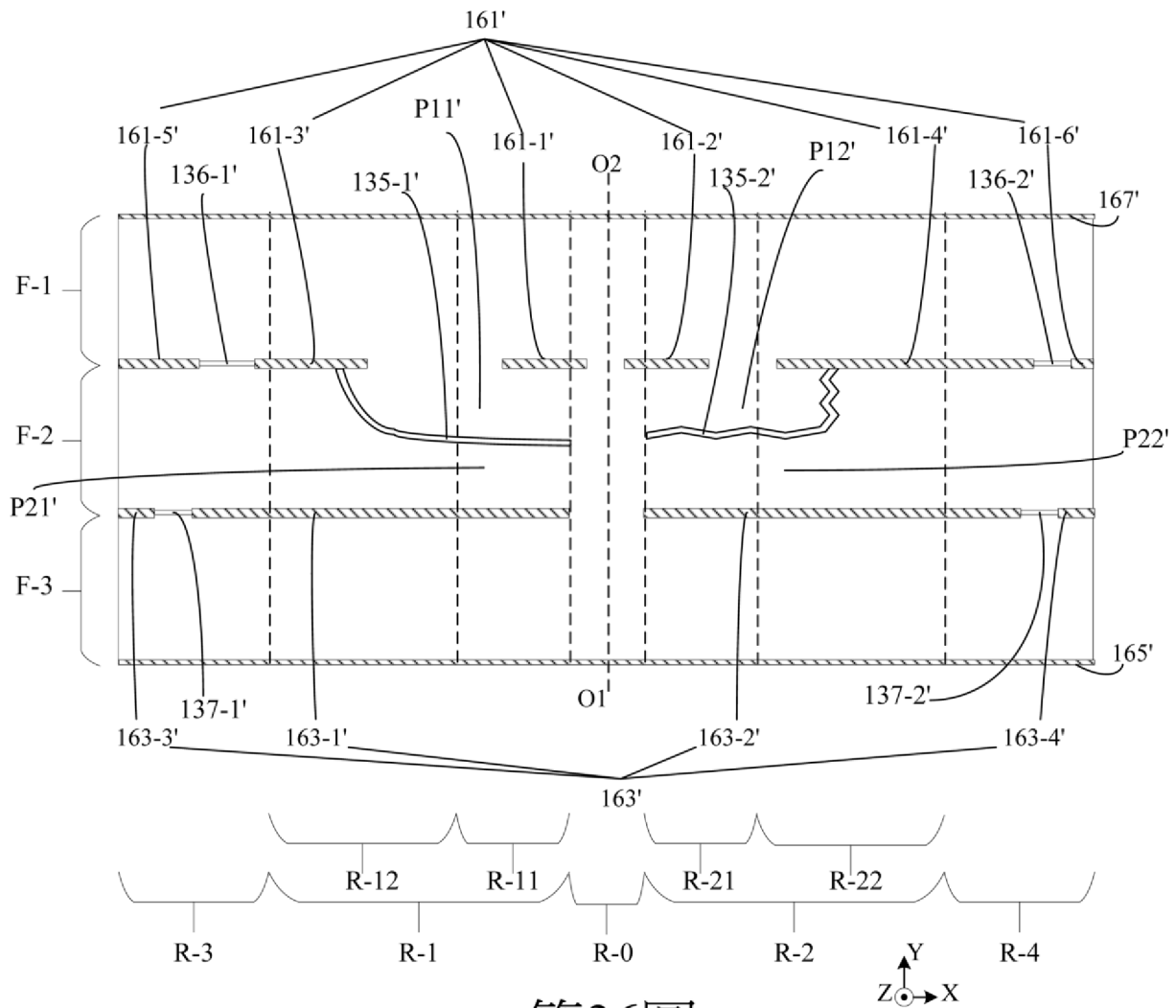
第23圖



第24圖



第25圖



第26圖