



(12)发明专利申请

(10)申请公布号 CN 113534626 A

(43)申请公布日 2021.10.22

(21)申请号 202010292270.X

(22)申请日 2020.04.14

(71)申请人 中国科学院微电子研究所

地址 100029 北京市朝阳区北土城西路3号

申请人 真芯(北京)半导体有限责任公司

(72)发明人 梁时元 贺晓彬 杨涛 李俊峰

王文武

(74)专利代理机构 北京辰权知识产权代理有限公司

公司 11619

代理人 付婧

(51)Int.Cl.

G03F 9/00(2006.01)

H01L 21/66(2006.01)

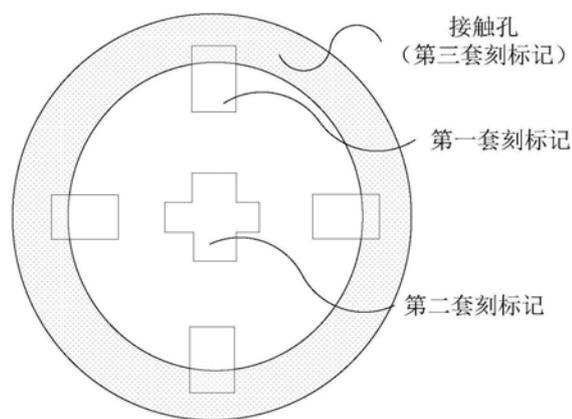
权利要求书1页 说明书5页 附图3页

(54)发明名称

用于套刻精度测量的标记系统及量测方法

(57)摘要

本申请公开了一种用于套刻精度测量的标记系统方法及量测方法,系统包括:第一图案层的第一套刻标记、第二图案层的第二套刻标记以及第三图案层的第三套刻标记;第三套刻标记为接触孔,第一套刻标记的垂直投影部分位于第三套刻标记内,所述第二套刻标记的垂直投影全部位于所述第三套刻标记内,且位于所述第三套刻标记的中心。通过将接触孔作为图案层的套刻标记,并且透过接触孔标记可以看到另两层的套刻标记,从而一次可以测量三层的套刻精度,减少了多层套刻精度的量测次数,缩短了光刻的工艺时间,降低了生产成本。同时也节省了单独套刻标记工艺,避免了制作套刻标记工艺带来的测量误差,使得测量值与实际产品的套刻精度一致,提升产品的良率。



1. 一种用于套刻精度测量的标记系统,其特征在于,所述系统包括:第一图案层的第一套刻标记、第二图案层的第二套刻标记以及第三图案层的第三套刻标记;

其中,所述第三套刻标记为接触孔,所述第一套刻标记的垂直投影部分位于第三套刻标记内,所述第二套刻标记的垂直投影全部位于所述第三套刻标记内,且位于所述第三套刻标记的中心。

2. 根据权利要求1所述的系统,其特征在于,所述第一套刻标记和所述第二套刻标记均为条型形态的标记,所述第三套刻标记为孔型的接触孔。

3. 根据权利要求2所述的系统,其特征在于,所述条型标记的宽度尺寸为50nm~100nm。

4. 根据权利要求2所述的系统,其特征在于,所述第一套刻标记包括四个位置对称设置的条型标记。

5. 根据权利要求4所述的系统,其特征在于,所述第一套刻标记包括的四个条型标记围绕所述孔型的中心且沿水平方向和垂直方向对称设置。

6. 根据权利要求2所述的系统,其特征在于,所述第二套刻标记包括两个呈“+”形设置的条型标记。

7. 根据权利要求2所述的系统,其特征在于,所述第三套刻标记的孔型直径尺寸为200nm~300nm。

8. 根据权利要求1所述的系统,其特征在于,所述第一套刻标记和所述第二套刻标记位于划片槽上;所述第三套刻标记位于芯片内。

9. 一种如上述权利要求1~8任一项所述的套刻精度测量的标记系统的量测方法,其特征在于,所述方法包括:

在光刻版图中设置用于套刻精度测量的标记系统,并通过光刻工艺将所述用于套刻精度测量的标记系统中的第一套刻标记至第三套刻标记分别转移至晶圆上;

利用量测设备测量晶圆上第一图案层至第三图案层中任意两图案层的套刻精度。

10. 根据权利要求9所述的量测方法,其特征在于,所述测量设备为SEM扫描电子显微镜。

## 用于套刻精度测量的标记系统及量测方法

### 技术领域

[0001] 本申请涉及半导体制造技术领域,具体涉及一种用于套刻精度测量的标记系统及量测方法。

### 背景技术

[0002] 光刻 (photolithography) 是半导体制造工业中的关键工艺。光刻是通过对准、曝光和显影等步骤将掩模板 (mask) 上的图形转移到目标基板上的工艺过程。一个产品一般包括多层图案层,需要进行多层光刻工艺才能完成整个产品的制作过程。当层图案与前层图案的位置对准尤为重要。套刻精度 (overlay, OVL) 就是指不同层之间图案的位置对准偏差,套刻精度的大小反映不同层之间图案的位置对准偏差的大小。

[0003] 在相关技术中,通过在划片槽 (Scribe lane) 上成形前层图案和当层图案的套刻标记 (overlay mark),并利用前层图案和当层图案的套刻标记来间接测量前层图案和当层图案的套刻精度,然而鉴于多种复杂原因,利用套刻标记测量的值与实际产品图案的套刻精度存在差异,导致产品不良比重增加。

### 发明内容

[0004] 本申请的目的是针对上述现有技术的不足提出的一种用于套刻精度测量的标记系统及量测方法,该目的是通过以下技术方案实现的。

[0005] 本申请的第一方面提出了一种用于套刻精度测量的标记系统,其特征在于,所述系统包括:第一图案层的第一套刻标记、第二图案层的第二套刻标记以及第三图案层的第三套刻标记;

[0006] 其中,所述第三套刻标记为接触孔,所述第一套刻标记的垂直投影部分位于第三套刻标记内,所述第二套刻标记的垂直投影全部位于所述第三套刻标记内,且位于所述第三套刻标记的中心。

[0007] 本申请的第二方面提出了一种套刻精度测量的标记系统的量测方法,所述方法包括:

[0008] 在光刻版图中设置用于套刻精度测量的标记系统,并通过光刻工艺将所述用于套刻精度测量的标记系统中的第一套刻标记至第三套刻标记分别转移至晶圆上;

[0009] 利用量测设备测量晶圆上第一图案层至第三图案层中任意两图案层的套刻精度。

[0010] 在本申请实施例中,通过将接触孔 (即实际图案) 作为图案层的套刻标记,并且透过接触孔标记可以看到另两层的套刻标记,从而一次可以测量三层的套刻精度,减少了多层套刻精度的量测次数,缩短了光刻的工艺时间,降低了生产成本。由于将实际图案作为套刻标记,节省了单独套刻标记工艺,因此可以进一步缩短工艺时间,同时也避免了制作套刻标记工艺带来的测量误差,使得测量值与实际产品的套刻精度一致,提升产品的良率。

## 附图说明

[0011] 此处所说明的附图用来提供对本申请的进一步理解,构成本申请的一部分,本申请的示意性实施例及其说明用于解释本申请,并不构成对本申请的不当限定。在附图中:

[0012] 图1为本申请示出的一种相关技术中使用的套刻标记结构示意图;

[0013] 图2为本申请根据一示例性实施例示出的一种用于套刻精度测量的标记系统结构示意图;

[0014] 图3为本申请根据图2所示实施例示出的一种用于套刻精度测量的标记系统的量测方法的实施例流程图;

[0015] 图4为本申请示出的一种第一套刻标记与第二套刻标记之间偏移测量示意图;

[0016] 图5为本申请示出的一种第一套刻标记与第三套刻标记之间偏移测量示意图;

[0017] 图6为本申请示出的一种第三套刻标记与第二套刻标记之间偏移测量示意图。

## 具体实施方式

[0018] 以下,将参照附图来描述本公开的实施例。但是应该理解,这些描述只是示例性的,而并非要限制本公开的范围。此外,在以下说明中,省略了对公知结构和技术的描述,以避免不必要地混淆本公开的概念。

[0019] 在附图中示出了根据本公开实施例的各种结构示意图。这些图并非是按比例绘制的,其中为了清楚表达的目的,放大了某些细节,并且可能省略了某些细节。图中所示出的各种区域、层的形状以及它们之间的相对大小、位置关系仅是示例性的,实际中可能由于制造公差或技术限制而有所偏差,并且本领域技术人员根据实际所需可以另外设计具有不同形状、大小、相对位置的区域/层。

[0020] 在本公开的上下文中,当将一层/元件称作位于另一层/元件“上”时,该层/元件可以直接位于该另一层/元件上,或者它们之间可以存在居中层/元件。另外,如果在一种朝向中一层/元件位于另一层/元件“上”,那么当调转朝向时,该层/元件可以位于该另一层/元件“下”。

[0021] 参见图1所示,套刻标记1(图中浅颜色条形)为图案层1上成形的标记,套刻标记2(图中深颜色条形)为图案层2上成形的标记,并且套刻标记1与套刻标记2的相对位置已知。

[0022] 其中,套刻标记1和套刻标记2是在形成图案的掩模上通过设置光栅(grating)的方式形成的标记,光栅的长度为1 $\mu$ m,包括不被曝光的条(bar)和被曝光的空隙(space)。图1中的套刻标记可以通过光栅的方式做成10 $\mu$ m~40 $\mu$ m不同大小的标记。

[0023] 由此,通过测量套刻标记1与套刻标记2之间的偏移即可获得图案层1与图案层2之间的套刻精度值。

[0024] 但是,鉴于多种复杂原因,利用套刻标记测量的值与实际产品图案的套刻精度存在差异,导致产品不良比重增加。并且随着半导体制造工艺的复杂化,在两个图案层上制造许多套刻标记的工艺势必也会增加。另外,现有技术对套刻精度的测量涉及的是两个图案层的套刻标记,对于需要测量多层的套刻精度需要进行多步测量,这样势必会增加多层套刻精度的量测次数,不仅步骤繁琐,而且延长了光刻的工艺时间及提高了生产成本。

[0025] 为解决上述技术问题,本申请提出一种用于套刻精度测量的标记系统,参见图2所示,标记系统包括:第一图案层的第一套刻标记、第二图案层的第二套刻标记以及第三图案

层的第三套刻标记;其中,第三图案层的第三套刻标记为接触孔,由于第一套刻标记、第二套刻标记及第三套刻标记均表征不同的图案层,且透过第三套刻标记可以看到第一套刻标记和第二套刻标记,因此第一套刻标记的垂直投影部分位于第三套刻标记内,第二套刻标记的垂直投影全部位于第三套刻标记内,且为了便于测量,第二套刻标记的垂直投影位于第三套刻标记的中心。

[0026] 其中,第一套刻标记和第二套刻标记的相对位置已知,第一套刻标记与第三套刻标记的相对位置已知,第二套刻标记与第三套刻标记的相对位置也已知。

[0027] 在将第一套刻标记、第二套刻标记以及第三套刻标记转移到硅片上后,如果测量出第一套刻标记和第二套刻标记之间的距离符合相对位置条件,表示第一图案层和第二图案层不存在套刻偏移,而如果不符合相对位置条件,由二者之间的距离获得套刻偏移。

[0028] 如果测量出第一套刻标记和第三套刻标记之间的距离符合相对位置条件,表示第一图案层和第三图案层不存在套刻偏移,而如果不符合相对位置条件,由二者之间的距离获得套刻偏移。

[0029] 如果测量出第二套刻标记和第三套刻标记之间的距离符合相对位置条件,表示第二图案层和第三图案层不存在套刻误差,而如果不符合相对位置条件,由二者之间的距离获得套刻偏移。

[0030] 需要说明的是,本申请中接触孔的形状除了为圆柱形(图2所示的形状)之外,也可以为方形等其他封闭的规则形状。

[0031] 由上述描述可知,通过将接触孔(即实际图案)作为图案层的套刻标记,并且透过接触孔标记可以看到另两层的套刻标记,从而可以用于测量三层的套刻精度,减少了多层套刻精度的量测次数,缩短了光刻的工艺时间,降低了生产成本。由于将实际图案作为套刻标记,节省了单独套刻标记工艺,因此可以进一步缩短工艺时间,同时也避免了制作套刻标记工艺带来的测量误差,使得测量值与实际产品的套刻精度一致,提升产品的良率。

[0032] 在一些实施例中,第一套刻标记和第二套刻标记可以均为条型形态的标记;所述第三套刻标记为孔型的接触孔。

[0033] 其中,在制作第一套刻标记和第二套刻标记时,可以在形成图案的掩模上设置光栅的方式来制作。由于光栅包括不被曝光的条(bar)和被曝光的空隙(space),因此不被曝光的条转移到图案层后形成条型标记。

[0034] 在一些实施例中,所制作的条型标记的宽度尺寸可以为50nm~100nm之间。所述第三套刻标记的孔型直径尺寸可以为200nm~300nm。

[0035] 在一些实施例中,如图2所示,第一套刻标记可以包括四个位置对称设置的条型标记。

[0036] 在一些实施例中,如图2所示,第二套刻标记可以包括两个呈“+”形设置的条型标记。由于“+”形与条型形态的第一套刻标记和孔型形态的第三套刻标记的形态差异较大,易于区分,为套刻精度的测量提供了便利。

[0037] 需要说明的是,上述所述的第一套刻标记和第二套刻标记包括的条型标记数量仅为一种示例,第一套刻标记和第二套刻标记还可以包括其他数量的条型标记。

[0038] 在具体实施时,第一套刻标记包括的四个条型标记围绕接触孔的中心且沿水平方向和垂直方向对称设置。

[0039] 基于上述描述的相对位置关系,在第一套刻标记与第二套刻标记之间的偏移量时,可以根据第一套刻标记中沿水平方向设置的两个条形标记分别与第二套刻标记之间的距离,获得水平方向上的偏移量,并根据第一套刻标记中沿垂直方向设置的两个条形标记分别与第二套刻标记之间的距离,获得垂直方向上的偏移量。

[0040] 依据相同的测量原理,还可以获得第二套刻标记与第三套刻标记分别在水平方向的偏移量和垂直方向的偏移量,以及第一套刻标记与第三套刻标记分别在水平方向的偏移量和垂直方向的偏移量。

[0041] 本领域技术人员可以理解的是,上述所述的第二套刻标记和第一套刻标记以及第三套刻标记三者之间的相对位置关系只是一种示例,本申请还可以包括其他类型的相对位置关系,只要确保利用第一套刻标记、第二套刻标记及第三套刻标记能够测量出任意两个标记之间的偏移即可。

[0042] 在一些实施例中,第一套刻标记和第二套刻标记位于划片槽(Scribe lane)上,第三套刻标记位于芯片(chip)内。

[0043] 下面以具体实施例详细阐述上述图2所示实施例示出的用于套刻精度测量的标记系统的量测方案。

[0044] 图3为本申请根据图2所示实施例示出的一种用于套刻精度测量的标记系统的量测方法的实施例流程图,如图3所示,所述量测方法包括如下步骤:

[0045] 步骤301:在光刻版图中设置用于套刻精度测量的标记系统,并通过光刻工艺将所述用于套刻精度测量的标记系统中的第一套刻标记至第三套刻标记分别转移至晶圆上。

[0046] 在半导体器件制造的整个流程中,其中一部分是从版图到晶圆(wafer)制造中间的一个过程,即掩模板的制造。因此,在步骤301中,可以在光刻版图中设置用于套刻精度测量的标记系统,然后根据版图制备一包含第一图案层形成结构的第一掩模板、一包含第二图案层形成结构的第二掩模板和一包含第三图案层形成结构的第三掩模板,并通过光刻工艺分别将第一掩模板、第二掩模板以及第三掩模板上的图案转移到晶圆上,同时也就将用于套刻精度测量的标记系统中的第一套刻标记至第三套刻标记转移至晶圆上了。

[0047] 步骤302:利用量测设备测量晶圆上第一图案层至第三图案层中任意两图案层的套刻精度。

[0048] 在一些实施例中,所述测量设备可以采用SEM(scanning electron microscopy,扫描电子显微镜)设备。

[0049] 示例性的,利用SEM设备采集晶圆的套刻测量区域的图像,即图像中有第一套刻标记、第二套刻标记以及第三套刻标记,图像示例图可以参见上述图2。

[0050] 如图4所示,为测量第一套刻标记与第二套刻标记之间偏移量的结构示意图,利用SEM设备采集的图像可以直接测量得到 $d1x$ 、 $d2x$ 、 $d1y$ 和 $d2y$ 。

[0051] 由此可得,在水平方向上的偏移量 $0VLX1 = (d1x - d2x) / 0.5$ ;在垂直方向上的偏移量 $0VLY1 = (d1y - d2y) / 0.5$ 。

[0052]  $0VLX1$ 和 $0VLY1$ 即为第一图案层与第二图案层之间的套刻精度值。

[0053] 如图5所示,为测量第一套刻标记与第三套刻标记之间偏移量的结构示意图,利用SEM设备采集的图像可以直接测量得到 $d3x$ 、 $d4x$ 、 $d3y$ 和 $d4y$ 。

[0054] 由此可得,在水平方向上的偏移量 $0VLX2 = (d3x - d4x) / 0.5$ ;在垂直方向上的偏移

量 $0VLY2 = (d3y - d4y) / 0.5$ .

[0055]  $0VLX2$ 和 $0VLY2$ 即为第一图案层与第三图案层之间的套刻精度值。

[0056] 如图6所示,为测量第二套刻标记与第三套刻标记之间偏移量的结构示意图,利用SEM设备采集的图像可以直接测量得到 $d5x$ 、 $d6x$ 、 $d5y$ 和 $d6y$ 。

[0057] 由此可得,在水平方向上的偏移量 $0VLX3 = (d5x - d6x) / 0.5$ ;在垂直方向上的偏移量 $0VLY3 = (d5y - d6y) / 0.5$ .

[0058]  $0VLX3$ 和 $0VLY3$ 即为第二图案层与第三图案层之间的套刻精度值。

[0059] 至此,完成上述图3所示的量测流程,通过图3所示的量测流程,一次性可以测量三层中任意两层的套刻精度值。由于将实际图案接触孔作为套刻标记,节省了单独套刻标记工艺,因此可以进一步缩短工艺时间,同时也避免了制作套刻标记工艺带来的测量误差,使得测量值与实际产品的套刻精度一致,提升产品的良率。

[0060] 在以上的描述中,对于各层的构图、刻蚀等技术细节并没有做出详细的说明。但是本领域技术人员应当理解,可以通过各种技术手段,来形成所需形状的层、区域等。另外,为了形成同一结构,本领域技术人员还可以设计出与以上描述的方法并不完全相同的方法。另外,尽管在以上分别描述了各实施例,但是这并不意味着各个实施例中的措施不能有利地结合使用。

[0061] 以上对本公开的实施例进行了描述。但是,这些实施例仅仅是为了说明的目的,而并非为了限制本公开的范围。本公开的范围由所附权利要求及其等价物限定。不脱离本公开的范围,本领域技术人员可以做出多种替代和修改,这些替代和修改都应落在本公开的范围之内。

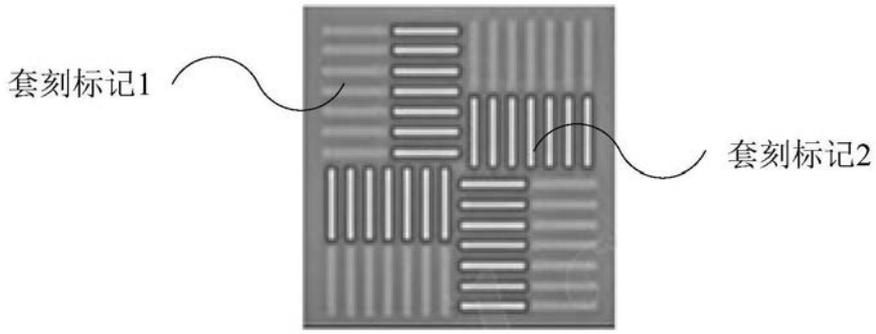


图1

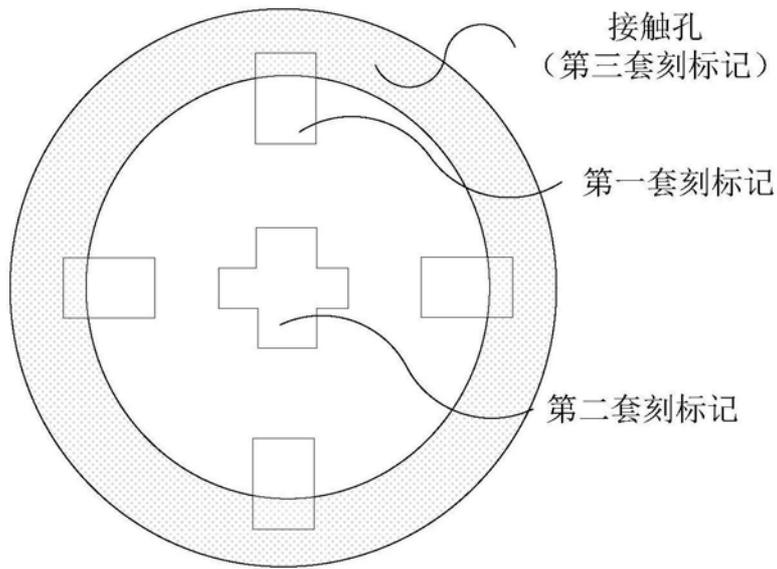


图2

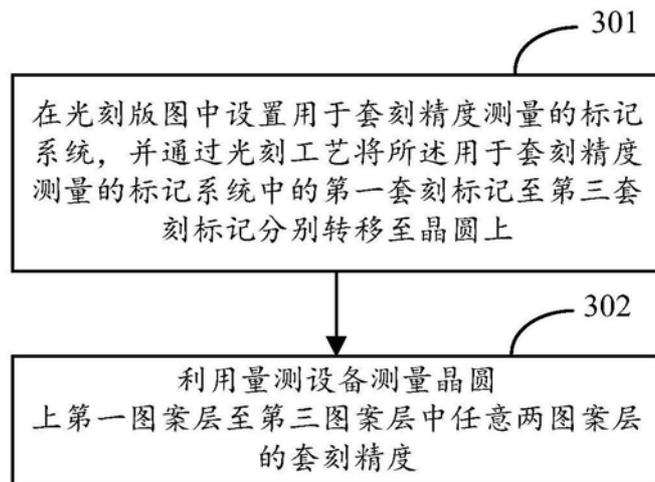


图3

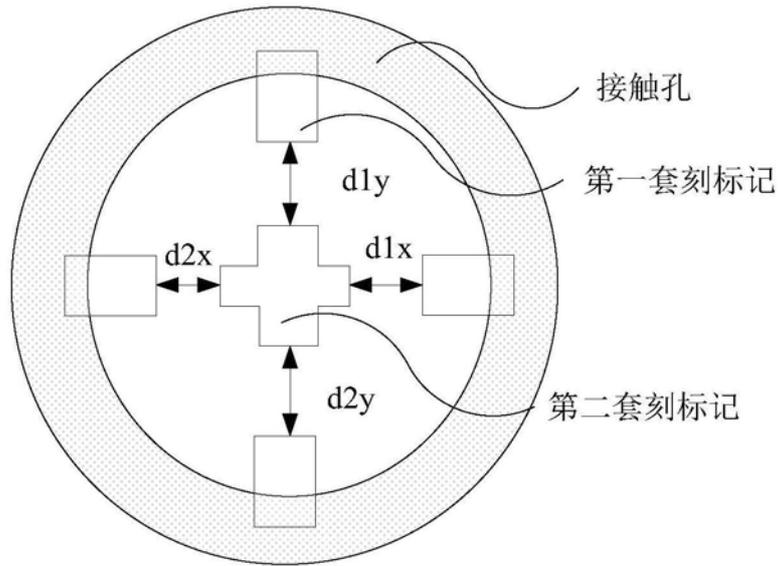


图4

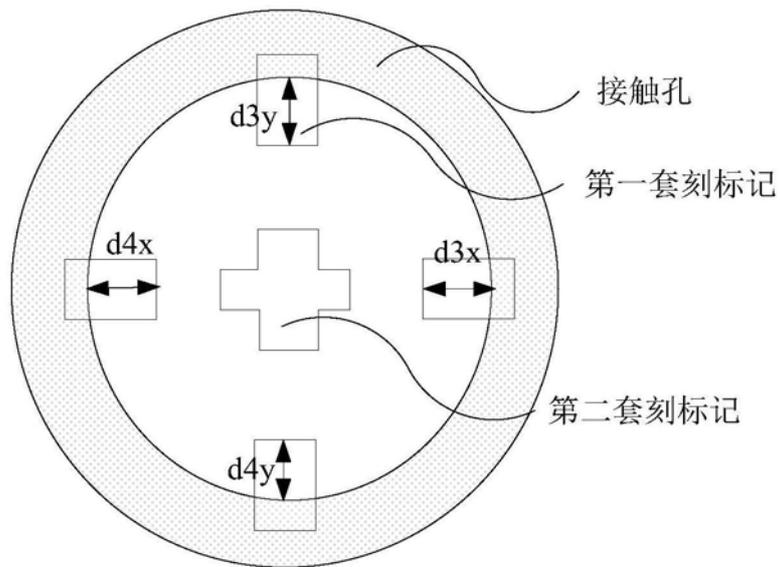


图5

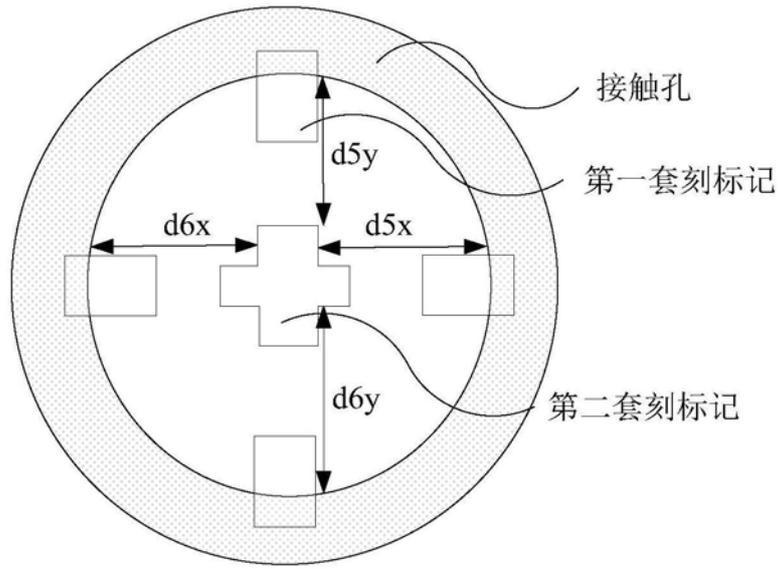


图6