

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3688232号

(P3688232)

(45) 発行日 平成17年8月24日(2005.8.24)

(24) 登録日 平成17年6月17日(2005.6.17)

(51) Int. Cl.⁷

G 1 1 C 11/22

F I

G 1 1 C 11/22 5 0 1 Q

G 1 1 C 11/22 5 0 1 G

G 1 1 C 11/22 5 0 1 J

請求項の数 3 (全 17 頁)

(21) 出願番号 特願2001-266587 (P2001-266587)
 (22) 出願日 平成13年9月4日(2001.9.4)
 (65) 公開番号 特開2003-77271 (P2003-77271A)
 (43) 公開日 平成15年3月14日(2003.3.14)
 審査請求日 平成14年9月9日(2002.9.9)

(73) 特許権者 000005821
 松下電器産業株式会社
 大阪府門真市大字門真1006番地
 (74) 代理人 100068087
 弁理士 森本 義弘
 (72) 発明者 村久木 康夫
 大阪府門真市大字門真1006番地 松下
 電器産業株式会社内

審査官 加藤 俊哉

(56) 参考文献 特開平11-238387 (JP, A)
 特開平09-185890 (JP, A)
 特開平09-097496 (JP, A)

最終頁に続く

(54) 【発明の名称】 強誘電体記憶装置

(57) 【特許請求の範囲】

【請求項1】

選択トランジスタと強誘電体キャパシタから構成され選択トランジスタのドレインまたはソースが前記強誘電体キャパシタの一方の端子に接続された強誘電体メモリーセルと、
 前記選択トランジスタのゲートに接続されたワード線と、

前記選択トランジスタで前記強誘電体キャパシタが接続されない側のドレインまたはソースが接続されたビット線と、

前記強誘電体キャパシタのもう一方の端子に接続されるセルプレート線と、

前記ビット線のチャージを行うビット線チャージ回路を備えた強誘電体記憶装置において、

ワード線の活性化後、前記ビット線チャージ回路でのビット線のチャージに費やされた電荷量を検出して読出しを行う読み出し手段を設け、

前記読み出し手段は、

ビット線のチャージのための電荷を供給するよう前記ビット線チャージ回路に結合されたサブビット線と、サブビット線を第1の電位にプリチャージするサブビット線チャージ回路と、サブビット線の電圧を増幅するセンスアンプと第2のビット線チャージ回路とを備え、サブビット線チャージ回路の活性化と、第2のビット線チャージ回路の活性化により、サブビット線の第1の電位へのプリチャージと、ビット線の第2の電位へのプリチャージを行い、サブビット線チャージ回路と第2のビット線チャージ回路を非活性化し、ビット線チャージ回路を活性化し、ワード線を活性化し、読み出しを行うメモリーセルを選

10

20

折後、センスアンプを活性化しサブビット線の電圧を増幅し、読み出し動作を行うことを特徴とする

強誘電体記憶装置。

【請求項 2】

前記読み出し手段のビット線チャージ回路が、サブビット線とビット線の間に接続され、ゲートが第 3 の電位に接続された N 型 MOS トランジスタであることを特徴とする

請求項 1 に記載の強誘電体記憶装置。

【請求項 3】

前記読み出し手段の第 2 のビット線チャージ回路が、ドレインがビット線に接続され、ソースが前記第 2 の電位に接続され、ゲートにプリチャージ信号を受ける P 型 MOS トランジスタであり、前記第 3 の電位は前記第 2 の電位にトランジスタのスレッシュホールド電圧を加えたものであることを特徴とする

10

請求項 2 に記載の強誘電体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は不揮発性メモリ装置に関するものであり、詳しくは強誘電体キャパシタをもつ半導体記憶装置の読み出し動作に関するものである。

【0002】

【従来の技術】

20

近年、電源オフする時までデータを維持する機能を持つ不揮発性メモリは、ヒステリシス特性 (hysteresis characteristics) を示す P Z T のような強誘電物質の使用を通じて実現されてきた。メモリセルにそのような強誘電物質を使うことにより、不揮発性メモリは簡単な構造で具現されることができ

【0003】

強誘電体ラム (F e R A M : Ferroelectric Random Access Memory) 装置は不揮発性の特性を持ち、高速低電圧動作ができるので、多くのメモリチップメーカーの関心が集まっている。F e R A M の動作速度は分極反転時間により決定される。強誘電体キャパシタの分極反転速度は、キャパシタの面積、強誘電体薄膜の厚さ、印加電圧などにより決定されるが、通常ナノ秒 [n s] 単位である。

30

【0004】

図 15 は強誘電体キャパシタのヒステリシスループを示す。

縦軸は、強誘電体の自発分極により強誘電体表面に誘起される電荷の量、すなわち分極量 [C] を示す。横軸は、強誘電体キャパシタに加わる印加電圧 [ボルト] を示す。

【0005】

強誘電体キャパシタの端子間電圧が 0 [ボルト] で分極が全く発生していない状態の強誘電体に正の電圧をかけていくと、図 15 の S 0 から A まで分極量が増加する。強誘電体は、ある電圧 (電界) 以上になると分極量は増加しない。つまり、A 点で分極量は最大値をとる。この点での傾きを

$$C_s = dq / dV$$

40

と定義し、 C_s は平行平板容量成分を表す。このあと、強誘電体キャパシタ端子間電圧を 0 にしても分極量は 0 にならず、S 1 にとどまるようになる。このとき保有する分極電荷量を $P_r [C]$ で表す。この性質を利用して不揮発性記憶装置を実現している。

【0006】

図 13 に一般的な 1 T 1 C 型 (1 トランジスタ 1 キャパシタ型) のメモリーセルを含んだ強誘電体記憶装置を示す。

W L はワード線、

B L , X B L はビット線、

B L S , X B L S はサブビット線、

1 0 1 は強誘電体キャパシタで、一端はセルプレート線 C P に接続されている。

50

【 0 0 0 7 】

1 0 3 はリファレンスキャパシタで、一端はリファレンスキャパシタプレート線 R C P に接続されている。

1 0 2 は強誘電体キャパシタ選択トランジスタで、前記ワード線 W L によって制御されている。

【 0 0 0 8 】

1 0 4 はリファレンスキャパシタ選択トランジスタで、リファレンスキャパシタ選択線 R W L (以下、R W L 線と称す) によって制御されている。

1 1 2 はサブビット線チャージ回路としてのサブビット線チャージトランジスタで、プリチャージ制御信号 P R E で制御されサブビット線 B L S , X B L S を電源電圧 V d d レベルにプリチャージする。 10

【 0 0 0 9 】

1 1 1 はビット線チャージ回路としてのトランスファゲートで、ビット線 B L , X B L とサブビット線 B L S , X B L S を接続するトランジスタ M 1 , M 2 で構成されており、S S W 線によって制御されている。

【 0 0 1 0 】

1 1 3 はビット線 B L , X B L の電位差を増幅するセンスアンプで、センスアンプ制御信号 S E N によって制御されている。

1 1 0 はビット線 B L , X B L をグランド電位にディスチャージするトランジスタで、ビット線ディスチャージ制御信号 B L D I S (以下、B L D I S 線と称す) によって制御されている。 20

【 0 0 1 1 】

1 2 0 はビット線寄生容量で、ビット線 B L , X B L の寄生容量 C b で表されている。

1 2 1 はサブビット線寄生容量で、サブビット線 B L S , X B L S の寄生容量 C b 1 s で表されている。

【 0 0 1 2 】

1 2 2 は読み出し動作制御部である。

読み出し動作制御部 1 2 2 は図 1 4 のタイミングチャートを実現するように構成されている。

【 0 0 1 3 】

なお、この明細書では活性化状態を“ H ”レベルとして説明する。

時刻 t 0 において、前記 B L D I S 線を非活性化してビット線 B L , X B L をフローティング状態とする。 30

【 0 0 1 4 】

時刻 t 1 において S S W 線を活性化し、時刻 t 2 においてビット線 B L , X B L を V d d レベルにプリチャージする。さらに、プリチャージ制御信号 P R E を活性化してビット線 B L , X B L のプリチャージを停止する。

【 0 0 1 5 】

時刻 t 3 において、ワード線 W L , R W L 線を V p p レベル (V d d より高い電位) にて活性化してメモリーセルを選択すると、強誘電体キャパシタ 1 0 1 , リファレンスキャパシタ 1 0 3 に電圧 V d d がかかる。 40

【 0 0 1 6 】

強誘電体キャパシタ 1 0 1 に“ H ”データが記憶されていた場合のビット線の電位 V b 1 (H)、または“ L ”データが記憶されていた場合のビット線の電位 V b 1 (L) は、それぞれ近似的にそれぞれ次のようになる。

【 0 0 1 7 】

$$V b 1 (H) = V d d - \{ V d d / (C b / C s + 1) \}$$

$$V b 1 (L) = V d d - \{ V d d / (C b / C s + 1) + (2 P r / C s) / (C b / C s + 1) \}$$

また、リファレンスビット線 X B L S の電位 V x b 1 は、 50

$$V_{xbl} = V_{dd} - \left\{ \frac{V_{vp}}{(C_b/C_s + 1)} + \frac{(2Pr/C_s)}{(C_b/C_s + 1)} \right\} / 2$$

となるようにリファレンス容量103が設定されている。よって、 $B L = B L S$ 、 $X B L = X B L S$ には電位差 V_{dif} が現れる。

【0018】

$$\begin{aligned} V_{dif} &= V_{xbl} - V_{bl} \\ &= Pr/C_s / (C_b/C_s + 1) \cdots (1) \end{aligned}$$

10

続いて、時刻 t_4 においてセンスアンプ制御信号 SEN を活性化してセンスアンプ113を起動し、ビット線電位差 $(|B L - X B L|)$ を増幅する。

【0019】

次に、時刻 t_5 においてセルプレート線 CP 線を活性化して強誘電体キャパシタ101に“L”データの再書き込みを行い、時刻 t_6 においてセルプレート線 CP を非活性化し、センスアンプ制御信号 SEN を非活性化し、時刻 t_7 において $B L D I S$ 線を活性化して、ビット線 $B L$ 、 $X B L$ のディスチャージを行う。ビット線 $B L$ 、 $X B L$ が V_{SS} にディスチャージされた後、時刻 t_8 においてワード線 $W L$ を非活性化し、時刻 t_9 においてプリチャージ制御信号 PRE を非活性化してサブビット線 $B L S$ 、 $X B L S$ をプリチャージして読み出しサイクルが完了する。

20

【0020】

【発明が解決しようとする課題】

式(1)では寄生容量 C_b が減少すればするほど、読み出し電位は大きくなるという特性を示すが、実際は、自らの分極電荷量でフローティング状態にあるビット線電位が下がり、強誘電体キャパシタ101に十分な電圧がかからず、強誘電体に蓄積された全電荷量(分極電荷量: $2Pr$)を全て読み出すことができない課題がある。

【0021】

また、強誘電体キャパシタ101の面積増加や強誘電体の薄膜化によって分極電荷量 $2Pr$ を増加させる場合に寄生容量 C_s まで増加してしまい、前記と同様に強誘電体キャパシタ101にかかる電圧が減少し、強誘電体に印加する電圧(電界)が低下し、書き込み時の分極電荷量をメモリーセルから取り出すことができなくなる課題がある。そして、低電圧動作時にこの強誘電体への印加電圧低下がより大きな課題となることはいうまでもない。

30

【0022】

本発明は、上記課題を根本的に解決し、安定して読み出し動作を行うことが可能な強誘電体記憶装置を提供することを目的とする。

【0023】

【課題を解決するための手段】

本発明の強誘電体記憶装置は、強誘電体メモリーセルを構成する強誘電体キャパシタに接続された選択トランジスタに接続されたビット線のチャージを行うビット線チャージ手段での前記ビット線のチャージに費やされた電荷量を検出して読出しを行う読み出し手段を設けたことを特徴とする。

40

【0024】

この構成によると、従来よりも安定して読み出し動作を行うことができる。

【0025】

【発明の実施の形態】

本発明の請求項1記載の強誘電体記憶装置は、選択トランジスタと強誘電体キャパシタから構成され選択トランジスタのドレインまたはソースが前記強誘電体キャパシタの一方の端子に接続された強誘電体メモリーセルと、前記選択トランジスタのゲートに接続され

50

たワード線と、前記選択トランジスタで前記強誘電体キャパシタが接続されない側のドレインまたはソースが接続されたビット線と、前記強誘電体キャパシタのもう一方の端子に接続されるセルプレート線と、前記ビット線のチャージを行うビット線チャージ回路を備えた強誘電体記憶装置において、ワード線の活性化後、前記ビット線チャージ回路でのビット線のチャージに費やされた電荷量を検出して読出しを行う読み出し手段を設け、前記読み出し手段は、ビット線のチャージのための電荷を供給するよう前記ビット線チャージ回路に結合されたサブビット線と、サブビット線を第1の電位にプリチャージするサブビット線チャージ回路と、サブビット線の電圧を増幅するセンスアンプと第2のビット線チャージ回路とを備え、サブビット線チャージ回路の活性化と、第2のビット線チャージ回路の活性化により、サブビット線の第1の電位へのプリチャージと、ビット線の第2の電位へのプリチャージを行い、サブビット線チャージ回路と第2のビット線チャージ回路を非活性化し、ビット線チャージ回路を活性化し、ワード線を活性化し、読み出しを行うメモリーセルを選択後、センスアンプを活性化しサブビット線の電圧を増幅し、読み出し動作を行うことを特徴とする。

10

【0026】

この構成によると、読出し時に強誘電体の読出し電荷量によって低下したビット線電位を再チャージできる。つまり、読出し電荷量に依存しない電圧を強誘電体キャパシタに印加することが可能となり、書き込み時と同じ電圧（電界を）強誘電体キャパシタに印加することができ、強誘電体に保存されている電荷量 $2Pr$ を全て読み出すことができ、読出しマージンを向上することができる。

20

【0027】

本発明の請求項2記載の強誘電体記憶装置は、請求項1において、前記読み出し手段のビット線チャージ回路が、サブビット線とビット線の間接続され、ゲートが第3の電位に接続されたN型MOSトランジスタであることを特徴とする。

【0028】

本発明の請求項3記載の強誘電体記憶装置は、請求項2において、前記読み出し手段の第2のビット線チャージ回路が、ドレインがビット線に接続され、ソースが前記第2の電位に接続され、ゲートにプリチャージ信号を受けるP型MOSトランジスタであり、前記第3の電位は前記第2の電位にトランジスタのスレッシュホールド電圧を加えたものであることを特徴とする。

30

【0046】

以下、本発明の各実施の形態を図1～図12に基づいて説明する。

(実施の形態1)

図1～図3は本発明の(実施の形態1)を示す。

【0047】

図1は本発明の(実施の形態1)の強誘電体記憶装置を示し、従来例を示す図13と同様の作用をなすものには同一の符号を付けて説明する。

この(実施の形態1)は従来例を示す図13の制御部122の構成が異なっており、この図1における制御部123は図2のタイミングチャートを実現するように構成されている。

40

【0048】

また、選択トランジスタ102と強誘電体キャパシタ101とで強誘電体メモリーセル105が形成されている。サブビット線チャージトランジスタ112は図13と同じP型トランジスタであるが、この(実施の形態1)ではサブビット線(選択サブビット線)BLSとサブビット線(参照サブビット線)XBLを第1の電位($Vp1$)レベルにプリチャージするようプリチャージ制御信号PREで制御されている。

【0049】

ビット線BLのチャージを行うビット線チャージ手段は、トランスファゲート(ビット線チャージ回路)111とサブビット線チャージトランジスタ112とで構成されている。

【0050】

50

制御部 1 2 3 は次のように構成されている。

時刻 t_{00} では、ビット線 $B L$, $X B L$, サブビット線 $B L S$, $X B L S$ がグランド電位 V_{ss} にディスチャージされている。時刻 t_{00} で $B L D I S$ 線が “ L ”、プリチャージ制御信号 $P R E$ が “ L ”、 $S S W$ 線が第 3 の電位 (V_{p3}) に遷移すると、トランジスタ 1 1 2 を介してサブビット線 $B L S$, $X B L S$ が第 1 の電位 (V_{p1}) にプリチャージされ、さらにビット線 $B L$, $X B L$ がトランスファゲート 1 1 1 を介して第 2 の電位 (V_{p2}) にプリチャージされる。

【 0 0 5 1 】

なお、 $V_{p1} > V_{p2}$ で、 $V_{p2} + V_T = V_{p3}$ である。 V_T はトランジスタのスレッシュホールド電圧である。 V_{p1} は電源電圧 V_{dd} を昇圧回路で昇圧して作られている。

10

【 0 0 5 2 】

時刻 t_0 では、プリチャージ制御信号 $P R E$ を “ H ” レベル、 $S S W$ 線を “ L ” レベルとし、ワード線 $W L$ を第 3 の電位 (V_{p3}) として、強誘電体キャパシタの選択を行うと、ビット線 $B L$, $X B L$ は図 3 に示すようにメモリーセル保存されていた電荷量 Q_a , Q_b に応じて V_a , V_b だけ低下する。

【 0 0 5 3 】

時刻 t_1 で $S S W$ 線を第 3 の電位 (V_{p3}) とし、ビット線のプリチャージ時に対してトランジスタ M_1 , M_2 の V_{gs} が V_a , V_b だけ増加しているため、サブビット線 $B L S$, $X B L S$ からビット線 $B L$, $X B L$ への充電が開始される。

【 0 0 5 4 】

20

このとき、ヒステリシスの状態は、図 3 に示す A , B にあるが、この充電のために C に移動する。この充電作用により、図 3 に示す dQ_a , dQ_b の電荷を読み出すことになり、全電荷読出しが可能となる。

【 0 0 5 5 】

この充電に使用される電荷量は、 $(Q_a + dQ_a)$, $(Q_b + dQ_b)$ であり、充電は $B L S$ 対 (サブビット線 $B L S$, $X B L S$) から行われる。この充電作用により、 $B L S$ 対の電位が低下する。その変化量は、

$$V_{as} = (Q_a + dQ_a) / C_{b1s}$$

$$V_{bs} = (Q_b + dQ_b) / C_{b1s}$$

となる。読出し電位差は、

30

$$\begin{aligned} \Delta V &= (\Delta V_{as} - \Delta V_{bs}) / 2 \\ &= (Q_a - Q_b + dQ_a - dQ_b) / (2XC_{b1s}) \end{aligned}$$

となる。ここで、この充電作用を行うために、時刻 $t_1 \sim t_2$ の期間において、リファレンスビット線側につながるトランジスタ M_1 , M_2 が飽和動作を行うように第 2 , 第 3 の電位 (V_{p2} , V_{p3}) の設定をする必要がある。

【 0 0 5 6 】

従来の読出し電位差は、

$$V_o = (Q_a - Q_b) / (2XC_b)$$

であるので、読出し電位差を従来と比較して

40

$$\begin{aligned} \eta &= \Delta V / \Delta V_o \\ &= C_b / C_{b1s} \{ 1 + (dQ_a - dQ_b) / (Q_a - Q_b) \} \end{aligned}$$

だけ向上でき、これによって読出し動作の安定化が図れる。

【 0 0 5 7 】

時刻 t_3 では、サブビット線 $B L S$ とサブビット線 $X B L S$ の線間に現れた読出し電位差 V を、センスアンプ 1 1 3 を起動して増幅し、時刻 t_4 でセルプレート線 $C P$ を “ H ” として選択トランジスタ 1 0 2 を介して “ L ” データの再書き込みを行う。

【 0 0 5 8 】

時刻 t_5 では、セルプレート線 $C P$, センスアンプ制御信号 $S E N$, $S S W$ 線を “ L ”、

50

B L D I S線を“H”としてビット線のディスチャージを行い、時刻 t_6 でワード線W L , R W L線を“L”とすることで読出し動作が完了する。

【0059】

この（実施の形態1）では、ビット線のプリチャージ後、時刻 t_0 でS S W線を一度“L”レベルとし、ワード線W Lを第3の電位（ V_{p3} ）として強誘電体容量を選択後、時刻 t_1 でS S W線を再び第3の電位（ V_{p3} ）とする読出しシーケンスであるが、ワード線W Lの第3の電位（ V_{p3} ）への遷移とS S W線の第3の電位（ V_{p3} ）への遷移を同じに行うことは可能で、S S W線を一度“L”レベルに遷移させる必要がなく、これによって高速化が可能である。

【0060】

（実施の形態2）

図4と図5は本発明の（実施の形態2）を示す。

図4は本発明の（実施の形態2）の強誘電体記憶装置を示し、（実施の形態1）と同様の作用をなすものには同一の符号を付けて説明する。

【0061】

この（実施の形態2）は、第2のビット線チャージ回路としてのP型トランジスタからなるビット線チャージトランジスタ414が追加されると共に、制御部124の構成が異なっている。ビット線B L , X B Lを第2の電位（ V_{p2} ）にチャージするビット線チャージトランジスタ414はプリチャージ制御信号B L P R Eによって制御されている。

【0062】

この図4における制御部124は図5のタイミングチャートを実現するように構成されている。

時刻 t_{00} では、ビット線B L , X B L , サブビット線B L S , X B L Sがグランド電位 V_{ss} にディスチャージされている。時刻 t_{00} からB L D I S線が“L”、プリチャージ制御信号P R E , B L P R Eが“L”とし、サブビット線B L S , X B L Sが第1の電位（ V_{p1} ）、B L , X B Lが第2の電位（ V_{p2} ）にプリチャージされる。

【0063】

なお、 $V_{p1} > V_{p2}$ で、 $V_{p2} + V_T = V_{p3}$ である。 V_T はトランジスタのスレッシュホールド電圧である。

時刻 t_0 では、プリチャージ制御信号P R EとB L P R Eを“H”レベル、ワード線W Lを第3の電位（ V_{p3} ）として、強誘電体キャパシタの選択を行う。以下の動作は、（実施の形態1）と同様である。

【0064】

第1の電位（ V_{p1} ）は、通常昇圧電源などで昇圧された電源であり、外部電源から供給された V_{p1} にて行うことで電力変換によって損失する電力だけ、低消費電力が図れる。

【0065】

また、（実施の形態2）においても、ワード線W Lの第3の電位（ V_{p3} ）レベルへの遷移と、S S W線の第3の電位（ V_{p3} ）への遷移は同時に行うことができ高速化が図れる。

【0066】

また、サブビット線電位があらかじめ第1の電位（ V_{p1} ）にプリチャージし、ビット線チャージトランジスタ414の活性化によりビット線の第2の電位（ V_{p2} ）へのプリチャージを行い、サブビット線チャージ回路と第2のビット線チャージ回路の非活性化し、ビット線チャージ回路の活性化後、ワード線を活性化し、読み出しを行うメモリーセルを選択後、センスアンプを活性化しサブビット線の電圧を増幅し、読み出し動作を行うよう構成することもできる。

【0067】

（実施の形態3）

図6と図7は本発明の（実施の形態3）を示す。

図6は本発明の（実施の形態3）の強誘電体記憶装置を示し、（実施の形態1）と同様の

10

20

30

40

50

作用をなすものには同一の符号を付けて説明する。

【0068】

この（実施の形態3）は、トランスファゲート111がP型トランジスタから構成され、トランジスタ112がN型トランジスタから構成されると共に、制御部125の構成とが（実施の形態1）とは異なっている。

【0069】

トランジスタ112は、プリチャージ制御信号PREによって制御されてサブビット線BLS, XBL Sを第4の電位(Vp4)レベルにチャージする。

この図6における制御部125は図7のタイミングチャートを実現するように構成されている。

10

【0070】

時刻t00では、ビット線BL, XBL, サブビット線BLS, XBL Sがグランド電位Vssにディスチャージされている。

時刻t00からBLDIS線が“L”、プリチャージ制御信号PREが“H”となって、サブビット線BLS, XBL Sがトランジスタ112を介して第2の電位(Vp2)にプリチャージされる。

【0071】

時刻t0では、プリチャージ制御信号PREを第4の電位(Vp4)、ワード線WLを第3の電位(Vp3)レベル、セルプレート線CP, RCPを“H”として、強誘電体キャパシタの選択を行う。強誘電体キャパシタの選択を行うと、BL, XBLはメモリーセル保存されていた電荷量Qa, Qb(図3)に応じてVa, Vb増加する。

20

【0072】

時刻t1で、SSW線をVssレベルとすれば、ビット線のプリチャージ時に対してトランジスタM1, M2のVgsがVa, Vbだけ増加しているため、サブビット線BLS, XBL Sからビット線BL, XBLへの充電が開始される。

【0073】

このとき、ヒステリシスの状態は、A, B(図3)にあるが、この充電のためにCに移動する。この充電作用により、更にdQa, dQb(図3)の電荷を読み出すことになり、全電荷読出しが可能となる。

【0074】

この充電に使用される電荷量は、(Qa + dQa), (Qb + dQb)であり、充電はBLS対から行われる。この充電作用により、BLS対の電位低下する。その変化量は、

$$Vas = (Qa + dQa) / Cbls$$

$$Vbs = (Qb + dQb) / Cbls$$

となる。読出し電位差は、

$$\begin{aligned} \Delta V &= (\Delta Vas - \Delta Vbs) / 2 \\ &= (Qa - Qb + dQa - dQb) / (2XCbls) \end{aligned}$$

となる。従来の読出し電位差は、

$$Vo = (Qa - Qb) / (2XCb)$$

であるので、読出し電位差を従来と比較して

$$\begin{aligned} \eta &= \Delta V / \Delta Vo \\ &= Cb / Cbls \{ 1 + (dQa - dQb) / (Qa - Qb) \} \end{aligned}$$

だけ向上でき、これによって読出し動作の安定化が図れる。時刻t3では、サブビット線に現れた読出し電位差電位差Vをセンスアンプ制御信号SENを“H”としてセンスアンプを起動して増幅する。

【0075】

時刻t3の後にBL, BLSが電源電圧Vddに充電される。

時刻t4では、セルプレート線CP, RCPを“L”として“H”データの再書き込みを

50

行う。時刻 t_5 ではセンスアンプ制御信号 SEN を “ L ”、 SSW 線を V_{ss} とし、 $BLDIS$ 線を “ H ” としてビット線のディスチャージを行い、ワード線 WL 、 RWL 線を “ L ” とすることで読出し動作が完了する。

【0076】

この構成では、ビット線プリチャージが不要になるため、 $C_{bl} * V_{p1}$ の電荷量だけ（実施の形態 1）に比べて低消費電流化が図れる。また、容量の大きなビット線容量のプリチャージ期間が不要なため高速化が図れる。

【0077】

なお、ビット線チャージ回路（111）が、ビット線電位（ SSW ）を入力としたクランプ回路であり、第 1 の電位（ V_{p1} ）をグランド電位（ V_{ss} ）よりも低くして構成することもできる。

10

【0078】

（実施の形態 4）

図 8 は本発明の（実施の形態 4）の強誘電体記憶装置を示し、（実施の形態 1）と同様の作用をなすものには同一の符号を付けて説明する。

【0079】

この（実施の形態 4）は、トランスファゲート 111 が N 型トランジスタ M_1 、 M_2 と、 $CMOS$ 型の $NAND$ ゲート 126、127 で構成されるクランプ回路とで構成されている。制御部 126 の構成は SSW のレベルを除いては（実施の形態 1）の制御部 123 と同じである。

20

【0080】

トランジスタ 112 は、プリチャージ制御信号 PRE によって制御されてサブビット線 BLS 、 $XBLs$ を V_{dd} レベルにチャージする。

読出し動作シーケンスについては、（実施の形態 1）と同様であるが、 SSW 線の活性化レベルが第 2 の電位（ V_{p2} ）ではなく、ロジック “ H ” レベルの V_{dd} となっている点が（実施の形態 1）との相違点である。

【0081】

（実施の形態 1）での読出し動作において、図 2 に示す時刻 $t_1 \sim t_2$ でのビット線チャージ期間は、図 1 のトランジスタ M_1 、 M_2 がソースフォロワで動作するため時間がかかるのに対して、この（実施の形態 4）ではビット線電位を入力とするクランプ回路でビット線を充電するため、高速化が可能となる。

30

【0082】

この実施の形態では、前記クランプ回路は N 型 MOS と P 型 MOS を使った $CMOS$ 型としたが、クランプ回路の形態を限定するものではなく、 $NMOS$ 型単独でも使用可能である。

【0083】

また、（実施の形態 3）についても、トランスファゲート 111 に代わって、前記クランプ回路を適用も可能である。

（実施の形態 5）

図 9 は本発明の（実施の形態 5）の強誘電体記憶装置を示し、（実施の形態 1）と同様の作用をなすものには同一の符号を付けて説明する。

40

【0084】

図 9 では、（実施の形態 1）に対してビット線負荷容量 Q_{22} を備えたもので、これは $NMOS$ のゲート酸化膜容量で構成される。制御部 129 の構成は（実施の形態 1）の制御部 123 と同じである。

【0085】

（実施の形態 1）においては、読出し動作におけるビット線電位の変化量は、

$$V_{as} = (Q_a + dQ_a) / C_{bls}$$

$$V_{bs} = (Q_b + dQ_b) / C_{bls}$$

であらわせるが、ここで V_{as} 、 V_{bs} が（ $V_{p1} - V_{p2}$ ）より大きくなると、所望

50

の増幅が困難となる。第1の電位 (V_{p1}) を十分大きくすれば問題はないが、プロセスの制約などで制限があるのに対して、この(実施の形態5)によれば、サブビット線に容量負荷を備えることで、上記課題を解決でき、ビット線の電位変化を以下のように制御できる。

【0086】

$$V_{as} = (Q_a + dQ_a) / (C_{bls} + C_{bln})$$

$$V_{bs} = (Q_b + dQ_b) / (C_{bls} + C_{bln})$$

そして、以下いずれかを満足するように C_{bln} を設定すればよい。

【0087】

$$V_{as} < (V_{p2} - V_{p1} + \text{センスアンプ入力感度})$$

$$V_{bs} < (V_{p2} - V_{p1} + \text{センスアンプ入力感度})$$

(実施の形態6)

図10は本発明の(実施の形態6)の強誘電体記憶装置を示し、(実施の形態1)と同様の作用をなすものには同一の符号を付けて説明する。

【0088】

図10では、図1におけるトランスファゲート111が、CMOS構成のトランスファゲート1011に変更したこと、サブビット線 BLS 、 $XBLs$ と隣接メモリーセルアレイ1016とを、同様のトランスファゲート1015を介して選択的に接続できる構成としている点が、(実施の形態1)とは異なっている。トランスファゲート1015は $SSWB$ によって制御されている。制御部130の構成は(実施の形態1)の制御部123とほぼ同様で、 $XSSW$ 線は常に第3の電位 (V_{p3})、 $SSWB$ は常に“L”レベル、 $XSSWB$ は時刻 $t_{00} \sim t_{03}$ の期間“L”レベル、それ以外は第3の電位 (V_{p3}) である。

【0089】

この構成によって、(実施の形態5)で必要となるビット線負荷容量922に代わって、隣接メモリーセルアレイの寄生ビット線容量1022を利用でき、小面積化ができる。

【0090】

(実施の形態7)

図11は本発明の(実施の形態7)の強誘電体記憶装置を示し、(実施の形態5)と同様の作用をなすものには同一の符号を付けて説明する。

【0091】

図11では、図9におけるビット線容量負荷922として、 $C_{bln0} \sim C_{blnn}$ の n 個の容量からなるサブビット線容量負荷1122と、強誘電体劣化検出回路1123を備える。強誘電体劣化検出回路1123は選択された強誘電体メモリーセル105とは別の強誘電体メモリーセル105をモニタして強誘電体キャパシタ101の劣化(図3の P_r の劣化度合い)を計測する。制御部131の構成は(実施の形態1)の制御部123と同じである。

【0092】

(実施の形態5)では、読出し動作の最適化のためサブビット線に容量を付加しているが、強誘電体の劣化によって、 $(Q_a + dQ_a)$ 、 $(Q_b + dQ_b)$ が減少するため、初期状態では最適に設定されたサブビット線容量が、強誘電体劣化後には最適値ではなくなる。この課題を解決するために、本実施の形態ではサブビット線容量を $CAP0 \sim CAPn$ の制御信号で選択的に負荷できる構成としている。別途設けた強誘電体劣化判定回路1023より、 $CAP0 \sim CAPn$ を制御して、サブビット線容量を常に最適値に設定する。

【0093】

(実施の形態8)

図12は本発明の(実施の形態8)の強誘電体記憶装置を示し、(実施の形態7)におけるビット線容量負荷のサブビット線 BLS 、 $XBLs$ への接続を個々に制御できる構成としたものである。制御部132の構成は(実施の形態1)の制御部131と同じである。

【0094】

10

20

30

40

50

CAP0 ~ CAPnがサブビット線BLSへの容量負荷制御線で、CAP0b ~ CAPnbがサブビット線XBSへの容量負荷制御線である。この(実施の形態8)の強誘電体劣化検出回路1123は、強誘電体劣化検出とスクリーニング時のCAPn、CAPnbの設定を行うように構成されている。

【0095】

強誘電体記憶装置の検査時などにおいて、読出しマージンの少ない強誘電体容量をスクリーニングする場合、CAP0 ~ CAPn、CAP0b ~ CAPnbを別々に制御することで、読出しに電位にオフセットを加えることが可能となり、これによって所望の動作マージンに達していない強誘電体容量を検出することが可能となる。

【0096】

以上のように本発明の各実施の形態を具体的に説明したが、本発明はそれに限定されるものではない。たとえば、上記実施例では、1T1C構成の強誘電体記憶装置について説明したが、リファレンス容量を強誘電体容量とし、2つの強誘電体容量に相補のデータを書き込み、RWL線をワード線WL、RCPをセルプレート線CPと共通にすれば、2T2C構成の強誘電体記憶装置にも適用可能である。

【0097】

【発明の効果】

以上のように本発明によると、読み出し動作において、書き込み時に保存した最大の分極電荷を取り出すことが可能となり、読み出し動作マージンを大きく向上させることができる。さらに、低電圧動作においても安定した動作が可能になる。

【図面の簡単な説明】

【図1】本発明の(実施の形態1)における強誘電体記憶装置の構成図

【図2】同実施の形態の読み出し動作タイミング図

【図3】同実施の形態のヒステリシス軌跡図

【図4】本発明の(実施の形態2)における強誘電体記憶装置の構成図

【図5】同実施の形態の読み出し動作タイミング図

【図6】本発明の(実施の形態3)における強誘電体記憶装置の構成図

【図7】同実施の形態の読み出し動作タイミング図

【図8】本発明の(実施の形態4)における強誘電体記憶装置の構成図

【図9】本発明の(実施の形態5)における強誘電体記憶装置の構成図

【図10】本発明の(実施の形態6)における強誘電体記憶装置の構成図

【図11】本発明の(実施の形態7)における強誘電体記憶装置の構成図

【図12】本発明の(実施の形態8)における強誘電体記憶装置の構成図

【図13】従来例の1T1C型のメモリーセルを含んだ強誘電体記憶装置の構成図

【図14】同従来例の読み出し動作のタイミングチャート図

【図15】同従来例の強誘電体キャパシタのヒステリシス特性図

【符号の説明】

101 強誘電体キャパシタ

102 選択トランジスタ

103 リファレンスキャパシタ

104 リファレンスキャパシタ選択トランジスタ

105 強誘電体メモリーセル

110 ビット線ディスチャージトランジスタ

111 トランスファゲート(ビット線チャージ回路)

112 サブビット線チャージトランジスタ

113 センスアンプ

120 ビット線寄生容量

121 サブビット線寄生容量

127, 128 クランプ回路

414 ビット線チャージトランジスタ(第2のビット線チャージ回路)

10

20

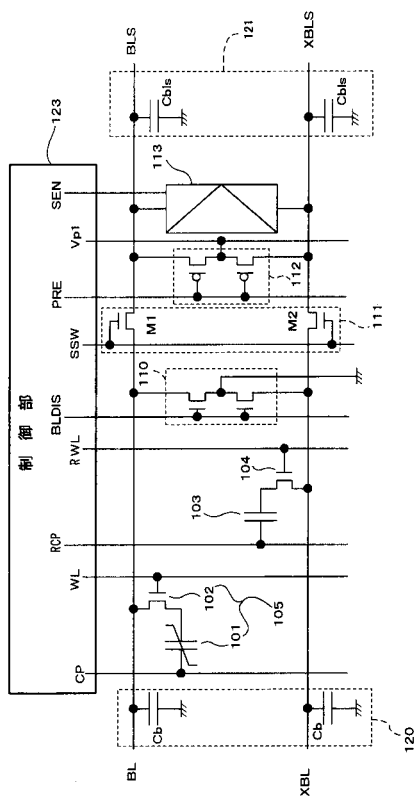
30

40

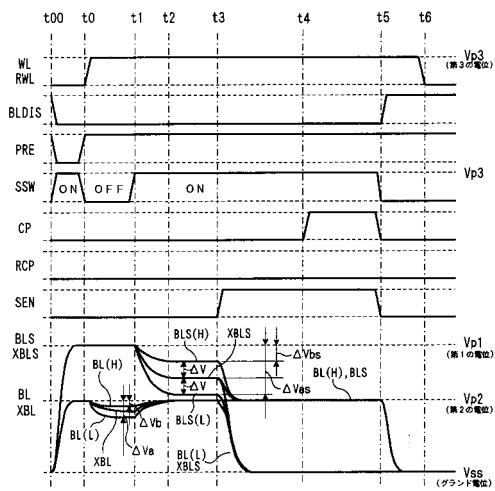
50

- 9 2 2 サブビット線負荷容量
- 1 0 1 1 トランスファゲート
- 1 0 1 5 トランスファゲート
- 1 0 1 6 隣接メモリーセルアレイ
- 1 0 2 2 隣接メモリーセルアレイの寄生ビット線容量
- 1 1 2 2 サブビット線負荷容量
- 1 1 2 3 強誘電体劣化検出回路
- W L ワード線
- B L ビット線
- S S W ビット線電位
- C P セルプレート線
- B L S , X B L S サブビット線
- V p 1 第1の電位
- V p 2 第2の電位
- V p 3 第3の電位
- V p 4 第4の電位
- V s s グランド電位
- B L S サブビット線 (選択サブビット線)
- X B L S サブビット線 (参照サブビット線)

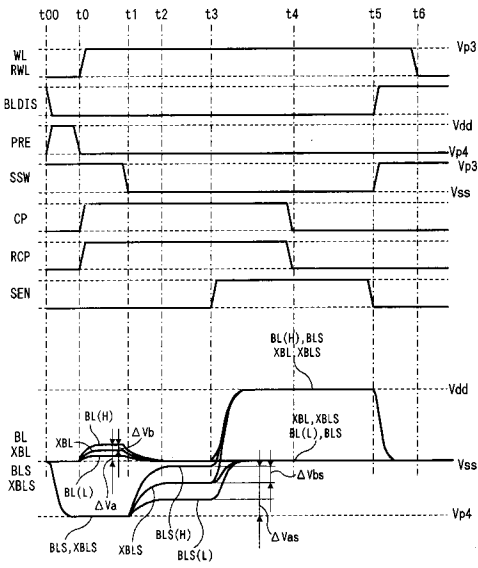
【図1】



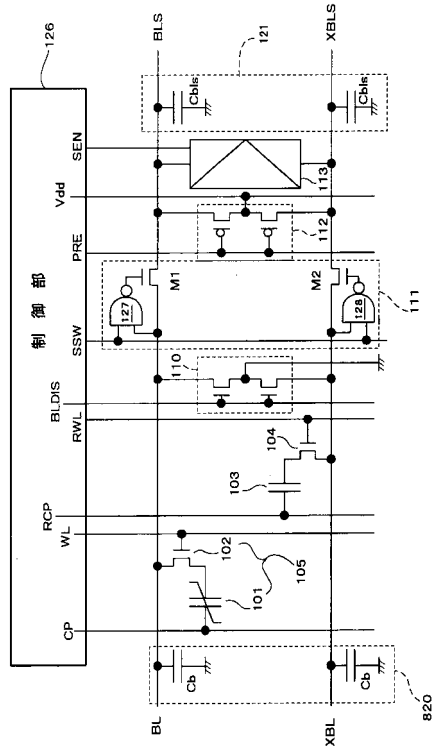
【図2】



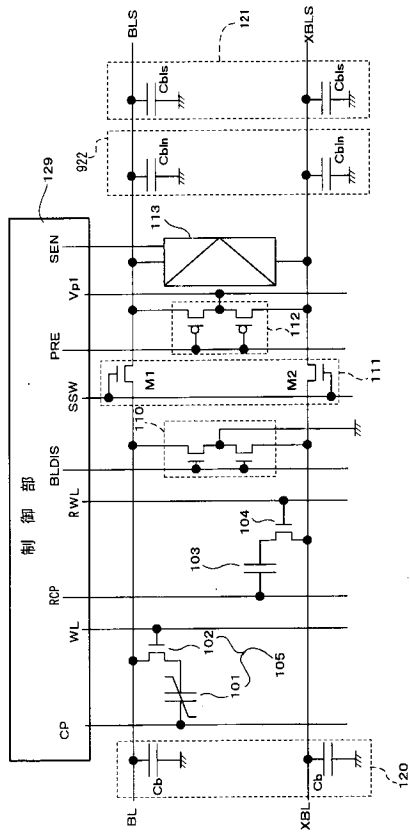
【図7】



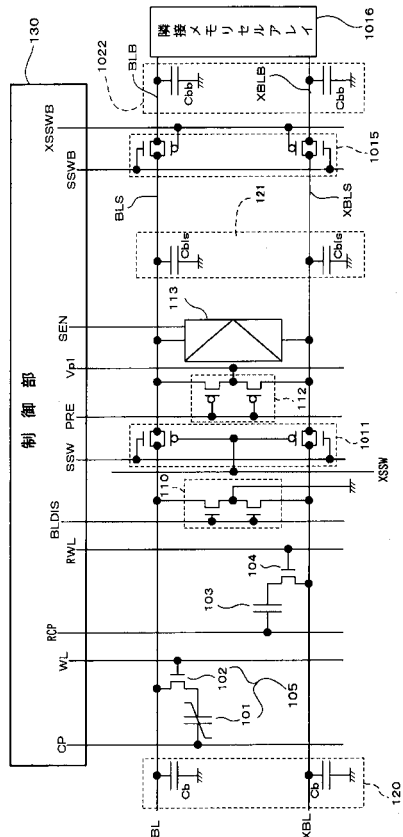
【図8】



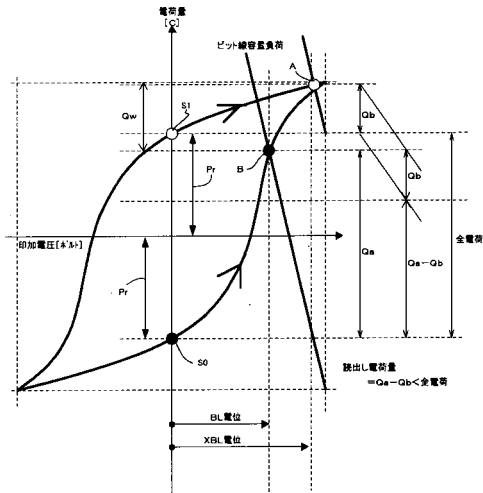
【図9】



【図10】



【 図 15 】



フロントページの続き

(58)調査した分野(Int.Cl.⁷, DB名)
G11C 11/22 501