



(12) 发明专利申请

(10) 申请公布号 CN 103531479 A

(43) 申请公布日 2014. 01. 22

(21) 申请号 201310120650. 5

(22) 申请日 2013. 04. 09

(30) 优先权数据

10-2012-0072782 2012. 07. 04 KR

(71) 申请人 爱思开海力士有限公司

地址 韩国京畿道

(72) 发明人 赵兴在 金泰润

(74) 专利代理机构 北京弘权知识产权代理事务

所(普通合伙) 11363

代理人 石卓琼 俞波

(51) Int. Cl.

H01L 21/336(2006. 01)

H01L 29/78(2006. 01)

H01L 29/10(2006. 01)

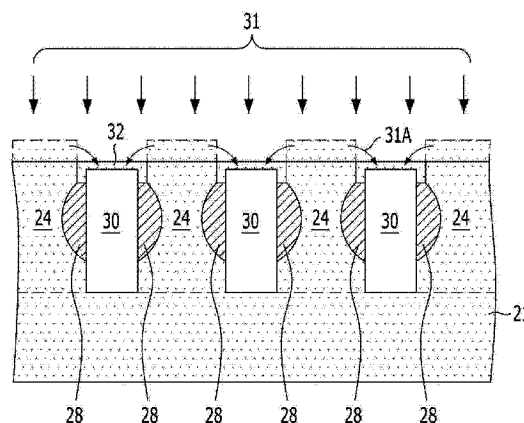
权利要求书2页 说明书10页 附图14页

(54) 发明名称

具有垂直沟道晶体管的半导体器件及其制造方法

(57) 摘要

本发明公开了一种制造半导体器件的方法。所述方法包括:形成掩埋有多个掩埋位线的多个半导体本体线,所述多个半导体本体线由多个沟槽分隔开;形成填充所述多个沟槽中的每个沟槽的填充层;在所述多个半导体本体线和填充层上形成导电层;以及通过刻蚀导电层,在所述多个半导体本体线上形成多个半导体柱体。



1. 一种制造半导体器件的方法,包括以下步骤:  
形成由多个沟槽分隔开的多个半导体本体线,在所述多个半导体本体线中掩埋有多个掩埋位线;  
形成填充所述多个沟槽中的每个沟槽的填充层;  
在所述多个半导体本体线和所述填充层之上形成导电层;以及  
通过刻蚀所述导电层,在所述多个半导体本体线之上形成多个半导体柱体。
2. 如权利要求 1 所述的方法,其中,所述多个半导体本体线、所述填充层以及所述多个半导体柱体包括单晶硅。
3. 如权利要求 1 所述的方法,其中,形成掩埋有所述多个掩埋位线的所述多个半导体本体线的步骤包括以下步骤:  
刻蚀半导体衬底,以形成由多个球状沟槽分隔开的所述多个半导体本体线;  
形成部分填充所述多个球状沟槽的多个初步位线;以及  
刻蚀以部分地去除所述多个初步位线的部分和形成填充所述多个球状沟槽的球状体的侧壁的所述多个掩埋位线。
4. 如权利要求 3 所述的方法,其中,形成由所述球状沟槽分隔开的所述多个半导体本体线的步骤包括以下步骤:  
刻蚀所述半导体衬底,以形成由多个初步沟槽分隔开的所述多个初步半导体本体线;  
形成部分填充所述多个初步沟槽的多个牺牲层图案;  
在所述多个初步沟槽的上侧壁上形成多个间隔件;  
去除所述多个牺牲层图案;以及  
通过使用所述多个间隔件作为刻蚀阻挡层,来刻蚀所述初步沟槽并且形成所述球状沟槽。
5. 如权利要求 1 所述的方法,还包括以下步骤:  
在形成所述填充层之前,形成部分填充所述沟槽的电介质层。
6. 如权利要求 5 所述的方法,其中,通过热工艺使所述多个半导体本体线的上部流动,来形成所述填充层。
7. 如权利要求 1 所述的方法,其中,通过使用所述多个半导体本体线和所述填充层作为晶种,经由外延生长形成所述导电层。
8. 如权利要求 1 所述的方法,其中,形成所述多个半导体柱体的步骤包括以下步骤:  
通过刻蚀导电层,形成多个线型初步半导体柱体;  
形成填充所述多个初步半导体柱体之间的空间的层间电介质层;以及  
通过刻蚀所述层间电介质层和所述多个初步半导体柱体,来形成所述多个半导体柱体。
9. 一种制造半导体器件的方法,包括以下步骤:  
刻蚀硅衬底和形成被多个沟槽分隔开的多个硅本体线;  
在所述沟槽中形成高度比所述多个硅本体线的高度低的电介质层;  
经由允许硅迁移的热工艺,在所述电介质层之上形成填充硅层;  
在所述填充硅层和所述多个硅本体线之上形成硅层;以及  
通过刻蚀所述硅层和所述填充硅层,在所述多个硅本体线之上形成多个硅柱体,其中

所述多个硅柱体包括垂直沟道晶体管的沟道区域。

10. 如权利要求 9 所述的方法,其中,所述多个硅本体线和所述填充硅层包括单晶硅。

11. 如权利要求 9 所述的方法,其中,在包含氢气的氛围下经由退火形成所述填充硅层。

12. 如权利要求 11 所述的方法,其中,通过使用氢气和惰性气体的混合物,来执行所述退火。

13. 如权利要求 9 所述的方法,还包括以下步骤:

在形成所述填充硅层之前,清洁所述多个硅本体线的表面。

14. 如权利要求 9 所述的方法,其中,经由外延生长形成所述硅层。

15. 如权利要求 9 所述的方法,其中,形成所述多个硅柱体的步骤包括以下步骤:

通过刻蚀所述硅层,形成多个线型初步硅柱体;

形成填充所述多个初步硅柱体之间的空间的层间电介质层;以及

通过刻蚀所述层间电介质层和所述多个初步硅柱体,形成所述多个硅柱体。

16. 如权利要求 9 所述的方法,

其中所述多个沟槽包括球状沟槽,以及

其中所述方法还包括:

在形成所述多个硅本体线之后,形成填充所述球状沟槽的多个初步位线;以及

刻蚀以部分地去除所述多个初步位线的部分并且形成掩埋在所述多个硅本体线的两个侧壁中的多个位线。

17. 如权利要求 9 所述的方法,还包括以下步骤:

在所述多个硅柱体的侧壁上形成多个字线;以及

形成与所述多个硅柱体的上部连接的电容器。

## 具有垂直沟道晶体管的半导体器件及其制造方法

[0001] 相关申请的交叉引用

[0002] 本申请要求 2012 年 7 月 4 日提交的申请号为 10-2012-0072782 的韩国专利申请的优先权,其全部内容通过引用合并于此。

### 技术领域

[0003] 本发明的示例性实施例涉及一种半导体器件,更具体而言涉及一种具有垂直沟道晶体管的半导体器件及其制造方法。

### 背景技术

[0004] 大部分的半导体器件包括晶体管。例如,在诸如 DRAM 的存储器件中,存储器单元包括诸如 MOSFET 的单元晶体管。通常,在 MOSFET 中,在半导体衬底中形成源极区域和漏极区域,以及在源极区域与漏极区域之间形成平面沟道。这种 MOSFET 通常称为“平面沟道晶体管”。

[0005] 随着集成度和性能不断改善, MOSFET 制造技术已达到物理极限。例如,随着存储器单元的尺寸减小, MOSFET 的尺寸减小, MOSFET 的沟道长度也相应地减小。如果 MOSFET 的沟道长度减小,则存储器件的特性很可能劣化而造成数据保存特性劣化的各种顾虑。

[0006] 考虑到这些问题,提出了一种垂直沟道晶体管。垂直沟道晶体管(VCT)包括作为垂直沟道的柱体(pillar)。在柱体的顶部和底部中形成源极区域和漏极区域。柱体作为沟道,以及在柱体的侧壁上形成垂直栅电极。源极区域和漏极区域与位线连接。

[0007] 图 1 是说明现有的掩埋位线的截面图。

[0008] 参见图 1,在半导体衬底 11 上形成由沟槽 13 分隔开的多个半导体本体线 14。经由使用硬掩模层 12 的刻蚀,来形成半导体本体线 14。在半导体本体线 14 的侧壁和沟槽 13 的表面上形成钝化层 15。在钝化层 15 中形成开口部 17。开口部 17 开放出半导体本体线 14 的任何一个侧壁。掩埋位线 16 部分填充沟槽 13。掩埋位线 16 经由开口部 17 与半导体本体线 14 连接。每个掩埋位线 16 与两个相邻半导体本体线 14 中的任一个连接。虽然未示出,但是刻蚀半导体本体线 14 的上部,形成作为垂直沟道晶体管的沟道的半导体柱体。

[0009] 如图 1 所示,为了将每个掩埋位线 16 与两个相邻半导体本体线 14 的任一个半导体本体线 14 的侧壁连接,采用 OSC(单侧接触,one-side contact)工艺。为了完成 OSC 工艺,提出了诸如内衬层和倾斜离子注入工艺、OSC 掩模工艺等各种方法。

[0010] 然而,这些方法因工艺难度而不能形成一致且可再现的 OSC 结构。而且,随着高集成进一步发展,造成在相邻掩埋位线 16 之间的距离变窄以及相邻掩埋位线 16 之间的寄生电容( $C_B$ )增加的问题。因为掩埋位线 16 与半导体本体线 14 接触,所以在掩埋位线 16 之间的寄生电容( $C_B$ )大体上是半导体本体线 14 与掩埋位线 16 之间的电容。于是,因为相邻掩埋位线 16 之间的距离变窄,所以寄生电容( $C_B$ )可能显著地增加。

[0011] 如果掩埋位线之间的寄生电容( $C_B$ )以此方式增加,则器件的操作可能变得不可操作。

[0012] 再者,在现有技术中,考虑到作为沟道的半导体柱体的高度,需要高的高宽比(aspect ratio)刻蚀作为用于形成半导体本体线 14 的刻蚀工艺。因此,由于沟槽 13 被形成成为具有包括半导体柱体的高度的深度 H,所以造成半导体本体线 14 可能倾斜的问题。

### 发明内容

[0013] 本发明的示例性实施例涉及一种可以减小相邻掩埋位线之间的寄生电容的半导体器件及其制造方法。

[0014] 本发明的其它示例性实施例涉及一种可以防止半导体本体线因高的高宽比刻蚀工艺而造成倾斜的半导体器件及其制造方法。

[0015] 根据本发明的一个实施例,一种制造半导体器件的方法可以包括以下步骤:形成由多个沟槽分隔开的多个半导体本体线,在所述多个半导体本体线中掩埋有多个掩埋位线;形成填充所述多个沟槽中的每个沟槽的填充层;在所述多个半导体本体线和填充层之上形成导电层;以及通过刻蚀导电层,在所述多个半导体本体线之上形成多个半导体柱体。

[0016] 根据本发明的另一个实施例,一种制造半导体器件的方法可以包括以下步骤:刻蚀硅衬底和形成由多个沟槽分隔开的多个硅本体线;在沟槽中形成高度比所述多个硅本体线低的高度低的电介质层;经由允许硅迁移的热工艺来在电介质层之上形成填充硅层;在填充硅层和所述多个硅本体线之上形成硅层;以及通过刻蚀硅层和填充硅层,在所述多个硅本体线之上形成多个硅柱体,其中所述多个硅柱体包括垂直沟道晶体管的沟道区。

### 附图说明

[0017] 图 1 是说明现有的掩埋位线的剖面图。

[0018] 图 2A 是说明根据本发明的第一实施例的具有掩埋位线的半导体器件的立体图。

[0019] 图 2B 是说明根据本发明的第二实施例的具有掩埋位线的半导体器件的立体图。

[0020] 图 2C 是说明根据本发明的第三实施例的具有掩埋位线的半导体器件的立体图。

[0021] 图 3A 至 3J 是说明形成根据本发明的第一实施例的半导体器件的掩埋位线的示例性方法的剖面图。

[0022] 图 4A 至 4F 是说明形成根据本发明的第一实施例的半导体器件的半导体柱体的示例性方法的剖面图。

[0023] 图 5A 至 5C 是说明形成根据本发明的第一实施例的半导体器件的字线的示例性方法的剖面图。

### 具体实施方式

[0024] 下面将参照附图更详细地描述本发明的示例性实施例。然而,本发明可以用不同的方式实施,而不应解释为限于本文所列的实施例。确切地说,提供这些实施例使得本说明书清楚且完整,并向本领域技术人员充分地传达本发明的范围。在本说明书中,相同的附图标记在本发明的不同附图与实施例中表示相似的部分。

[0025] 附图并非按比例绘制,在某些情况下,为了清楚地示出实施例的特征可能对比例做夸大处理。应当容易理解的是:本说明书中的“在…上”和“在…之上”的含义应当采用最广义的方式来解释,从而“在…上”的意思不仅是“直接在某物上”,还包括在具有中间特征

或中间层的情况下的“在某物上”的意思,而“在…之上”的意思不仅是指“在某物之上”,还可以包括在没有中间特征或中间层的情况下的“在某物之上”(即,直接在某物上)的意思。

[0026] 图 2A 是说明根据本发明的第一实施例的具有掩埋位线的半导体器件的立体图。图 2B 是说明根据本发明的第二实施例的具有掩埋位线的半导体器件的立体图。图 2C 是说明根据本发明的第三实施例的具有掩埋位线的半导体器件的立体图。

[0027] 参见图 2A, 半导体器件包括掩埋位线 104、半导体柱体 103 和字线 105。在半导体衬底 101 上形成有多个半导体本体线 102 和多个半导体柱体 103。在每个半导体本体线 102 上形成有多个半导体柱体 103。也就是说, 在一个半导体本体线 102 上可以形成多个半导体柱体 103。所述多个半导体本体线 102 形成在半导体衬底 101 上。半导体本体线 102 垂直地形成在半导体衬底 101 上。可以将半导体柱体 103 形成为在半导体本体线 102 上垂直地延伸。例如, 半导体本体线 102 和半导体柱体 103 可以彼此垂直。多个半导体柱体 103 分开地设置在半导体本体线 102 上, 并且所述多个半导体柱体 103 它们可以具有矩阵型阵列。

[0028] 半导体衬底 101 可以包括含硅的物质。例如, 半导体衬底 101 可以包括单晶硅衬底。半导体本体线 102、半导体柱体 103 和半导体衬底 101 可以包括相同物质。于是, 半导体本体线 102 和半导体柱体 103 也可以包括含硅物质。例如, 半导体本体线 102 和半导体柱体 103 可以包括单晶硅。可以通过刻蚀经由外延生长而形成在半导体本体线 102 上的硅层, 来形成半导体柱体 103。

[0029] 半导体柱体 103 可以包括垂直沟道晶体管的沟道区域。此外, 半导体柱体 103 可以具有形成有垂直沟道晶体管的源极/漏极区域和沟道区域的结构。例如, 半导体柱体 103 可以包括源极区域、漏极区域以及沟道区域。源极区域和漏极区域中的任何区域可以与掩埋位线 104 连接。另外的区域可以与电容器连接。源极区域、沟道区域以及漏极区域可以在垂直方向上连接。源极区域、沟道区域以及漏极区域可以形成 NPN 结或 PNP 结。例如, 在源极区域和漏极区域被掺杂第一导电类型的杂质的情况下, 可以用与第一导电类型相反的第二导电类型的杂质掺杂沟道区域。例如, 在第一导电类型的杂质是 N 型杂质的情况下, 第二导电类型的杂质包括 P 型杂质。相反地, 在第一导电类型的杂质是 P 型杂质的情况下, 第二导电类型的杂质包括 N 型杂质。在垂直沟道晶体管是 NMOSFET 的情况下, 源极区域、沟道区域以及漏极区域可以形成 NPN 结。

[0030] 可以经由不同工艺来形成半导体本体线 102 和半导体柱体 103。如稍后将会描述的, 将分开讨论形成半导体本体线 102 的工艺和形成半导体柱体 103 的工艺。

[0031] 在半导体衬底 101 上垂直地形成半导体本体线 102。半导体本体线 102 可以在第一方向上延伸。掩埋位线 104 和半导体本体线 102 可以在第一方向上一起延伸。半导体本体线 102 可以具有凹侧壁。半导体本体线 102 可以包括含硅的物质。在一个示例性实施例中, 半导体本体线 102 可以包括单晶硅。

[0032] 掩埋位线 104 掩埋在半导体本体线 102 中。可以用电介质层(未示出)将相邻掩埋位线 104 隔离开。掩埋位线 104 可以掩埋在半导体本体线 102 的凹侧壁中。掩埋位线 104 可以在第一方向上延伸。掩埋位线 104 可以包括金属性物质。在一个示例性实施例中, 掩埋位线 104 可以包括金属或金属硅化物。通过如此做, 掩埋位线 104 可以具有低电阻。

[0033] 在半导体柱体 103 的侧壁上垂直地形成字线 105。因此, 字线 105 称为垂直字线。

字线 105 可以形成在半导体柱体 103 的两个侧壁上,以形成双字线结构中,各个字线的端部可以连接。由于半导体柱体 103 作为形成垂直沟道晶体管的沟道的区域,所以通过字线 105 形成垂直沟道。因此,形成包括字线、源极区域、沟道区域以及漏极区域的垂直沟道晶体管。字线 105 可以在垂直于第一方向的第二方向上延伸,第一方向是掩埋位线 104 延伸的方向。字线 105 可以包括金属性物质。在一个示例性实施例中,字线 105 可以包括氮化钨(WN)与钨(W)的层叠、氮化钛(TiN)、或之类。为此,可以在字线 105 与掩埋位线 104 之间额外起形成电介质层(未示出)。电介质层可以包括氧化硅。在另一个实施例中,字线 105 可以沿垂直于第一方向的第二方向延伸,同时包围半导体柱体 103 的侧壁。另外,在形成栅电极以包围半导体柱体 103 的侧壁后,可以使字线 105 与栅电极连接。

[0034] 图 2B 示出掩埋位线 104A,掩埋位线 104A 形成有大致一致的厚度,使得它们没有填满半导体本体线 102 的凹侧壁。掩埋位线 104A 可以包括金属或金属硅化物。

[0035] 图 2C 示出掩埋位线 104B 位于半导体柱体 103 下方的半导体本体线 102 中的结构。图 2C 的掩埋位线 104B 可以经由完全硅化工艺形成。于是,掩埋位线 104B 可以包括诸如硅化钴的金属硅化物。

[0036] 根据上述实施例,掩埋位线 104、104A 和 104B 掩埋在半导体本体线 102 中。因此,因为相邻掩埋位线 104、104A 和 104B 充分分隔开,所以可以减小相邻掩埋位线 104、104A 及 104B 之间的寄生电容( $C_p$ )。另外,设置有掩埋位线 104、104A 和 104B 的垂直结构位于半导体柱体 103 下方。因为这样,所以不需要在半导体柱体 103 之间形成掩埋位线 104、104A 和 104B,因而可以实现高集成度。

[0037] 图 3A 至 3J 是说明形成根据本发明的第一实施例的半导体器件的掩埋位线的示例性方法的剖面图。

[0038] 参见图 3A,在半导体衬底 21 上形成第一硬掩模层 22A。半导体衬底 21 可以包括单晶物质。半导体衬底 21 可以包括含硅的物质。例如,半导体衬底 21 可以包括单晶硅。第一硬掩模层 22A 包括氮化硅。第一硬掩模层 22A 可以具有多层结构,其可以包括氧化硅和氮化硅。例如,第一硬掩模层 22A 可以具有以氮化硅和氧化硅的顺序层叠的结构。此外,可以以氮化硅、氧化硅、氧氮化硅和非晶碳的顺序来层叠第一硬掩模层 22A。在第一硬掩模层 22A 包括氮化硅的情况下,可以在半导体衬底 12 与第一硬掩模层 22A 之间额外地形成衬垫氧化层(未示出)。

[0039] 参见图 3B,通过刻蚀第一硬掩模层 22A,形成第一硬掩模层图案 22。通过使用未示出的光致抗蚀剂图案,形成第一硬掩模层图案 22。将第一硬掩模层图案 22 形成为在第一方向上延伸。第一硬掩模层图案 22 可以包括沿第一方向延伸的线图案。

[0040] 通过使用第一硬掩模层图案 22 作为刻蚀掩模,执行沟槽刻蚀工艺。例如,通过使用第一硬掩模层图案 22 作为刻蚀阻挡层,刻蚀半导体衬底 21 预定的深度,来限定出多个初步沟槽 23。在半导体衬底 21 上形成多个初步半导体本体线 24A。所述多个初步半导体本体线 24A 由所述多个初步沟槽 23 分隔开。更具体地,通过初步沟槽 23 使各个初步半导体本体线 24A 彼此分隔开。初步半导体本体线 24A 具有两个侧壁。沟槽刻蚀工艺可以包括各向异性刻蚀。在半导体衬底 21 是硅衬底的情况下,初步半导体本体线 24A 成为初步硅本体线。所述多个初步半导体本体线 24A 由初步沟槽 23 彼此分隔开,以及初步半导体本体线 24A 形成为垂直于半导体衬底 21 的表面。初步半导体本体线 24A 具有彼此横向地背对的两个

侧壁。当俯视时,初步半导体本体线 24A 由初步沟槽 23 分隔开。此外,初步半导体本体线 24A 形成在垂直于半导体衬底 21 的表面的方向上,并且具有沿第一方向延伸的线型结构。

[0041] 如上所述,初步半导体本体线 24A 形成在相对于半导体衬底 21 的表面垂直的方向上。第一硬掩模层图案 22 形成在初步半导体本体线 24A 上。所述多个初步半导体本体线 24A 由初步沟槽 23 彼此分隔开。初步沟槽 23 被浅浅地限定出来,因为可以不考虑半导体柱体的高度。换言之,初步沟槽 23 的深度比图 1 所示的沟槽 13 的深度 H 浅。因此,可以防止初步半导体本体线 24A 倾斜。

[0042] 参见图 3C,在整个表面上形成牺牲层 25A,以填满初步沟槽 23。牺牲层 25A 可以包括电介质层。例如,牺牲层 25A 可以包括氧化硅。

[0043] 参见图 3D,形成部分填充初步沟槽 23 的牺牲层图案 25。牺牲层图案 25 部分地填充,以暴露出初步沟槽 23 的上侧壁 23A。为了形成部分填充初步沟槽 23 的牺牲层图案 25,可以选择性地刻蚀牺牲层 25A 并将牺牲层 25A 凹陷。为了形成部分填满初步沟槽 23 的部分牺牲层图案 25,可以采用回蚀工艺。

[0044] 参见图 3E,在包括牺牲层图案 25 的整个表面上形成电介质层 26A。电介质层 26A 可以包括诸如氮化硅的氮化物。电介质层 26A 可以形成有大致一致的厚度。

[0045] 参见图 3F,通过选择性地刻蚀电介质层 26A,形成间隔件 26。间隔件 26 经由间隔件刻蚀而形成。间隔件刻蚀可以包括回蚀工艺。间隔件 26 覆盖初步沟槽 23 的上侧壁 23A (图 3D 所示) 和第一硬掩模层图案 22 的两个侧壁。

[0046] 通过使用间隔件 26 作为刻蚀阻挡层,去除牺牲层图案 25。通过如此做,暴露出初步沟槽 23。在另一个实施例中,可以部分留下牺牲层图案 25,以保护初步沟槽 23 的下部。通过去除牺牲层图案 25,暴露出初步沟槽 23 的下侧壁 23B。间隔件 26 保留在初步沟槽 23 的上侧壁 23A 上。

[0047] 参见图 3G,通过使用间隔件 26 作为刻蚀阻挡层,执行各向同性刻蚀。因此,初步沟槽 23 的下侧壁 23B 和底部被刻蚀,并且形成球状体 (bulb) 27。初步沟槽 23 和球状体 27 形成球型沟槽结构。当经由各向同性刻蚀各向同性地刻蚀初步沟槽 23 的底表面和下侧壁 23B 时,形成曲线形球状体 (curve-shaped bulb) 27。当执行各向同性刻蚀时,朝着初步半导体本体线 24A 下方的侧壁的方向的刻蚀量可以控制在约 1nm 至约 20nm 的范围内。通过形成球状体 27,初步半导体本体线 24A 的高度增加。结果,形成半导体本体线 24。

[0048] 通过如上述形成球状体 27,多个半导体本体线 24 由包括初步沟槽 23 和球状体 27 的球状沟槽彼此分隔开。因为初步沟槽 23 和球状体 27 的深度较浅,所以本示例性实施例可以防止半导体本体线 24 倾斜。

[0049] 因为半导体衬底 21 和初步半导体本体线 24A 包括含硅物质,所以半导体本体线 24 成为硅本体。所述多个半导体本体线 24 由包括初步沟槽 23 和球状体 27 的球状沟槽而彼此分隔开,以及半导体本体线 24 形成在垂直于半导体衬底 21 的表面的方向上。半导体本体线 24 具有横向地彼此背对的两个侧壁。当俯视时,半导体本体线 24 由球状沟槽分隔开且在第一方向上延伸。半导体本体线 24 的下侧壁被球状体 27 凹陷。即,半导体本体线 24 具有凹侧壁。第一硬掩模层图案 22 保留在半导体本体线 24 上。间隔件 26 保留在半导体本体线 24 的上侧壁上。

[0050] 参见图 3H,在整个表面上形成第一导电层 28A,以填满球状沟槽。可以通过使用低



电阻物质来形成第一导电层 28A。例如,第一导电层 28A 可以包括金属、金属氮化物、金属硅化物或其组合。在另一个实施例中,可以将第一导电层 28A 形成没有填满球状体 27,但是可以形成具有既定的大致一致的厚度。在第一导电层 28A 形成具有大致一致厚度的情况下,可以形成图 2B 所示的掩埋位线 104A。在掩埋位线 104A 包括金属硅化物的情况下,可以通过在沉积金属层之后执行退火处理,在球状体 27 的侧壁上形成金属硅化物。在形成金属硅化物之后,可以去除未反应的金属层。可以通过在形成金属硅化物时使用完全硅化工艺,获得图 2C 所示的掩埋位线 104B。

[0051] 参见图 3I,通过选择性地刻蚀第一导电层 28A,形成至少填满球状体 27 的初步位线 28B。初步位线 28B 的高度可以低于第一硬掩模层图案 22。在另一个实施例中,可以控制初步位线 28B 的高度,以填满球状体 27。

[0052] 参见图 3J,形成掩埋位线 28。例如,通过执行刻蚀以分割初步位线 28B,来形成彼此分隔开的掩埋位线 28。为了形成掩埋位线 28,可以经由回蚀来刻蚀初步位线 28B。掩埋位线 28 可以由第一沟槽 29 而彼此分隔开。掩埋位线 28 掩埋在半导体本体线 24 的下侧壁中。下侧壁是球状体 27 的侧壁,以及掩埋位线 28 掩埋在球状体 27 的侧壁中。因此,掩埋有掩埋位线 28 的球状体 27 的侧壁提供凹侧壁作为半导体本体线 24 的两个侧壁,并且掩埋位线 28 掩埋在凹侧壁中。

[0053] 经由这样一系列的工艺,形成掩埋在半导体本体线 24 的凹侧壁中的掩埋位线 28。第一硬掩模层图案 22 可以保留在半导体本体线 24 上。间隔件 26 可以保留在半导体本体线 24 的上侧壁上。半导体本体线 24 垂直地形成在半导体衬底 21 上且由第一沟槽 29 而彼此分隔开。半导体本体线 24 可以在与掩埋位线 28 相同的方向上延伸。半导体本体线 24 可以具有线型结构。

[0054] 可以在半导体本体线 24 上形成包括半导体柱体的垂直沟道晶体管。在本实施例中,不是通过刻蚀半导体本体线 24 的上部,而是通过形成导电层和执行刻蚀工艺,来形成半导体柱体。稍后将详细描述半导体柱体的形成。

[0055] 图 4A 至 4F 是说明形成根据本发明的第一实施例的半导体器件的半导体柱体的示例性方法的剖面图。

[0056] 参见图 4A,形成部分填充图 3J 所示的第一沟槽 29 的第一层间电介质层 30。第一层间电介质层 30 可以包括诸如氧化硅的氧化物。为了使第一层间电介质层 30 部分填充第一沟槽 29,可以在整个表面上形成填满第一沟槽 29 的第一层间电介质层 30,然后可以使第一层间电介质层 30 凹陷。可以使第一层间电介质层 30 凹陷,以覆盖掩埋位线 28 的暴露部分。以此方式,通过第一层间电介质层 30 使相邻掩埋位线 28 彼此隔离。换言之,第一层间电介质层 30 使相邻掩埋位线 28 隔离。因为第一层间电介质层 30 填充第一沟槽 29,所以可以形成线型柱体结构。也就是说,第一层间电介质层 30 可以是电介质层柱体。

[0057] 参见图 4B,去除第一硬掩模层图案 22 和间隔件 26。当去除第一硬掩模层图案 22 和间隔件 26 时,图 4A 所示的半导体本体线 24 的表面暴露出来。半导体本体线 24 的暴露表面包括上表面 24A 和侧壁表面 24B。侧壁表面 24B 包括由第一层间电介质层 30 暴露出的表面。在上表面 24A 与第一层间电介质层 30 之间形成阶梯部分,以及第一层间电介质层 30 的上表面比半导体本体线 24 的上表面 24A 低。因此,在相邻半导体本体线 24 之间以自对准方式限定出凹部 30A。

[0058] 参见图 4C, 形成填充凹部 30A 的填充层 32。为了形成填充层 32, 可以执行热工艺 31。当半导体本体线 24 的上部受热工艺 31 影响时, 填充层 32 可以填充凹部 30A。例如, 通过执行热工艺 31, 可以从半导体本体线 24 的上表面引起原子迁移 31A。因为半导体本体线 24 包括单晶硅, 所以热工艺 31 可以引起硅迁移。将详细描述硅迁移。在氢气( $H_2$ )氛围下以高温执行热工艺 31。为了有效地引起原子迁移 31A, 需要在热工艺 31 之前执行去除异物的步骤。例如, 可以执行湿法刻蚀工艺和氢气( $H_2$ )烘烤工艺。此外, 当执行热工艺 31 时, 可以在约  $700^\circ C$  与约  $1200^\circ C$  之间的工艺温度下通过仅使用氢气( $H_2$ ) 或使用氢气( $H_2$ ) 与惰性气体的混合物来产生氛围。通过氢气的还原反应来促进硅迁移, 以及可以通过硅迁移来充分填充凹部 30A。在另一个实例中, 可以在没有形成第一层间电介质层 30 的情况下, 引起硅迁移。在这种情况下, 掩埋位线 28 可能受热工艺 31 的影响。因此, 可以在薄薄地铺垫非晶硅后, 执行热工艺。然而, 因为在硅迁移期间造成多晶硅的相变和非晶硅的生长, 所以可能会导致各种缺陷。

[0059] 通过如上所述执行热工艺 31, 引起原子迁移 31A, 可以用填充层 32 填充限定在第一层间电介质层 30 上的凹部 30A。当因原子迁移 31A 而降低和平坦化半导体本体线 24 的表面时, 形成填充层 32。因为半导体本体线 24 包括单晶硅, 所以填充层 32 也可以包括掩埋硅层。例如, 填充层 32 可以包括单晶硅层。

[0060] 掩埋位线 28 和第一层间电介质层 30 被填充层 32 掩埋。第一层间电介质层 30 布置在相邻掩埋位线 28 之间。掩埋位线 28 被填充层 32 掩埋, 使得掩埋位线 28 不具有任何暴露或开口。

[0061] 结果, 在本实施例中, 因为当暴露出第一层间电介质层 30 和半导体本体线 24 时, 执行热工艺 31, 所以可以没有任何缺陷地形成高质量的填充层 32。因为填充层 32 包括单晶硅, 所以可以形成高质量的单晶硅填充层。于是, 可以在后续外延生长工艺中没有缺陷地生长单晶硅。

[0062] 半导体本体线 24 和填充层 32 限定出平坦化的上表面。半导体本体线 24 和填充层 32 的表面可以具有相同种类的原子。

[0063] 参见图 4D, 在半导体本体线 24 和填充层 32 上形成第二导电层 33A。第二导电层 33A 可以包括含硅的物质, 例如硅层。第二导电层 33A 可以经由外延生长来形成。在外延生长工艺中, 使用半导体本体线 24 和填充层 32 作为晶种(seed)。第二导电层 33A 可以包括经由外延生长形成的硅层。因为半导体本体线 24 和填充层 32 包括单晶硅, 所以第二导电层 33A 因外延生长而可以包括单晶硅层。更具体地, 因为在形成第二导电层 33A 之前下表面包括由单晶硅物质形成的半导体本体线 24 和填充层 32, 所以可以没有缺陷地生长第二导电层 33A。

[0064] 当生长第二导电层 33A 时, 可以执行杂质的掺杂。例如, 可以在第二导电层 33A 生长的同时, 原位掺杂杂质, 并且可以形成 NPN 结(或 PNP 结)。此外, 在生长未掺杂杂质的未掺杂的硅层作为第二导电层 33A 之后, 可以经由后续离子注入而形成 NPN 结。NPN 结包括垂直地形成 N 型杂质区域、P 型杂质区域以及 N 型杂质区域的结构。在 NPN 结中, P 型杂质区域成为沟道, 以及 N 型杂质区域成为源极区域 / 漏极区域。当随后刻蚀形成有 NPN 结的第二导电层 33A 时, 形成半导体柱体。半导体柱体可以包括垂直沟道晶体管的源极区域、沟道区域以及漏极区域。

[0065] 参见图 4E, 在图 4D 所示的第二导电层 33A 上形成第二硬掩模层图案 34。

[0066] 通过使用第二硬掩模层图案 34 作为刻蚀掩模, 刻蚀第二导电层 33A。于是, 限定出第二沟槽 35, 并且第二沟槽 35 将多个初步半导体柱体 33B 分隔开。第一层间电介质层 30 经由第二沟槽 35 暴露出来。第二沟槽 35 的宽度可以等于图 3B 所示的初步沟槽 23 的宽度。初步半导体柱体 33B 可以包括硅柱体。初步半导体柱体 33B 可以包括单晶硅柱体。当形成初步半导体柱体 33B 时, 可以刻蚀填充层 32。可以完全去除或部分刻蚀填充层 32。在部分刻蚀填充层 32 的情况下, 填充层 32 部分保留下来, 如附图标记 32A 所示。

[0067] 如上所述, 初步半导体柱体 33B 形成在半导体本体线 24 上。初步半导体柱体 33B 可以沿平行于掩埋位线 28 的方向延伸。初步半导体柱体 33B 可以垂直地形成在掩埋位线 28 之上。初步半导体柱体 33B 可以具有垂直地形成在半导体本体线 24 上的线型结构。

[0068] 参见图 4F, 形成第二层间电介质层 36, 以填充半导体柱体 33B 与第二硬掩模层图案 34 之间的空间。随后可以将第二层间电介质层 36 平坦化。

[0069] 图 5A 至 5C 是说明形成根据本发明的第一实施例的半导体器件的字线的示例性方法的、沿着图 4F 的线 A-A' 截取的剖面图。

[0070] 参见图 5A, 通过刻蚀初步半导体柱体 33B, 形成多个半导体柱体 33。半导体柱体 33 可以由第三沟槽 37 彼此分隔开。为了限定出第三沟槽 37, 使用未示出的光致抗蚀剂图案。通过使用光致抗蚀剂图案作为刻蚀阻挡层, 来刻蚀第二硬掩模层图案 34。随后, 刻蚀初步半导体柱体 33B。虽然未示出, 可以刻蚀第二层间电介质层 36 (见图 4F)。

[0071] 通过以此方式刻蚀半导体柱体 33B, 在半导体本体线 24 上形成半导体柱体 33。掩埋位线 28 掩埋在半导体本体线 24 中, 并且半导体柱体 33 布置成垂直于半导体本体线 24。换言之, 形成了使掩埋位线 28 位于半导体柱体 33 下方的垂直结构。半导体本体线 24 和半导体柱体 33 作为有源区。半导体本体线 24 由第一层间电介质层 30 (见图 4F) 而彼此隔离, 并且具有沿与掩埋位线 28 相同的方向延伸的线形状。半导体柱体 33 是垂直于半导体本体线 24 延伸的柱体。由单位单元来形成半导体柱体 33。于是, 在一个半导体本体线 24 上形成多个半导体柱体 33, 并且所述多个半导体柱体 33 由第三沟槽 37 而彼此分隔。第三沟槽 37 可以具有不暴露出掩埋位线 28 的深度。

[0072] 半导体柱体 33 具有形成有垂直沟道晶体管的源极 / 漏极区域和沟道区域的结构。多个半导体柱体 33 可以在半导体本体线 24 上具有矩阵型阵列。半导体柱体 33 可以包括硅柱体。例如, 半导体柱体 33 可以包括单晶硅柱体。

[0073] 参见图 5B, 形成部分填充第三沟槽 37 的第三导电层 39A。在形成第三导电层 39A 之前, 可以形成栅电介质层 38A。可以通过将半导体柱体 33 的侧壁和半导体本体线 24 的上表面氧化来形成栅电介质层 38A。第三导电层 39A 通过使用低电阻物质而形成。例如, 可以使用金属性层。金属性层可以包括钛层、氮化钛层、钨层或之类。可以通过顺序地执行平坦化和回蚀, 使第三导电层 39A 凹陷。

[0074] 参见图 5C, 通过在沉积电介质层之后执行回蚀, 来形成间隔件 40。间隔件 40 可以包括氮化物层。

[0075] 通过使用间隔件 40 作为刻蚀阻挡层, 刻蚀第三导电层 39A。于是, 在半导体柱体 33 的两个侧壁上形成字线 39。字线 39 可以形成在第二方向上, 第二方向是与掩埋位线 28 相交的方向。字线 39 也作为垂直栅电极。在另一个实施例中, 可以形成包围半导体柱体 33

的字线 39。在另一个示例性实施例中,在形成包围半导体柱体 33 的环状垂直栅电极之后,字线 39 可以与垂直栅电极连接。在一个不同的示例性实施例中,在形成垂直栅电极之后,字线 39 可以形成在半导体柱体 33 之上,以经由栅接点来连接。

[0076] 虽然未示出,在形成随后与半导体柱体 33 连接的储存节点接触插塞(storage node contact plug, SNC)之后,可以在储存节点接触插塞之上形成电容器。电容器包括储存节点。储存节点可以具有类似圆筒的形状。在另一个实施例中,储存节点可以具有类似柱体或凹状形状。虽然未示出,但是随后形成电介质层和顶电极。

[0077] 根据本发明实施例的半导体器件可以包括在存储器单元和存储器单元阵列中。位线和字线可以根据与存储器单元阵列连接的行译码器和列译码器所施加的电压来储存或输出数据。

[0078] 根据本发明实施例的存储器单元阵列可以包括在存储器件中。存储器件可以包括存储器单元阵列、行译码器、列译码器、感测放大器等。列译码器在存储器单元阵列的字线之中选择与要执行读取操作或写入操作的存储器单元相对应的字线,并且输出字线选择信号至半导体存储器单元阵列。另外,行译码器在存储器单元阵列的位线之中选择与要执行读取操作或写入操作的存储器单元相对应的位线,并且输出位线选择信号至存储器单元阵列。此外,感测放大器感测在由行译码器和列译码器选中的存储器单元中所储存的数据。

[0079] 根据本发明实施例的存储器件可以应用于动态随机存取存储器(DRAM)、静态随机存取存储器(SRAM)、快闪存储器、铁电随机存取存储器(FeRAM)、磁性随机存取存储器(MRAM)、相变随机存取存储器(PRAM)等。

[0080] 上述存储器件的主要产品群可以包括在桌上型计算机、膝上型计算机、服务器中所使用的计算存储器、具有各种规格的图形存储器、以及随着移动通信的发展而普及的移动存储器。此外,半导体器件不仅可提供至诸如记忆棒、MMC、SD、CF、xD 图片卡和 USB 快闪器件的便携式储存媒体,而且还可提供至诸如 MP3P、PMP、数字相机、摄录像机和移动电话的各种数字应用。此外,半导体器件不仅可以应用至单一产品的半导体器件,而且还可以应用于多芯片封装(MCP)、芯片磁盘(disk on chip, DOC)以及嵌入式器件。另外,半导体器件可以应用于为照相手机、网络摄像头以及小型医疗摄影器件的各种领域提供的 CMOS 图像传感器(CIS)。

[0081] 根据本发明实施例的存储器件可以使用在存储模块中。存储模块包括安装至模块衬底的多个存储器件、使存储器件能从外部控制器接收控制信号(地址信号、命令信号和时钟信号)的命令链路、以及与存储器件连接以传输数据的数据链路。在此,命令链路和数据链路采用与现有半导体模块中使用的方式相同或相似的方式来形成。在存储模块中,可以安装 8 个存储器件至模块衬底的前面,也可以采用相同方式安装存储器件至模块衬底的背面。换言之,存储器件可以安装至模块衬底的一面或两面,并且所要安装的存储器件的数目没有限制。此外,模块衬底的材料和结构没有特别限制。

[0082] 根据本发明的实施例的存储模块可以使用在存储系统中。存储系统包括控制器,控制器在安装多个存储器件的至少一个存储模块与外部系统之间提供双向接口,以控制存储模块的操作。

[0083] 可以在电子装置中使用根据本发明实施例的存储系统。电子装置包括存储系统和与存储系统电连接的处理器。处理器可以包括 CPU (central processing unit, 中央处理

单元)、MPU(micro processor unit,微处理单元)、MCU(micro controller unit,微控制单元)、GPU(graphics processing unit,图形处理单元)或 DSP(digital signal processor,数字信号处理器)。可以通过将作为算术逻辑运算单元(arithmetic and logic operation unit)的 ALU (arithmetic logic unit,算术逻辑单元)与用于读取和分析命令以控制各个单元的 CU (control unit,控制单元)组合来配置 CPU 或 MPU。在处理器是 CPU 或 MPU 的情况下,电子装置可以包括计算机设备和移动终端。此外,GPU 是针对图形的用来计算具有小数点的数字的 CPU,并且用作在屏幕上实时显示图形的处理器。在处理器是 GPU 的情况下,电子装置可以包括图形设备。此外, DSP 是用于将模拟信号(例如语音)高速转换为数字信号或将数字信号转换为模拟信号的处理器。DSP 主要计算数字值。在处理器是 DSP 的情况下,电子装置可以包括声音和图像设备。此外,处理器可以包括 APU(accelerate processor unit,加速处理单元), APU 是通过将 CPU 并入 GPU 而配置成的,并且用作图形卡。

[0084] 从上面的描述显然可知,根据本发明的实施例,半导体柱体可以由没有缺陷的高质量单晶硅形成,因而可以改善半导体器件的可靠性。

[0085] 此外,根据本发明的实施例,用于形成掩埋有掩埋位线的半导体本体线的工艺和用于形成随后形成垂直沟道的半导体柱体的刻蚀工艺是分开执行的,因而可以防止半导体本体线和半导体柱体倾斜。

[0086] 另外,根据本发明的实施例,掩埋位线没有掩埋在半导体柱体之间的沟槽中,而是形成在半导体柱体下方,由此可以提高集成度,以及可以减小相邻掩埋位线之间的寄生电容。

[0087] 尽管已经参照具体的实施例描述了本发明,但是对本领域技术人员显然的是,在不脱离所附权利要求所限定的本发明的精神和范围的情况下,可以进行各种变化和修改。

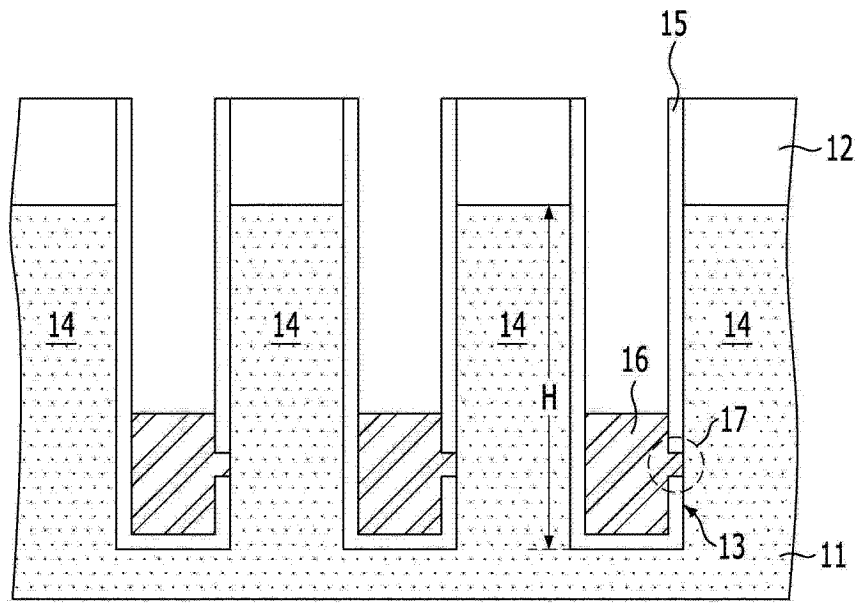


图 1

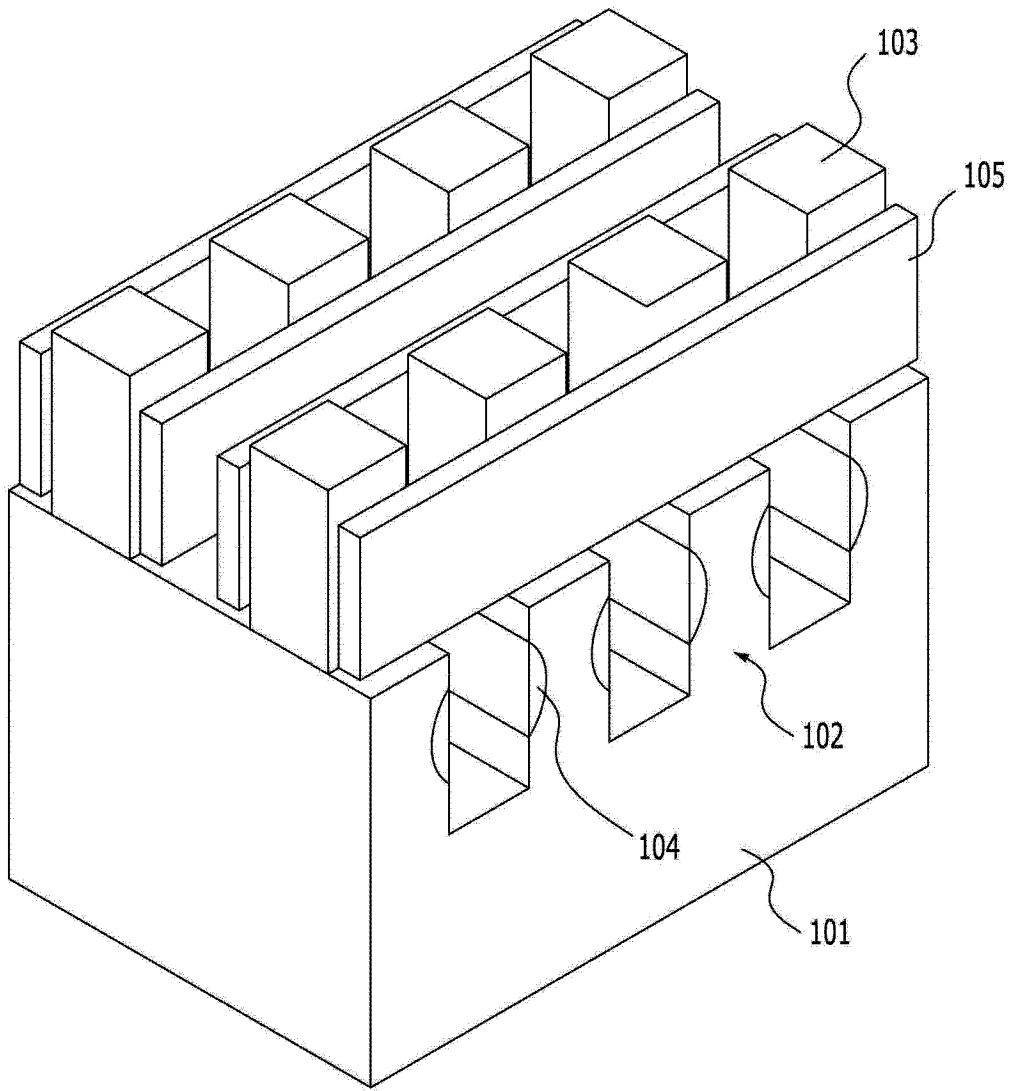


图 2A

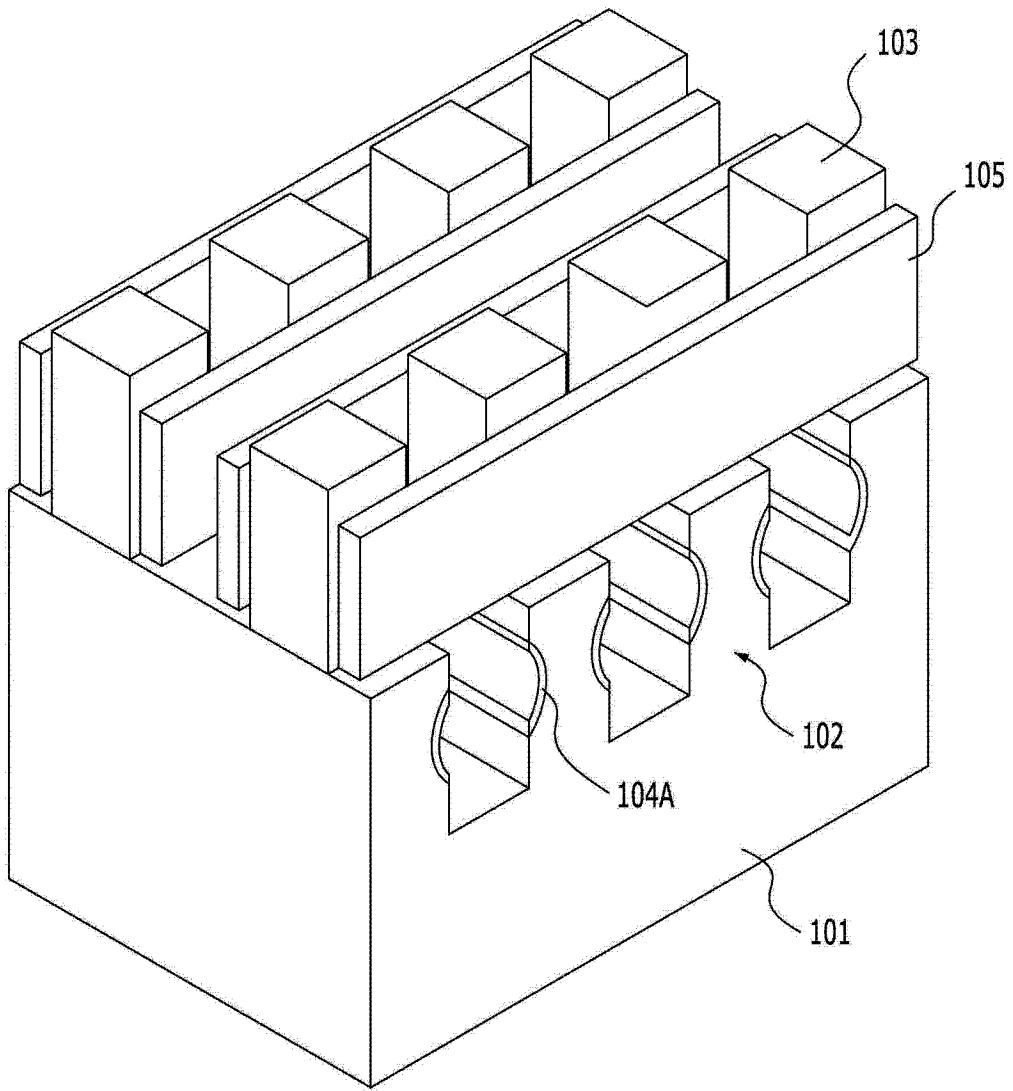


图 2B



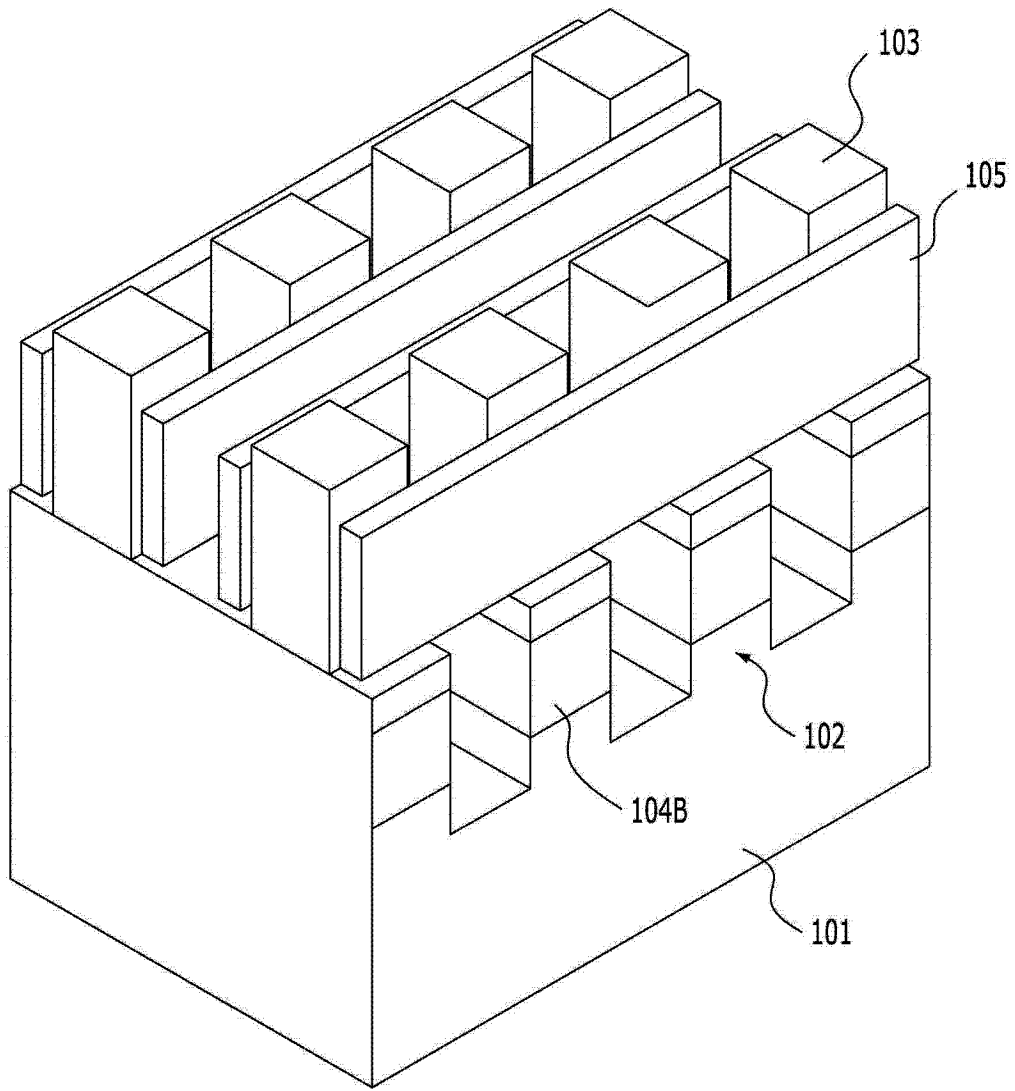


图 2C

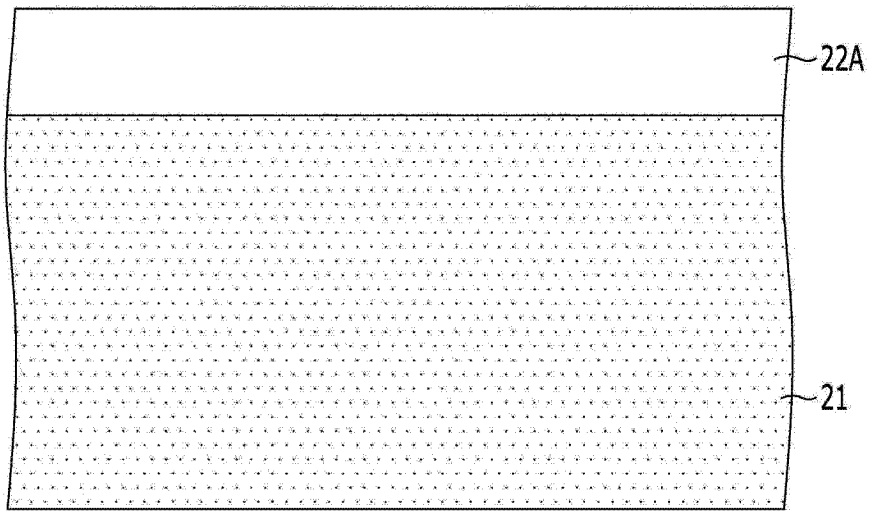


图 3A

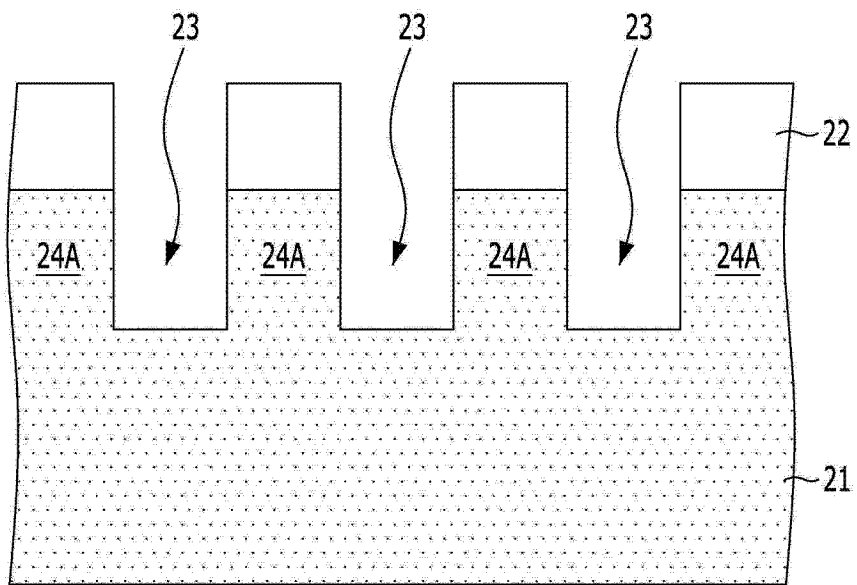


图 3B

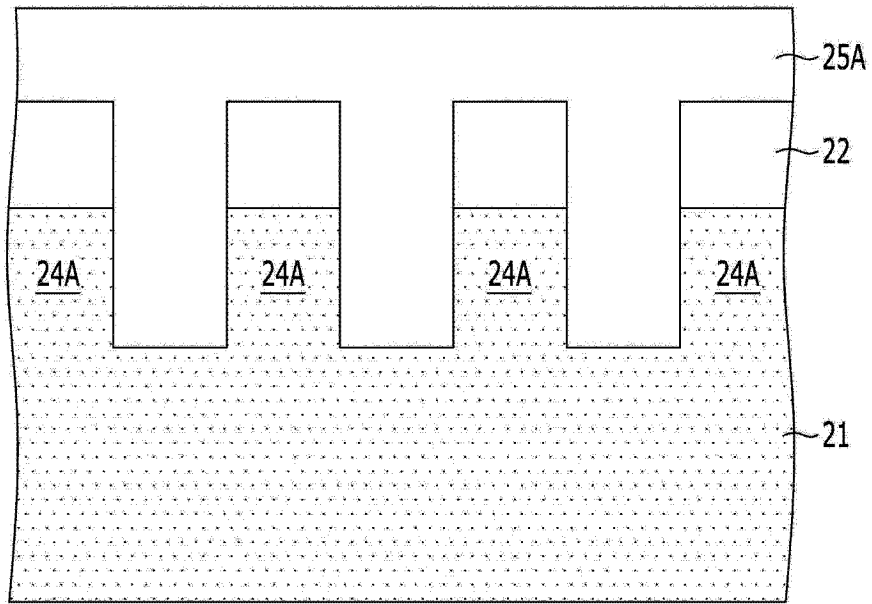


图 3C

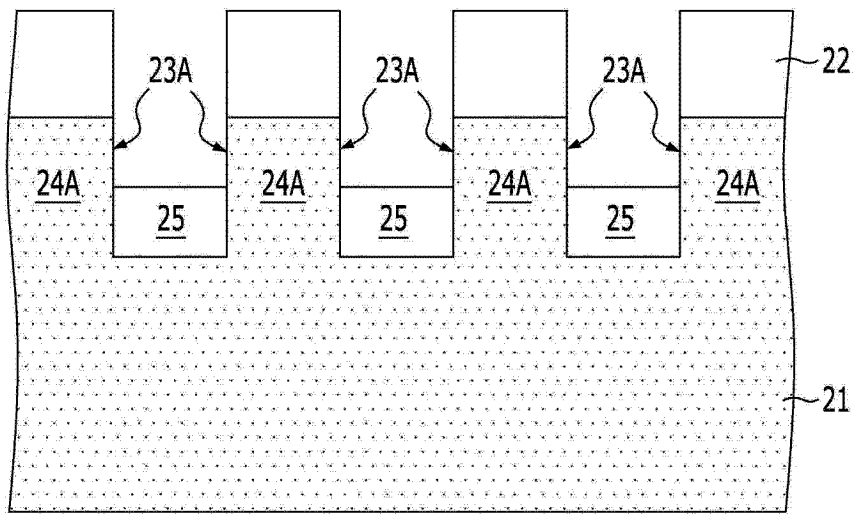


图 3D

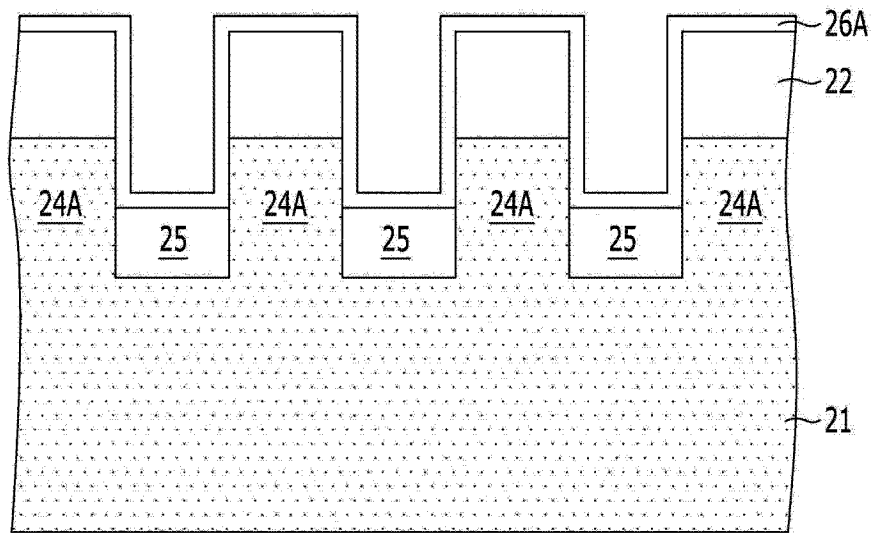


图 3E

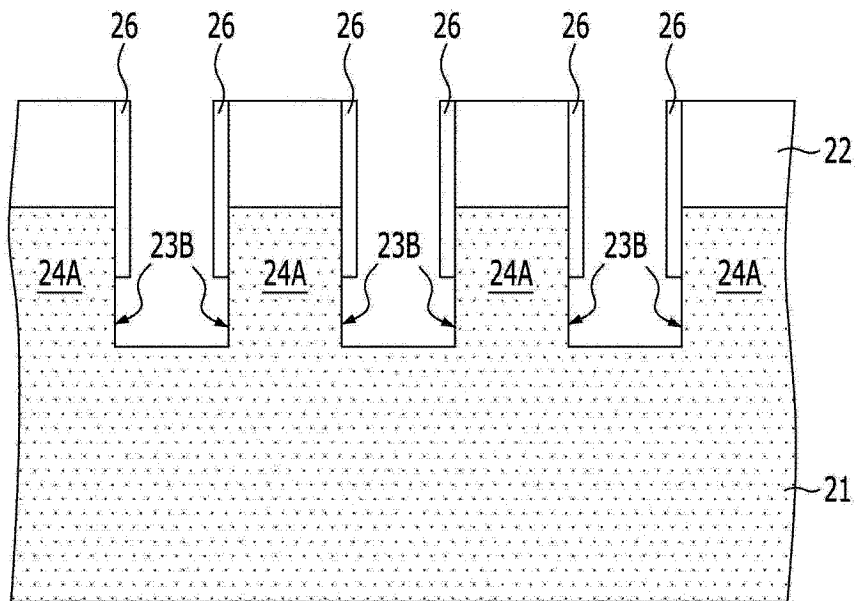


图 3F

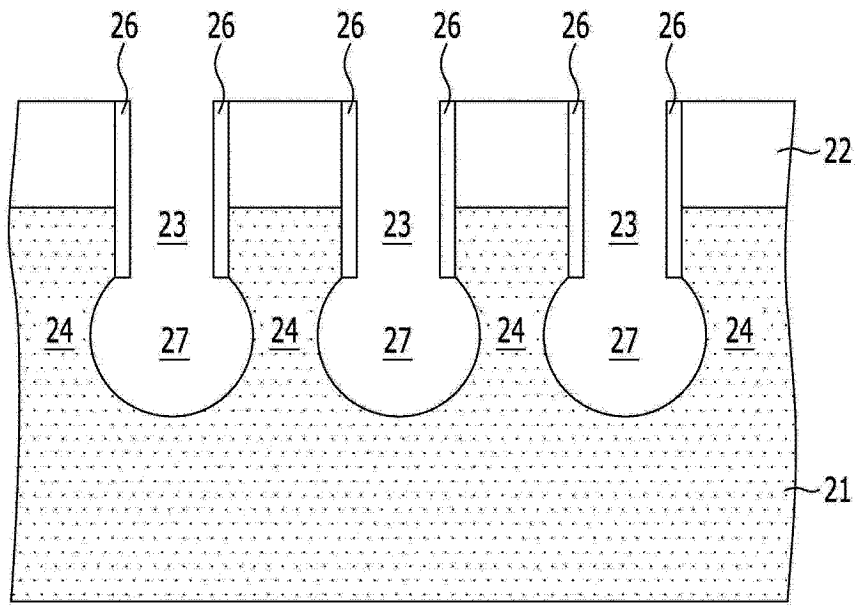


图 3G

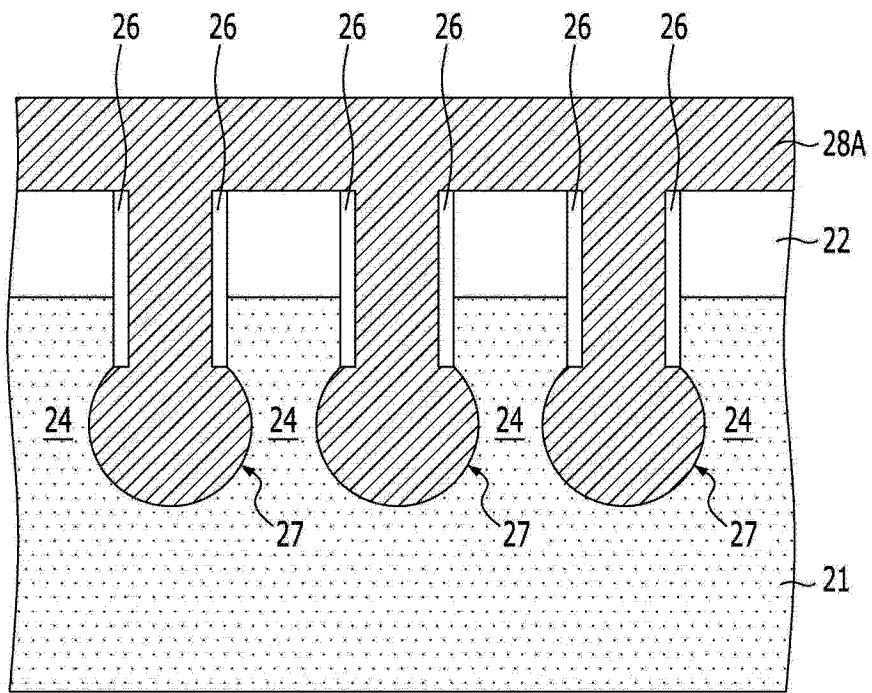


图 3H

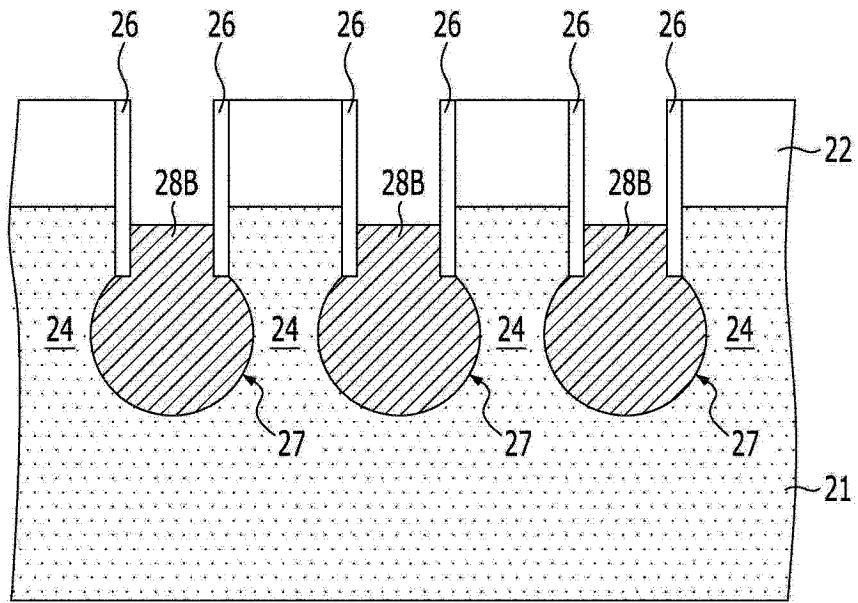


图 3I

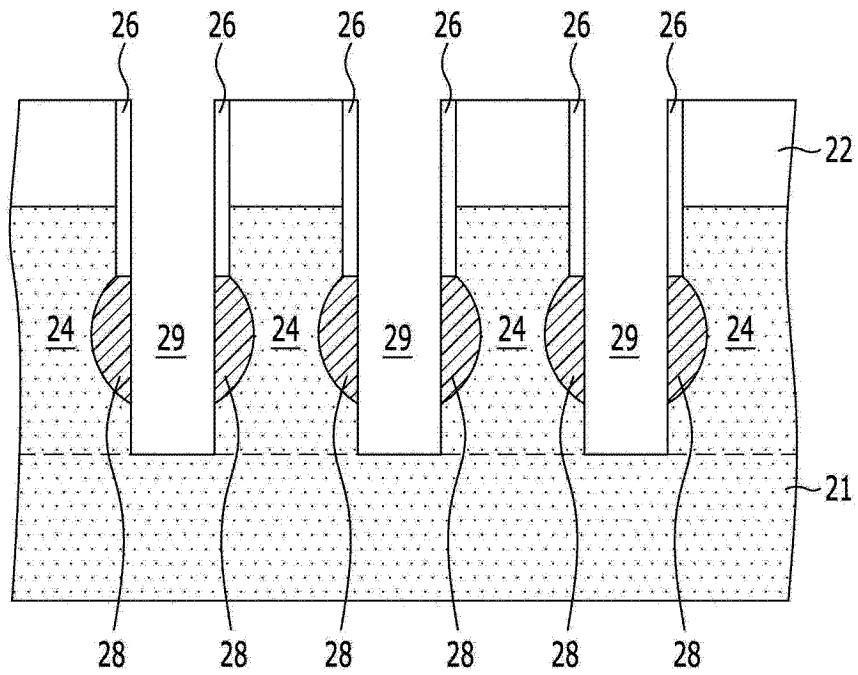


图 3J

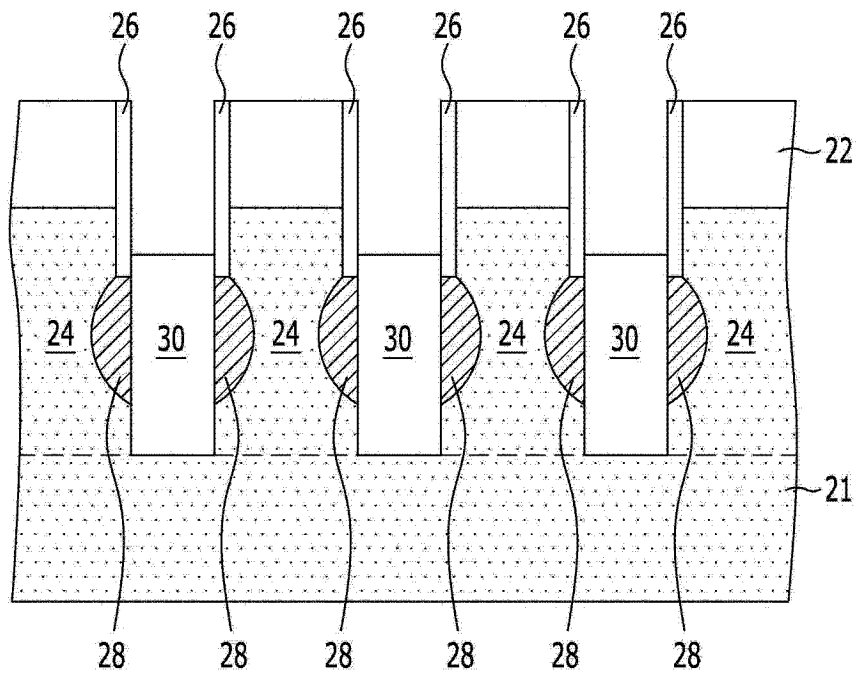


图 4A

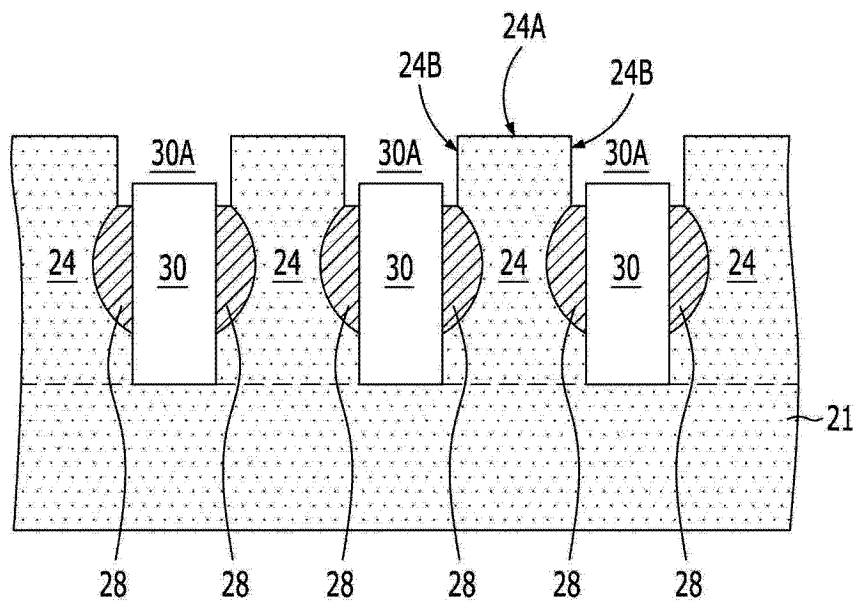


图 4B

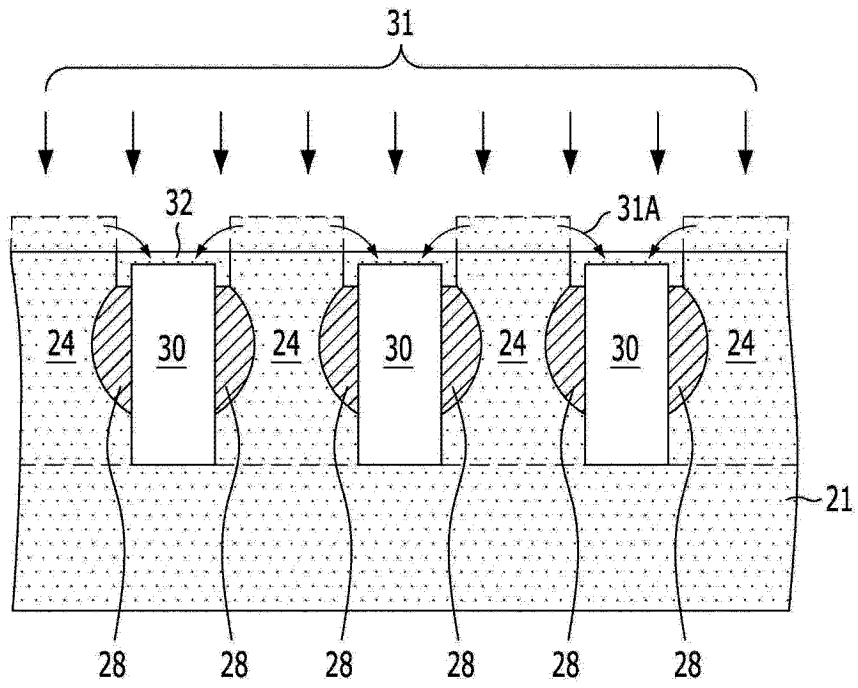


图 4C

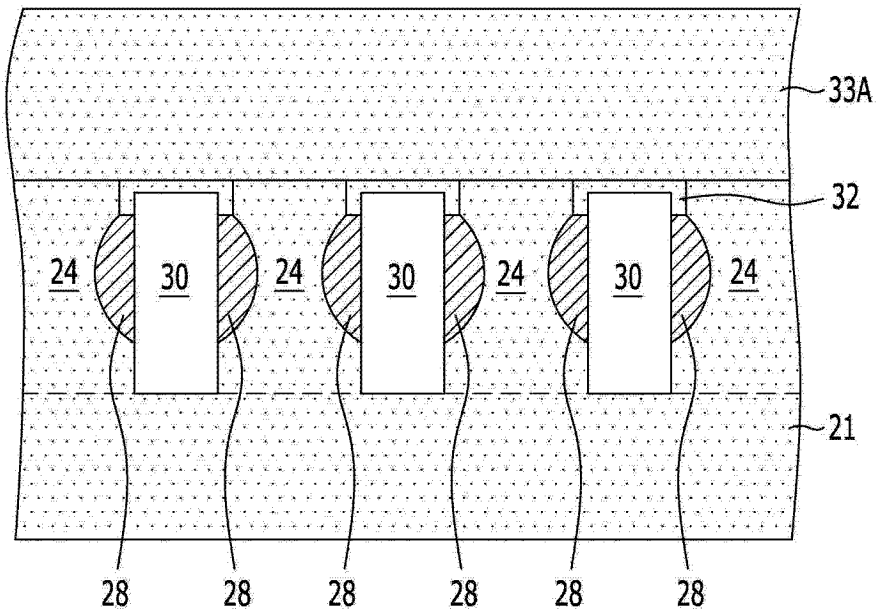


图 4D



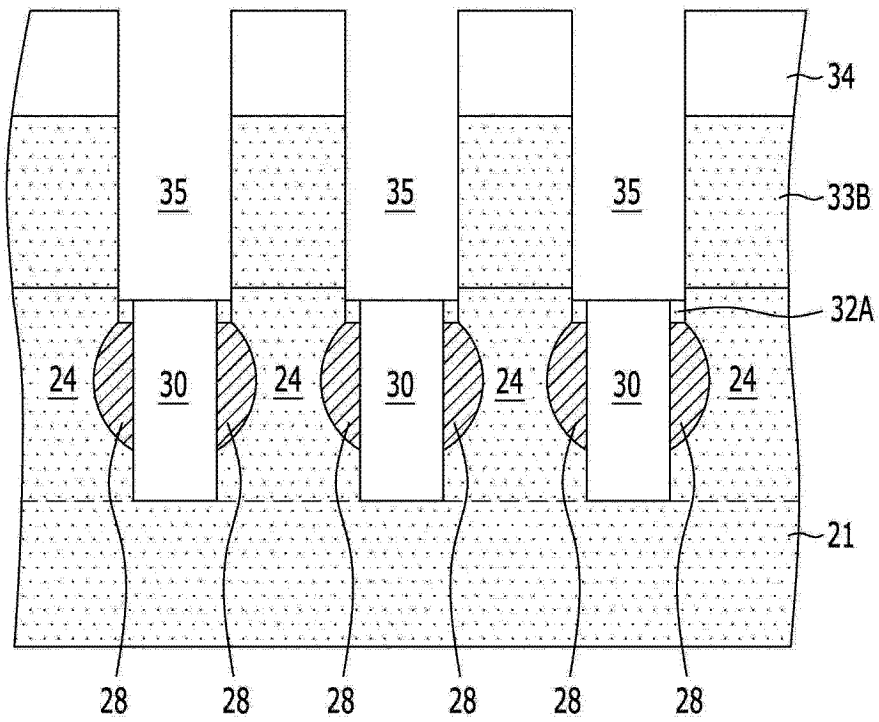


图 4E

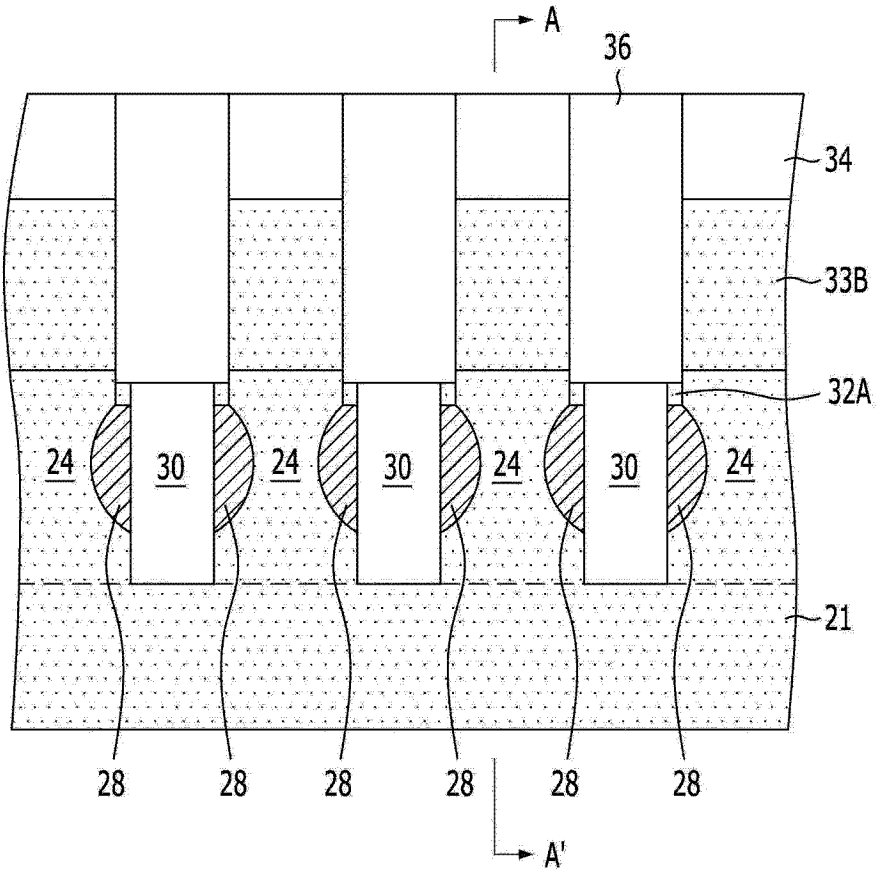


图 4F

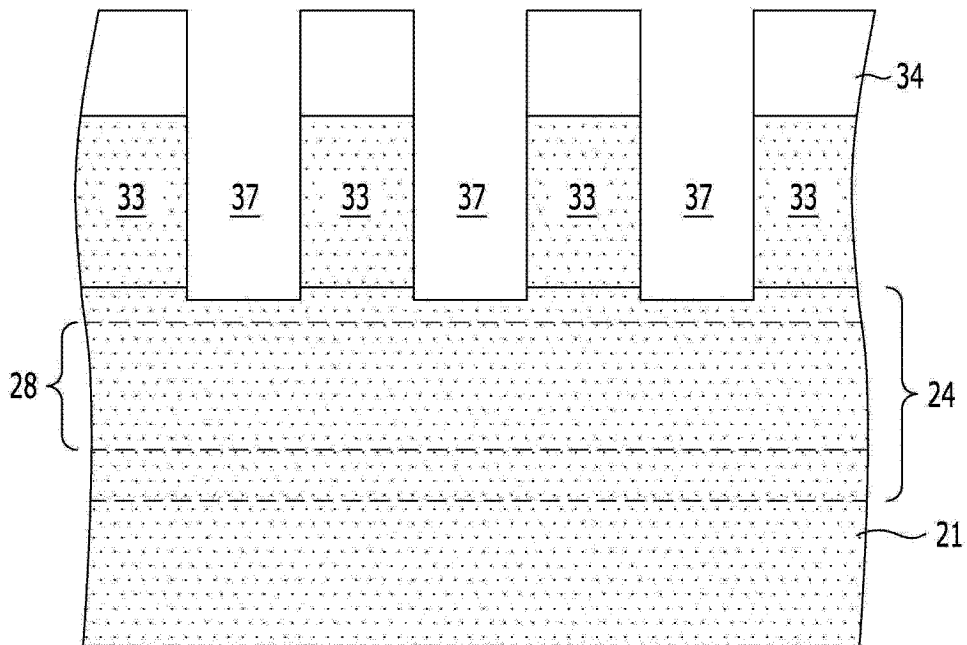


图 5A

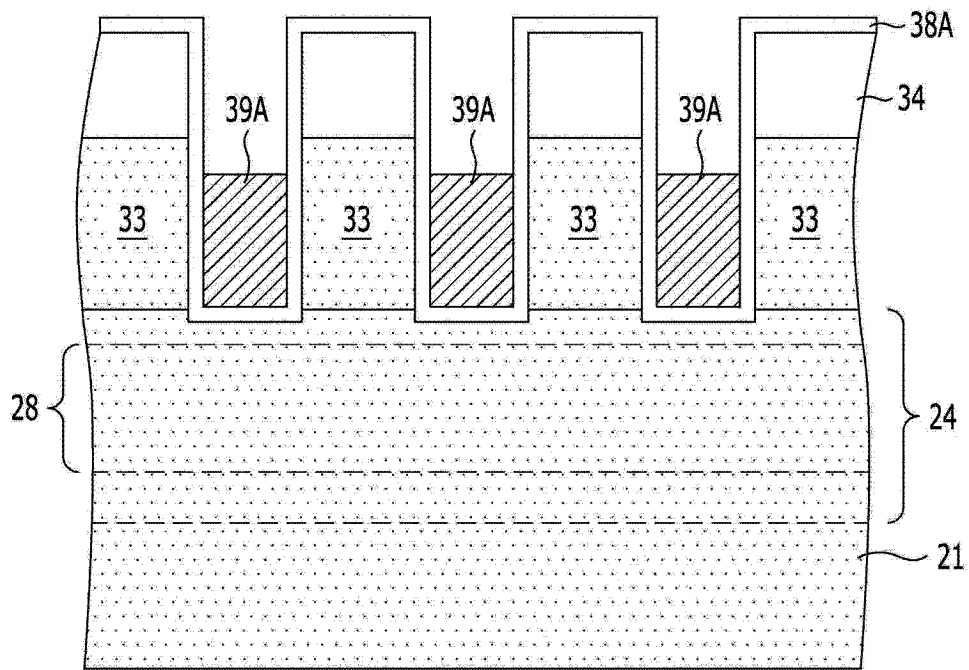


图 5B

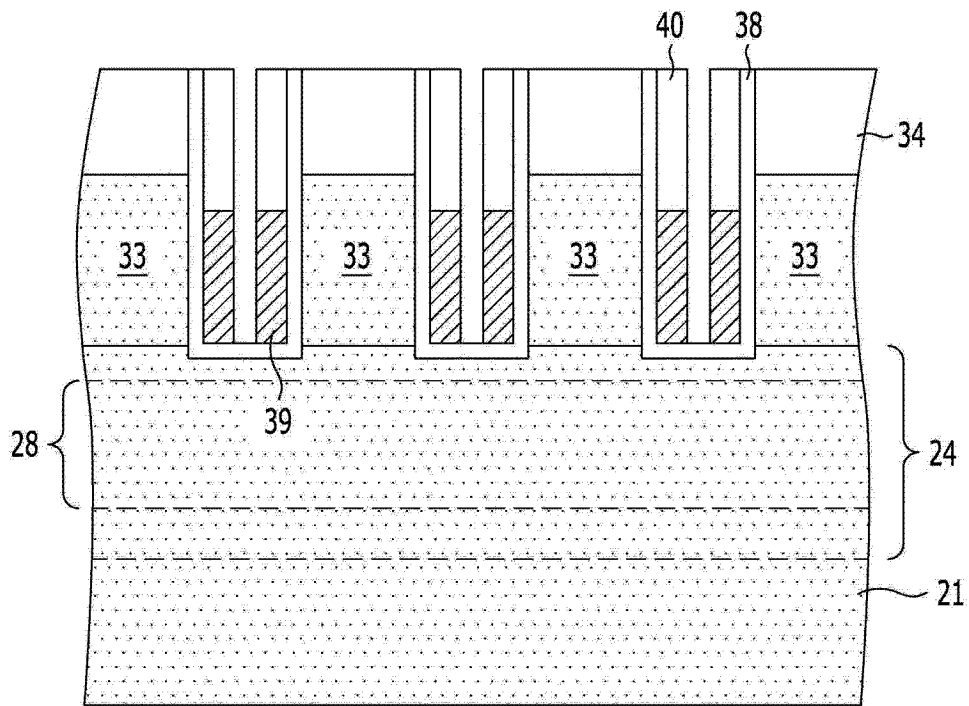


图 5C