

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



# [12] 发明专利申请公开说明书

[21] 申请号 200510129742.5

*H01L 23/48 (2006.01)*  
*H01L 23/50 (2006.01)*  
*H01L 25/00 (2006.01)*  
*G11C 7/00 (2006.01)*

[43] 公开日 2006年8月9日

[11] 公开号 CN 1815722A

[22] 申请日 2005.12.6

[21] 申请号 200510129742.5

[30] 优先权

[32] 2004.12.10 [33] KR [31] 104202/04

[71] 申请人 三星电子株式会社

地址 韩国京畿道

[72] 发明人 孙东佑 赵志虎 金明载 李元柱  
崔钟文

[74] 专利代理机构 北京市柳沈律师事务所

代理人 黄小临 王志森

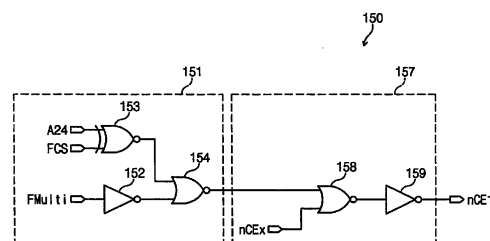
权利要求书 3 页 说明书 7 页 附图 5 页

## [54] 发明名称

低功率多芯片半导体存储器件及其芯片使能方法

## [57] 摘要

提供了一种多芯片半导体器件及其芯片使能方法，其能够选择性地激活和去激活该多芯片半导体器件的各个半导体芯片。根据内部芯片使能信号激活和去激活所述器件的各个半导体芯片。



1. 一种多芯片半导体存储器件，包含：  
多个半导体芯片，其集成于单一封装中并共享至少一个 I/O 管脚；  
芯片使能缓冲器，其在操作上与多个半导体芯片中的至少一个相关联，并且被配置来产生内部芯片使能信号以响应外部芯片使能信号、外部地址和芯片识别（ID）信息；以及，  
逻辑控制器件，其在操作上与多个半导体芯片中的至少一个以及芯片使能缓冲器相关联，并且被配置来激活多个半导体芯片之一，以响应内部芯片使能信号，使得在多个半导体芯片中除了被激活的半导体芯片之外的半导体芯片是被去激活的半导体芯片。
2. 根据权利要求 1 所述的器件，其中多个半导体芯片中的每一个集成地包含芯片使能缓冲器和逻辑控制器件。
3. 根据权利要求 2 所述的器件，其中外部地址包含与多个半导体器件中的各半导体芯片相关联的最高有效位。
4. 根据权利要求 3 所述的器件，其中所述芯片 ID 信息由焊合或熔合选项设置。
5. 根据权利要求 4 所述的器件，其中所述芯片 ID 信息为多个半导体芯片中的每一个指示位置。
6. 根据权利要求 2 所述的器件，其中被去激活的半导体芯片进入或保持待命状态。
7. 根据权利要求 2 所述的器件，其中分别与去激活的半导体芯片中的每一个相关联的逻辑控制器件中的每一个进一步被配置来去激活其相关联的去激活的半导体芯片，以响应去激活内部芯片使能信号。
8. 根据权利要求 7 所述的器件，其中所述去激活的半导体芯片进入待命状态。
9. 根据权利要求 7 所述的器件，其中芯片使能缓冲器中的每一个被配置来根据操作模式信息产生内部芯片使能信号，该操作模式信息指示多个半导体芯片是工作在多芯片模式还是单芯片模式。
10. 根据权利要求 9 所述的器件，其中所述操作模式信息由多个半导体芯片的每个内的焊合或熔合选项设置。

11. 根据权利要求 9 所述的器件, 其中当被去激活的半导体芯片工作在单芯片模式时, 每个被去激活的半导体芯片未接收功率。

12. 根据权利要求 9 所述的器件, 其中当被去激活的半导体芯片工作在多芯片模式时, 每个被去激活的半导体芯片进入待命状态。

13. 一种适于用在多芯片半导体存储器件中的半导体芯片, 包含:

芯片使能缓冲器, 其包含:

芯片选择器, 其被配置来比较外部地址信号和芯片 ID 信息; 以及

信号发生器, 其被配置来根据外部芯片使能信号产生激活或去激活内部芯片使能信号, 并且提供所述内部芯片使能信号给半导体芯片;

其中所述半导体芯片在接收到激活内部芯片使能信号时被激活, 并且在接收到去激活内部芯片使能信号时被去激活。

14. 根据权利要求 13 所述的半导体芯片, 其中所述外部地址信号的至少一个比特包括与半导体芯片相关联的地址的最高有效位。

15. 根据权利要求 13 所述的半导体芯片, 其中所述半导体芯片被去激活时进入待命状态。

16. 根据权利要求 13 所述的半导体芯片, 其中所述半导体芯片被配置来存储芯片识别 (ID) 信息, 并且其中所述芯片 ID 信息由焊合或熔合选项设置。

17. 根据权利要求 16 所述的半导体芯片, 其中所述芯片 ID 信息指示多芯片半导体存储器件中的多个半导体芯片内该半导体芯片的位置。

18. 根据权利要求 13 所述的半导体芯片, 其中所述芯片选择器被进一步配置来根据操作模式信息产生激活或去激活内部芯片使能信号, 该操作模式信息指示所述半导体芯片工作在多芯片模式还是单芯片模式。

19. 根据权利要求 18 所述的半导体芯片, 其中所述操作模式信息由焊合或熔合选项设置。

20. 根据权利要求 18 所述的半导体芯片, 其中所述半导体芯片在被去激活并工作在单芯片模式时未接收功率。

21. 根据权利要求 18 所述的半导体芯片, 其中所述半导体芯片在被去激活并工作在多芯片模式时进入待命状态。

22. 一种用于多芯片半导体存储器件的芯片使能方法, 该多芯片半导体存储器件包含集成于单一封装中并且共享至少一个 I/O 管脚的多个半导体芯片, 该方法包含:

为多个半导体芯片中的每个产生内部芯片使能信号，以响应外部芯片使能信号、外部地址信号和芯片 ID 信息；

根据内部芯片使能信号激活多个半导体芯片之一，并且根据内部芯片使能信号去激活多个半导体芯片中剩余的半导体芯片。

## 低功率多芯片半导体存储器件及其芯片使能方法

### 技术领域

发明的实施例涉及多芯片半导体存储器件以及选择性地使能该器件内的存储器芯片的有关方法，该器件包含内建于一个封装中的多个存储器芯片。

本申请要求2004年12月10日提交的韩国专利申请 No. 10-2004-0104202 的优先权，这里通过参考全部合并该申请的主题。

### 背景技术

对小而不同的移动设备如 PDA、3G 移动电话、数字静态相机等的需求长期以来通过提高半导体器件的组成元件的集成密度并且因此减小其尺寸已经得到满足。然而，为了对当前的半导体器件实现甚至更高的集成密度，持续减小组成元件的尺寸变得越来越困难，并且突出表现为高成本和大量的开发时间。因此，多芯片封装技术最近已经被用在移动应用中，如对越来越密集的半导体器件的应用的替代。多芯片封装通常包含安装在单一封装上的几个芯片（例如，存储器芯片，如 NOR 快闪存储器芯片、NAND 快闪存储器芯片、SRAM 芯片、UtRAM 芯片等）。多芯片封装通常具有这样的结构：其中二个、四个或更多同类的存储器芯片垂直地一个堆叠在另一个上面。因此，与分离的半导体器件的应用相比，使用多芯片封装技术构成的半导体器件的应用可以减小主机设备内的半导体器件安装面积 50%或更多。

然而，多芯片封装内存在多个芯片导致使用很多管脚（例如，地址管脚、控制管脚、数据 I/O 管脚等）。这样的“高管脚数”使构造多芯片封装系统困难。为解决这一问题，可以在多芯片封装中安排多个存储器芯片来共享外部管脚。不幸的是，由多芯片封装内的多个存储器芯片共享外部管脚通常妨碍芯片选择功能的使用。

图 1 是传统的多芯片封装的示意图，即双片封装(dual die package, DDP)，包含单一封装中的两个同类芯片的堆叠布置。图 2 是说明图 1 中所示的传统多芯片封装的操作的时序图。

参照图 1，半导体芯片 10 和 20（它们可以是，例如 NOR 快闪存储器芯

片、NAND 快闪存储器芯片、SRAM 芯片、UtRAM 芯片等) 安装在一个封装中。外部芯片使能信号 nCE<sub>x</sub> 激活半导体芯片 10 和 20 用于操作。在这种情况下, 虽然在外部芯片使能信号 nCE<sub>x</sub> 给出之后只有一个半导体芯片将实际工作, 但是半导体芯片 10 和 20 两个都被激活。虽然不要求工作, 但是“不要被选择”的半导体芯片仍然被激活并且因此浪费功率。有效地避免这种情况并因此减小多芯片半导体封装的功率浪费的方法将是有益的。

### 发明内容

在一个实施例中, 本发明提供了一种多芯片半导体存储器件, 包含: 多个存储器芯片; 多个芯片使能缓冲器, 其在操作上与多个半导体芯片相关联并且被配置来产生多个内部芯片使能信号; 以及多个逻辑控制器件, 其在操作上与多个半导体芯片和多个芯片使能缓冲器相关联, 并且被配置来激活多个半导体芯片之一, 以响应多个内部芯片使能信号的激活内部芯片使能信号, 其中多个半导体芯片被集成于一个封装中并共享至少一个 I/O 管脚。

在另一个实施例中, 本发明提供了一种包含芯片使能缓冲器的多芯片半导体存储器件的半导体芯片, 该芯片使能缓冲器包含: 芯片选择器, 被配置来比较外部地址信号和芯片 ID 信息; 以及进一步包含信号发生器, 被配置来根据外部芯片使能信号产生激活或去激活内部芯片使能信号, 并且提供内部芯片使能信号给半导体芯片, 其中半导体芯片在它接收到激活内部芯片使能信号时被激活, 并且在它接收到去激活内部芯片使能信号时被去激活。

在另一个实施例中, 本发明提供了一种用于多芯片半导体存储器件的芯片使能方法, 该器件包含集成于一个封装中的多个半导体芯片, 各半导体芯片共享至少一个 I/O 管脚, 该方法包含: 为该多个半导体芯片中的每个产生内部芯片使能信号, 以响应外部芯片使能信号、外部地址信号和芯片 ID 信息; 根据内部芯片使能信号激活该多个半导体芯片之一; 以及根据内部芯片使能信号去激活该多个半导体芯片的除了被激活的半导体芯片外的每个半导体芯片。

### 附图说明

将参照附图说明本发明的示范性实施例, 其中相同的参考标号表示相同或类似的元件。在附图中:

图 1 是传统的多芯片封装的示意图；  
图 2 是说明图 1 中所示的多芯片封装的操作的时序图；  
图 3 是根据本发明的示范性实施例的多芯片封装的示意图；  
图 4 是在图 3 中显示的芯片使能缓冲器的电路图；  
图 5A 和 5B 是说明图 3 中显示的芯片使能缓冲器的操作的时序图；并且  
图 6 是说明根据本发明的示范性实施例的用于多芯片封装的芯片使能方法的流程图。

### 具体实施方式

现在将参照附图说明本发明的示范性实施例。

在这些实施例的环境中说明了低功率多芯片半导体器件和相关的芯片使能方法。使用中，这些实施例的特征在于：产生内部芯片使能信号以响应外部芯片使能信号、外部地址信号和设备中多个半导体芯片中每个的芯片识别（ID）信息，然后激活半导体芯片之一以响应内部芯片使能信号之一。多芯片器件中的其它半导体芯片保持去激活。因此，在给定的操作周期期间实际不工作的未被选择的半导体芯片保持去激活。因此，相对于传统的多芯片半导体器件有效地减小了功率浪费。

图 3 是根据本发明的示范性实施例的多芯片封装的示意图。虽然图 3 中说明了只包含两个半导体芯片的封装，本领域的普通技术人员将会明白，封装可以另外包括附加的半导体芯片。也可以将本发明应用到包含多个不同种类的半导体芯片的多芯片封装，并且应用到包含多个同类半导体芯片的多芯片封装。

在图 3 中所图示的多芯片封装包括半导体芯片 100 和 200。半导体芯片 100 和 200 集成到单一多芯片封装中并且共享至少一个 I/O 管脚。半导体芯片 100 关联于（并且可以整体地包含）控制逻辑器件（未显示）和芯片使能缓冲器 150。类似地，半导体芯片 200 与（分离的或一体的）控制逻辑器件（未显示）和芯片使能缓冲器 250 相关联。在所说明的例子中显示了在每个半导体器件内整体地形成的分离的芯片使能缓冲器，但是芯片使能缓冲器可能另外在半导体器件外部分离地或一体地被提供。

芯片使能缓冲器 150 和 250 每个分别接收外部芯片使能信号 nCE<sub>x</sub> 和外部地址信号 A24，并且产生内部芯片使能信号 nCE1 和 nCE2。在所说明的例

子中,与半导体芯片 100 相关联的控制逻辑器件激活或去激活半导体芯片 100 以响应内部芯片使能信号 nCE1,而与半导体芯片 200 相关联的控制逻辑器件激活或去激活半导体芯片 200 以响应内部芯片使能信号 nCE2。

正如在下面的一些附加的细节中所描述的那样,由于在每个芯片内设置芯片 ID 信息和芯片操作模式信息,所以,芯片使能缓冲器 150 和 250 每个包含唯一芯片 ID 信息和芯片操作模式信息用于它们各自的芯片。根据外部芯片使能信号 nCE<sub>x</sub>、外部地址信号 A24、芯片操作模式信息 F<sub>multi</sub> 和芯片 ID 信息 FCS,芯片使能缓冲器 150 和 250 的每个都产生内部芯片使能信号。如果给定的半导体芯片将工作,则该半导体芯片的芯片使能缓冲器将产生激活内部芯片使能信号。同时,将不工作的剩余半导体芯片的芯片使能缓冲器将产生去激活内部芯片使能信号。因此,相对于传统的多芯片封装,通过去激活将不工作的芯片,多芯片封装的功耗降低。

在此例子中,半导体芯片的芯片 ID 信息 FCS 指示半导体芯片是高芯片还是低芯片。当多芯片封装包含多于两个芯片时,芯片 ID 信息 FCS 也可以指示多个半导体芯片中半导体芯片的位置。芯片操作模式信息 F<sub>multi</sub> 指示多芯片封装是否工作在多芯片模式。多芯片模式是多个半导体芯片作为一个半导体芯片工作的操作模式。

图 4 是在图 3 中所显示的半导体芯片 100 的示范性的芯片使能缓冲器 150 的电路图。

参照图 4,芯片使能缓冲器 150 包括芯片选择器 151 和信号发生器 157。芯片选择器 151 比较外部地址信号 A24 和芯片 ID 信息 FCS。其后,芯片选择器 151 将上面的比较结果和半导体芯片 100 的芯片操作模式信息 F<sub>multi</sub> 比较并输出其结果。信号发生器 157 产生并提供内部芯片使能信号给半导体芯片 100 以响应外部芯片使能信号 nCE<sub>x</sub> 和由芯片选择器 151 提供的结果。信号发生器 157 将提供激活或去激活内部芯片使能信号给半导体芯片 100。

现在将参照图 4 详细说明示范性的芯片选择器 151 和信号发生器 157 各自的结构和操作。

芯片选择器 151 包括第一反相器 152、XNOR 门 153 和第一 NOR 门 154。

第一反相器 152 反转多芯片封装的芯片操作模式信息 F<sub>multi</sub> 并提供结果给第一 NOR 门 154。芯片操作模式信息 F<sub>multi</sub> 指示是否多芯片封装工作在多芯片模式,并且由焊接(bonding)或熔合(fuse)选项设置。当多芯片封装工作在



多芯片模式时，芯片操作模式信息 Fmulti 可以，例如设置为逻辑“高”（或 1）的值。或者，当多芯片封装工作在单芯片模式时，芯片操作模式信息 Fmulti 可以设置为逻辑“低”（或 0）的值。单芯片模式是单独使用多芯片封装的半导体芯片的操作模式。

XNOR 门 153 接收外部地址信号 A24 和芯片 ID 信息 FCS 并对它们执行逻辑 XNOR 操作。外部地址信号 A24 从多芯片封装的第 24 个地址管脚接收并且表示半导体芯片 100 或半导体芯片 200 的地址的最高有效位（MSB）。例如，当外部地址信号 A24 表示高芯片 - 半导体芯片 100 的 MSB 时，外部地址信号 A24 具有逻辑“高”（或 1）的值。或者，当外部地址信号 A24 表示低芯片 - 半导体芯片 200 的 MSB 时，外部地址信号 A24 具有逻辑“低”（或 0）的值。外部地址信号 A24 从主机接收。

每个半导体芯片具有唯一值用于芯片 ID 信息 FCS，它由焊合或熔合选项设置。例如，半导体芯片 100 的芯片 ID 信息 FCS 设置为逻辑“高”（或 1）的值，而半导体芯片 200 的芯片 ID 信息 FCS 设置为逻辑“低”（或 0）的值。

当多芯片封装配备有四个半导体芯片时，XNOR 门 153 接收 2 比特外部地址信号，该信号由单个的 1 比特的外部地址信号 A23 和 A24 组成，并且使用 2 比特外部地址信号以辨别四个半导体芯片。例如，当在一起时，外部地址信号 A23 和 A24 在表示最高的芯片时可以取值“11”，在表示第二高的芯片时可以取值“10”，在表示第三高的芯片时可以取值“01”，而在表示最低的芯片时可以取值“00”。

芯片 ID 信息 FCS 也可以由多个比特表示，其中使用的比特的数目依据包括在多芯片封装中的芯片的数目。芯片 ID 信息 FCS 可以参考 2 比特外部地址信号，以类似于上述的方式表示各芯片。例如，当多芯片封装配备有四个半导体芯片时，最高的芯片的芯片 ID 信息 FCS 可以取值“11”，第二高的芯片的芯片 ID 信息 FCS 可以取值“10”，第三高的芯片的芯片 ID 信息 FCS 可以取值“01”，而最低的芯片的芯片 ID 信息 FCS 可以取值“00”。

当外部地址信号 A24 等于芯片 ID 信息 FCS 时，XNOR 门 153 输出逻辑“高”（或 1）的值。XNOR 门 153 的逻辑 XNOR 操作确定为工作将被激活的存储器芯片的地址是否等于半导体芯片 100 的唯一 ID 信息。将由 XNOR 门 153 执行的逻辑 XNOR 操作的结果提供给第一 NOR 门 154。

第一 NOR 门 154 接收由第一反相器 152 提供的反转的芯片操作模式信

息 Fmulti 和由 XNOR 门 153 执行的逻辑 XNOR 操作的结果，并且对它们执行逻辑 NOR 操作。将由第一 NOR 门 154 执行的逻辑 NOR 操作的结果提供给信号发生器 157。

信号发生器 157 包括第二 NOR 门 158 和第二反相器 159。第二 NOR 门 158 接收外部芯片使能信号 nCEx 和由第一 NOR 门 154 执行的逻辑 NOR 操作的结果，并且对它们执行逻辑 NOR 操作。第二反相器 159 接收并反转由第二 NOR 门 158 执行的逻辑 NOR 操作的结果。将由第二反相器 159 产生的结果作为内部芯片使能信号 nCE1 输出。

在此示范性的实施例中，只在已经接收到与其芯片 ID 信息等价的外部地址信号 A24 的半导体芯片中产生激活内部芯片使能信号，但是在剩余的半导体芯片中产生去激活内部芯片使能信号。

当多芯片封装工作在多芯片模式时，相对低数量的功率被施加到已经接收到去激活内部芯片使能信号的半导体芯片。被施加相对低功率量的半导体芯片进入待命状态（或低功率状态）。当多芯片封装工作在单芯片模式时，没有功率被施加到已经接收到去激活内部芯片使能信号的半导体芯片。因此，在任何一种操作模式下，此示范性实施例的多芯片封装的功耗小于传统的多芯片封装的功耗。

图 5A 和 5B 是说明图 3 中显示的芯片使能缓冲器的操作的时序图。

参照图 5A 和 5B，当外部芯片使能信号 nCEx 具有逻辑“低”的值时，只在已经接收到与其芯片 ID 信息 FCS 等价的外部地址信号 A24 的半导体芯片中产生“低”（或激活）内部芯片使能信号。根据该芯片使能方案，将激活内部芯片使能信号只施加到将要工作的半导体芯片。将不工作的剩余半导体芯片将接收到去激活内部芯片使能信号。因此，如前所述，该示范性实施例的多芯片封装的功耗小于传统的多芯片封装的功耗。

图 6 是说明根据本发明的示范性实施例的用于使能多芯片封装的芯片的方法的流程图。

参照图 6，所说明的芯片使能方法包含产生内部芯片使能信号 nCE1 和 nCE2，以分别响应外部芯片使能信号 nCEx、外部地址信号 A24 和半导体芯片 100 和 200 的芯片 ID 信息 FCS (1510)。

所述芯片使能方法还包含根据内部芯片使能信号激活所选择的芯片并去激活剩余的芯片 (1570)。例如，当选择半导体芯片 100 用于工作时，提供激

活内部芯片使能信号 nCE1 给半导体芯片 100, 并且提供去激活内部芯片使能信号 nCE2 给半导体芯片 200。或者, 当选择半导体芯片 200 用于激活时, 提供激活内部芯片使能信号 nCE2 给半导体芯片 200, 并且提供去激活内部芯片使能信号 nCE1 给半导体芯片 100。

当多芯片封装工作在多芯片模式时, 接收到去激活内部芯片使能信号的半导体芯片进入待命状态(或低功率模式)。或者, 当多芯片封装工作在单芯片模式时, 没有功率被施加到接收到去激活内部芯片使能信号的半导体芯片上。因此, 使用图 6 的方法, 相对于使用传统的多芯片封装, 可以有效地降低多芯片封装的功耗。

如上所述, 在包含多个共享至少一个 I/O 管脚的半导体芯片的多芯片半导体存储器件中, 相对于传统的多芯片半导体存储器件, 可以有效地降低将不工作的半导体芯片的功率浪费。

尽管已经相对于几个示范性的实施例说明了本发明, 但是不旨在仅限于这些教导的例子。相反, 本领域的普通技术人员将明白, 如由本发明的权利要求定义的本发明的范围包含对说明性的实施例的修改、扩展和变化。

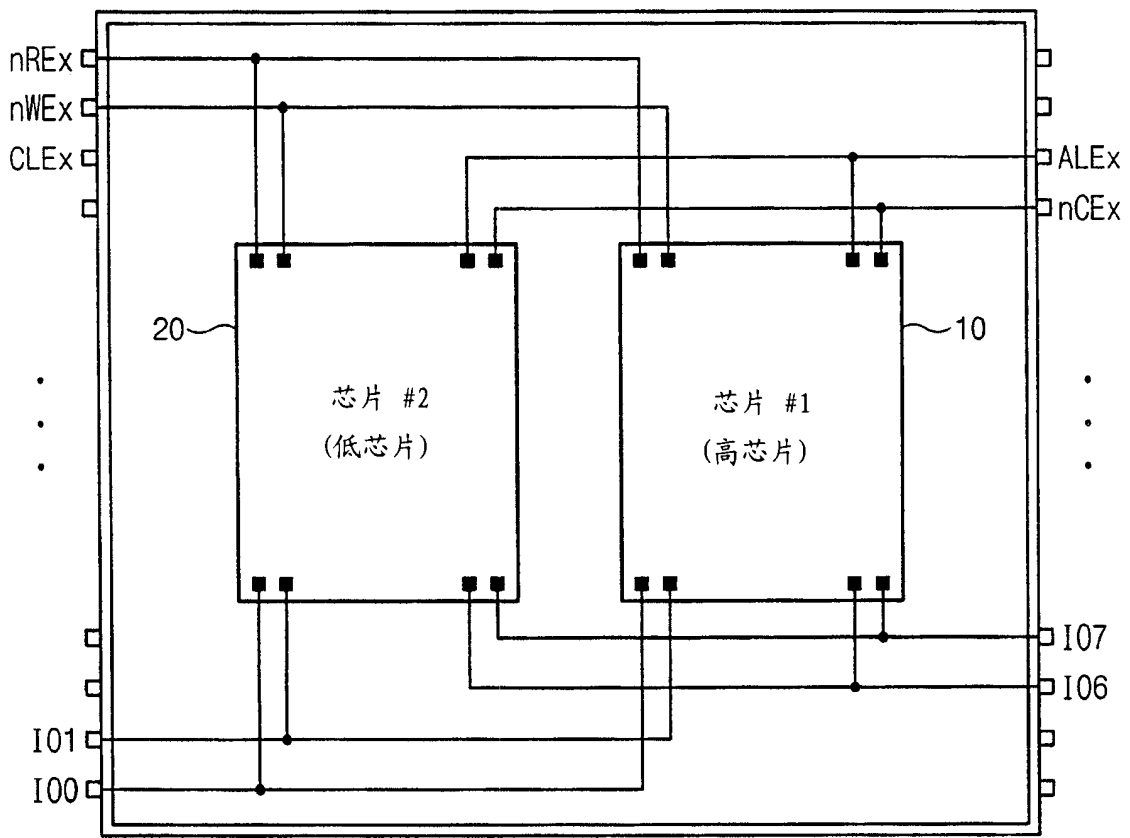


图 1

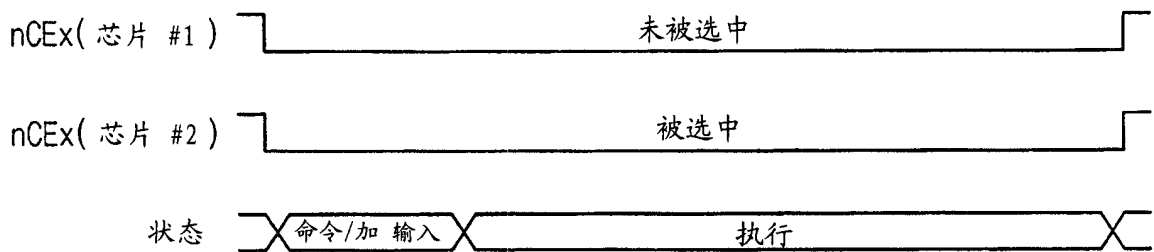


图 2

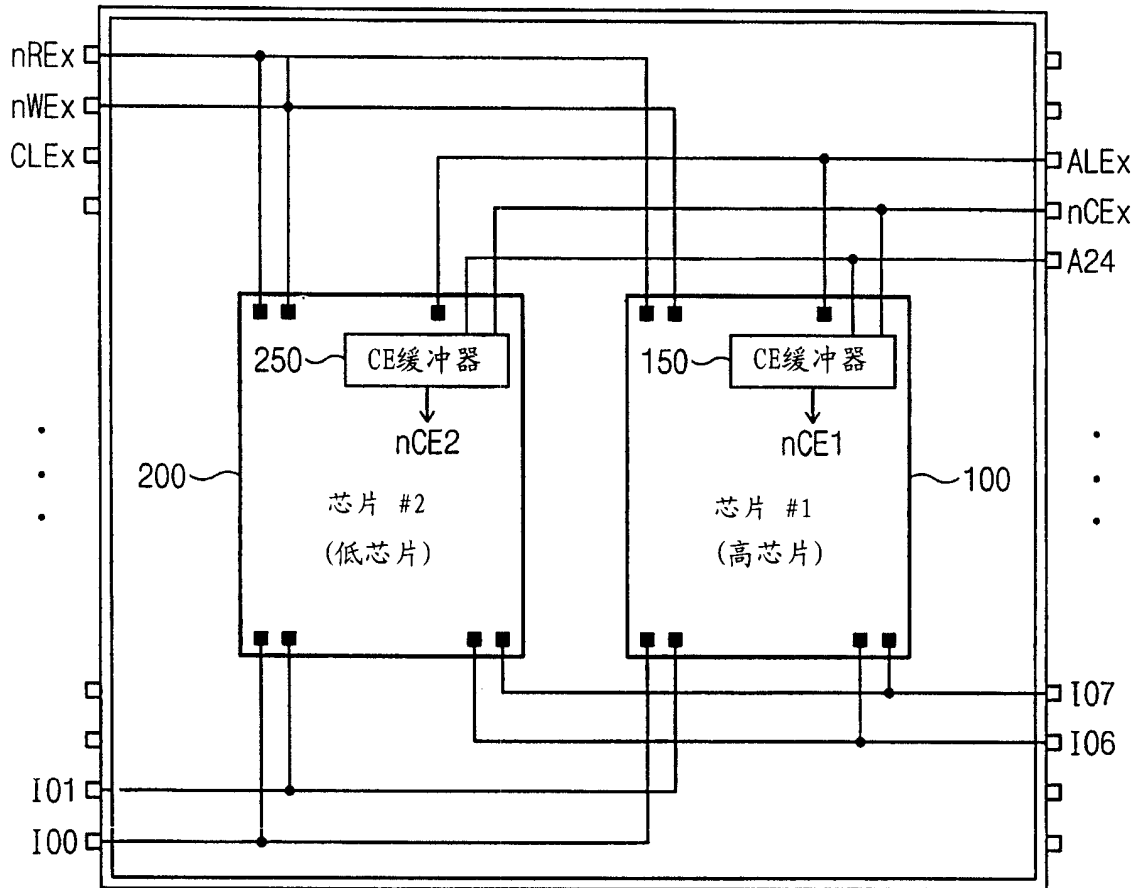


图 3

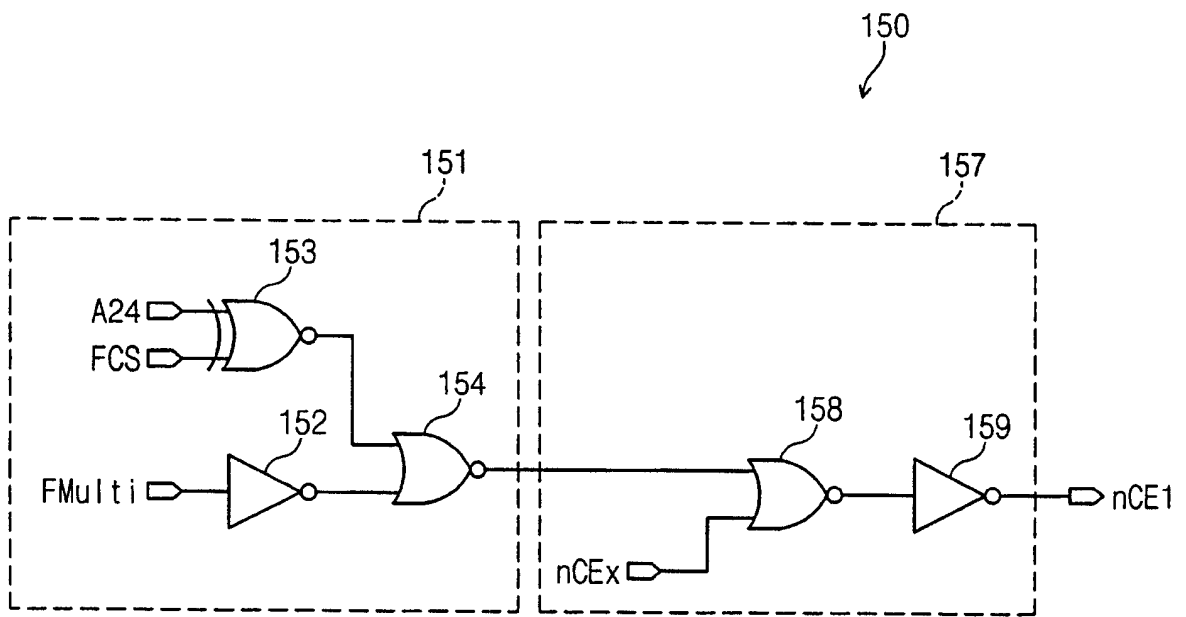


图 4

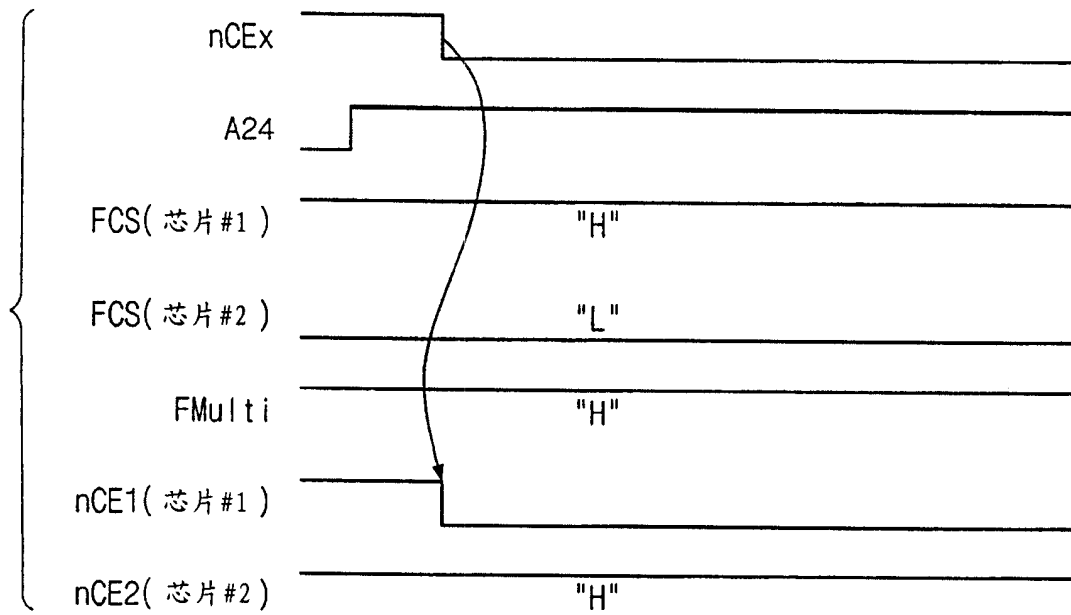


图 5A

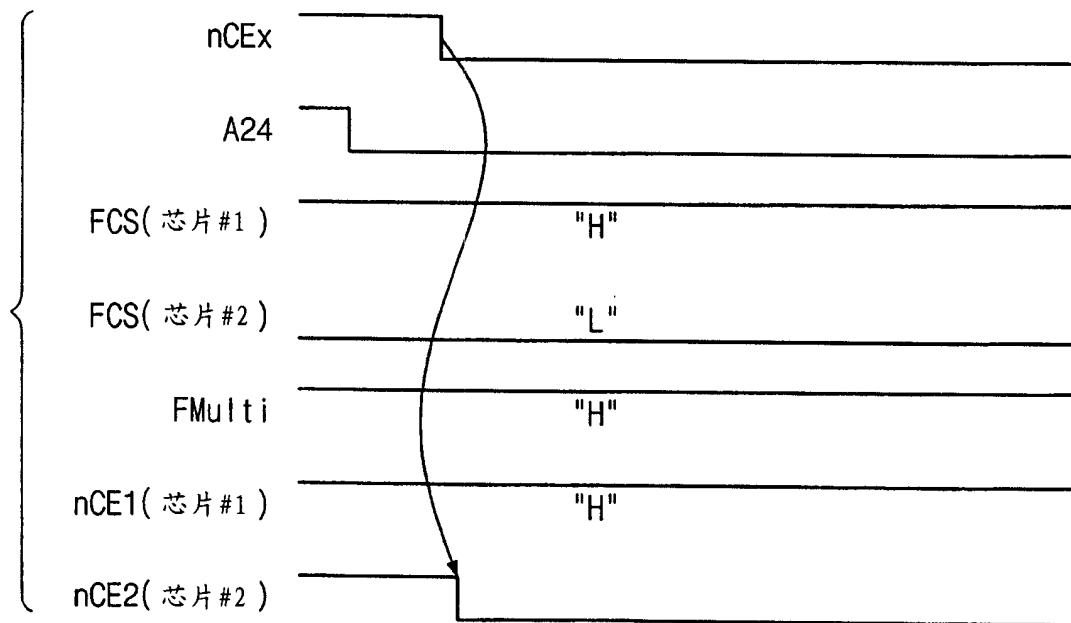


图 5B



图 6