



(21)申請案號：103117143

(22)申請日：中華民國 103 (2014) 年 05 月 15 日

(51)Int. Cl. : G11C7/12 (2006.01)

(30)優先權：2013/05/30 日本 2013-114562

2013/05/30 日本 2013-114564

(71)申請人：半導體能源研究所股份有限公司(日本) SEMICONDUCTOR ENERGY  
LABORATORY CO., LTD. (JP)

日本

(72)發明人：井上広樹 INOUE, HIROKI (JP)；松寄隆德 MATSUZAKI, TAKANORI (JP)；熱海  
知昭 ATSUMI, TOMOAKI (JP)

(74)代理人：林志剛

(56)參考文獻：

TW	201212032	US	6898105B2
US	7440334B2	US	7889553B2
US	8009459B2	US	2011/0134683A1
US	2012/0087170A1	US	2012/0134196A1

審查人員：劉聖尉

申請專利範圍項數：23 項 圖式數：23 共 90 頁

(54)名稱

半導體裝置的驅動方法

DRIVING METHOD OF SEMICONDUCTOR DEVICE

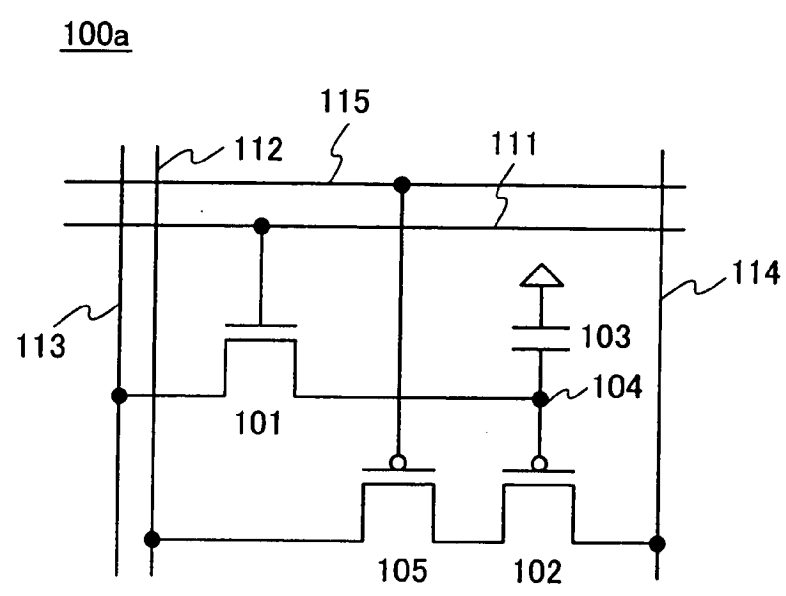
(57)摘要

在包括第一至第三電晶體的記憶單元中，當藉由第一電晶體寫入資料時將位元線的電位設定為 VDD 或 GND。在待命期間，將位元線的電位設定為 GND。在讀出工作中，在位元線的電位設定為 GND 的狀態下，使其處於浮動狀態，將源極線設定為電位  $VDD-\alpha$ ，然後使第三電晶體成為導通狀態。然後，根據第二電晶體的閘極的電位輸出源極線的電位。即使第二電晶體的閘極的電位在待命期間比 VDD 低  $\Delta V$ ，也將  $\alpha$  設定為確實使第二電晶體成為關閉狀態。就是說， $V_{th}+\Delta V<\alpha$ 。這裡， $V_{th}$  是第二電晶體的臨界值。

In a memory cell including first to third transistors, the potential of a bit line is set to VDD or GND when data is written through the first transistor. In a standby period, the potential of the bit line is set to GND. In reading operation, the bit line is brought into a floating state at GND, and a source line is set to a potential  $VDD - \alpha$ ; consequently, the third transistor is turned on. Then, the potential of the source line is output according to the potential of a gate of the second transistor. Note that  $\alpha$  is set so that the second transistor is surely off even when the potential of the gate of the second transistor becomes lower from VDD by  $\Delta V$  in the standby period. That is,  $V_{th} + \Delta V < \alpha$  is satisfied where  $V_{th}$  is the threshold value of the second transistor.

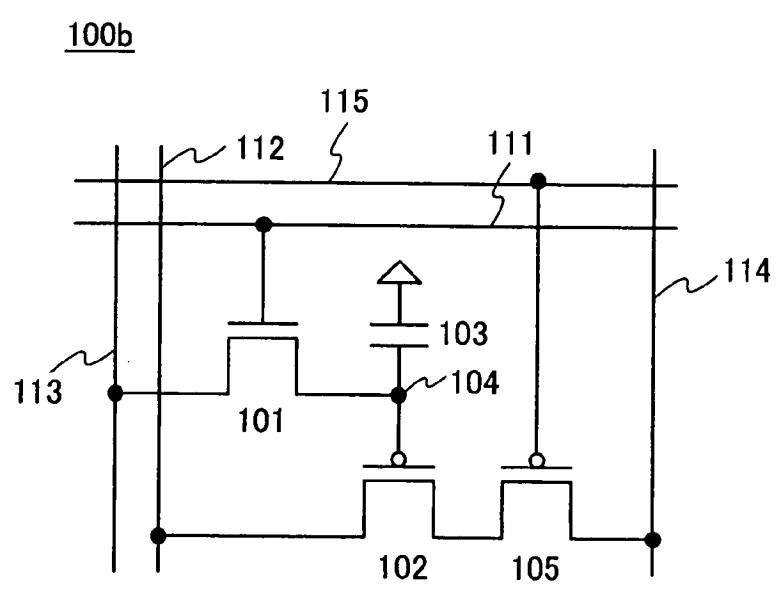
指定代表圖：

圖 1A



- 符號簡單說明：
- 100a . . . 記憶單元
  - 100b . . . 記憶單元
  - 101 . . . 電晶體
  - 102 . . . 電晶體
  - 103 . . . 電容元件
  - 104 . . . 節點
  - 105 . . . 電晶體
  - 111 . . . 佈線
  - 112 . . . 佈線
  - 113 . . . 佈線
  - 114 . . . 佈線
  - 115 . . . 佈線

圖 1B



# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

## 【發明名稱】(中文/英文)

半導體裝置的驅動方法

Driving method of semiconductor device

## 【技術領域】

[0001] 本發明係關於一種物體、方法或製造方法。例如，本發明係關於一種半導體裝置、顯示裝置、發光裝置、蓄電裝置、上述裝置的驅動方法或上述裝置的製造方法。例如，本發明係關於一種包括氧化物半導體的半導體裝置。

## 【先前技術】

[0002] 在專利文獻 1 中記載有包括使用氧化物半導體膜的電晶體及使用單晶矽的電晶體的半導體裝置。並且，還記載有使用氧化物半導體膜的電晶體的關態洩漏電流極小。

[0003]

[專利文獻 1] 日本專利申請公開第 2012-256400 號公報

## 【發明內容】

[0004] 本發明的一個方式提供一種讀出錯誤少的半

導體裝置。或者，本發明的一個方式是提供一種具有高保持特性及高可靠性的半導體裝置的驅動方法。

[0005] 本發明的一個方式的目的是提供一種關態電流 (off-state current) 低 (關態電阻高) 的半導體裝置的驅動方法等。或者，本發明的一個方式的目的是提供一種耗電量低的半導體裝置的驅動方法等。或者，本發明的一個方式的目的是提供一種使用可靠性高的半導體層的半導體裝置的驅動方法等。

[0006] 注意，這些目的的記載不妨礙其他目的的存在。此外，本發明的一個方式並不需要實現所有上述目的。另外，從說明書、圖式、申請專利範圍等的記載可明顯看出這些目的以外的目的，而可以從說明書、圖式、申請專利範圍等的記載中抽出這些以外的目的。

[0007] 本發明的一個方式是一種半導體裝置的驅動方法，該半導體裝置包括： $n$  通道或  $p$  通道電晶體的第一電晶體； $p$  通道電晶體的第二電晶體；以及  $n$  通道或  $p$  通道電晶體的第二電晶體，其中，第一電晶體在通道形成區域中包括氧化物半導體膜，第一電晶體的閘極與寫入字線電連接，第一電晶體的源極和汲極中的一個與寫入位元線電連接，第一電晶體的源極和汲極中的另一個與第二電晶體的閘極電連接，第二電晶體的源極和汲極中的一個與設定為被供應固定的電位  $V1$  的電源線電連接，第二電晶體的源極和汲極中的另一個與讀出位元線電連接，在第二電晶體與讀出位元線之間或者在第二電晶體與電源線之間設

置第三電晶體，第三電晶體的閘極與讀出字線電連接，該半導體裝置的驅動方法包括：寫入資料的工作，其將寫入位元線的電位設定為電位  $V_H$  或電位  $V_L$  ( $V_H > V_L$ )，且使第一電晶體導通；保持資料的工作，其使第一電晶體關閉；讀出資料的工作，其在將讀出位元線的電位設定為第二電位  $V_2$  的狀態下，使其處於浮動狀態之後，使第三電晶體導通。在第二電晶體的臨界值為  $V_{th}$ ，且將寫入位元線的電位設定為電位  $V_H$  時的保持資料的工作與讀出資料的工作之間的保持資料期間之後的第二電晶體的閘極的電位為  $V_3$  ( $< V_H$ ) 的情況下， $V_2 < V_1 < V_3 - V_{th}$ 。

[0008] 本發明的一個方式是一種半導體裝置的驅動方法，該半導體裝置包括： $n$  通道或  $p$  通道電晶體的第一電晶體； $p$  通道電晶體的第二電晶體；以及  $n$  通道或  $p$  通道電晶體的第三電晶體，其中，第一電晶體在通道形成區域中包括氧化物半導體膜，第一電晶體的閘極與寫入字線電連接，第一電晶體的源極和汲極中的一個與位元線電連接，第一電晶體的源極和汲極中的另一個與第二電晶體的閘極電連接，第二電晶體的源極和汲極中的一個與設定為被供應固定的電位  $V_1$  的電源線電連接，第二電晶體的源極和汲極中的另一個與位元線電連接，在第二電晶體與位元線之間或者在第二電晶體與電源線之間設置第三電晶體，第三電晶體的閘極與讀出字線電連接，該半導體裝置的驅動方法包括：寫入資料的工作，其將寫入位元線的電位設定為電位  $V_H$  或電位  $V_L$  ( $V_H > V_L$ )，且使第一電晶

體導通；保持資料的工作，其使第一電晶體關閉；讀出資料的工作，其在將位元線的電位設定為第二電位  $V_2$  的狀態下使其處於浮動狀態，然後使第三電晶體導通。在第二電晶體的臨界值為  $V_{th}$ ，且將位元線的電位設定為  $V_H$  時的保持資料的工作與讀出資料的工作之間的保持資料期間之後的第二電晶體的閘極的電位為  $V_3$  ( $<V_H$ ) 的情況下， $V_2 < V_1 < V_3 - V_{th}$ 。

[0009] 本發明的一個方式是一種半導體裝置的驅動方法，該半導體裝置包括： $n$  通道或  $p$  通道電晶體的第一電晶體； $p$  通道電晶體的第二電晶體； $n$  通道或  $p$  通道電晶體的第三電晶體；以及電容元件，其中，第一電晶體在通道形成區域中包括氧化物半導體膜，第一電晶體的閘極與寫入字線電連接，第一電晶體的源極和汲極中的一個與位元線電連接，第一電晶體的源極和汲極中的另一個與第二電晶體的閘極及電容元件中的一個電極電連接，第二電晶體的源極和汲極中的一個與設定為被供應固定的電位  $V_1$  的電源線電連接，第二電晶體的源極和汲極中的另一個與位元線電連接，在第二電晶體與位元線之間或者在第二電晶體與電源線之間設置第三電晶體，第三電晶體的閘極與讀出字線電連接，電容元件中的另一個電極與電容線電連接，該半導體裝置的驅動方法包括：寫入資料的工作，其將位元線的電位設定為電位  $V_H$  或電位  $V_L$  ( $V_H > V_L$ )，且使第一電晶體導通；保持資料的工作，其使第一電晶體關閉；讀出資料的工作，其在將位元線的電

位設定為第二電位  $V_2$  的狀態下使該位元線處於浮動狀態，然後在使第三電晶體導通的同時使電容線的電位上升至電位  $V_3$ 。

[0010] 此外，在上述驅動方法中，在電位  $V_H$  為電位  $V_1$ ，電位  $V_L$  為電位  $V_2$ ，第二電晶體的臨界值為  $V_{th}$ ，且位元線的電位為電位  $V_H$  時的保持資料的工作與讀出資料的工作之間的保持資料期間之後的第二電晶體的閘極的電位的降低量為  $\Delta V$  ( $0 < \Delta V < V_1$ ) 的情況下， $V_2 + \Delta V + V_{th} < V_3 < V_1 + V_{th}$ 。

[0011] 在本發明的一個方式的半導體裝置中，即使第二電晶體的閘極的電位在資料保持工作中變動也可以防止讀出錯誤。另外，本發明的一個方式的半導體裝置具有高保持特性及高可靠性。

### 【圖式簡單說明】

[0012]

在圖式中：

圖 1A 和圖 1B 是記憶單元的電路圖；

圖 2 是時序圖；

圖 3 是記憶單元的電路圖；

圖 4A 和圖 4B 是記憶單元的電路圖；

圖 5 是時序圖；

圖 6 是半導體裝置的電路塊圖；

圖 7A 和圖 7B 是行驅動器的電路塊圖；

圖 8 是列驅動器的電路塊圖；

圖 9 是半導體裝置的電路塊圖；

圖 10 是列驅動器的電路塊圖；

圖 11 是時序圖；

圖 12A 和圖 12B 是記憶單元的電路圖；

圖 13 是時序圖；

圖 14A 和圖 14B 是記憶單元的電路圖；

圖 15A 和圖 15B 是記憶單元的電路圖；

圖 16 是時序圖；

圖 17 是記憶單元的電路圖；

圖 18A 和圖 18B 是記憶單元的電路圖；

圖 19 是時序圖；

圖 20 是半導體裝置的電路塊圖；

圖 21A 至圖 21C 是電晶體的剖面圖；

圖 22A 至圖 22D 是示出半導體裝置的製程的剖面圖；

圖 23A 至圖 23F 是電子裝置。

### 【實施方式】

[0013] 下面，參照圖式對本發明的實施方式進行說明。注意，本發明不侷限於以下說明。所屬技術領域的普通技術人員可以很容易地理解一個事實就是，其方式及詳細內容在不脫離本發明的精神及其範圍的情況下可以被變



換為各種各樣的形式。因此，本發明不應該被解釋為僅限定在以下所示的實施方式所記載的內容中。注意，在參照圖式對本發明的結構進行說明時，在不同的圖式中也共同使用相同的元件符號表示相同的部分。

[0014] 在本說明書的圖式中，根據其功能對構成要素進行分類而示出為彼此獨立的方塊的方塊圖，但是，實際上的構成要素難以根據其功能完全劃分，而一個構成要素會具有多個功能。

[0015] 注意，電晶體的源極是指用作活性層的半導體的一部分的源極區或與上述半導體電連接的源極電極。與此同樣，電晶體的汲極是指用作活性層的半導體的一部分的汲極區域或與上述半導體電連接的汲極電極。閘極是指閘極電極。

[0016] 注意，可以對某一實施方式中所說明的內容（也可以是其一部分的內容）應用、組合或置換該實施方式所說明的其他內容（也可以是其一部分的內容）、和/或在一個或多個其他實施方式中所說明的內容（也可以是其一部分的內容）。

[0017] 注意，圖式是示意性地示出理想的例子，因此，本發明不侷限於圖式所示的形狀或值等。例如，可以包括製造程序所引起的形狀偏差、誤差所引起的形狀偏差、雜訊所引起的信號、電壓或電流的偏差、定時誤差所引起的信號、電壓或電流的偏差等。

[0018] 注意，為了方便起見，附加了第一、第二等

序數詞，而其並不表示製程順序或疊層順序。因此，例如也可以將“第一”適當地調換為“第二”或“第三”等來進行說明。此外，有時本說明書等所記載的序數詞與用來特定本發明的一個方式的序數詞不一致。

[0019]

#### 實施方式 1

圖 1A 示出記憶單元 100a。注意，在本說明書中，由於記憶單元是指具有記憶體功能的半導體裝置，所以也可以具有記憶體功能以外的功能。記憶單元 100a 包括電晶體 101、電晶體 102、電容元件 103 以及電晶體 105。

[0020] 電晶體 101 在通道形成區域中包括氧化物半導體膜。因此，電晶體 101 具有關態電流極低（關態電阻極高）的特性。電晶體 101 由於當寫入資料時成為導通狀態所以也稱為寫入電晶體。電晶體 101 是 n 通道或 p 通道電晶體，以下，假設電晶體 101 是 n 通道電晶體而進行說明。

[0021] 電晶體 101 的閘極與佈線 111 電連接。佈線 111 能夠用作寫入字線。此外，在電晶體 101 是薄膜電晶體的情況下，也可以在薄膜半導體層的兩個表面上具有閘極電極。此外，也可以採用這些閘極電極中的一個一直保持固定的電位的結構。

[0022] 電晶體 101 的源極和汲極中的一個與佈線 113 電連接。佈線 113 能夠用作寫入位元線。

[0023] 電晶體 101 的源極和汲極中的另一個與電容元件 103 的一個電極電連接。電容元件 103 的另一個電極較佳地保持為固定的電位。此外，電晶體 101 的源極和汲極中的另一個與電晶體 102 的閘極電連接。此外，有時也可以意圖性地不設置電容元件。

[0024] 電晶體 102 是 p 通道電晶體。電晶體 102 的通道形成區域可以使用氧化物半導體、矽等各種材料形成。電晶體 102 的源極和汲極中的一個與電晶體 105 的源極和汲極中的一個電連接。電晶體 102 的源極和汲極中的另一個與佈線 114 電連接。

[0025] 電晶體 105 的源極和汲極中的另一個與佈線 112 電連接。佈線 112 能夠用作讀出位元線。電晶體 105 的閘極與佈線 115 電連接。電晶體 105 用來當讀出資料時使電晶體 102 與佈線 112 導通，也稱為選擇電晶體。

[0026] 佈線 114 能夠用作源極線或電源線。佈線 114 較佳地保持為固定的電位。注意，也可以當開啟／關閉電源時變動電位。

[0027] 此外，如圖 1B 所示的記憶單元 100b 那樣，也可以將電晶體 105 的源極及汲極配置在電晶體 102 與佈線 114 之間。

[0028] 在圖 1A 的記憶單元 100a 中，資料作為節點 104 的電位被保持。若電晶體 101 的關態電阻充分高，則可以在長期保持資料。在理論上，資料的保持期間根據節點 104 與其他節點之間的所有電容（包括電容元件 103）

以及節點 104 與其他節點之間的所有電阻（包括電晶體 101 的關態電阻）決定。

[0029] 例如，當電容為 30fF 且電阻為  $1 \times 10^{22} \Omega$  時，時間常數為 9.5 年，在十年之後，節點 104 的電位（該電位與成為標準的電位之差）降低到最初的 35% 左右。需要即使在如上述那樣電位降低時，也能無誤地讀出資料的讀出方法。

[0030] 以下，參照圖 2 說明對記憶單元 100a 寫入資料的工作及從記憶單元 100a 讀出資料的工作。此外，電晶體 102 及電晶體 105 的臨界值低於 0 且高於  $-V_{DD}$ 。

[0031]

（寫入工作）

資料的寫入在使作為寫入位元線的佈線 113 的電位成為對應於資料的電位之後，使電晶體 101 從導通變為關閉來進行。基本上與對 DRAM 寫入資料的方法相同。電晶體 101 由於其臨界值等與電晶體 102 及電晶體 105 不同，所以這裡當使電晶體 101 導通時，將其閘極的電位（佈線 111 的電位）設定為  $V_{OS\_H}$ ，當使電晶體 101 關閉時，其閘極的電位設定為  $V_{OS\_L}$ ，注意，也可以滿足  $V_{OS\_L} = GND$  ( $< V_{DD}$ )。

[0032] 這裡，當寫入資料“1”（二值之一）時，將佈線 113 的電位設定為 GND，而當寫入資料“0”（二值之另一）時將佈線 113 的電位設定為 VDD。在圖 2 的時間 T1 佈線 111 的電位開始上升，電晶體 101 成為導通狀

態。其結果是，節點 104 的電位成為對應於資料的電位。例如，當寫入資料“1”時，節點 104 的電位成為 GND，當寫入資料“0”時成為 VDD。在時間 T2 佈線 111 的電位開始降低，電晶體 101 成為關閉狀態，寫入結束。注意，當電晶體 101 成為關閉狀態時，因電晶體 101 的閘極（及佈線 111）與節點 104 之間的電容耦合而節點 104 的電位稍微降低。

[0033] 注意，雖然當寫入時佈線 112、佈線 114、佈線 115 的電位可以是任何電位，但較佳的是在佈線 112 與佈線 114 之間不使電流流過的電位。例如，當在佈線 112 與佈線 114 之間有電位差時，將佈線 115 的電位設定為使電晶體 105 成為關閉狀態的電位即可。例如，當佈線 112 及佈線 114 的電位都是 GND 以上且 VDD 以下時，將佈線 115 設定為 VDD 即可。或者，也可以消除佈線 112 與佈線 114 之間的電位差。這裡，將佈線 112、佈線 114、佈線 115 都設定為 GND。

[0034]

（保持工作）

當保持資料時，使電晶體 101 成為關閉狀態。圖 2 中的時間 T3 至時間 T4 示出關閉電源狀態下的保持資料的期間（待命期間）。此外，在待命期間所有佈線的電位成為同一（這裡，GND）。這裡，當節點 104 的電位比 GND 高時，節點 104 的電位逐漸降低。

[0035] 當寫入有資料“1”時，由於節點 104 的電位

近於 GND，所以變動不成問題。但是，當寫入有資料“0”時，最初節點 104 的電位值近於 VDD，但隨著時間經過該電位降低。將電位的降低量稱為  $\Delta V (>0)$ 。換言之，保持資料期間後的節點 104 的電位（電晶體 102 的閘極的電位）為  $(VDD - \Delta V)$ 。在上述條件中，若保持期間是一年左右，則電位的降低量為 10% 左右，但在十年之後，如上所述那樣會降低到最初的 35%。就是說， $\Delta V = 0.65 \times VDD$ 。這裡，在保證資料保持的期間過後，在節點 104 的電位值成為最低值時，成為  $(VDD - \Delta V_{MAX})$ 。

[0036]

（讀出工作）

作為讀出資料的工作，使佈線 112 與佈線 114 的電位不同，然後使電晶體 105 成為導通狀態，由此判斷在電晶體 102 的源極與汲極之間電流是否流過。藉由由於節點 104 的電位電晶體 102 的導通狀態不同，因此可以判斷被寫入的資料。

[0037] 明確而言，將佈線 115 的電位設定為適當的值（這裡，VDD），而使電晶體 105 成為關閉狀態，且將佈線 114 的電位設定為  $(VDD - \alpha)$  ( $>GND$ )。注意， $\alpha$  是 0 以上且低於 VDD。將在後面說明詳細內容。將佈線 112 預充電為適當的電位（這裡，GND），然後使其處於浮動狀態。並且，在時間 T5 將佈線 115 的電位設定為適當的值（這裡，GND）而使電晶體 105 成為導通狀態。

[0038] 當寫入有資料“1”時，由於節點 104 的電位

近於 GND，所以電晶體 102 處於導通狀態，佈線 112 的電位成為  $(VDD-\alpha)$ 。相比之下，當寫入有資料“0”時，電晶體 102 處於關閉狀態，佈線 112 的電位幾乎不變動。

[0039] 此時成為問題的是待命期間的電位降低。當寫入有資料“0”時，節點 104 的最低電位是  $(VDD-\Delta V_{MAX})$ ，此時，根據佈線 114 的電位電晶體 102 成為導通狀態，佈線 112 的電位成為  $(VDD-\alpha)$ 。

[0040] 在此情況下，雖然寫入有資料“0”，但佈線 112 的電位成為寫入有資料“1”的情況相同，判斷錯寫入有資料“1”。

[0041] 因此，需要將佈線 114 的電位設定為不使電晶體 102 成為導通狀態的電位。也就是說，當電晶體 102 的臨界值為  $V_{th}$  時， $V_{th}+\Delta V_{MAX}<\alpha$  即可。

[0042] 例如，當  $VDD=+1.8[V]$ 、 $GND=0[V]$ 、 $V_{th}=-0.5[V]$ 、 $\Delta V_{MAX}=1.2[V]$  時， $\alpha>0.7[V]$  即可。在上述條件下，資料“0”時的佈線 112 的電位仍是  $0[V]$ ，資料“1”時的電位上升到佈線 114 的電位（低於  $+1.1[V]$ ）。或者，當  $VDD=+0.9[V]$ 、 $GND=0[V]$ 、 $V_{th}=-0.4[V]$ 、 $\Delta V_{MAX}=0.6[V]$  時， $\alpha>0.2[V]$  即可。在上述條件下，資料“0”時的佈線 112 的電位仍是  $0[V]$ ，資料“1”時的電位上升到佈線 114 的電位（低於  $+0.7[V]$ ）。

[0043] 注意，若採用上述條件，則不管  $\Delta V$ （注意， $0<\Delta V<\Delta V_{MAX}$ ）是任何值，也不會發生讀出錯誤。

[0044] 像這樣，在待命期間中，在節點 104 的電位比最初降低 60%以上的情況（成為最初電位的 40%以下的情況）下，較佳的是使佈線 114 的電位低於 VDD。

[0045] 此外，當資料為“0”時最初寫入的電位是 VDD，但輸出到佈線 112 的電位卻是 GND。需要注意如上述那樣使資料反轉而輸出。此外，由於輸出電位比 VDD 低，所以較佳地使用反相器或後述的感測放大器放大。

[0046] 從上述說明可知，佈線 114 的電位當讀出資料時需要設定為特定值。此外，如圖 3 所示，兩個記憶單元 100a[1]及 100a[2]共同使用一個佈線 114。此外，也可以是三個以上的記憶單元共同使用一個佈線。另外，佈線 114 除了與佈線 112 平行以外，既可以與直角等其他角度交叉，又可以以矩陣狀設置。

[0047]

實施方式 2

圖 4A 示出記憶單元 110a。記憶單元 110a 包括電晶體 101、電晶體 102、電容元件 103、電晶體 105。這些構成要素與實施方式 1 所說明的構成要素相同。

[0048] 電晶體 101 的閘極與佈線 111 電連接。電晶體 101 的源極和汲極中的一個與佈線 113 電連接。電晶體 101 的源極和汲極中的另一個與電容元件 103 的一個電極電連接。電晶體 101 的源極和汲極中的另一個也與電晶體 102 的閘極電連接。



[0049] 電晶體 102 的源極和汲極中的一個與電晶體 105 的源極和汲極中的一個電連接。電晶體 102 的源極和汲極中的另一個與佈線 114 電連接。電晶體 105 的源極和汲極中的另一個與佈線 113 電連接。電晶體 105 的閘極與佈線 115 電連接。

[0050] 佈線 111、佈線 114、佈線 115 的功能與實施方式 1 所說明的功能相同。在記憶單元 110a 中，佈線 113 起佈線 112 相同的作用。就是說，在記憶單元 110a 中，佈線 113 又是寫入位元線，又是讀出位元線。

[0051] 此外，如圖 4B 所示的記憶單元 110b 那樣，也可以將電晶體 105 配置在電晶體 102 與佈線 114 之間。

[0052] 以下參照圖 5 說明對記憶單元 110a 寫入資料的工作及從記憶單元 110a 讀出資料的工作。此外，電晶體 102 及電晶體 105 的臨界值低於 0 且高於  $-V_{DD}$ 。關於與實施方式 1 相同的操作有時省略詳細的說明。

[0053]

(寫入工作)

從時間  $T_1$  開始使佈線 111 的電位上升，成為  $V_{OS\_H}$ ，使電晶體 101 成為導通狀態。此外，將佈線 113 的電位設定為 GND 或 VDD。與實施方式 1 同樣地，當寫入資料“1”時，將佈線 113 的電位設定為 GND，而當寫入資料“0”時，將佈線 113 的電位設定為 VDD。

[0054] 此外，此時較佳的是在佈線 113 與佈線 114 之間電流不流過。例如，也可以消除佈線 113 與佈線 114

之間的電位差。就是說，較佳的是與佈線 113 同樣地使佈線 114 的電位根據資料變動。

[0055] 更有效的方法是將佈線 115 的電位設定為使電晶體 105 成為關閉狀態的電位。這裡，由於佈線 113 及佈線 114 的電位是  $VDD$  以下，所以將佈線 115 的電位設定為  $VDD$ 。注意，在本實施方式中，佈線 114 的電位在待命期間以外保持為  $(VDD-\alpha)$ 。此外， $\alpha$  與實施方式 1 所說明的  $\alpha$  相同。

[0056]

(保持工作)

使電晶體 101 成為關閉狀態。圖 5 的時間 T3 至時間 T4 示出待命期間。此外，在待命期間所有佈線的電位成為同一 (這裡，GND)。

[0057]

(讀出工作)

佈線 114 的電位由於待命期間結束所以成為  $(VDD-\alpha)$ 。首先，將佈線 115 的電位設定為  $VDD$ ，而使電晶體 105 成為關閉狀態，並且將佈線 113 預充電為 GND，然後使其處於浮動狀態。然後，將佈線 115 的電位設定為 GND 而使電晶體 105 成為導通狀態。

[0058] 藉由將  $\alpha$  設定為實施方式 1 所示的  $\alpha$ ，當寫入有資料“1”時，由於節點 104 的電位近於 GND，所以電晶體 102 處於導通狀態，佈線 113 的電位成為  $(VDD-\alpha)$ 。相比之下，當寫入有資料“0”時，電晶體

102 處於關閉狀態，佈線 113 的電位幾乎不變動。

[0059] 本實施方式所示的結構可以與其他實施方式所示的結構適當地組合而實施。

[0060]

實施方式 3

在本實施方式中，參照圖 6、圖 7A、圖 8 至圖 11 說明能夠應用圖 1A、圖 1B、圖 3、圖 4A 及圖 4B 所說明的記憶單元的半導體裝置的例子。

[0061]

(半導體裝置 200 的結構例子)

圖 6 是示出包括在圖 4A 中說明的記憶單元 110a 的半導體裝置 200 的結構例子的方塊圖。

[0062] 圖 6 所示的半導體裝置 200 包括記憶單元陣列 201、行驅動器 202、列驅動器 203、電源線控制電路 204。此外，在圖 6 中，作為佈線 111、佈線 113、佈線 114、佈線 115 示出第  $(m-1)$  行的佈線 111 $[m-1]$ 、佈線 115 $[m-1]$ 、第  $m$  行的佈線 111 $[m]$ 、佈線 115 $[m]$ 、第  $(n-1)$  列的佈線 113 $[n-1]$ 、第  $n$  列的佈線 113 $[n]$ 、在第  $(n-1)$  列及第  $n$  列中共同使用的佈線 114 $[n-1/n]$ 。

[0063] 在圖 6 所示的記憶單元陣列 201 中設置有矩陣狀的圖 4A 所說明的記憶單元 110a。此外，如圖 3 的說明，相鄰的兩個記憶單元 110a 共同使用一個佈線 114。另外，記憶單元 110a 所具有的各結構的說明與圖 4A 相同，所以援用圖 4A 中的說明而在此省略其說明。

[0064] 行驅動器 202 是具有選擇性地使記憶單元 110a 的各行中的電晶體 101、電晶體 105 成為導通狀態的功能的電路。明確而言，行驅動器 202 是對佈線 111、佈線 112、佈線 115 供應信號的電路。藉由具備行驅動器 202，半導體裝置 200 可以按行選擇對記憶單元 110a 寫入資料及從記憶單元 110a 讀出資料。

[0065] 列驅動器 203 是具有如下功能的電路：將記憶單元 110a 的佈線 113 的電位預充電的功能；使佈線 113 處於電浮動狀態的功能；對佈線 113 供應相應於資料的電位的功能；以及將對應於保持在記憶單元 110a 中的資料的佈線 113 的電位輸出到外部的功能。藉由具備列驅動器 203，半導體裝置 200 可以進行對記憶單元 110a 寫入資料以及從記憶單元 110a 讀出資料。

[0066] 電源線控制電路 204 是具有如下功能的電路：當從記憶單元 110a 讀出資料時，將佈線 114 的電位設定為適應於讀出工作的值（相當於實施方式 1 的電位（ $VDD-\alpha$ ））。此外，當對半導體裝置 200 供應電源時，在佈線 114 的電位被設計為一直成為適應於讀出的值的情況下，可以用恆電壓電源代替。

[0067]

（行驅動器 202 的結構例子）

圖 7A 是示出圖 6 所說明的行驅動器 202 的結構例子的方塊圖。

[0068] 圖 7A 所示的行驅動器 202 包括解碼器 205 及

控制電路 206。控制電路 206 按行設置。在第一行中設置有控制電路 206[1]，在第二行中設置有控制電路 206[2]。此外，各行的控制電路 206 與佈線 111、佈線 115 連接。

[0069] 解碼器 205 是具有輸出用來選擇對應於位址信號 Address 的行的信號的功能的電路。

[0070] 控制電路 206 是具有將對應於寫入控制信號 WCONT 或讀出控制信號 RCONT 的信號輸出到解碼器 205 所選擇的行中的佈線 111、佈線 115 的功能的電路。

[0071]

(列驅動器 203 的結構例子)

圖 8 是示出圖 6 所說明的列驅動器 203 的一部分的方塊圖。

[0072] 圖 8 所示的列驅動器 203 包括寫入電路 207、放大電路 208、開關電路 209、電晶體 210。上述各電路及電晶體按列設置。此外，各列的開關電路 209、電晶體 210 與佈線 113 連接。

[0073] 寫入電路 207 是將對應於輸入到該列的資料  $D_{IN}$  的電位輸出到開關電路 209 的電路。

[0074] 放大電路 208 是放大佈線 113 的電位而輸出資料  $D_{OUT}$  的電路。例如，可以使用反相器或感測放大器等。較佳的是放大電路 208 的工作由讀出控制信號 RCONT 控制。例如，可以使用時脈反相器。

[0075] 開關電路 209 是具有連接寫入電路 207 與佈線 113 的功能以及使佈線 113 處於電浮動狀態的功能的電

路。明確而言，藉由寫入控制信號 WCONT 使佈線 113 與寫入電路 207 連接或者使佈線 113 處於電浮動狀態。在圖式中示出具備類比開關及反相器的電路，但不侷限於此。

[0076] 電晶體 210 是具有將預充電電位 GND 供應給佈線 113 的功能以及使佈線 113 處於電浮動狀態的功能的電路。明確而言，電晶體 210 是藉由預充電控制信號 Pre\_EN 成為導通狀態，並且將預充電電位 GND 供應給佈線 113，然後成為關閉狀態，來使佈線 113 處於電浮動狀態的開關。藉由具備電晶體 210，列驅動器 203 在將預充電電位 GND 供應給佈線 113 之後，可以使佈線 113 保持為電浮動狀態。

[0077] 此外，也可以使用解碼器以便分配按列輸入的資料  $D_{IN}$  或彙集從每個列輸出的資料  $D_{OUT}$ 。或者，可以使用移位暫存器等串列輸入/並行輸出電路（或者並行輸入/串行輸出電路）。

[0078]

（半導體裝置 220 的結構例子）

圖 9 是示出包括圖 4A 所說明的記憶單元 110a 的半導體裝置 220 的結構例子的方塊圖。

[0079] 圖 9 所示的半導體裝置 220 包括記憶單元陣列 211a、記憶單元陣列 211b、行驅動器 212、列驅動器 213。較佳的是記憶單元陣列 211a 的規模與記憶單元陣列 211b 的規模大致相同。

[0080] 在圖 9 所示的記憶單元陣列 211a、記憶單元

陣列 211b 中設置有矩陣狀的圖 4A 所說明的記憶單元 110a。此外，如圖 3 的說明，相鄰的兩個記憶單元 110a 共同使用一個佈線 114。另外，記憶單元 110a 所具有的各結構的說明與圖 4A 相同，援用圖 4A 中的說明而在此省略其說明。

[0081] 此外，在圖 9 中，作為佈線 111、佈線 113、佈線 114、佈線 115 示出第  $k$  行的佈線 111[ $k$ ]、佈線 115[ $k$ ]、第  $(m-1)$  行的佈線 111[ $m-1$ ]、佈線 115[ $m-1$ ]、第  $m$  行的佈線 111[ $m$ ]、佈線 115[ $m$ ]、第  $(n-1)$  列的佈線 113a[ $n-1$ ]、佈線 113b[ $n-1$ ]、第  $n$  列的佈線 113a[ $n$ ]、佈線 113b[ $n$ ]、在第  $(n-1)$  列及第  $n$  列中共同使用的佈線 114a[ $n-1/n$ ]、佈線 114b[ $n-1/n$ ]。再者，還示出在這些佈線的交點處存在的記憶單元 110a。

[0082] 佈線 111[ $k$ ]、佈線 115[ $k$ ]、佈線 113b[ $n-1$ ]、佈線 113b[ $n$ ]、佈線 114b[ $n-1/n$ ]設置在記憶單元陣列 211b 中，佈線 111[ $m-1$ ]、佈線 115[ $m-1$ ]、佈線 111[ $m$ ]、佈線 115[ $m$ ]、佈線 113a[ $n-1$ ]、佈線 113a[ $n$ ]、佈線 114a[ $n-1/n$ ]設置在記憶單元陣列 211a 中。

[0083] 行驅動器 212 具有與圖 6 及圖 7A 所說明的行驅動器 202 相同的結構即可。

[0084] 列驅動器 213 是具有如下功能的電路：將佈線 113a、佈線 113b 的電位設定為對應於資料的電位；對佈線 113a 及佈線 113b 進行預充電；使佈線 113a 及佈線 113b 處於電浮動狀態；將佈線 114a、佈線 114b 設定為特

定的電位；以及放大佈線 113a 與佈線 113b 之間的電位差。藉由具備列驅動器 213，半導體裝置 220 可以進行對記憶單元 110a 寫入資料以及從記憶單元 110a 讀出資料。

[0085] 圖 10 是示出圖 9 所說明的列驅動器 213 的結構例子的方塊圖。圖 10 所示的列驅動器 213 包括開關電路 214、電晶體 215a、電晶體 215b、電晶體 216a、電晶體 216b、感測放大器 217。注意，雖然未圖示，但列驅動器 213 具有將適應於讀出的電位（相當於實施方式 1 所說明的電位（ $V_{DD}-\alpha$ ））供應給佈線 114a、佈線 114b 的功能。

[0086] 各列的開關電路 214、電晶體 215a、電晶體 215b、電晶體 216a、電晶體 216b 與佈線 113a 和佈線 113b 中的一個或兩個連接。感測放大器 217 與佈線 113a、佈線 113b 連接。

[0087] 開關電路 214 是具有如下功能的電路：控制佈線 113a 和佈線 113b 中的一個或兩個與有關資料的輸入輸出的電路（未圖示）之間的導通；以及使佈線 113a 或佈線 113b 處於電浮動狀態。例如，具備類比開關及反相器。可以藉由開關控制信號 SW1 及開關控制信號 SW2 的控制對佈線 113a 或佈線 113b 輸入資料  $D_{IN}$ 、從佈線 113a 或佈線 113b 輸出資料  $D_{OUT}$ 、使佈線 113a 和佈線 113b 中的一個或兩個處於電浮動狀態。

[0088] 電晶體 215a、電晶體 215b 分別具有將參考電位 VRF 供應給佈線 113a、佈線 113b 的功能，電晶體



216a、電晶體 216b 分別具有將電位 GND 供應給佈線 113a、佈線 113b 的功能。

[0089] 作為參考電位 VRF 例如可以使用電位 VDD 與電位 GND 的平均值（以下稱為  $VDD/2$ ）或將電位 VDD 與電位 GND 之差分成 N 等份的值與電位 GND 的值（ $=GND + (VDD - GND) / N$ （ $N=3、4、5、\dots$ ），以下稱為  $VDD/N$ ）相加而得的值等。此外，作為適應於讀出的電位（ $VDD - \alpha$ ）只要滿足實施方式 1 的條件且為比參考電位 VRF 高的電位即可，可以使用  $VDD/N$  等。例如，作為參考電位 VRF 可以使用  $VDD/4$ ，作為電位（ $VDD - \alpha$ ）可以使用  $VDD/2$ 。

[0090] 藉由預充電控制信號 Pre\_EN1 及預充電控制信號 Pre\_EN2 的控制可以對佈線 113a 和佈線 113b 中的一個供應參考電位 VRF，而對另一個供應電位 GND。此外，不會發生預充電控制信號 Pre\_EN1 和預充電控制信號 Pre\_EN2 同時成為活動狀態的情況。

[0091] 例如，若預充電控制信號 Pre\_EN1 成為活動狀態，則佈線 113a 成為參考電位 VRF，佈線 113b 被預充電為電位 GND。與此相反，若預充電控制信號 Pre\_EN2 成為活動狀態，則佈線 113a 成為電位 GND，佈線 113b 被預充電為參考電位 VRF。

[0092] 在預充電結束之後，藉由使預充電控制信號 Pre\_EN1、預充電控制信號 Pre\_EN2 成為非活動狀態，電晶體 215a、電晶體 215b、電晶體 216a、電晶體 216b 成為

關閉狀態，從而可以使佈線 113a 及佈線 113b 處於電浮動狀態。

[0093] 感測放大器 217 具有放大佈線 113a 與佈線 113b 之間的電位差的功能。當將感測放大器 217 的電源電位設定為 VDD 及 GND 時，在放大後，佈線 113a 和佈線 113b 中的一個的電位成為 VDD，而另一個的電位成為 GND。

[0094]

（半導體裝置 220 的驅動方法的具體例子）

參照圖 11 說明半導體裝置 220 的驅動方法的一個例子。圖 11 示出佈線 111[m]、佈線 115[m]、佈線 113a[n]、佈線 113b[n]、佈線 114[n-1/n]、第 m 行第 n 列的記憶單元 110a[m, n]的節點 104[m, n]的電位變動以及開關控制信號 SW1、開關控制信號 SW2、預充電控制信號 Pre\_EN1、預充電控制信號 Pre\_EN2 的狀態。此外，參考電位 VRF 是 VDD/4。

[0095] 在快到時間 T1 之前開關控制信號 SW1 成為活動狀態（電位 VDD），由此使有關資料的輸入的電路（未圖示）與記憶單元陣列 211a 的佈線 113a 連接。佈線 113a[n]成為對應於資料的電位。注意，在圖式中，在時間 T1 的佈線 113b[n]的電位是 GND，但此時佈線 113b[n]處於浮動狀態，且因所連接的電晶體的洩漏電流等，實際上在很多情況下成為 VDD 與 GND 之間的電位。

[0096] 然後，行驅動器 212 選擇佈線 111[m]，在時

間 T1 至時間 T2 之間，電晶體 101 成為導通狀態，對記憶單元 110a[m, n]寫入資料。

[0097] 然後，在時間 T3 至時間 T4 之間，半導體裝置 220 進入待命期間，在記憶單元 110a[m, n]寫入有資料“0”的情況下，節點 104[m, n]的電位降低到 ( $VDD-\Delta V$ )。

[0098] 在待命期間結束後，進行記憶單元 110a[m, n]的資料的讀出。首先，使佈線 113a[n]及佈線 113b[n]分別被預充電為電位 GND、電位  $VDD/4$ 。為了使佈線預充電，使預充電控制信號 Pre\_EN1 為活動狀態（電位 VDD）。此外，在該實例中，將佈線 114 的電位設定為  $VDD/2$ 。此外， $V_{th}+\Delta V_{MAX}<VDD/2$ 。

[0099] 在預充電結束後，行驅動器 212 選擇佈線 115[m]，從時間 T5 開始電晶體 105 成為導通狀態。當節點 104[m, n]的電位是 GND 時，佈線 113a[n]的電位成為  $VDD/2$ 。相比之下，當節點 104[m, n]的電位是 ( $VDD-\Delta V$ ) 時，佈線 113a[n]的電位仍是 GND。

[0100] 然後，使用感測放大器 217 放大佈線 113a[n]與佈線 113b[n]的電位差，在放大結束後，使開關控制信號 SW2 成為活動狀態（電位 VDD），使佈線 113b[n]與有關資料的輸出的電路連接，從而取出資料。

[0101] 當輸入有資料“1”時，節點 104[m, n]的電位是 GND，放大之前的佈線 113a[n]的電位是  $VDD/2$ ，這比佈線 113b[n]的電位  $VDD/4$  高。由此，藉由放大，佈線

113a[n]的電位上升到  $VDD$ 。與此相反，佈線 113b[n]的電位降低到  $GND$ 。因此，讀出的資料是  $GND$ ，這與最初所輸入的資料相等。

[0102] 當輸入有資料“0”時，節點 104[m, n]的電位是  $(VDD - \Delta V)$ ，放大之前的佈線 113a[n]的電位是  $GND$ ，這比佈線 113b[n]的電位  $VDD/4$  低。因此，藉由放大，佈線 113a[n]的電位仍是  $GND$ ，與此相反，佈線 113b[n]的電位上升到  $VDD$ 。由此，所讀出的資料是  $VDD$ ，這與最初輸入的資料相等。

[0103] 在如上例子中由於是記憶單元陣列 211a 中的記憶單元 110a 的資料的讀出，所以預充電控制信號  $Pre\_EN2$  不會成為活動狀態。在記憶單元陣列 211b 中的記憶單元 110a 的資料的讀出的情況下，預充電控制信號  $Pre\_EN2$  成為活動狀態。

[0104] 在上述例子中，作為參考電位  $VRF$  使用  $VDD/4$ ，作為佈線 114 的電位使用  $VDD/2$ ，為了穩定地進行放大，參考電位  $VRF$  比佈線 114 的電位高  $0.2V$  以上較佳。此外，佈線 114 的電位比  $GND$  高  $0.2V$  以上較佳。

[0105] 藉由上述，可以使半導體裝置 220 工作。在圖 9 中，佈線 113a[n]與佈線 113b[n]的關係是所謂的開放位元型配置，也可以採用折疊位元 (folded bit) 型配置。一般而言藉由採用折疊位元型配置可以消除因雜波導致的負面影響，所以可以進一步減少讀出錯誤。

[0106] 注意，半導體裝置 220 的驅動方法不侷限於

上述方法。本實施方式所示的結構可以與其他實施方式所示的結構適當地組合而實施。

[0107]

實施方式 4

圖 12A 示出記憶單元 120a。記憶單元 120a 包括電晶體 101、電晶體 102、電容元件 103、電晶體 106。記憶單元 120a 與記憶單元 100a (圖 1A) 的不同之處在於相當於電晶體 105 的電晶體 106 是 n 通道電晶體。藉由使用 n 通道電晶體，可以實現回應速度的提高或積體化。

[0108] 此外，如記憶單元 120b 那樣，將電晶體 106 設置在電晶體 102 與佈線 114 之間 (圖 12B)。在記憶單元 120b 中，電晶體 106 的源極和汲極中的一個與佈線 114 電連接，源極和汲極中的另一個與電晶體 102 的源極和汲極中的一個電連接。

[0109] 如實施方式 1 所說明，兩個記憶單元 120a 共同使用一個佈線 114。此外，也可以是三個以上的記憶單元共同使用一個佈線。另外，佈線 114 與佈線 112 除了平行以外，既可以以直角等其他角度交叉，又可以以矩陣狀設置。

[0110] 參照圖 13 說明對記憶單元 120a 寫入資料的工作以及從記憶單元 120a 讀出資料的工作。注意，有時省略在實施方式 1 至 3 中記載的內容。

[0111]

(寫入工作)

從時間  $T1$  開始使佈線 111 的電位上升到  $V_{OS\_H}$ ，使電晶體 101 成為導通狀態。佈線 113 的電位對應於資料。這裡，當寫入資料“1”時將佈線 113 的電位設定為 GND，而當寫入資料“0”時將佈線 113 的電位設定為 VDD。其結果是，節點 104 的電位對應於資料。例如，當寫入資料“1”時，節點 104 的電位成為 GND，當寫入資料“0”時成為 VDD。在時間  $T2$  佈線 111 的電位開始降低，電晶體 101 成為關閉狀態，寫入結束。

[0112] 注意，雖然當寫入時佈線 112、佈線 114、佈線 115 的電位可以是任何電位，但較佳的是在佈線 112 與佈線 114 之間不使電流流過的電位。這裡，將佈線 112 設定為 GND，將佈線 114 設定為  $(VDD-\alpha)$ ，將佈線 115 設定為 GND。 $\alpha$  與實施方式 1 所說明的  $\alpha$  相同。

[0113]

(保持工作)

使電晶體 101 成為關閉狀態。如實施方式 1 所說明，在保證資料保持的期間，在節點 104 的電位值成為最低值的情況下，成為  $(VDD-\Delta V_{MAX})$ 。

[0114]

(讀出工作)

將佈線 115 的電位設定為適當的值（這裡，GND），使電晶體 106 成為關閉狀態，且將佈線 114 的電位設定為  $(VDD-\alpha)$ 。將佈線 112 預充電為適當的電位（這裡，GND），然後使其處於浮動狀態。並且，將佈線 115 的電

位設定為適當的值而使電晶體 106 成為導通狀態。

[0115] 這裡，作為佈線 115 的電位可以使用比 VDD 高的電位（VDDH）。但是，電晶體 106 的源極及汲極的電位如上述那樣是（ $VDD-\alpha$ ），因此，若  $\alpha$  比電晶體 106 的臨界值大，則將佈線 115 的電位設定為 VDD 也沒有問題。一般而言，當 VDD 比電晶體 106 的臨界值充分高時，可容易實現上述情況。

[0116] 例如，在實施方式 1 中示出  $VDD=+1.8[V]$ 、 $GND=0[V]$ 、 $V_{th}=-0.5[V]$ 、 $\Delta V_{MAX}=1.2[V]$  的情況，此時由於  $\alpha>0.7[V]$ ，所以當電晶體 106 的臨界值是  $+0.7[V]$  以下時，可以使佈線 115 的電位為 VDD。

[0117] 當寫入有資料“1”時，由於節點 104 的電位近於 GND，所以電晶體 102 成為導通狀態，佈線 112 的電位成為（ $VDD-\alpha$ ），當寫入有資料“0”時，電晶體 102 成為關閉狀態，佈線 112 的電位幾乎不變動。

[0118] 此外，如圖 14A、圖 14B 所示的記憶單元 130a、記憶單元 130b 那樣，也可以採用佈線 113 代替佈線 112 的功能的結構。關於工作方法與記憶單元 120a 相同，因此在此省略其說明。

[0119]

實施方式 5

圖 15A 示出記憶單元 140a。記憶單元 140a 包括電晶體 101、電晶體 102、電容元件 103、電晶體 105。

[0120] 電晶體 101 在通道形成區域中包括氧化物半

導體膜。電晶體 101 是 n 通道或 p 通道電晶體，以下假設電晶體 101 是 n 通道電晶體而進行說明。

[0121] 電晶體 101 的閘極與佈線 111 電連接。佈線 111 能夠用作寫入字線。此外，在電晶體 101 是薄膜電晶體的情況下，也可以在薄膜半導體層的兩個表面上具有閘極電極。此外，也可以採用這些閘極電極中的一個一直保持固定的電位的結構。

[0122] 電晶體 101 的源極和汲極中的一個與佈線 113 電連接。佈線 113 能夠用作位元線。

[0123] 電晶體 101 的源極和汲極中的另一個與電容元件 103 的一個電極電連接。電容元件 103 的另一個電極與佈線 116 電連接。此外，電晶體 101 的源極和汲極中的另一個與電晶體 102 的閘極電連接。

[0124] 此外，藉由使佈線 116 的電位變動，電晶體 102 的閘極（節點 104）的電位變動。佈線 116 也稱為電容線。

[0125] 電晶體 102 是 p 通道電晶體。電晶體 102 的通道形成區域可以使用氧化物半導體、矽等各種材料形成。電晶體 102 的源極和汲極中的一個與電晶體 105 的源極和汲極中的一個電連接。電晶體 102 的源極和汲極中的另一個與佈線 114 電連接。

[0126] 電晶體 105 的源極和汲極中的另一個與佈線 113 電連接。電晶體 105 的閘極與佈線 115 電連接。電晶體 105 用來當讀出資料時使電晶體 102 與佈線 113 導通，



也稱為選擇電晶體。

[0127] 佈線 114 能夠用作源極線或電源線。佈線 114 較佳地保持為固定的電位。注意，也可以當開啟／關閉電源時變動電位。

[0128] 此外，如圖 15B 所示的記憶單元 140b 那樣，也可以將電晶體 105 配置在電晶體 102 與佈線 114 之間。

[0129] 在圖 15A 的記憶單元 140a 中，資料作為節點 104 的電位被保持。若電晶體 101 的關態電阻充分高，則可以在長期保持資料。

[0130] 以下，參照圖 16 說明對記憶單元 140a 寫入資料的工作以及從記憶單元 140a 讀出資料的工作。此外，電晶體 102 及電晶體 105 的臨界值低於 0 且高於  $-V_{DD}$ 。

[0131]

（寫入工作）

電晶體 101 由於其臨界值等與電晶體 102 及電晶體 105 不同，所以這裡當使電晶體 101 導通時，將其閘極的電位（佈線 111 的電位）設定為  $V_{OS\_H}$ ，當使電晶體 101 關閉時，將其閘極的電位設定為  $V_{OS\_L}$ 。此外，也可以滿足  $V_{OS\_L}=GND (<V_{DD})$ 。

[0132] 這裡，當寫入資料“1”時將佈線 113 的電位設定為 GND，而當寫入資料“0”時將佈線 113 的電位設定為 VDD。在圖 16 的時間 T1 佈線 111 的電位開始上升，電晶體 101 成為導通狀態。其結果是，節點 104 的電

位對應於資料。例如，當寫入資料“1”時，節點 104 的電位成為 GND，當寫入資料“0”時成為 VDD。在時間 T2 佈線 111 的電位開始降低，電晶體 101 成為關閉狀態，寫入結束。注意，當電晶體 101 成為關閉狀態時，因電晶體 101 的閘極（及佈線 111）與節點 104 之間的電容耦合而使節點 104 的電位稍微降低。

[0133] 注意，較佳的是當寫入時在佈線 113 與佈線 114 之間不使電流流過。例如，也可以消除佈線 113 與佈線 114 之間的電位差。就是說，較佳的是與佈線 113 同樣地使佈線 114 的電位根據資料變動。

[0134] 更有效的方法是將佈線 115 的電位設定為使電晶體 105 成為關閉狀態的電位。這裡，將佈線 113、佈線 114 的電位設定為 GND 以上且 VDD 以下。因此，當將佈線 115 的電位設定為 VDD 時，電晶體 105 成為關閉狀態。注意，在本實施方式中，佈線 114 的電位在待命期間以外保持為 VDD，但也可以成為其他電位。

[0135]

（保持工作）

當保持資料時，使電晶體 101 成為關閉狀態。圖 16 中的時間 T3 至時間 T4 示出關閉電源狀態下的保持資料的期間（待命期間）。此外，在待命期間所有佈線的電位成為同一（這裡，GND）。這裡，當節點 104 的電位比 GND 高時，節點 104 的電位逐漸降低。

[0136] 當寫入有資料“1”時，由於節點 104 的電位

近於 GND，所以變動不成問題。但是，當寫入有資料“0”時，最初節點 104 的電位值近於 VDD，但隨著時間經過該電位會降低。將電位的降低量稱為  $\Delta V$ 。在上述條件中，若保持期間是一年左右，則電位的降低量為 10% 左右，但在十年之後，如上述那樣會降低到最初的 35%。就是說， $\Delta V = 0.65 \times VDD$ 。這裡，在保證資料保持的期間過後，在節點 104 的電位值成為最低值的情況下，成為  $(VDD - \Delta V_{MAX})$ 。

[0137]

(讀出工作)

作為讀出資料的工作，使佈線 113 與佈線 114 的電位不同，然後使電晶體 105 成為導通狀態，由此判斷在電晶體 102 的源極與汲極之間電流是否流過。藉由由於節點 104 的電位電晶體 102 的導通狀態不同，可以判斷被寫入的資料。

[0138] 明確而言，將佈線 115 的電位設定為適當的值（這裡，VDD），使電晶體 105 成為關閉狀態，且將佈線 114 的電位設定為 VDD。將佈線 113 預充電為適當的電位（這裡，GND），然後使其處於浮動狀態。並且，在將佈線 116 的電位設定為適當的值（這裡， $\alpha$ ，且  $GND < \alpha < VDD$ ）。

[0139] 直到此前，當寫入有資料“1”時，節點 104 的電位近於 GND，佈線 116 的電位從 GND 上升到  $\alpha$ ，利用藉由電容元件 103 的電容耦合，電位幾乎成為  $\alpha$ 。此

外，當寫入有資料“0”時，節點 104 的電位幾乎成為  $(VDD - \Delta V + \alpha - GND)$ 。然後，在時間 T5 將佈線 115 的電位設定為適當的值（這裡，GND），由此使電晶體 105 成為導通狀態。

[0140] 這裡，為了正確地讀出資料，當寫入有資料“1”時，電晶體 102 處於導通狀態，需要佈線 113 的電位從 GND 上升到 VDD，當寫入有資料“0”時，處於關閉狀態，需要佈線 113 的電位仍是 GND。

[0141] 由此，當將電晶體 102 的臨界值設定為  $V_{th}$  時，需要滿足  $\alpha < VDD + V_{th}$  及  $VDD - \Delta V + \alpha - GND \geq VDD + V_{th}$  的兩個不等式。就是說， $GND + \Delta V + V_{th} \leq GND + \Delta V_{MAX} + V_{th} \leq \alpha < VDD + V_{th}$ 。

[0142] 例如，當  $VDD = +1.8[V]$ 、 $GND = 0[V]$ 、 $V_{th} = -0.5[V]$ 、 $\Delta V_{MAX} = 1.2[V]$  時， $0.7[V] \leq \alpha < 1.3[V]$  即可。或者，當  $VDD = +0.9[V]$ 、 $GND = 0[V]$ 、 $V_{th} = -0.4[V]$ 、 $\Delta V_{MAX} = 0.6[V]$  時， $0.2[V] \leq \alpha < 0.5[V]$  即可。

[0143] 此外， $\alpha$  是被要求的範圍內的任意值，也可以使用 VDD 與 GND 的平均值（也稱為  $VDD/2$ ）或者將 VDD 與 GND 之差分成 N 等份的值與 GND 相加的總和（也稱為  $VDD/N$ ，注意  $N=3、4、5、\dots$ ）。在前者的例子中， $VDD/2$  是  $0.9[V]$ ，在後者的例子中  $VDD/3$  是  $0.3[V]$ 。這些值都在所要求的數值範圍內。

[0144] 像這樣，在待命期間中，當節點 104 的電位比最初的電位降低了 60% 以上時（成為最初的電位的 40%

以下時)，較佳的是藉由當讀出時適當地提高佈線 116 的電位，以提高節點 104 的電位。

[0145] 此外，當資料為“0”時最初寫入的電位是 VDD，但輸出到佈線 116 的電位卻是 GND。需要注意如上述那樣使資料反轉而輸出。

[0146] 從如上說明可知，如圖 17 所示兩個記憶單元 140a[1]及 140a[2]共同使用一個佈線 114。此外，也可以是三個以上的記憶單元共同使用一個佈線。另外，佈線 114 與佈線 113 除了平行以外，既可以以直角等其他角度交叉，又可以以矩陣狀設置。

[0147]

#### 實施方式 6

圖 18A 示出記憶單元 150a。記憶單元 150a 包括電晶體 101、電晶體 102、電容元件 103。這些構成要素與實施方式 5 所說明的構成要素相同。記憶單元 150a 包括 n 通道電晶體 106 代替實施方式 5 的記憶單元 140a 中的電晶體 105。藉由使用 n 通道電晶體，可以實現回應速度的提高或積體化。

[0148] 此外，如圖 18B 所示的記憶單元 150b 那樣，也可以將電晶體 106 配置在電晶體 102 與佈線 114 之間。在記憶單元 150b 中，電晶體 106 的源極和汲極中的一個與佈線 114 電連接，源極和汲極中的另一個與電晶體 102 的源極和汲極中的一個電連接。

[0149] 以下參照圖 19 說明對記憶單元 150a 寫入資

料的工作以及從記憶單元 150a 讀出資料的工作。此外，電晶體 102 的臨界值低於 0 且高於  $-V_{DD}$ ，電晶體 106 的臨界值高於 0。關於與實施方式 1 相同的操作有時省略詳細的說明。

[0150]

(寫入工作)

從時間 T1 開始使佈線 111 的電位上升到  $V_{OS\_H}$ ，使電晶體 101 成為導通狀態。此外，將佈線 113 的電位設定為 GND 或 VDD。與實施方式 1 同樣地，當寫入資料“1”時，將佈線 113 的電位設定為 GND，而當寫入資料“0”時，將佈線 113 的電位設定為 VDD。藉由在時間 T2 使佈線 111 的電位開始降低，電晶體 101 成為關閉狀態，由此寫入結束。

[0151] 注意，雖然當寫入時佈線 114、佈線 115、佈線 116 的電位可以是任何電位，但較佳的是在佈線 113 與佈線 114 之間不使電流流過的電位。這裡，將佈線 113 設定為 GND，將佈線 114 設定為 VDD，將佈線 115 設定為 GND。

[0152]

(保持工作)

使電晶體 101 成為關閉狀態。圖 19 的時間 T3 至時間 T4 示出待命期間。此外，在待命期間所有佈線的電位成為同一（這裡，GND）。如實施方式 1 所說明，在保證資料保持的期間，在節點 104 的電位值成為最低值的情況

下，成為（ $VDD - \Delta V_{MAX}$ ）。

[0153]

（讀出工作）

將佈線 115 的電位設定為適當的值（這裡，GND），使電晶體 106 成為關閉狀態，且將佈線 114 的電位設定為 VDD。將佈線 113 預充電為適當的電位（這裡，GND），然後使其處於浮動狀態。並且，在將佈線 116 的電位設定為實施方式 1 所示的電位  $\alpha$  之後，將佈線 115 的電位設定為適當的值而使電晶體 106 成為導通狀態。

[0154] 作為此時的佈線 115 的電位也可以使用比 VDD 高的電位（VDDH）。若將電晶體 106 的臨界值設定為  $V_{th_{106}}$ ，則  $VDDH > VDD + V_{th_{106}}$  較佳。此外，也可以是  $VDDH = V_{OS\_H}$ 。

[0155] 本實施方式所示的結構可以與其他實施方式所示的結構適當地組合而實施。

[0156]

實施方式 7

在本實施方式中，參照圖 7B、圖 20 說明能夠應用圖 15A、圖 15B、圖 17、圖 18A 及圖 18B 所說明的記憶單元的半導體裝置的例子。

[0157]

（半導體裝置 230 的結構例子）

圖 20 是示出包括圖 15A 所說明的記憶單元 140a 的半導體裝置 230 的結構例子的方塊圖。

[0158] 圖 20 所示的半導體裝置 230 包括將圖 15A 所說明的記憶單元 140a 配置為矩陣狀而成的記憶單元陣列 201、行驅動器 202、列驅動器 203。此外，在圖 20 中，作為佈線 111、佈線 113、佈線 115、佈線 116 示出第  $(m-1)$  行的佈線 111[m-1]、佈線 115[m-1]、佈線 116[m-1]、第  $m$  行的佈線 111[m]、佈線 115[m]、佈線 116[m]、第  $(n-1)$  列的佈線 113[n-1]、第  $n$  列的佈線 113[n]。

[0159] 另外，記憶單元 140a 所具有的各結構的說明與圖 15A 相同，援用圖 15A 中的說明而在此省略其說明。

[0160] 行驅動器 202 是具有如下功能的電路：選擇性地使記憶單元 140a 的各行中的電晶體 101 及電晶體 105 成為導通狀態；以及選擇性地改變記憶單元 140a 的各行中的節點 104 的電位。明確而言，行驅動器 202 是對佈線 111、佈線 116、佈線 115 供應信號的電路。藉由具備行驅動器 202，半導體裝置 230 可以按行選擇性地進行對記憶單元 140a 寫入資料及從記憶單元 140a 讀出資料。

[0161] 列驅動器 203 是具有如下功能的電路：將記憶單元 140a 的佈線 113 的電位預充電的功能；使佈線 113 處於電浮動狀態的功能；對佈線 113 根據資料供應電位的功能；以及將對應於保持在記憶單元 140a 中的資料的佈線 113 的電位輸出到外部的功能。藉由具備列驅動器 203，半導體裝置 230 可以對記憶單元 140a 寫入資料以及



從記憶單元 140a 讀出資料。

[0162] 圖 7B 是示出圖 20 所說明的行驅動器 202 的結構例子的方塊圖。

[0163] 圖 7B 所示的行驅動器 202 包括解碼器 205 及控制電路 206。控制電路 206 按行設置。在第一行中設置有控制電路 206[1]，在第二行中設置有控制電路 206[2]。此外，各行的控制電路 206 與佈線 111、佈線 116、佈線 115 連接。

[0164] 解碼器 205 是具有輸出用來選擇對應於位址信號 Address 的行的信號的功能的電路。

[0165] 控制電路 206 是具有將對應於寫入控制信號 WCONT 或讀出控制信號 RCONT 的信號輸出到解碼器 205 所選擇的行中的佈線 111、佈線 116、佈線 115 的功能的電路。

[0166] 此外，列驅動器可以使用實施方式 3 所說明的圖 8 的列驅動器 203。

[0167] 本實施方式所示的結構可以與其他實施方式所示的結構適當地組合而實施。

[0168]

實施方式 8

以下說明可以應用於實施方式 1 至 7 中的電晶體 101 的通道的氧化物半導體。

[0169] 氧化物半導體至少包含銦 (In) 或鋅 (Zn) 較佳。另外，作為降低使用該氧化物半導體的電晶體的電

特性的不均勻的穩定劑，除了上述元素以外還包含鎵（Ga）較佳。另外，作為穩定劑較佳地包含錫（Sn）。另外，作為穩定劑較佳地包含鈦（Hf）。另外，作為穩定劑較佳地包含鋁（Al）。另外，作為穩定劑較佳地包含銩（Zr）。

[0170] 在氧化物半導體中，In-Ga-Zn 類氧化物、In-Sn-Zn 類氧化物等與碳化矽、氮化鎵或氧化鎵不同，可以藉由濺射法或濕處理製造電特性優良的電晶體，並具有生產性優良的優點。與使用碳化矽、氮化鎵或氧化鎵的情況不同，在使用上述 In-Ga-Zn 類氧化物的情況下，可以在玻璃基板上製造電特性優良的電晶體。另外，還可以應對基板的大型化。

[0171] 另外，作為其他穩定劑，也可以包含鑰系元素的鑰（La）、鈰（Ce）、鐮（Pr）、釹（Nd）、釷（Sm）、鎔（Eu）、釷（Gd）、錳（Tb）、鐳（Dy）、釹（Ho）、鉕（Er）、銩（Tm）、鑿（Yb）、鑷（Lu）中的任何一種或多種。

[0172] 例如，作為氧化物半導體，可以使用：氧化銦；氧化鎵；氧化錫；氧化鋅；In-Zn 類氧化物、Sn-Zn 類氧化物、Al-Zn 類氧化物、Zn-Mg 類氧化物、Sn-Mg 類氧化物、In-Mg 類氧化物、In-Ga 類氧化物；In-Ga-Zn 類氧化物（也稱為 IGZO）、In-Al-Zn 類氧化物、In-Sn-Zn 類氧化物、Sn-Ga-Zn 類氧化物、Al-Ga-Zn 類氧化物、Sn-Al-Zn 類氧化物、In-Hf-Zn 類氧化物、In-La-Zn 類氧化

物、In-Pr-Zn 類氧化物、In-Nd-Zn 類氧化物、In-Sm-Zn 類氧化物、In-Eu-Zn 類氧化物、In-Gd-Zn 類氧化物、In-Tb-Zn 類氧化物、In-Dy-Zn 類氧化物、In-Ho-Zn 類氧化物、In-Er-Zn 類氧化物、In-Tm-Zn 類氧化物、In-Yb-Zn 類氧化物、In-Lu-Zn 類氧化物；以及 In-Sn-Ga-Zn 類氧化物、In-Hf-Ga-Zn 類氧化物、In-Al-Ga-Zn 類氧化物、In-Sn-Al-Zn 類氧化物、In-Sn-Hf-Zn 類氧化物、In-Hf-Al-Zn 類氧化物。

[0173] 例如，In-Ga-Zn 類氧化物是指包含 In、Ga 和 Zn 的氧化物，而對 In、Ga、Zn 的比例沒有限制。另外，也可以包含 In、Ga、Zn 以外的金屬元素。In-Ga-Zn 類氧化物在無電場時的電阻充分高而可以充分減少關態電流，並且其移動率也高。

[0174] 例如，可以使用 In:Ga:Zn=1:1:1 (=1/3:1/3:1/3) 或 In:Ga:Zn=2:2:1 (=2/5:2/5:1/5) 的原子比的 In-Ga-Zn 類氧化物或具有與其類似的組成的氧化物。或者，較佳地使用 In:Sn:Zn=1:1:1 (=1/3:1/3:1/3)、In:Sn:Zn=2:1:3 (=1/3:1/6:1/2) 或 In:Sn:Zn=2:1:5 (=1/4:1/8:5/8) 的原子比的 In-Sn-Zn 類氧化物或具有與其類似的組成的氧化物。

[0175] 例如，In-Sn-Zn 類氧化物比較容易得到高移動率。但是，即使使用 In-Ga-Zn 類氧化物，也可以藉由降低塊體內缺陷密度而提高移動率。

[0176] 以下，對氧化物半導體膜的結構進行說明。

[0177] 氧化物半導體膜大致分為單晶氧化物半導體膜和非單晶氧化物半導體膜。非單晶氧化物半導體膜包括非晶氧化物半導體膜、微晶氧化物半導體膜、多晶氧化物半導體膜及 CAAC-OS (C-Axis Aligned Crystalline Oxide Semiconductor: c 軸配向結晶氧化物半導體) 膜等。

[0178] 非晶氧化物半導體膜具有無序的原子排列並不具有結晶成分。其典型例子是在微小區域中也不具有結晶部而膜整體具有完全的非晶結構的氧化物半導體膜。

[0179] 微晶氧化物半導體膜例如包括 1nm 以上且小於 10nm 的尺寸的微晶 (也稱為奈米晶)。因此, 微晶氧化物半導體膜的原子排列的有序度比非晶氧化物半導體膜高。因此, 微晶氧化物半導體膜的缺陷態密度低於非晶氧化物半導體膜。

[0180] CAAC-OS 膜是包含多個結晶部的氧化物半導體膜之一, 大部分的結晶部的尺寸為能夠被容納於一邊短於 100nm 的立方體內的尺寸。因此, 有時包括在 CAAC-OS 膜中的結晶部的尺寸為能夠被容納於一邊短於 10nm、短於 5nm 或短於 3nm 的立方體內的尺寸。CAAC-OS 膜的缺陷態密度低於微晶氧化物半導體膜。以下, 對 CAAC-OS 膜進行詳細的說明。

[0181] 在 CAAC-OS 膜的穿透式電子顯微鏡 (TEM: Transmission Electron Microscope) 影像中, 觀察不到結晶部與結晶部之間的明確的邊界, 即晶界 (grain boundary)。因此, 在 CAAC-OS 膜中, 不容易發生起因

於晶界的電子移動率的降低。

[0182] 根據從大致平行於樣本面的方向觀察的 CAAC-OS 膜的 TEM 影像（剖面 TEM 影像）可知在結晶部中金屬原子排列為層狀。各金屬原子層具有反映形成有 CAAC-OS 膜的面（也稱為被形成面）或 CAAC-OS 膜的頂面的凸凹的形狀並以平行於 CAAC-OS 膜的被形成面或頂面的方式排列。

[0183] 另一方面，根據從大致垂直於樣本面的方向觀察的 CAAC-OS 膜的 TEM 影像（平面 TEM 影像）可知在結晶部中金屬原子排列為三角形狀或六角形狀。但是，在不同的結晶部之間金屬原子的排列沒有規律性。

[0184] 由剖面 TEM 影像及平面 TEM 影像可知，CAAC-OS 膜的結晶部具有配向性。

[0185] 使用 X 射線繞射（XRD:X-Ray Diffraction）裝置對 CAAC-OS 膜進行結構分析。例如，當利用 out-of-plane 法分析包括  $\text{InGaZnO}_4$  的結晶的 CAAC-OS 膜時，在繞射角（ $2\theta$ ）為  $31^\circ$  附近時常出現峰值。由於該峰值來源於  $\text{InGaZnO}_4$  結晶的（009）面，由此可知 CAAC-OS 膜中的結晶具有 c 軸配向性，並且 c 軸朝向大致垂直於 CAAC-OS 膜的被形成面或頂面的方向。

[0186] 另一方面，當利用從大致垂直於 c 軸的方向使 X 射線入射到樣本的 in-plane 法分析 CAAC-OS 膜時，在  $2\theta$  為  $56^\circ$  附近時常出現峰值。該峰值來源於  $\text{InGaZnO}_4$  結晶的（110）面。在此，將  $2\theta$  固定為  $56^\circ$  附近並在以樣

本面的法線向量為軸（ $\phi$ 軸）旋轉樣本的條件下進行分析（ $\phi$ 掃描）。當該樣本是  $\text{InGaZnO}_4$  的單晶氧化物半導體膜時，出現六個峰值。該六個峰值來源於相等於（110）面的結晶面。另一方面，當該樣本是 CAAC-OS 膜時，即使在將  $2\theta$  固定為  $56^\circ$  附近的狀態下進行  $\phi$  掃描也不能觀察到明確的峰值。

[0187] 由上述結果可知，在具有  $c$  軸配向的 CAAC-OS 膜中，雖然  $a$  軸及  $b$  軸的配向在結晶部之間不同，但是  $c$  軸都朝向平行於被形成面或頂面的法線向量的方向。因此，在上述剖面 TEM 影像中觀察到的排列為層狀的各金屬原子層相當於與結晶的  $ab$  面平行的面。

[0188] 注意，結晶部在形成 CAAC-OS 膜時或進行加熱處理等晶化處理時形成。如上所述，結晶的  $c$  軸在平行於 CAAC-OS 膜的被形成面或頂面的法線向量的方向上配向。由此，例如，當 CAAC-OS 膜的形狀因蝕刻等而發生改變時，結晶的  $c$  軸不一定平行於 CAAC-OS 膜的被形成面或頂面的法線向量。

[0189] 另外，CAAC-OS 膜中的結晶度不一定均勻。例如，當 CAAC-OS 膜的結晶部是由於 CAAC-OS 膜的頂面附近的結晶成長而形成時，有時頂面附近的結晶度高於被形成面附近的結晶度。另外，當對 CAAC-OS 膜添加雜質時，被添加了雜質的區域的結晶度改變，所以有時 CAAC-OS 膜中的結晶度根據區域而不同。

[0190] 注意，當利用 out-of-plane 法分析包括

InGaZnO<sub>4</sub> 結晶的 CAAC-OS 膜時，除了在 2θ 為 31° 附近的峰值之外，有時還在 2θ 為 36° 附近觀察到峰值。2θ 為 36° 附近的峰值意味著 CAAC-OS 膜的一部分中含有不具有 c 軸配向的結晶。較佳的是，在 CAAC-OS 膜中在 2θ 為 31° 附近時出現峰值而在 2θ 為 36° 附近時不出現峰值。

[0191] 在使用 CAAC-OS 膜的電晶體中，起因於可見光或紫外光的照射的電特性的變動小。因此，該電晶體具有高可靠性。

[0192] 注意，氧化物半導體膜例如也可以是包括非晶氧化物半導體膜、微晶氧化物半導體膜和 CAAC-OS 膜中的兩種以上的疊層膜。

[0193] CAAC-OS 膜例如使用多晶的金屬氧化物靶材並藉由濺射法形成。

[0194] 為了形成 CAAC-OS 膜，較佳地應用如下條件。

[0195] 藉由降低成膜時的雜質的混入，可以抑制因雜質導致的結晶狀態的破壞。例如，降低存在於處理室內的雜質（氫、水、二氧化碳及氮等）的濃度即可。另外，可以降低成膜氣體中的雜質濃度。明確而言，使用露點為 -80°C 以下，較佳為 -100°C 以下的成膜氣體。

[0196] 另外，藉由增高成膜時的基板加熱溫度，在濺射粒子到達基板之後發生濺射粒子的遷移。明確而言，在將基板加熱溫度設定為 100°C 以上且 740°C 以下，較佳為 200°C 以上且 500°C 以下的狀態下進行成膜。藉由增高

成膜時的基板加熱溫度，當平板狀或顆粒狀的濺射粒子到達基板時，在基板上發生遷移，濺射粒子的平坦的面附著到基板。

[0197] 另外，較佳的是，藉由增高成膜氣體中的氧比例並對電力進行最佳化，減輕成膜時的電漿損傷。將成膜氣體中的氧比例設定為 30vol.% 以上，較佳為 100vol.%。

[0198] 另外，氧化物半導體膜可以使用一個金屬氧化物膜構成，又可以使用被層疊的多個金屬氧化物膜構成。例如，在依次層疊有第一至第三金屬氧化物膜的半導體膜中，第一金屬氧化物膜及第三金屬氧化物膜是作為構成要素包含構成第二金屬氧化物膜的金屬元素中的至少一個的氧化物膜，其導帶底能階與第二金屬氧化物膜相比離真空能階近 0.05eV 以上、0.07eV 以上、0.1eV 以上或 0.15eV 以上，且 2eV 以下、1eV 以下、0.5eV 以下或 0.4eV 以下。再者，第二金屬氧化物膜較佳地至少包含銻，以使載子移動率得到提高。

[0199] 在電晶體包括上述結構的半導體膜的情況下，當對閘極電極施加電壓而電場施加到半導體膜時，通道區域形成在半導體膜中的導帶底能階低的第二金屬氧化物膜中。換言之，藉由在第二金屬氧化物膜與閘極絕緣膜之間設置第三金屬氧化物膜，能夠將通道區域形成在與閘極絕緣膜隔離的第二金屬氧化物膜中。

[0200] 另外，由於第三金屬氧化物膜作為構成要素



包含構成第二金屬氧化物膜的金屬元素中的至少一種，因此在第二金屬氧化物膜與第三金屬氧化物膜之間的介面不容易發生介面散射。因此，在該介面載子的移動不易被妨礙，因此電晶體的場效移動率得到提高。

[0201] 另外，當在第二金屬氧化物膜與第一金屬氧化物膜之間的介面形成介面能階時，通道區域還形成在介面附近的區域，因此電晶體的臨界值會發生變動。然而，由於第一金屬氧化物膜作為構成要素包含構成第二金屬氧化物膜的金屬元素中的至少一種，因此在第二金屬氧化物膜與第一金屬氧化物膜之間的介面不容易形成介面能階。由此，藉由採用上述結構，能夠降低電晶體的臨界值等電特性的偏差。

[0202] 較佳的是，以防止因雜質存在於金屬氧化物膜之間而在各膜之間的介面形成妨礙載子的移動的介面能階的方式層疊多個金屬氧化物膜。這是因為當雜質存在於層疊的金屬氧化物膜之間時，金屬氧化物膜之間的導帶底能階失去連續性，從而在介面附近載子會被俘獲或因再結合而消失。藉由減少各膜之間的雜質，與只是簡單地層疊相比，層疊都至少包含作為主要成分的一種金屬的多個金屬氧化物膜的情況更容易形成連續結合（在此尤其是指各膜的導帶底能階連續變化的 U 型井（U-shaped well）結構的狀態）。

[0203] 為了形成連續接合，需要使用具備負載鎖定室的多室方式的成膜裝置（濺射裝置）在不使各膜暴露於

大氣的情況下連續地層疊。在濺射裝置中的各處理室中，較佳地使用低溫泵等吸附式真空泵進行高真空抽氣（抽空到  $5 \times 10^{-7} \text{Pa}$  左右至  $1 \times 10^{-4} \text{Pa}$  左右）來盡可能地去除有可能成為氧化物半導體的雜質的水等。或者，較佳地組合渦輪分子泵與冷阱使氣體不從排氣系統倒流到處理室內。

[0204] 為了得到高純度的本質氧化物半導體，對各處理室不僅進行高真空排氣，還需要將用於濺射的氣體高度純化。藉由將用作上述氣體的氧氣體或氫氣體的露點設定為  $-40^\circ\text{C}$  以下，較佳為  $-80^\circ\text{C}$  以下，更佳為  $-100^\circ\text{C}$  以下，實現氣體的高度純化，可以盡可能地防止水分等混入氧化物半導體膜。

[0205] 例如，第一金屬氧化物膜或第三金屬氧化物膜可以為以高於第二金屬氧化物膜的原子數比包含鋁、矽、鈦、鎵、鍺、鋇、鋅、錫、釩、鈾或鉛的氧化物膜。明確而言，第一金屬氧化物膜或第三金屬氧化物膜可以使用上述元素的原子數比為第二金屬氧化物膜的 1.5 倍以上，較佳為 2 倍以上，更佳為 3 倍以上的氧化物膜。由於所述元素與氧強固地鍵合，所以具有抑制氧缺陷產生在氧化物膜中的功能。因此，當採用上述結構時，與第二金屬氧化物膜相比，在第一金屬氧化物膜或第三金屬氧化物膜中更不容易產生氧缺陷。

[0206] 另外，將第一金屬氧化物膜及第三金屬氧化物膜的厚度設定為 3nm 以上且 100nm 以下，較佳為 3nm 以上且 50nm 以下。另外，第二金屬氧化物膜的厚度為

3nm 以上且 200nm 以下，較佳為 3nm 以上且 100nm 以下，更佳為 3nm 以上且 50nm 以下。

[0207] 在三層結構的半導體膜中，第一金屬氧化物膜至第三金屬氧化物膜有可能為非晶或具有結晶性。注意，當形成通道區域的第二金屬氧化物膜具有結晶性時，能夠對電晶體賦予穩定的電特性，因此較佳的是第二金屬氧化物膜具有結晶性。

[0208]

實施方式 9

參照圖 21A 至圖 21C 以及圖 22A 至圖 22D 說明實施方式 3 或實施方式 7 所說明的半導體裝置 200、半導體裝置 220 或半導體裝置 230、以及實施方式 1 至 7 所示的電晶體 101 的剖面結構的例子。

[0209] 圖 21A 所示的電晶體 300A 包括：設置在絕緣膜 301 等上的半導體膜 306；與半導體膜 306 電連接的導電膜 302 及導電膜 303；閘極絕緣膜 304；以及在閘極絕緣膜 304 上以與半導體膜 306 重疊的方式設置的閘極電極 305。

[0210] 此外，在電晶體 300A 中，作為半導體膜 306，從絕緣膜 301 一側依次層疊有氧化物半導體膜 306a 至氧化物半導體膜 306c。

[0211] 此外，氧化物半導體膜 306a 及氧化物半導體膜 306c 為如下氧化物膜：在其構成要素中包含構成氧化物半導體膜 306b 的金屬元素的至少一種，其導帶底能量

在  $0.05\text{eV}$  以上且  $2\text{eV}$  以下、 $0.07\text{eV}$  以上且  $1\text{eV}$  以下、 $0.1\text{eV}$  以上且  $0.5\text{eV}$  以下或  $0.15\text{eV}$  以上且  $0.4\text{eV}$  以下的範圍內比氧化物半導體膜 306b 近於真空能階。並且，當氧化物半導體膜 306b 至少包含銮時，載子移動率變高，所以是較佳的。

[0212] 如圖 21B 所示的電晶體 300B 那樣，也可以在導電膜 302 及導電膜 303 的上層以與閘極絕緣膜 304 重疊的方式設置氧化物半導體膜 306c。

[0213] 此外，如圖 21C 所示的電晶體 300C 那樣，也可以在氧化物半導體膜 306 與絕緣膜 301 之間隔著第二閘極絕緣膜 308 設置第二閘極電極 307。

[0214] 在電晶體 300C 具有第二閘極電極 307 的情況下，也可以處於如下狀態：對閘極電極 305 供應用來控制導通狀態或非導通狀態的常規的信號，對第二閘極電極 307 供應來自其他元件的固定的電位。藉由控制供應給第二閘極電極 307 的電位的位準，可以控制電晶體的臨界電壓。此外，也可以使閘極電極 305 的電位與第二閘極電極 307 的電位相同。

[0215] 圖 21A 至圖 21C 例示出電晶體 300A 至電晶體 300C 是單通道結構的情況。但是，電晶體 300A 至電晶體 300C 也可以具有多通道結構，其中藉由具有彼此電連接的多個閘極電極，在一個活性層中具有多個通道形成區域。

[0216]

(半導體裝置的製程例)

參照圖 22A 至圖 22D 說明半導體裝置 200 的製程的一個例子。其詳細內容參照專利文獻 1，即可。注意，圖 22A 至圖 22D 是為了容易理解疊層結構而表示的，並不是指特定的剖面。

[0217] 在單晶、多晶或非晶的任一個的半導體基板 400 處設置元件分離用絕緣物 401 及 n 通道井 402 (圖 22A)。

[0218] 形成第一閘極絕緣膜 403 及第一閘極佈線 404，在井 402 中設置 p 通道雜質區域 405。在雜質區域中也可以層疊矽化物等導電性更高的材料。雜質區域 405 也可以具有擴展區域。

[0219] 再者，還設置第一層間絕緣物 406。第一層間絕緣物 406 為單層或多層，此外，較佳地具有向上層供應氧的功能及遮斷氫或水從下層移動到上層的功能。並且，在使第一層間絕緣物 406 平坦化的同時進行蝕刻。在露出第一閘極佈線 404 的步驟停止蝕刻。

[0220] 在第一層間絕緣物 406 上設置氧化物半導體膜 407。此外，也可以使用氧化物半導體以外的半導體。例如，也可以使用 2nm 以下的厚度的矽膜。再者，在第一層間絕緣物 406 中形成接觸孔 408 (圖 22B)。

[0221] 沉積導電性材料在接觸孔 408 中嵌入導電性材料。此時，由導電性材料覆蓋氧化物半導體膜 407。導電性材料為單層或多層。再者，使導電性材料的表面平坦

化。並且，對導電性材料選擇性地進行蝕刻形成第一佈線 409。此外，第一佈線 409 也可以在接觸孔 408 的部分具有接觸插頭。第一佈線 409 也可以具有多層的導電性材料。

[0222] 覆蓋第一佈線 409 形成第二閘極絕緣膜 410。再者，沉積導電性材料使其表面平坦化。導電性材料為單層或疊層，此外，較佳地具有遮斷氫或水從上層移動到下層的功能。藉由選擇性地蝕刻其表面實現了平坦化的導電性材料來形成第二閘極佈線 411（圖 22C）。

[0223] 沉積第二層間絕緣物 412 使其表面平坦化。然後，在第二層間絕緣物 412 中形成到達第一佈線 409 的接觸孔，在該接觸孔中嵌入導電性材料，形成第二佈線 413。第二佈線 413 也可以在接觸孔的部分具有接觸插頭。第二佈線 413 也可以具有多層的導電性材料。

[0224] 像這樣，可以形成如圖 22D 所示的電晶體 101、電晶體 102、電容元件 103、電晶體 105。電容元件 103 具有在第一佈線 409 與第二閘極佈線 411 之間夾有第二閘極絕緣膜 410 的結構。

[0225]

實施方式 10

根據本發明的一個方式的半導體裝置可以用於顯示裝置、個人電腦或具備儲存介質的影像再現裝置（典型的是，能夠再現儲存介質如數位影音光碟（DVD：Digital Versatile Disc）等並具有可以顯示其影像的顯示器的裝

置)中。另外，作為可以使用根據本發明的一個方式的半導體裝置的電子裝置，可以舉出行動電話、包括可攜式的遊戲機、可攜式資料終端、電子書閱讀器、拍攝裝置諸如視頻攝影機或數位相機等、護目鏡型顯示器(頭部安裝顯示器)、導航系統、音頻再生裝置(汽車音響系統、數位聲訊播放機等)、影印機、傳真機、印表機、多功能印表機、自動櫃員機(ATM)以及自動販賣機等。圖 23A 至圖 23F 示出這些電子裝置的具體例子。

[0226] 圖 23A 是可攜式遊戲機，包括外殼 501、外殼 502、顯示部 503、顯示部 504、麥克風 505、揚聲器 506、操作鍵 507 以及觸控筆 508 等。注意，雖然圖 23A 所示的可攜式遊戲機包括顯示部 503 和顯示部 504 的兩個顯示部，但是可攜式遊戲機所包括的顯示部的個數不限於此。

[0227] 圖 23B 是可攜式資料終端，包括第一外殼 511、第二外殼 512、第一顯示部 513、第二顯示部 514、連接部 515、操作鍵 516 等。第一顯示部 513 設置在第一外殼 511 中，而第二顯示部 514 設置在第二外殼 512 中。而且，第一外殼 511 和第二外殼 512 由連接部 515 連接，由連接部 515 可以改變第一外殼 511 和第二外殼 512 之間的角度。第一顯示部 513 的影像也可以根據在連接部 515 第一外殼 511 和第二外殼 512 所形成的角度切換。另外，也可以對第一顯示部 513 和第二顯示部 514 中的至少一個使用附加有位置輸入裝置的功能的顯示裝置。另外，可以

藉由在顯示裝置設置觸控面板來附加作為位置輸入裝置的功能。或者，也可以藉由在顯示裝置的像素部設置還稱為光感測器的光電轉換元件來附加作為位置輸入裝置的功能。

[0228] 圖 23C 是膝上型個人電腦，包括外殼 521、顯示部 522、鍵盤 523 以及指向裝置 524 等。

[0229] 圖 23D 是電冷藏冷凍箱，包括外殼 531、冷藏室門 532、冷凍室門 533 等。

[0230] 圖 23E 是視頻攝影機，包括第一外殼 541、第二外殼 542、顯示部 543、操作鍵 544、透鏡 545、連接部 546 等。操作鍵 544 及透鏡 545 設置在第一外殼 541 中，而顯示部 543 設置在第二外殼 542 中。而且，第一外殼 541 和第二外殼 542 由連接部 546 連接，由連接部 546 可以改變第一外殼 541 和第二外殼 542 之間的角度。顯示部 543 的影像也可以根據在連接部 546 第一外殼 541 和第二外殼 542 所形成的角度切換。

[0231] 圖 23F 是一般的汽車，包括車體 551、車輪 552、儀表板 553 及燈 554 等。

### 【符號說明】

[0232]

Address：位址信號

D<sub>IN</sub>：資料

D<sub>OUT</sub>：資料



Pre\_EN：預充電控制信號

Pre\_EN1：預充電控制信號

Pre\_EN2：預充電控制信號

RCONT：讀出控制信號

SW1：開關控制信號

SW2：開關控制信號

VRF：參考電位

WCONT：寫入控制信號

100a：記憶單元

101：電晶體

102：電晶體

103：電容元件

104：節點

105：電晶體

106：電晶體

100b：記憶單元

111：佈線

112：佈線

113：佈線

113a：佈線

113b：佈線

114：佈線

114a：佈線

114b：佈線

- 115 : 佈線
- 116 : 佈線
- 110a : 記憶單元
- 110b : 記憶單元
- 120a : 記憶單元
- 120b : 記憶單元
- 130a : 記憶單元
- 130b : 記憶單元
- 140a : 記憶單元
- 140b : 記憶單元
- 150a : 記憶單元
- 150b : 記憶單元
- 200 : 半導體裝置
- 201 : 記憶單元陣列
- 202 : 行驅動器
- 203 : 列驅動器
- 204 : 電源線控制電路
- 205 : 解碼器
- 206 : 控制電路
- 207 : 寫入電路
- 208 : 放大電路
- 209 : 開關電路
- 210 : 電晶體
- 211a : 記憶單元陣列



- 211b：記憶單元陣列
- 212：行驅動器
- 213：列驅動器
- 214：開關電路
- 215a：電晶體
- 215b：電晶體
- 216a：電晶體
- 216b：電晶體
- 217：感測放大器
- 220：半導體裝置
- 230：半導體裝置
- 300A：電晶體
- 300B：電晶體
- 300C：電晶體
- 301：絕緣膜
- 302：導電膜
- 303：導電膜
- 304：閘極絕緣膜
- 305：閘極電極
- 306：半導體膜
- 306a：氧化物半導體膜
- 306b：氧化物半導體膜
- 306c：氧化物半導體膜
- 307：第二閘極電極

- 308：第二閘極絕緣膜
- 400：半導體基板
- 401：元件分離用絕緣物
- 402：井
- 403：第一閘極絕緣膜
- 404：第一閘極佈線
- 405：雜質區域
- 406：第一層間絕緣物
- 407：氧化物半導體膜
- 408：接觸孔
- 409：第一佈線
- 410：第二閘極絕緣膜
- 411：第二閘極佈線
- 412：第二層間絕緣物
- 413：第二佈線
- 501：外殼
- 502：外殼
- 503：顯示部
- 504：顯示部
- 505：麥克風
- 506：揚聲器
- 507：操作鍵
- 508：觸控筆
- 511：外殼

- 512 : 外殼
- 513 : 顯示部
- 514 : 顯示部
- 515 : 連接部
- 516 : 操作鍵
- 521 : 外殼
- 522 : 顯示部
- 523 : 鍵盤
- 524 : 指向裝置
- 531 : 外殼
- 532 : 冷藏室門
- 533 : 冷凍室門
- 541 : 外殼
- 542 : 外殼
- 543 : 顯示部
- 544 : 操作鍵
- 545 : 透鏡
- 546 : 連接部
- 551 : 車體
- 552 : 車輪
- 553 : 儀表板
- 554 : 燈

## 發明摘要

※申請案號：103117143

※申請日：103年05月15日

※IPC分類：G11C 7/12 (2006.01)

【發明名稱】(中文/英文)

半導體裝置的驅動方法

Driving method of semiconductor device

【中文】

在包括第一至第三電晶體的記憶單元中，當藉由第一電晶體寫入資料時將位元線的電位設定為 VDD 或 GND。在待命期間，將位元線的電位設定為 GND。在讀出工作中，在位元線的電位設定為 GND 的狀態下，使其處於浮動狀態，將源極線設定為電位  $VDD - \alpha$ ，然後使第三電晶體成為導通狀態。然後，根據第二電晶體的閘極的電位輸出源極線的電位。即使第二電晶體的閘極的電位在待命期間比 VDD 低  $\Delta V$ ，也將  $\alpha$  設定為確實使第二電晶體成為關閉狀態。就是說， $V_{th} + \Delta V < \alpha$ 。這裡， $V_{th}$  是第二電晶體的臨界值。

【英文】

In a memory cell including first to third transistors, the potential of a bit line is set to VDD or GND when data is written through the first transistor. In a standby period, the potential of the bit line is set to GND. In reading operation, the bit line is brought into a floating state at GND, and a source line is set to a potential  $VDD - \alpha$ ; consequently, the third transistor is turned on. Then, the potential of the source line is output according to the potential of a gate of the second transistor. Note that  $\alpha$  is set so that the second transistor is surely off even when the potential of the gate of the second transistor becomes lower from VDD by  $\Delta V$  in the standby period. That is,  $V_{th} + \Delta V < \alpha$  is satisfied where  $V_{th}$  is the threshold value of the second transistor.

圖式

圖 1A

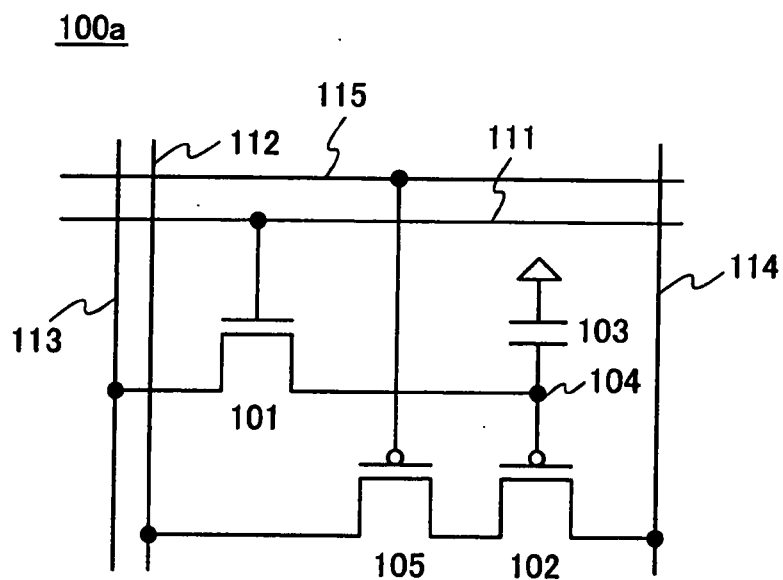


圖 1B

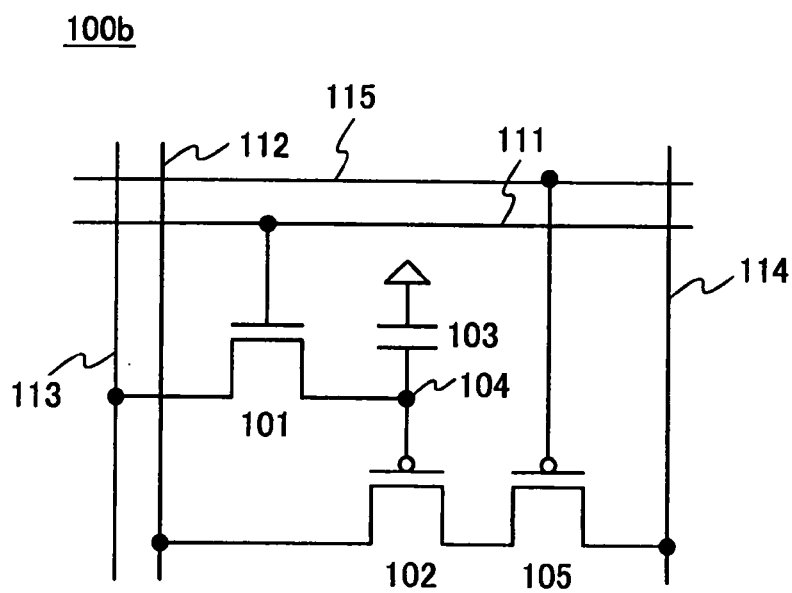


圖 2

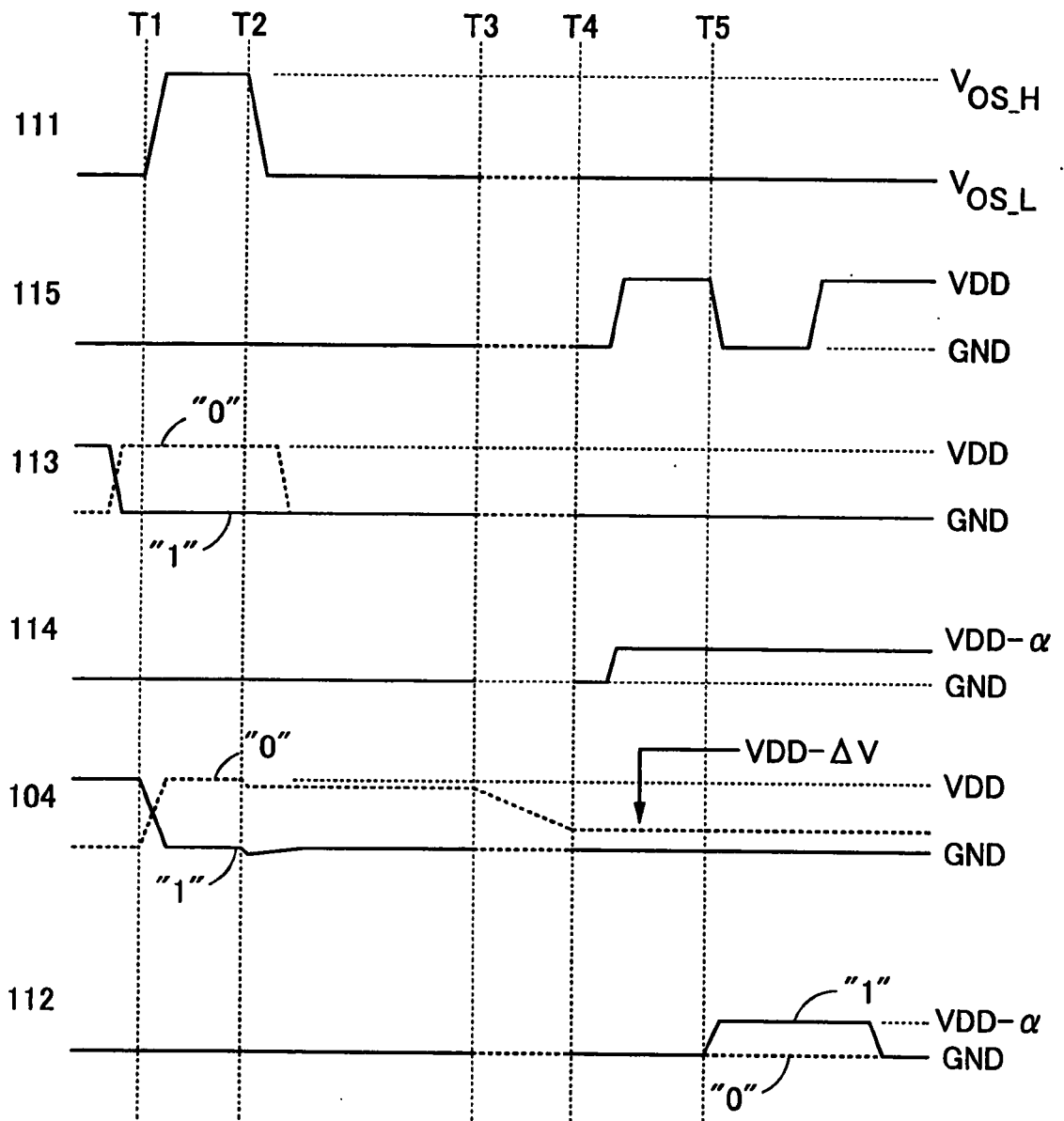




圖 3

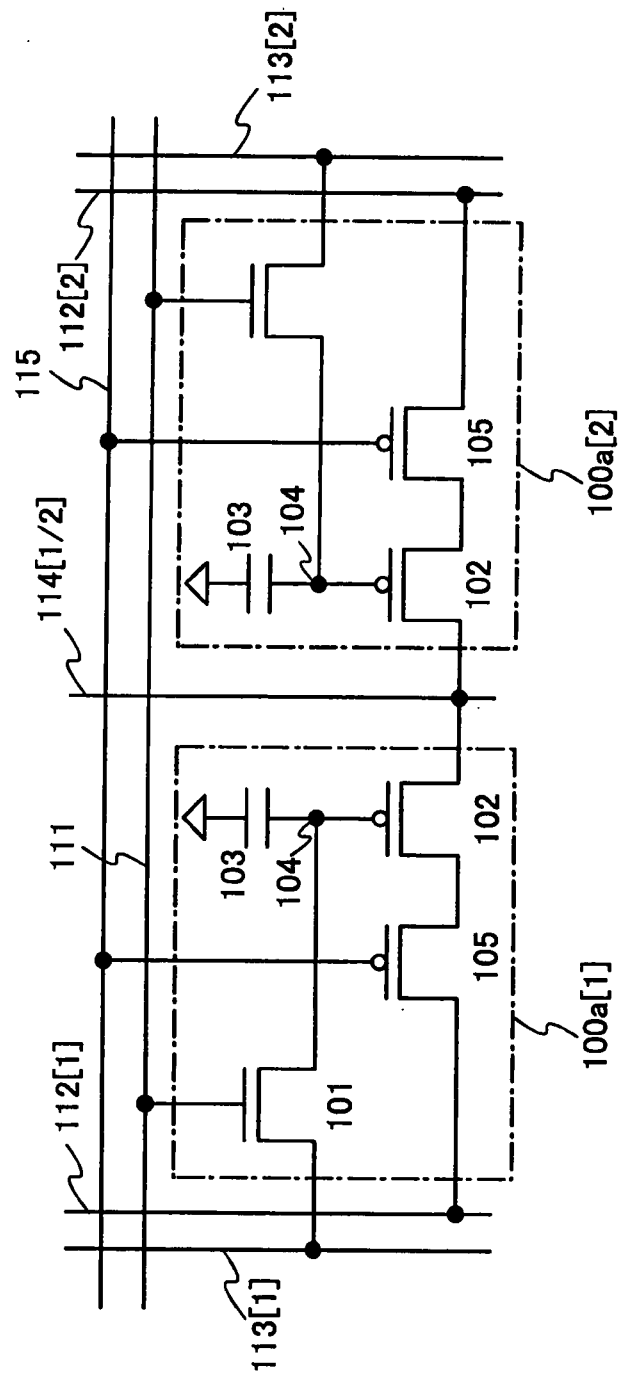


圖 4A

110a

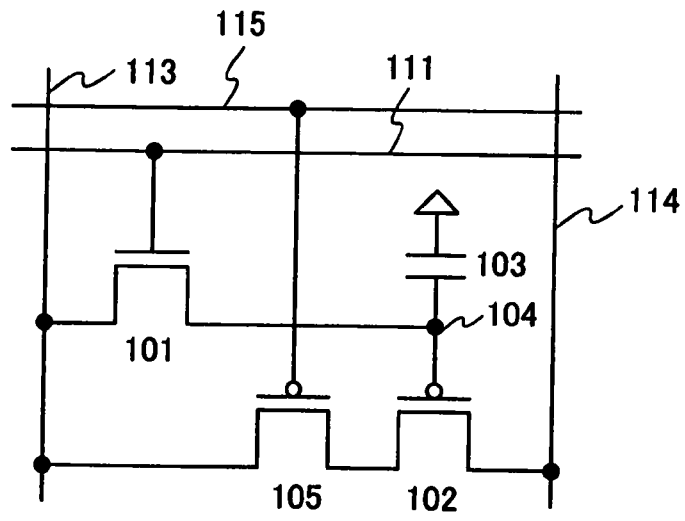


圖 4B

110b

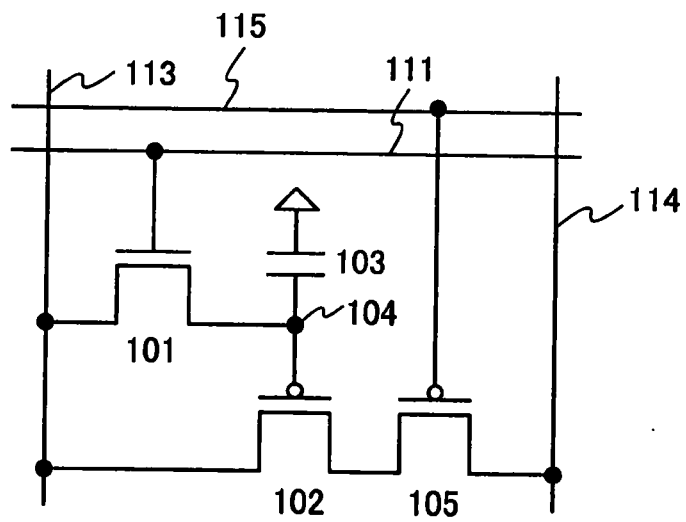


圖 5

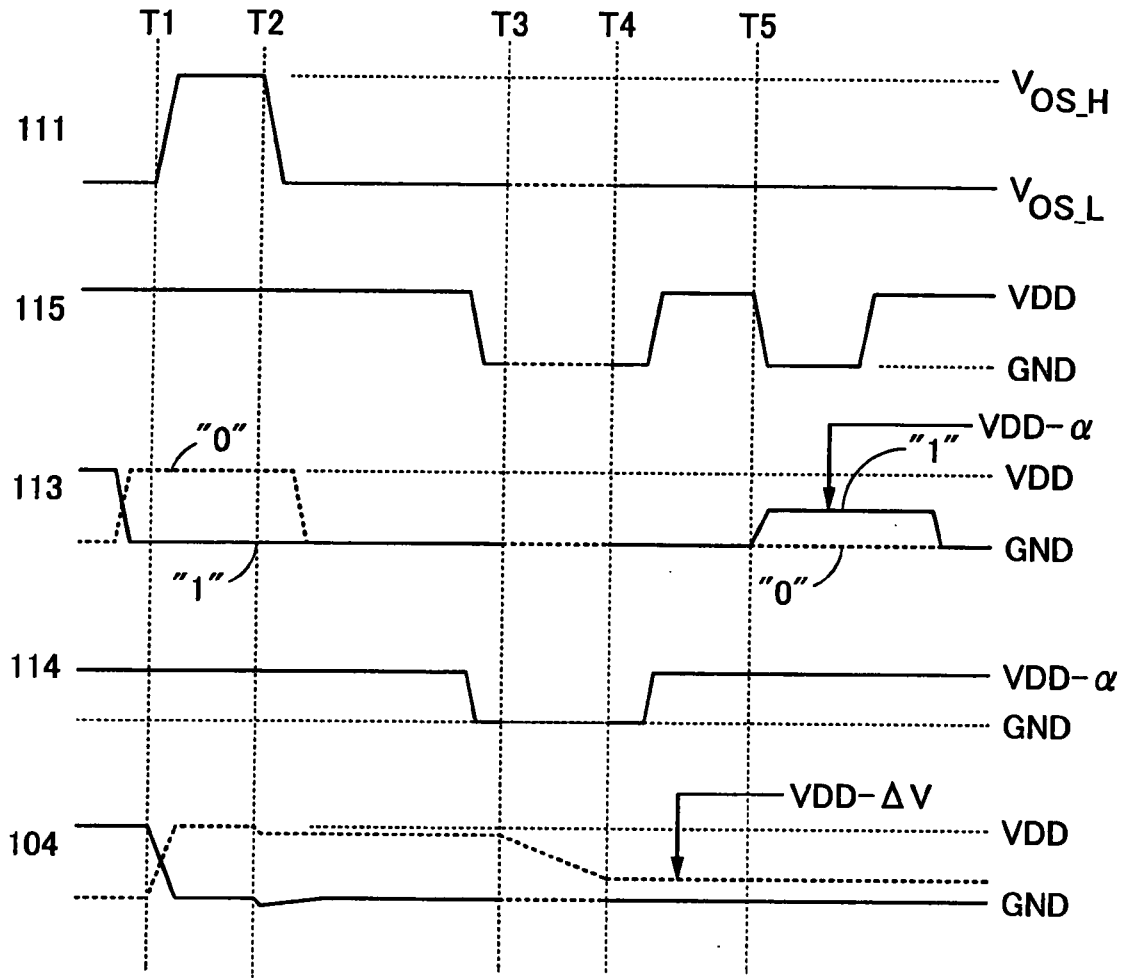


圖 6

200

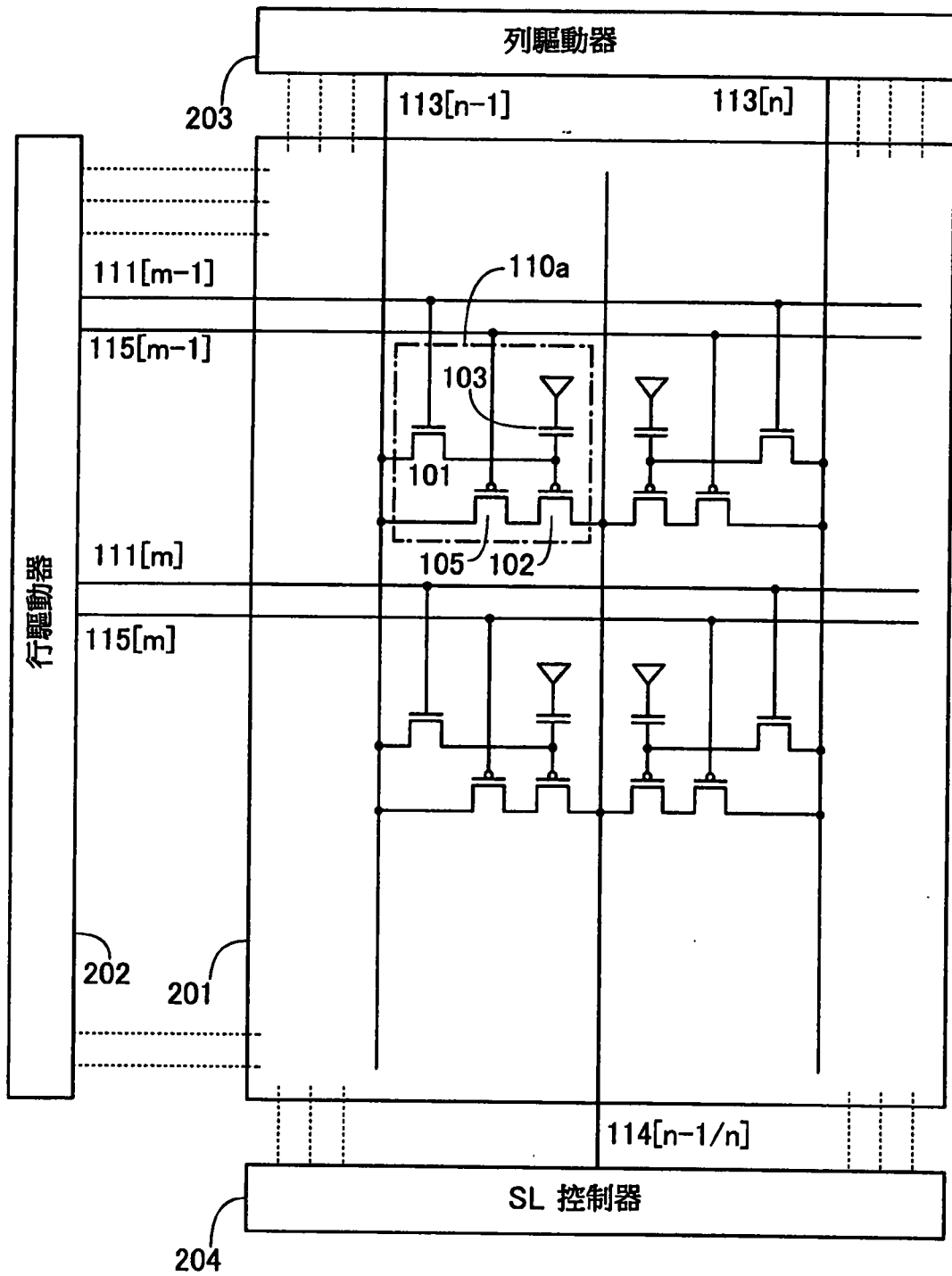


圖 7A

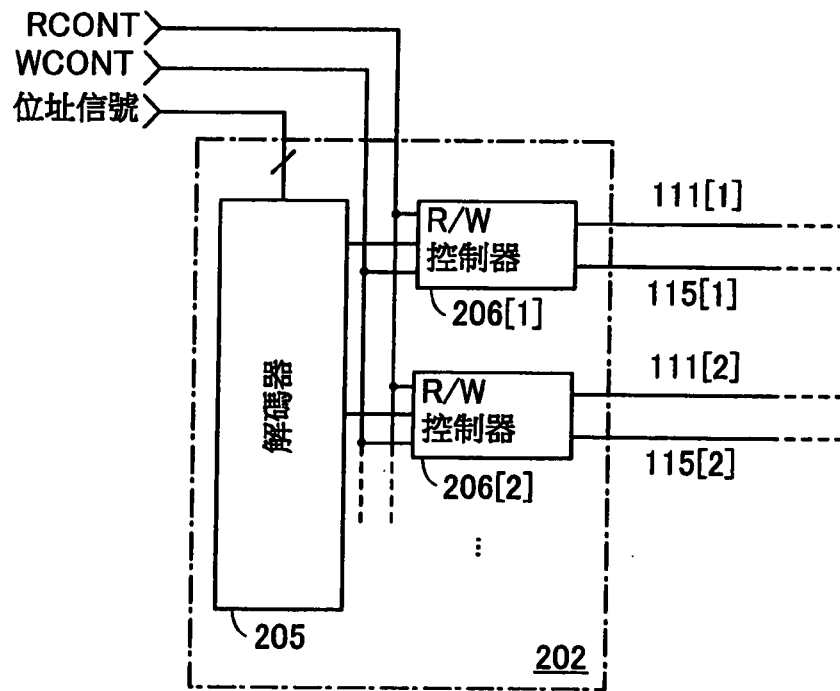


圖 7B

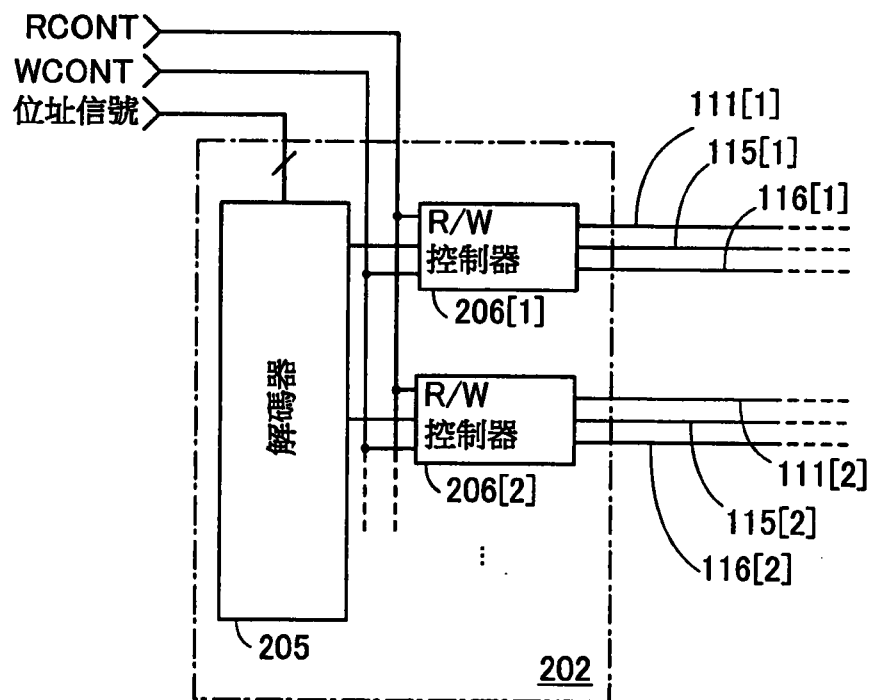
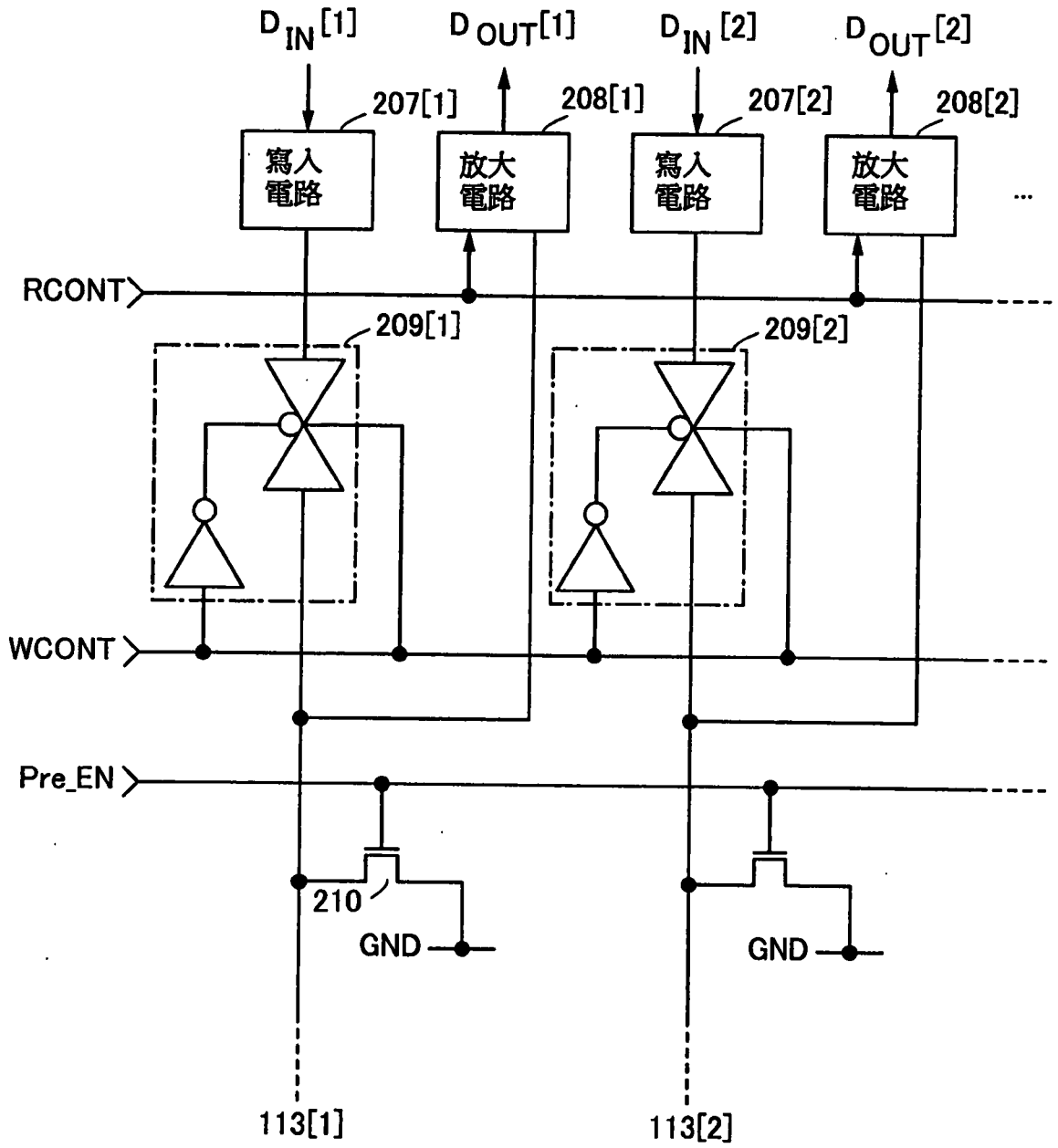


圖 8



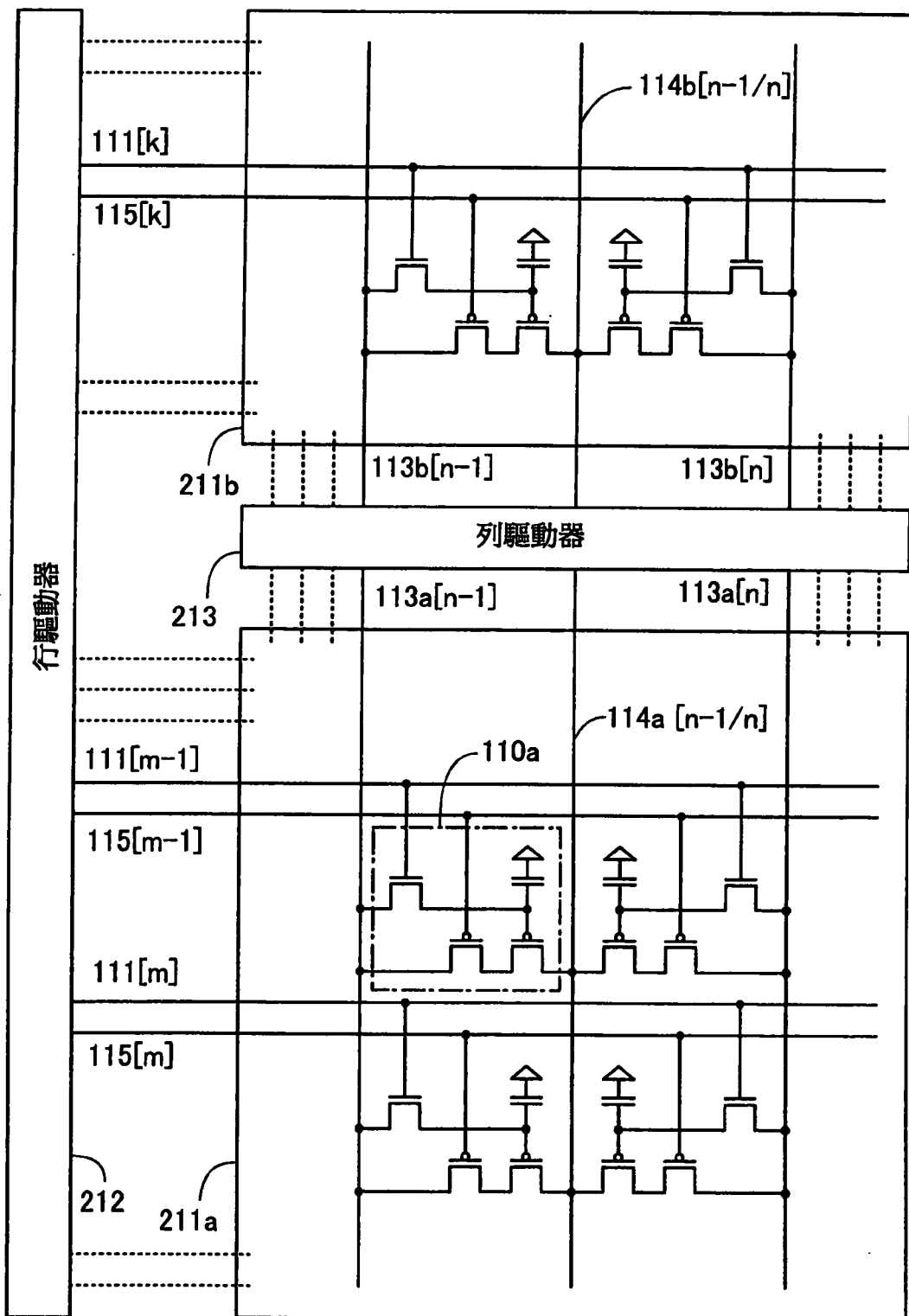


圖 10

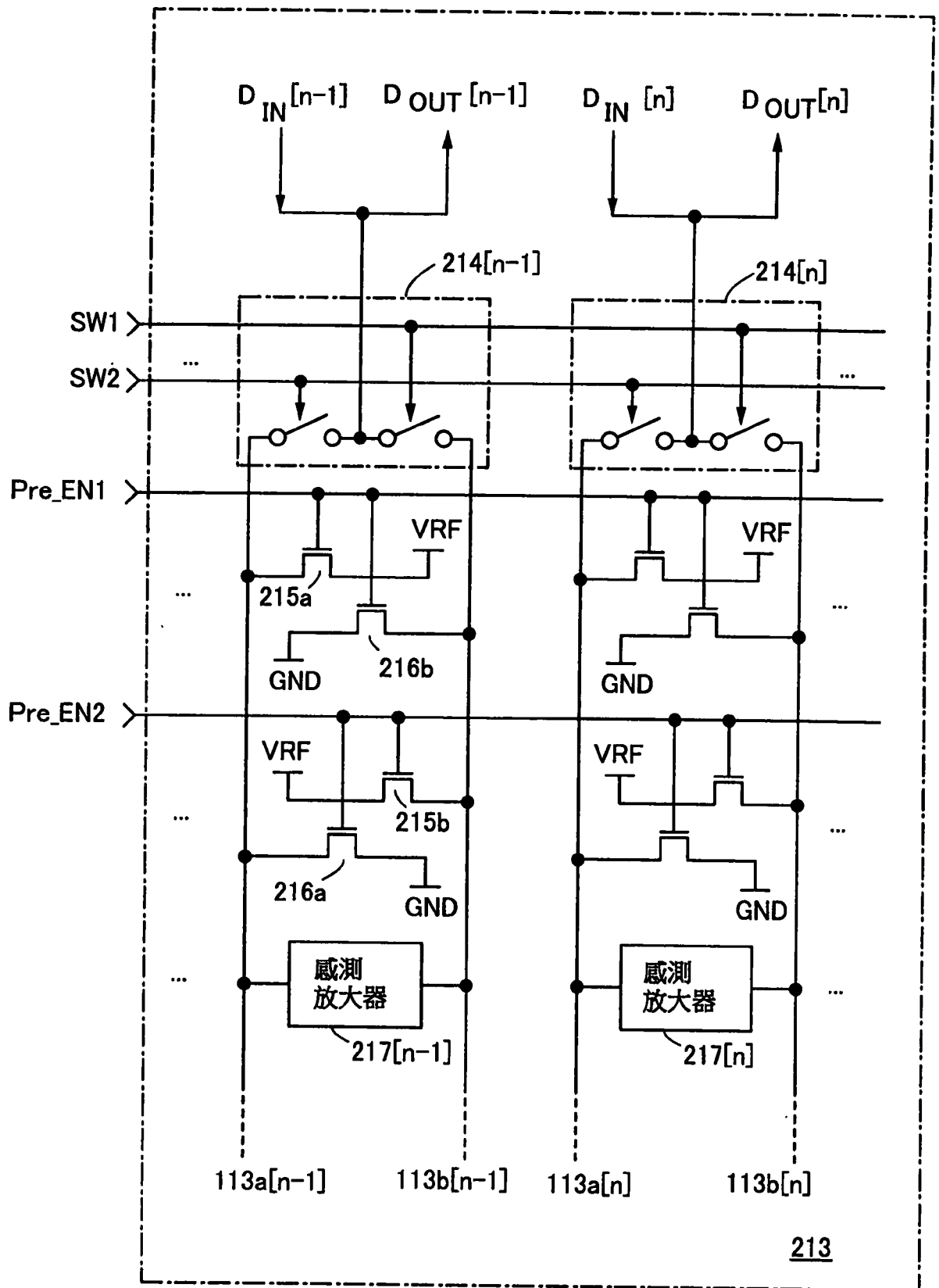




圖 11

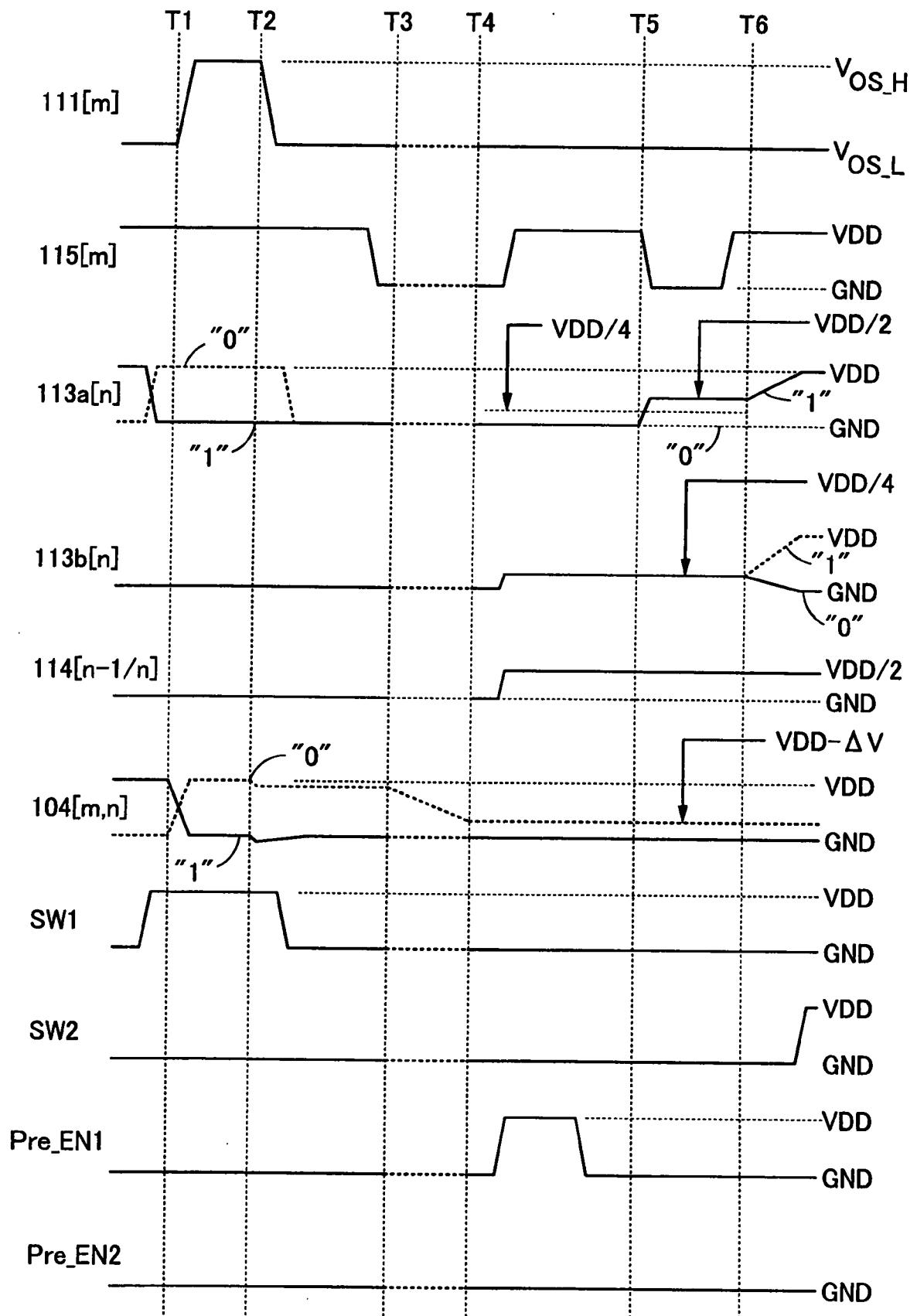


圖 12A

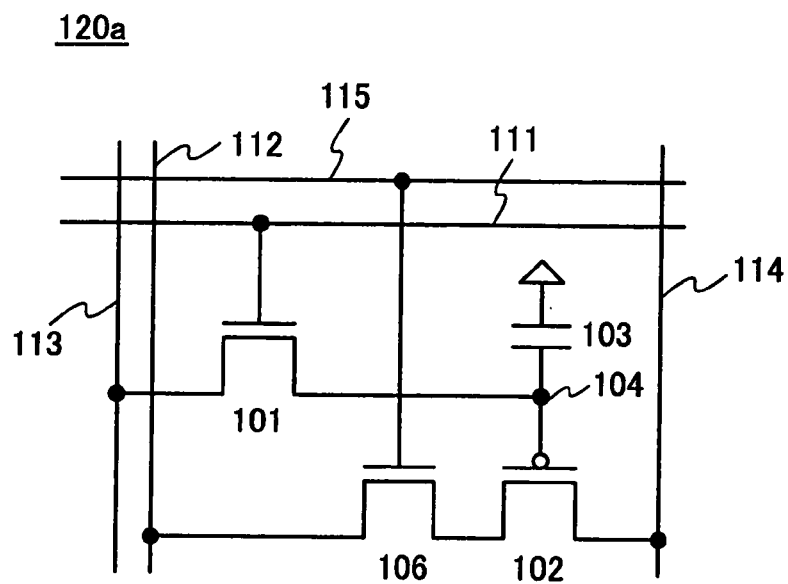


圖 12B

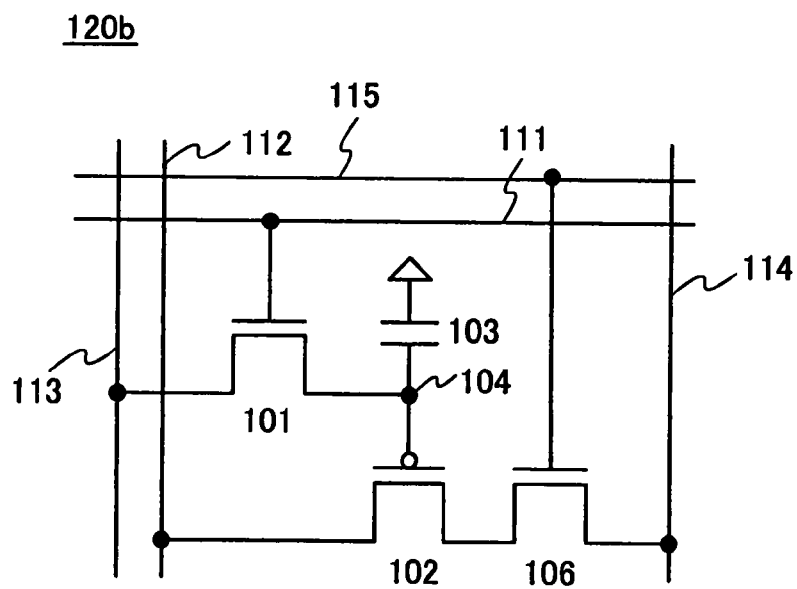


圖 13

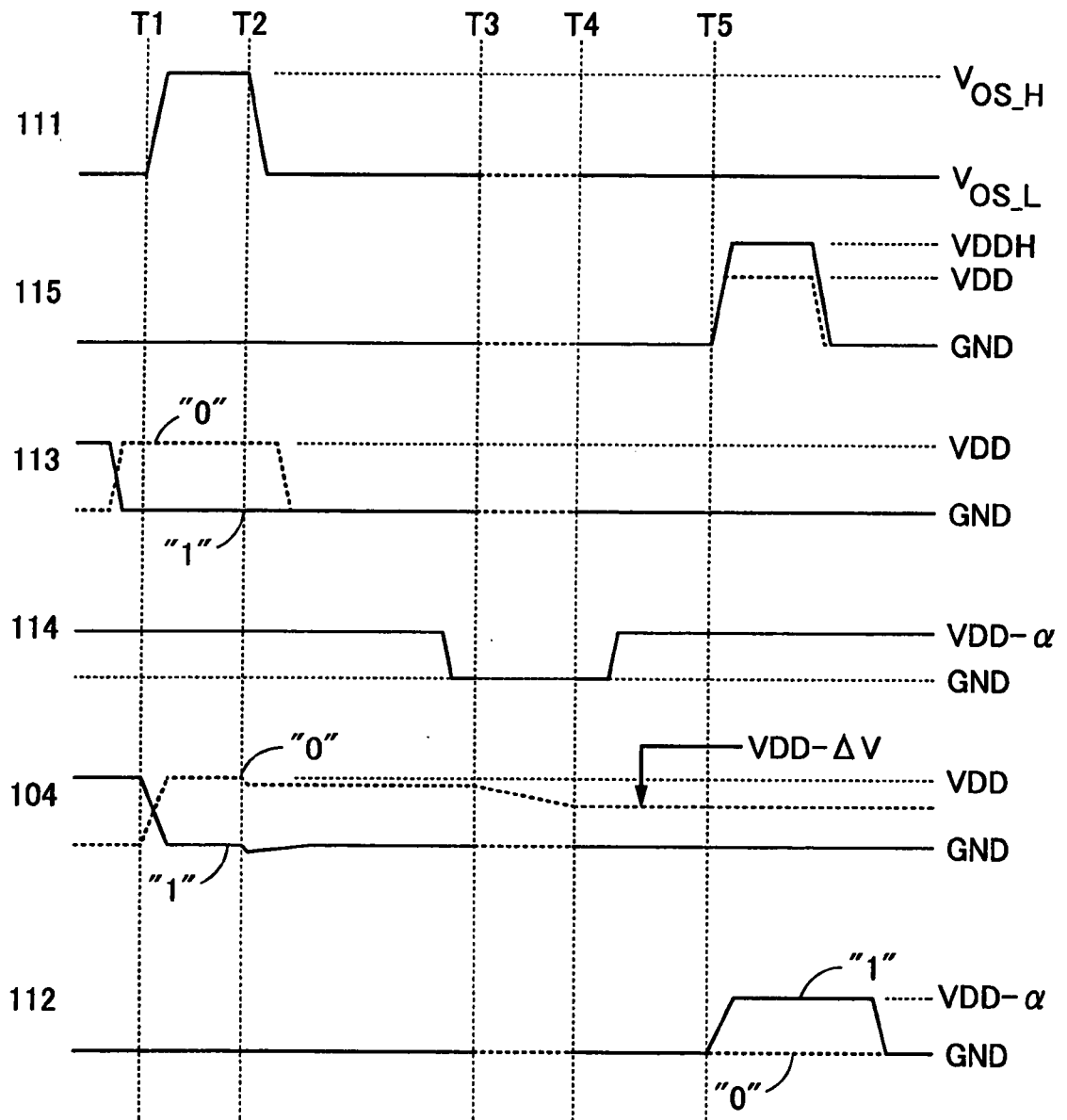


圖 14A

130a

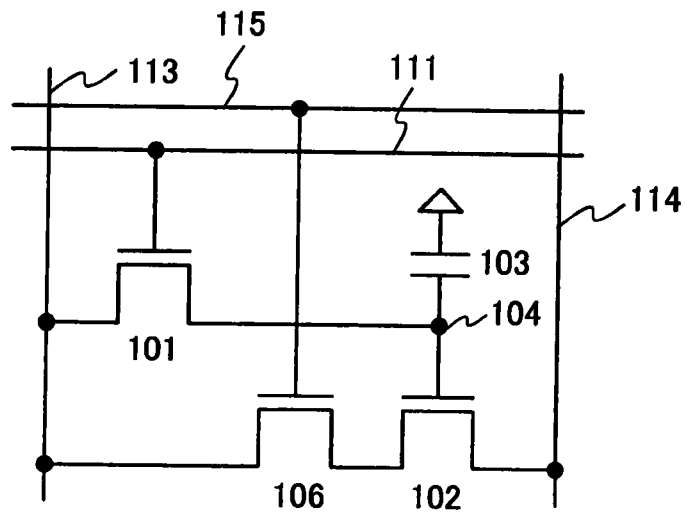


圖 14B

130b

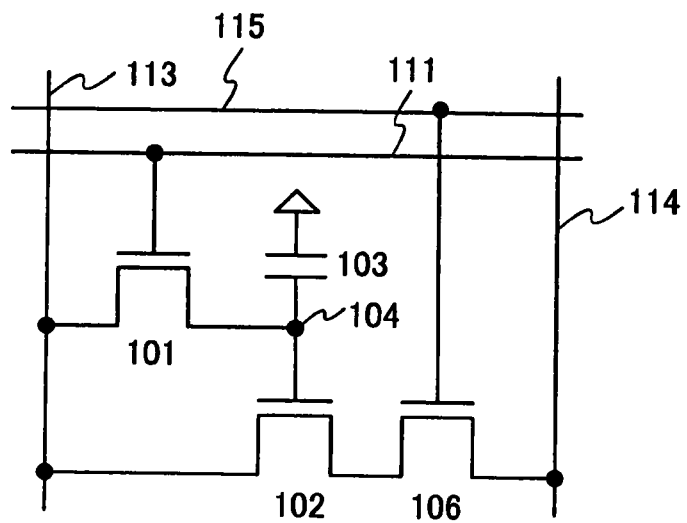


圖 15A

140a

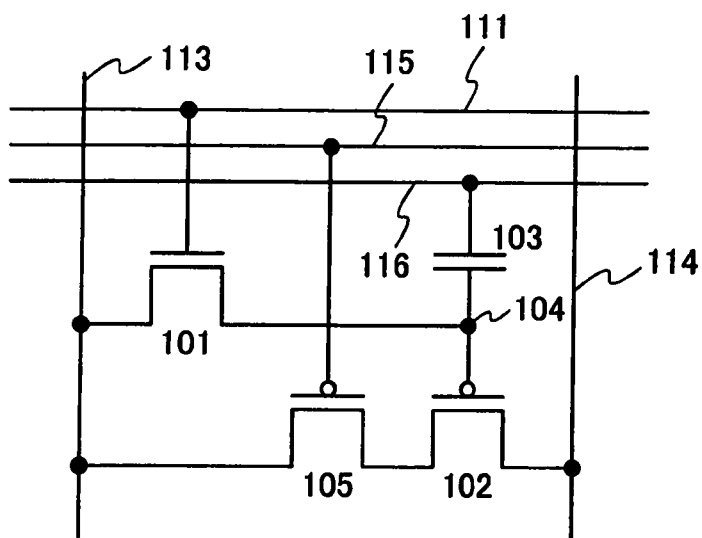


圖 15B

140b

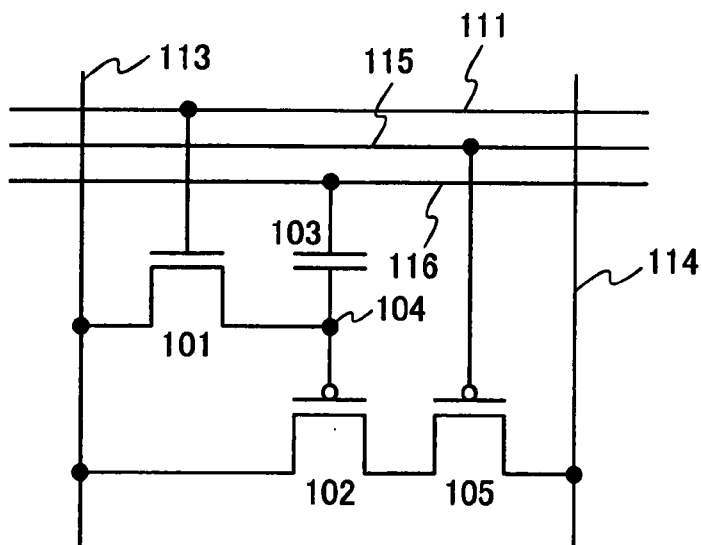


圖 16

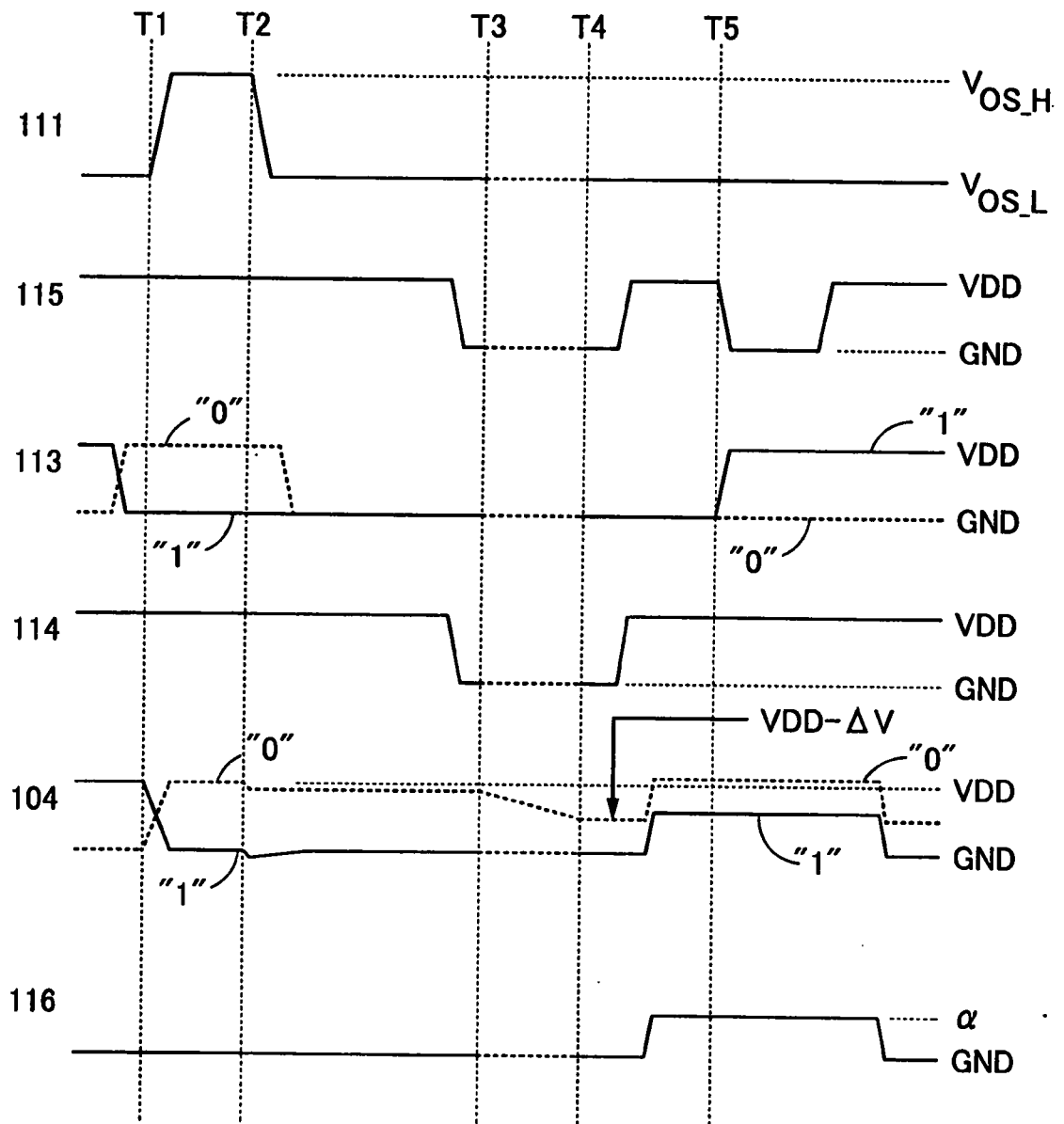


圖 17

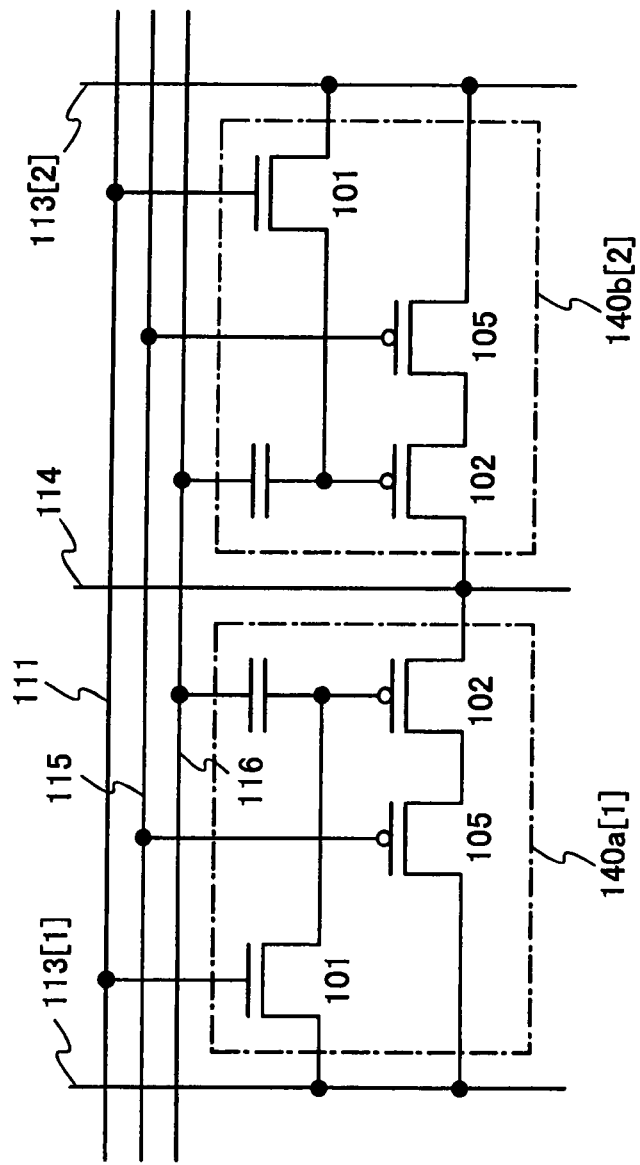


圖 18A

150a

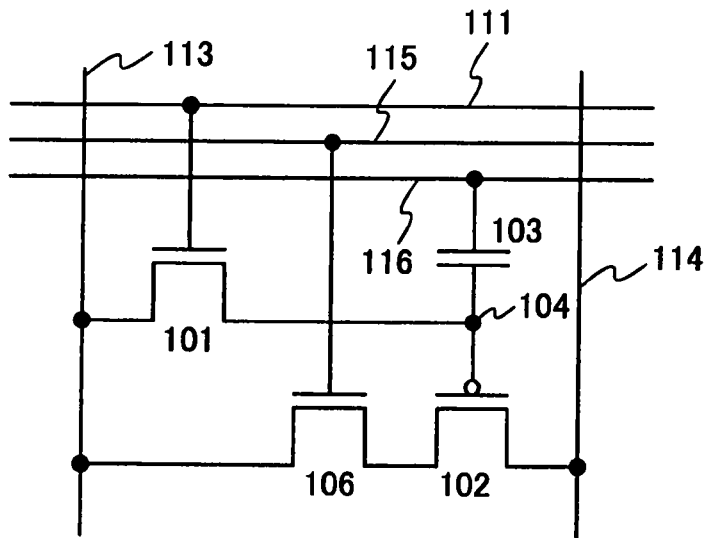


圖 18B

150b

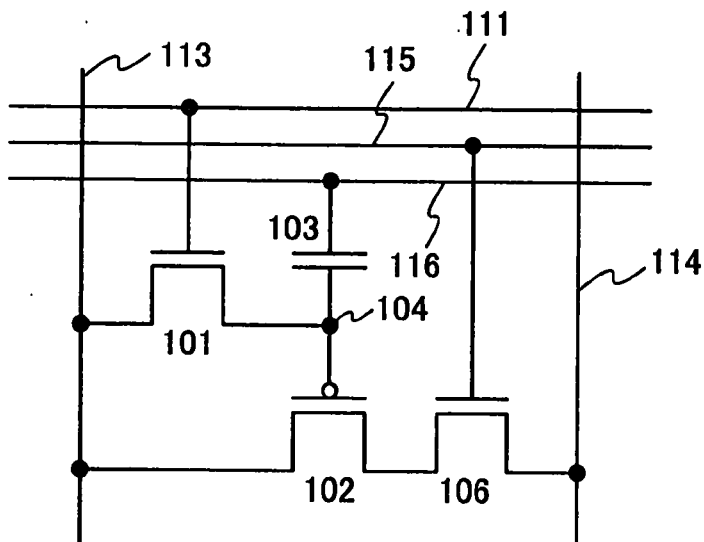




圖 19

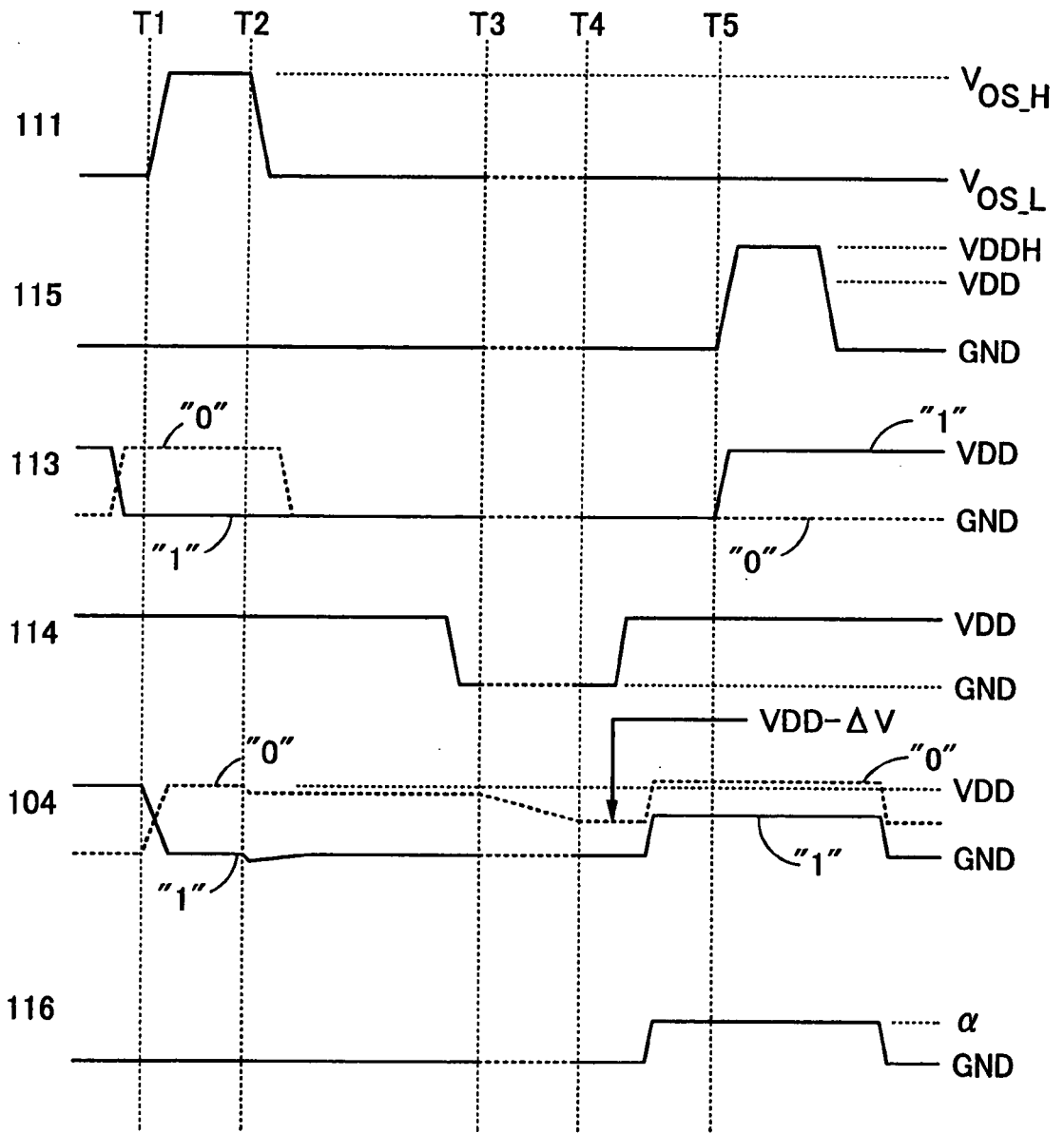


圖 20

230

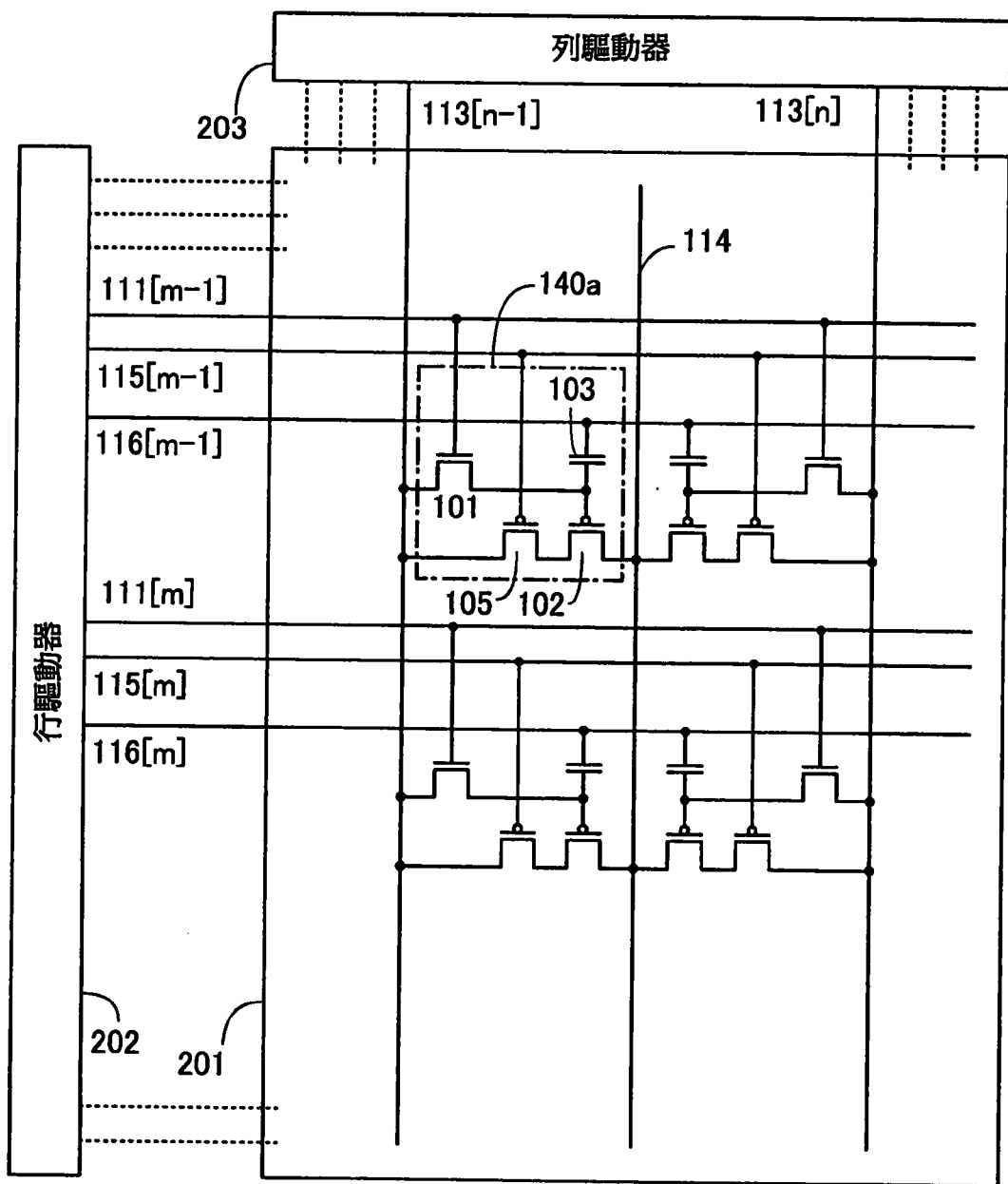


圖 21A

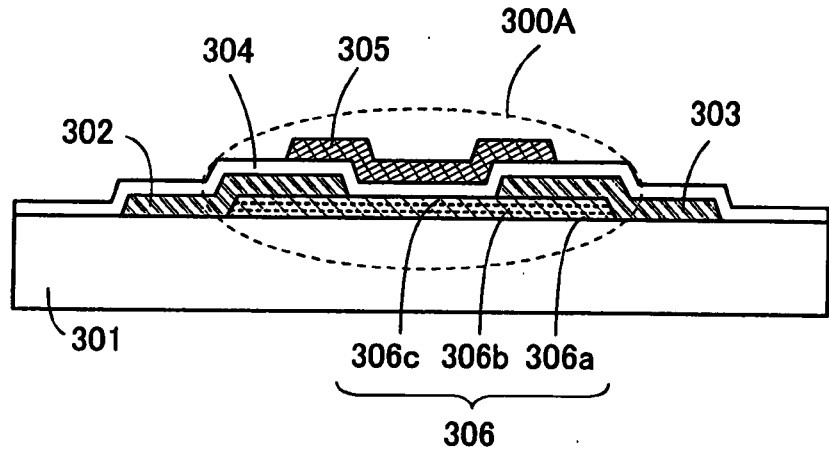


圖 21B

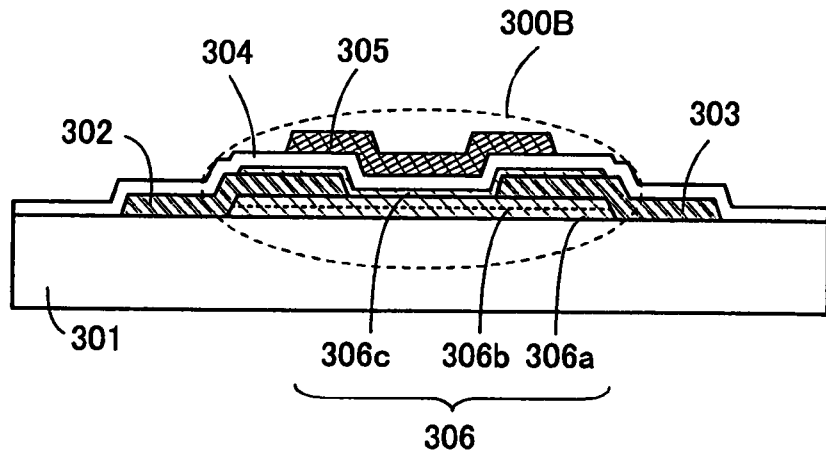


圖 21C

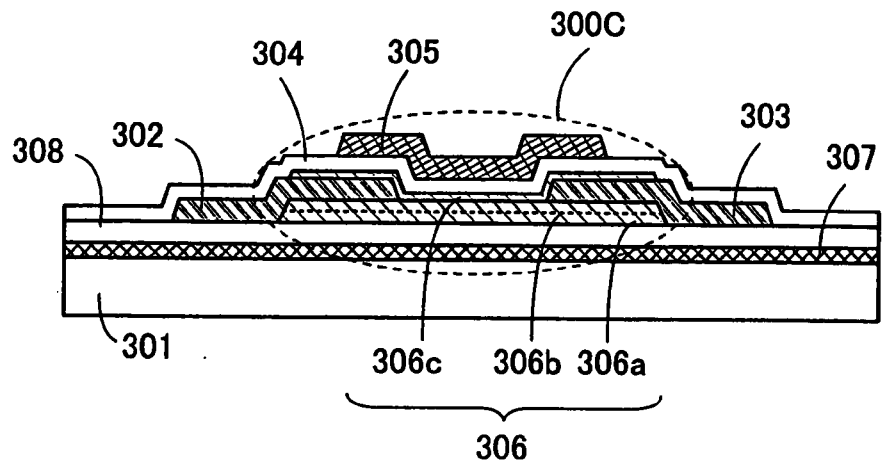


圖 22A

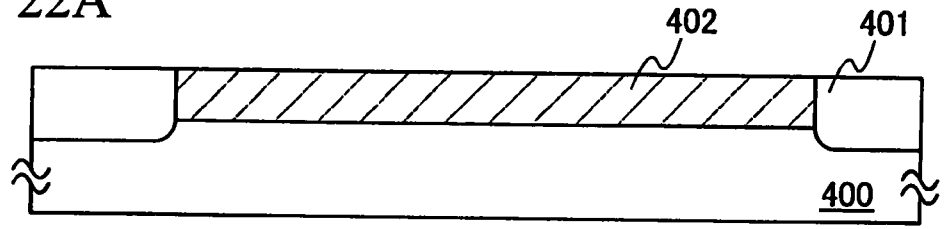


圖 22B

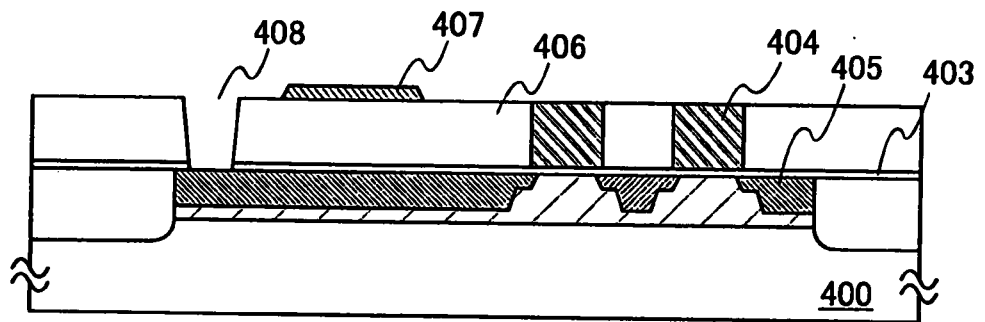


圖 22C

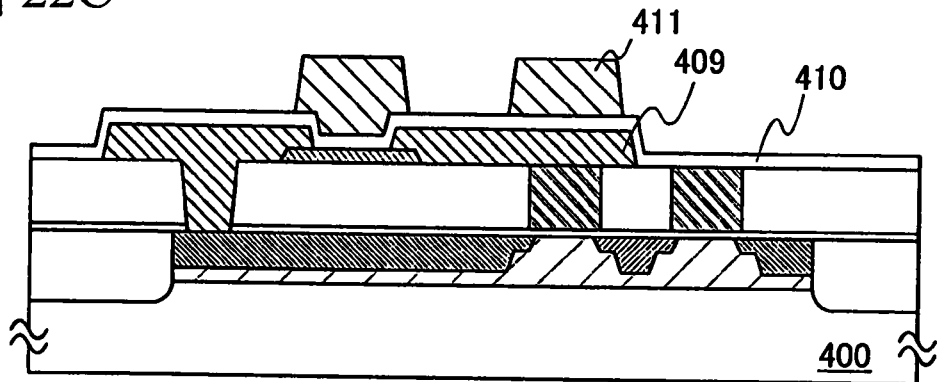


圖 22D

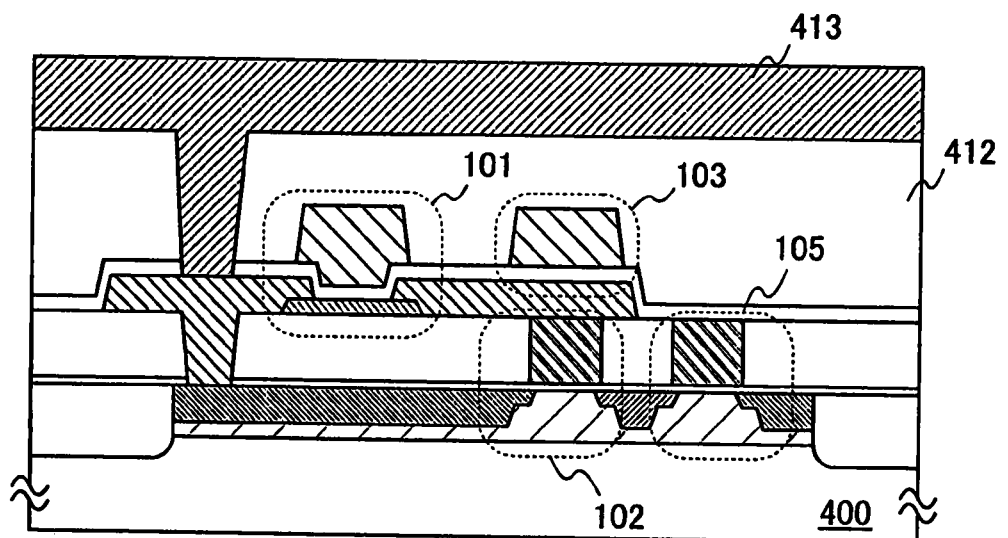


圖 23A

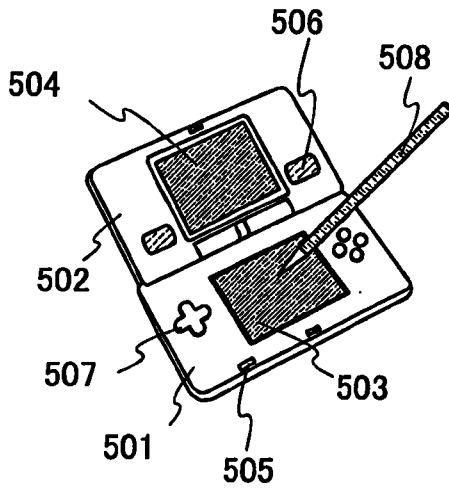


圖 23B

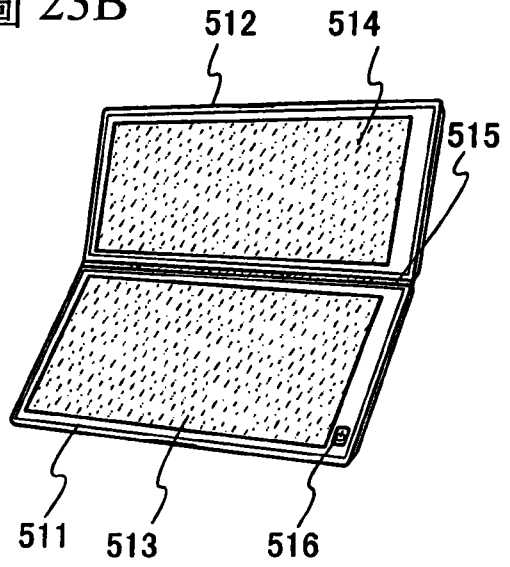


圖 23C

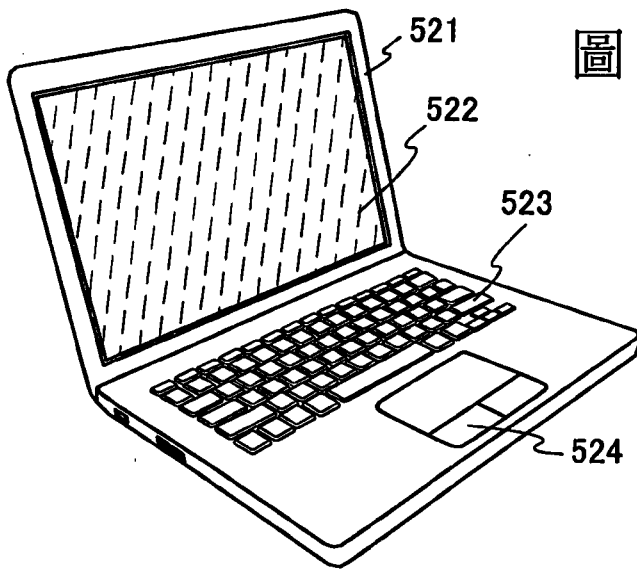


圖 23D

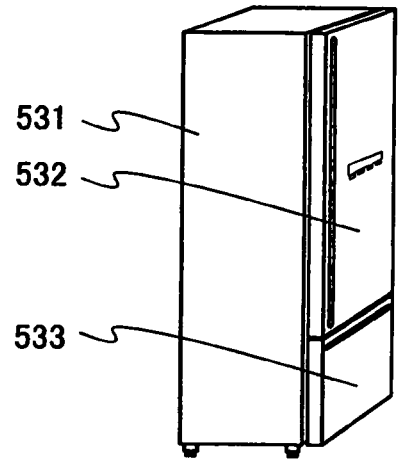


圖 23E

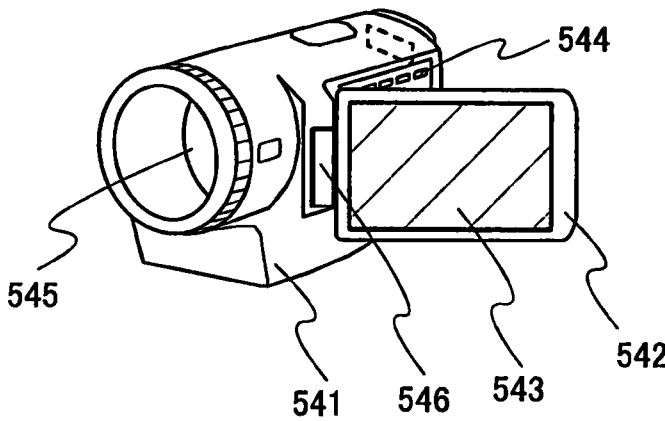
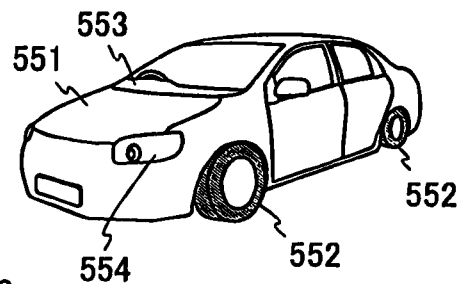


圖 23F



【代表圖】

【本案指定代表圖】：第(1)圖。

【本代表圖之符號簡單說明】：

100a：記憶單元

100b：記憶單元

101：電晶體

102：電晶體

103：電容元件

104：節點

105：電晶體

111：佈線

112：佈線

113：佈線

114：佈線

115：佈線

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

## 申請專利範圍

1. 一種半導體裝置的驅動方法，該半導體裝置包括第一字線、第二字線、第一位元線、第二位元線、第一佈線、第一電晶體、第二電晶體以及該第二電晶體與該第二位元線之間或該第二電晶體與該第一佈線之間的第三電晶體，

其中，該第一電晶體的閘極與該第一字線電連接，該第一電晶體的源極和汲極中的一個與該第一位元線電連接，該第一電晶體的該源極和該汲極中的另一個與該第二電晶體的閘極電連接，

該第二電晶體的源極和汲極中的一個與被供應電位  $V1$  的該第一佈線電連接，該第二電晶體的該源極和該汲極中的另一個與該第二位元線電連接，

該第三電晶體的閘極與該第二字線連接，

該方法包括如下步驟：

將該第一位元線的電位設定為電位  $VH$  或比電位  $VH$  低的電位  $VL$  並使該第一電晶體導通；

使該第一電晶體關閉；以及

在電位  $V2$  下使該第二位元線處於浮動狀態，然後使該第三電晶體導通，

其中在如下情況下，滿足  $V2 < V1 < V3 - V_{th}$ ：

$V_{th}$  是該第二電晶體的臨界值；以及

$V3$  是當將該第一位元線的該電位設定為  $VH$  時的保持期間之後的該第二電晶體的該閘極的電位，並且

其中，該保持期間是使該第一電晶體關閉的步驟與使該第二位元線處於該浮動狀態的步驟之間的期間。

2. 根據申請專利範圍第 1 項之驅動方法，其中該第一電晶體是 n 通道電晶體或 p 通道電晶體，該第二電晶體是 p 通道電晶體，該第三電晶體是 n 通道電晶體或 p 通道電晶體。

3. 根據申請專利範圍第 1 項之驅動方法，還包括如下步驟：在使該第二位元線處於該浮動狀態之前，使該第三電晶體關閉並將 V1 供應給該第一佈線。

4. 根據申請專利範圍第 1 項之驅動方法，其中 VH 和 VL 的平均低於 V1。

5. 根據申請專利範圍第 1 項之驅動方法，其中 V3 為 VH 的 40% 以下。

6. 根據申請專利範圍第 1 項之驅動方法，其中當該第三電晶體是 n 通道電晶體時，將該第二字線的電位設定為 VH 以使該第三電晶體導通。

7. 根據申請專利範圍第 1 項之驅動方法，還包括如下步驟：

將與電連接於該第二位元線的感測放大器電連接的第二佈線的電位設定為參考電位，使該第二佈線處於該浮動狀態，然後，藉由該感測放大器放大該第二位元線與該第二佈線之間的電位差，由此輸出該第二佈線的該電位。

8. 根據申請專利範圍第 7 項之驅動方法，其中該參考電位是 VH 和 VL 的平均。



9. 根據申請專利範圍第 1 項之驅動方法，其中該第一電晶體在通道形成區域中包括氧化物半導體膜。

10. 一種半導體裝置的驅動方法，該半導體裝置包括第一字線、第二字線、位元線、第一佈線、第一電晶體、第二電晶體以及該第二電晶體與該位元線之間或該第二電晶體與該第一佈線之間的第三電晶體，

其中，該第一電晶體的閘極與該第一字線電連接，該第一電晶體的源極和汲極中的一個與該位元線電連接，該第一電晶體的該源極和該汲極中的另一個與該第二電晶體的閘極電連接，

其中，該第二電晶體的源極和汲極中的一個與被供應電位  $V1$  的該第一佈線電連接，該第二電晶體的該源極和該汲極中的另一個與該位元線電連接，以及

其中，該第三電晶體的閘極與該第二字線連接，

該方法包括如下步驟：

將該位元線的電位設定為電位  $VH$  或比電位  $VH$  低的電位  $VL$  且使該第一電晶體導通；

使該第一電晶體關閉；以及

在電位  $V2$  下使該位元線處於浮動狀態，然後使該第三電晶體導通，

其中在如下情況下，滿足  $V2 < V1 < V3 - V_{th}$ ：

$V_{th}$  是該第二電晶體的臨界值；以及

$V3$  是當將該位元線的該電位設定為  $VH$  時的保持期間之後的該第二電晶體的該閘極的電位，並且

其中，該保持期間是使該第一電晶體關閉的步驟與使該位元線處於該浮動狀態的步驟之間的期間。

11. 根據申請專利範圍第 10 項之驅動方法，其中該第一電晶體是 n 通道電晶體或 p 通道電晶體，該第二電晶體是 p 通道電晶體，該第三電晶體是 n 通道電晶體或 p 通道電晶體。

12. 根據申請專利範圍第 10 項之驅動方法，還包括如下步驟：在使該位元線處於該浮動狀態之前，使該第三電晶體關閉並將 V1 供應給該第一佈線。

13. 根據申請專利範圍第 10 項之驅動方法，其中 VH 和 VL 的平均低於 V1。

14. 根據申請專利範圍第 10 項之驅動方法，其中 V3 為 VH 的 40% 以下。

15. 根據申請專利範圍第 10 項之驅動方法，其中當該第三電晶體是 n 通道電晶體時，將該第二字線的電位設定為 VH 以使該第三電晶體導通。

16. 根據申請專利範圍第 10 項之驅動方法，還包括如下步驟：

將與電連接於該位元線的感測放大器電連接的第二佈線的電位設定為參考電位，使該第二佈線處於該浮動狀態，然後，藉由該感測放大器放大該位元線與該第二佈線之間的電位差，由此輸出該第二佈線的該電位。

17. 根據申請專利範圍第 16 項之驅動方法，其中該參考電位是 VH 和 VL 的平均。

18. 根據申請專利範圍第 10 項之驅動方法，其中該第一電晶體在通道形成區域中包括氧化物半導體膜。

19. 一種半導體裝置的驅動方法，該半導體裝置包括第一字線、第二字線、位元線、第一佈線、第一電晶體、第二電晶體、該第二電晶體與該位元線之間或該第二電晶體與該第一佈線之間的第三電晶體以及電容器，

其中，該第一電晶體的閘極與該第一字線電連接，該第一電晶體的源極和汲極中的一個與該位元線電連接，該第一電晶體的該源極和該汲極中的另一個與該第二電晶體的閘極及該電容器的一個電極電連接，

該第二電晶體的源極和汲極中的一個與被供應電位  $V1$  的該第一佈線電連接，該第二電晶體的該源極和該汲極中的另一個與該位元線電連接，並且

其中，該第三電晶體的閘極與該第二字線連接，

該方法包括如下步驟：

將該位元線的電位設定為電位  $VH$  或比電位  $VH$  低的電位  $VL$  且使該第一電晶體導通；

使該第一電晶體關閉；以及

在比電位  $V1$  低的電位  $V2$  下使該位元線處於浮動狀態，然後將該電容器的另一個電極的電位設定為電位  $V3$ ，且使該第三電晶體導通。

20. 根據申請專利範圍第 19 項之驅動方法，

其中在如下情況下滿足  $V2 + \Delta V + V_{th} < V3 < V1 + V_{th}$ ：

$V_{th}$  是該第二電晶體的臨界值；

$\Delta V$  是當將該位元線的該電位設定為  $V_H$  時的保持期間之後的該第二電晶體的該閘極的電位的降低量；

$V_1$  是  $V_H$ ；以及

$V_2$  是  $V_L$ ，

其中  $\Delta V$  大於 0 且小於  $V_1$ ，並且

其中該保持期間是使該第一電晶體關閉的步驟與使該位元線處於該浮動狀態的步驟之間的期間。

21. 根據申請專利範圍第 19 項之驅動方法，其中  $V_3$  是  $V_1$  與  $V_2$  的平均。

22. 根據申請專利範圍第 19 項之驅動方法，其中  $V_3$  為  $V_H$  的 40% 以下。

23. 根據申請專利範圍第 19 項之驅動方法，其中該第一電晶體在通道形成區域中包括氧化物半導體膜。