

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3980827号
(P3980827)

(45) 発行日 平成19年9月26日(2007.9.26)

(24) 登録日 平成19年7月6日(2007.7.6)

(51) Int. Cl.	F I	
G 1 1 C 29/02 (2006.01)	G 1 1 C 29/00	6 7 5 L
G 1 1 C 29/04 (2006.01)	G 1 1 C 29/00	6 0 3 Z
G 1 1 C 29/12 (2006.01)	G 1 1 C 29/00	6 7 1 Z
G O 1 R 31/28 (2006.01)	G O 1 R 31/28	B
G O 6 F 12/16 (2006.01)	G O 1 R 31/28	V
請求項の数 5 (全 26 頁) 最終頁に続く		

(21) 出願番号	特願2000-364005 (P2000-364005)	(73) 特許権者	503121103
(22) 出願日	平成12年11月30日(2000.11.30)		株式会社ルネサステクノロジ
(65) 公開番号	特開2001-325800 (P2001-325800A)		東京都千代田区大手町二丁目6番2号
(43) 公開日	平成13年11月22日(2001.11.22)	(74) 代理人	100089071
審査請求日	平成16年2月27日(2004.2.27)		弁理士 玉村 静世
(31) 優先権主張番号	特願2000-66335 (P2000-66335)	(72) 発明者	佐藤 正幸
(32) 優先日	平成12年3月10日(2000.3.10)		東京都小平市上水本町五丁目20番1号
(33) 優先権主張国	日本国(JP)	(72) 発明者	内山 邦男
			東京都国分寺市東恋ヶ窪一丁目280番地
			株式会社日立製作所 中央研究所内
		審査官	小林 紀和
			最終頁に続く

(54) 【発明の名称】 半導体集積回路装置および製造方法

(57) 【特許請求の範囲】

【請求項1】

アドレス信号の入力によりデータの読み出しおよび書き込みが可能な複数の記憶回路を備えた半導体集積回路装置であって、

前記複数の記憶回路のうち一部の記憶回路は、アドレス信号により指定されるメモリセルからのデータの読み出しおよび書き込みが可能なメモリアレイと、

アドレス信号をデコードしてメモリアレイを選択する信号を生成するアドレスデコーダと、

前記メモリアレイに書き込まれたデータと前記メモリアレイから読み出されたデータとを比較する比較手段と、

前記アドレスデコーダに供給されるアドレス信号を前記比較手段における比較結果に基づいて変換する可変アドレス変換手段と、

前記メモリアレイから読み出されたデータを保持可能なデータ保持手段と、

前記データ保持手段に保持されているデータを前記アドレスデコーダの入力側に帰還させる帰還経路と、

入力アドレス信号または前記帰還経路を介して供給される前記データ保持手段の出力信号を切り替えて前記可変アドレス変換手段に供給可能なスイッチマトリックスと、

前記スイッチマトリックス内の各スイッチの制御情報を記憶する記憶手段と、を備え、

前記複数の記憶回路のうち一部の記憶回路は、前記記憶回路の読み出しデータが前記入力信号に対して期待される論理出力信号となるように前記記憶回路にデータが書き込まれ

ることにより当該記憶回路が所望の論理機能を有する論理回路として動作可能に構成されている

ことを特徴とする半導体集積回路装置。

【請求項 2】

前記可変アドレス変換手段は、
 複数のメモリセルを含むメモリアレイと、
 入力アドレス信号に基づいて前記メモリアレイ内のメモリセルを選択するアドレスデコーダと、
 前記メモリアレイから読み出された信号を増幅する読出し手段と、
 制御信号に基づいて前記入力アドレス信号を更新する手段と、
 により構成されていることを特徴とする請求項 1 に記載の半導体集積回路装置。

10

【請求項 3】

複数の記憶回路とこれらの記憶回路にアドレス信号を供給する第 1 の信号線群と、これらの記憶回路の書込みデータ信号および読出しデータ信号を伝達する第 2 の信号線群とを備え、

前記複数の記憶回路は、
 アドレス信号により指定されるメモリセルからのデータの読み出しおよび書き込みが可能なメモリアレイと、

アドレス信号をデコードして前記メモリアレイ内のメモリセルを選択する信号を生成するアドレスデコーダと、

20

前記メモリアレイから読み出されたデータを前記アドレスデコーダの入力側に帰還させる帰還経路と、

入力アドレス信号または前記帰還経路を介して帰還された信号を切り替えて前記アドレスデコーダに供給可能なスイッチマトリックスと、

該スイッチマトリックス内の各スイッチの制御情報を記憶する記憶手段と、を備え、

前記第 1 の信号線群の信号線と第 2 の信号線群の信号線との間を任意に接続可能なスイッチマトリックス回路および前記スイッチマトリックス回路内の各スイッチの制御情報を記憶する記憶手段が設けられていることを特徴とする半導体集積回路装置。

【請求項 4】

テスト用のインタフェース回路としてテスト・アクセス・ポートをさらに備え、
テスト回路が構成される記憶回路は前記テスト・アクセス・ポートを介して外部の装置と信号の入出力が可能にされることを特徴とする請求項 1、2 または 3 に記載の半導体集積回路装置。

30

【請求項 5】

前記記憶回路は揮発性メモリであることを特徴とする請求項 1、2、3 または 4 に記載の半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路装置およびその製造技術に関し、特に半導体集積回路装置においてテスト回路を搭載することによるオーバヘッドを低減できるテスト容易化設計手法に関し、例えば RAM (Random Access Memory) を内蔵したシステム LSI (大規模集積回路) などの半導体集積回路に適用して有効な技術に関する。

40

【0002】

【従来の技術】

従来一般に、RAM や CPU 等を搭載したシステム LSI と呼ばれる論理 LSI でのテスト容易化設計手法としては、内部論理回路を構成するフリップフロップをシリアルに接続してテストデータを入れ、内部論理回路を動作させて論理の状態を検査するスキャンパス方式が良く使われている。この技術は、LSSD (Level Sensitive Scan Design) 手法として提言されてから 10 年以上も経過しているが、ハードウェアのオーバヘッドが 35

50

%程度もあるとともに、不良検出率が85%程度しかなく、それ以上検出率を上げるためには多大な努力が必要であるという問題点がある。

【0003】

また、不良検出率を上げるにはテストに設けられているテストパターン発生器のパターン容量を著しく大きくしなければならず、テストの価格を大幅に引き上げている原因となっている。また、テストデータをシリアルデータとして入力しなくてはならないため、そのテストパターンの入力にも多大な時間を要しており、テスト時間の50%以上がテストパターンの入力時間となり、テストの有効稼働率を下げる原因にもなっている。

【0004】

上記スキャンパス方式以外に、ランダムパターン発生器とシグネチャ圧縮器をテスト回路としてチップに搭載したBIST (Built-In Self Test) 方式があるが、BIST方式は、スキャンパス方式で用いられる不良検出アルゴリズムに従って生成されたテストパターンによる論理検証とは異なり、ランダムなテストパターンを用いるものである。そのため、適切な不良検出率が維持されているかは大きな問題であり、適切な手法となるためにはさまざまな技術展開を必要としている。

10

【0005】

さらに、BIST方式を採用した場合においても、スキャンパス方式で用いられているような高速、高機能のテストと接続してテストからの制御に従って測定を行なう必要があり、BIST回路によるテストでは高価なテストを単なる待ち時間処理として待機させることが多いために、テストコストの低減にはならない。これを解決しようとしたのが、本発明者らが以前に提案した、チップ内にロジックテストを構築して自己テストさせる、いわゆる「テスト機能付きロジック」と呼ぶ技術であり、BISTとは違ったテスト回路をチップ内に内蔵させて測定する手法である。この手法では、高価なテストを使用する必要がないため大幅なテストコストの削減が可能になるものの、BIST方式と同様に、ハードウェアのオーバーヘッドが大きく、チップに搭載したテスト回路自身の不良によって製品歩留まりが低下するという問題も抱えている。

20

【0006】

この問題を解決するため、本発明者らは先に、チップ上にFPGA (Field Programmable Gate Array) を設け、このFPGAによりALPG (Algorithmic Pattern Generator) を構築して所定のアルゴリズムに従ってテストパターンを発生させてテストを行なえるようにするとともに、テスト終了後はFPGAに通常のロジック回路を再構成するようにしたいわゆる「オーバーヘッドなしテスト手法」と呼ぶ技術を提案した (国際公開W000/62339)。この技術は、自らの不良を検出可能ないわゆる自己検証型FPGAと呼ぶ回路をユーザロジック回路に内蔵させて、それにテスト回路を構成して自己テストさせて、最後にFPGAにユーザ回路を搭載することでテスト回路搭載に伴うハードウェアのオーバーヘッドを低減するものである。この手法においては、FPGAを自己検証型回路としているため、不良被爆を自ら検出してその不良箇所の情報を外部へ出力して、テストHDL (Hardware Description Language) によるFPGAへのロジックテストの構築やユーザ回路の構成の際に、その不良箇所を除いて回路を構成することができるため、歩留まりの低下を回避できる特徴を備えている。

30

40

【0007】

【発明が解決しようとする課題】

ところで、前記のようないわゆる「オーバーヘッドなしテスト手法」と呼ぶ技術について、その後さらに本発明者が検討した結果、以下のような不具合があることが明らかとなった。たとえば、この手法では、FPGAという新規デバイスプロセスの導入が必要であり、FPGAもしくはそれを搭載した製品を市場に提供している半導体メーカーはわずかなプロセスの変更により実現できるものであるが、一般的な半導体メーカーはFPGAもしくはそれを搭載した製品を製造していないのが通常で、この手法の展開にはFPGAの設計およびそれを半導体チップ上に形成するための新規プロセスの開発が必要になるという壁がある。

50

【 0 0 0 8 】

また、本発明者らは以前に、上記テスト容易化設計技術とは別に、メモリデバイスの救済に関して、いわゆる「自己構成チップ」と呼ぶ技術を提案している。この技術は、メモリに組合わせ回路の真理値データを書き込み、アドレスを入力として出力に所定の論理結果を出力させることでメモリを可変論理回路として利用するものであり、メモリの出力を入力にフィードバックすることによって組合せ論理のみならず順序回路を構成することができるため、任意の論理を構成することができるいわゆる「自己構成チップ」を実現できることを見出し先に出願した。本発明者は、さらにこの「自己構成チップ」の技術を前記「オーバヘッドなしテスト手法」適用することで、FPGAが不要になり、FPGAの設計およびそのプロセスの開発という課題が解決できることを考えついた。

10

【 0 0 0 9 】

本発明の目的は、FPGAという新規デバイスプロセスの導入をすることなく、チップ内にテスト回路を構成してチップ内のロジック回路をテストするオーバヘッドの少ないロジックテストを実現することができる半導体集積回路装置およびその製造方法を提供することにある。

【 0 0 1 0 】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【 0 0 1 1 】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。

20

【 0 0 1 2 】

すなわち、本発明に係る半導体集積回路装置は、アドレス信号の入力によりデータの読み出しおよび書き込みが可能な記憶回路と、前記記憶回路から読み出されたデータに応じた信号を前記アドレス信号の入力端子側に帰還させる帰還経路とを備え、論理回路の入力信号が上記記憶回路へアドレス信号として入力されるとともに、上記記憶回路の読み出しデータが上記入力信号に対して期待される論理出力信号となるように上記記憶回路にデータが書き込まれることにより当該記憶回路が所望の論理機能を有する論理回路として動作可能に構成されているものである。

30

【 0 0 1 3 】

上記した手段によれば、半導体集積回路装置に設けられている記憶回路を論理回路として利用することができるので、かかる記憶回路に半導体チップ内の他の回路を検査するテスト回路を構成することができるため、FPGAという新規デバイスプロセスの導入をことなくチップ内にロジックテスト回路を構成できるとともに、テスト終了後はテスト回路を構成した記憶回路を通常の記憶回路として使用できるため、ハードウェアのオーバヘッドの少ないテスト回路を実現することができる。

【 0 0 1 4 】

また、望ましくは、前記アドレス信号の入力端子への入力信号と前記記憶回路から読み出され前記帰還経路を介して帰還された信号を切り替えて前記記憶回路に供給可能なスイッチマトリックスと、該スイッチマトリックス内の各スイッチの制御情報を記憶する記憶手段とを設ける。これにより、任意の論理機能を有する組合せ回路のみならず直前の状態によって出力が異なる順序回路も前記記憶回路に構成することができ、より複雑な論理機能を、記憶回路を用いて実現することができる。しかも、スイッチマトリックスと、該スイッチマトリックス内の各スイッチの制御情報を記憶する記憶手段とを設けているため、記憶手段に記憶される制御情報を書き換えることで、記憶回路に任意の順序回路を構成したり、通常の記憶回路を構成することが極めて容易に行なえる。

40

【 0 0 1 5 】

本出願の他の発明に係る半導体集積回路装置は、アドレス信号の入力によりデータの読み出しおよび書き込みが可能な複数の記憶回路を備え、前記複数の記憶回路のうち一部の記

50

憶回路は、アドレス信号により指定されるメモリセルからのデータの読み出しおよび書き込みが可能なメモリアレイと、アドレス信号をデコードしてメモリセルを選択する信号を生成するアドレスデコーダと、前記メモリアレイに書き込まれたデータと前記メモリアレイから読み出されたデータとを比較する比較手段と、前記アドレスデコーダに供給されるアドレス信号を前記比較手段における比較結果に基づいて変換する可変アドレス変換手段とを備え、前記記憶回路の読み出しデータが前記入力信号に対して期待される論理出力信号となるように前記記憶回路にデータが書き込まれることにより当該記憶回路が所望の論理機能を有する論理回路として動作可能に構成されているものである。

【0016】

上記した手段によれば、アドレス変換回路を備えているため、記憶回路内の不良箇所を回避して所望の論理出力信号が得られるように記憶回路にデータを書き込んでおくことができ、これによって歩留まりの向上を図ることができる。

10

【0017】

また、望ましくは、前記メモリアレイから読み出されたデータを保持可能なデータ保持手段と、前記データ保持手段に保持されているデータを前記アドレスデコーダの入力側に帰還させる帰還経路と、入力アドレス信号または前記帰還経路を介して供給される前記データ保持手段の出力信号を切り替えて前記可変アドレス変換手段に供給可能なスイッチマトリックスと、前記スイッチマトリックス内の各スイッチの制御情報を記憶する記憶手段とを設ける。これにより、任意の論理機能を有する組合せ回路のみならず直前の状態によって出力が異なる順序回路も前記記憶回路に構成することができ、より複雑な論理機能を、記憶回路を用いて実現することができる。

20

【0018】

さらに、前記可変アドレス変換手段は、複数のメモリセルを含むメモリアレイと、入力アドレス信号に基づいて前記メモリアレイ内のメモリセルを選択するアドレスデコーダと、前記メモリアレイから読み出された信号を増幅する読出し手段と、制御信号に基づいて前記入力アドレス信号を更新する手段とにより構成する。これにより、新規な回路を設計することなく記憶回路を用いて可変アドレス変換回路を実現することができ、設計者の負担が軽減される。

【0019】

本出願のさらに他の発明に係る半導体集積回路装置は、複数の記憶回路とこれらの記憶回路にアドレス信号を供給する第1の信号線群と、これらの記憶回路の書込みデータ信号および読出しデータ信号を伝達する第2の信号線群とを備え、前記複数の記憶回路は、アドレス信号により指定されるメモリセルからのデータの読み出しおよび書き込みが可能なメモリアレイと、アドレス信号をデコードして前記メモリアレイ内のメモリセルを選択する信号を生成するアドレスデコーダと、前記メモリアレイから読み出されたデータを前記アドレスデコーダの入力側に帰還させる帰還経路と、入力アドレス信号または前記帰還経路を介して帰還された信号を切り替えて前記アドレスデコーダに供給可能なスイッチマトリックスと、該スイッチマトリックス内の各スイッチの制御情報を記憶する記憶手段とを備え、前記第1の信号線群の信号線と第2の信号線群の信号線との間を任意に接続可能なスイッチマトリックスおよび前記スイッチマトリックス内の各スイッチの制御情報を記憶する記憶手段を設けたものである。

30

40

【0020】

上記した手段によれば、半導体集積回路装置に設けられている複数の記憶回路を論理回路として利用することができるので、かかる複数の記憶回路を用いて半導体チップ内の他の回路を検査するテスト回路を構成することができるため、FPGAという新規デバイスプロセスの導入をことなくチップ内にロジックテスト回路を構成できるとともに、テスト終了後はテスト回路を構成した記憶回路を通常の記憶回路として使用できるため、ハードウェアのオーバーヘッドの少ないテスト回路を実現することができる。

【0021】

望ましくは、テスト用のインタフェース回路としてテスト・アクセス・ポートをさらに備

50

え、前記テスト回路が構成される記憶回路は前記テスト・アクセス・ポートを介して外部の装置と信号の入出力が可能に構成する。これにより、本発明の適用に伴うテスト用の端子数の増加は僅かで済み、半導体集積回路装置全体のピン数を少なくすることができる。

【0022】

なお、前記記憶回路は書き換え可能な不揮発性メモリでも揮発性メモリでも良いが、望ましくは揮発性メモリを用いる。不揮発性メモリはその書込みのために昇圧回路など周辺回路を多く必要とするとともに書込み時間も揮発性メモリに比べて長いが、揮発性メモリを用いることにより占有面積の増大や書込み時間が長くなるのを回避することができる。

【0023】

本出願のさらに他の発明に係る半導体集積回路装置の製造方法は、複数のロジック回路と、複数の記憶回路を含み、前記複数の記憶装置のうち一部の記憶回路は、アドレス信号により指定されるメモリセルからのデータの読み出しおよび書き込みが可能メモリアレイと、アドレス信号をデコードして前記メモリアレイ内のメモリセルを選択する信号を生成するアドレスデコーダと、前記メモリアレイから読み出されたデータを前記アドレスデコーダの入力側に帰還させる帰還経路と、入力アドレス信号または前記帰還経路を介して帰還された信号を切り替えて前記アドレスデコーダに供給可能なスイッチマトリックスと、該スイッチマトリックス内の各スイッチの制御情報を記憶する記憶手段とを備え前記メモリアレイへの書込みデータにより任意の論理を構成可能な記憶回路である半導体集積回路装置において、前記任意の論理を構成可能な記憶回路に他の記憶回路もしくはロジック回路を¹⁰検査するテスト回路を構成する工程と、前記テスト回路により前記他の記憶回路や前記ロジック回路をテストする工程と、前記他の記憶回路や前記ロジック回路のテスト終了後に、前記記憶回路を通常の記憶回路として動作するように再構成する工程とを含むようにしたものである。²⁰

【0024】

上記した手段によれば、高機能のテスト装置を用いなくてもチップ内部の記憶回路に構成したテスト回路で自己テストを行なうことができるため、同時に多数の半導体集積回路装置のテストを行なうことができ、製造コストを大幅に下げることができる³⁰とともに、テストに要する時間も短縮することができる。

【0025】

また、望ましくは、前記他の記憶回路が不良メモリセルを予備のメモリセルに置き換える冗長回路を備える場合に、前記記憶回路のテスト終了後にテスト工程により検出された不良メモリセルを予備のメモリセルに置き換える救済処理工程をさらに含むようにする。これにより、チップ上の記憶回路に構成されたテスト回路により、他の記憶回路のテストは³⁰もちろん不良メモリセルの救済をも行なうことができるため、外部のテスト装置の負担がさらに軽減され、テストに要するコストを大幅に下げることができる。

【0026】

さらに、望ましくは、前記テスト回路によるテスト工程は、当該テスト回路が構成された記憶回路以外の記憶回路に前記テスト回路によるテスト結果を格納させるようにする。これにより、外部の装置はテスト回路によるテスト中、半導体集積回路装置の外部端子から⁴⁰出力されるテスト結果を示す信号を常時監視している必要はなく、テスト終了後に一括して内部の記憶回路からテスト結果を読み出すことができ、テストの効率が大幅に向上する。

【0027】

さらに、前記任意の論理を構成可能な記憶回路にテスト回路を構成する工程は、ハードウェア記述言語で記述された機能レベルの設計データを制御手段で解釈して、前記記憶回路の論理構成を決定する信号を前記制御手段から前記記憶回路に与えることにより⁴⁰所望の論理機能を有する論理回路を構成する。

【0028】

これにより、自己構成型の記憶回路としてのSRAMにHDL記述に基づいてテスト回路⁵⁰

を構成できるため、チップ内へのテスト回路の構築をコンピュータを用いて容易に行なうことができるとともに、通常のテストで使用されているテストプログラムが使用可能となり、テスト回路のためのデバッグが不要となるので、テスト設計の工数を大幅に低減できる半導体集積回路装置を実現することが可能となる。

【0029】

【発明の実施の形態】

以下、本発明の好適な実施例を図面に基づいて説明する。

図1は、本発明を適用したシステムLSIの一実施例のブロック図で、公知の半導体集積回路の製造技術により単結晶シリコンのような1個の半導体チップ100上に構成される。

10

【0030】

図1の符号110～170は上記半導体チップ100上に構成された内部回路、180はこれらの内部回路と外部装置との間の信号の入出力を行なうインタフェース回路、190は上記内部回路110～170相互間およびインタフェース回路180との間を接続する内部バスである。上記内部回路110～170のうち、110はユーザが要求する論理機能を構成するユーザ論理回路のようなカスタム論理回路、120はプログラムの命令を解読して対応する処理や演算を実行するCPU（中央処理ユニット）、130および140はスタティックRAM（ランダム・アクセス・メモリ）、150～170はダイナミックRAMである。インタフェース回路180は、特に制限されるものでないが、5V系のLSIとの間の信号の送受信を行なうインタフェース回路5VI/Fと、3.3V系のLSIとの間の信号の送受信を行なうインタフェース回路3.3VI/Fとを含む。

20

【0031】

さらに、この実施例のシステムLSIには、特に制限されるものでないが、内部回路のテスト時に外部のテストとの間の信号の入出力を行なうため、IEEE1149.1規格で規定されているTAP（Test Access Port）200がテスト用のインタフェース回路として設けられている。本実施例の半導体集積回路にTAP200を介して接続されるテストは、従来の論理LSIやメモリのテストのような高機能のものでなくデータの書き込みと読み出しおよび簡単なデータ処理が行なえるものでよく、パーソナルコンピュータを用いることも可能である。

【0032】

上記スタティックRAM130、140およびダイナミックRAM150～170は、内部バス190を介してアドレス信号が与えられたときに対応するメモリセルを選択するアドレスデコーダ等のメモリ周辺回路を含む。さらに、ダイナミックRAM150～170は、非アクセス時間が長くなってもメモリセルの情報電荷が失われないように周期的に疑似選択するリフレッシュ制御回路を含む。また、特に制限されるものでないが、この実施例では、ダイナミックRAM150～170には、メモリアレイ内に欠陥ビットがあった場合にその欠陥ビットを含むメモリ行もしくはメモリ列を予備のメモリ行151～171もしくは予備のメモリ列152～172と置き替えるいわゆる冗長回路がそれぞれ設けられている。そして、この実施例においては、一方のRAM130の一部に任意の論理を構成可能な自己構成回路300が設けられている。

30

40

【0033】

図2には、図1のSRAM130の一部に設けられている自己構成回路の一構成例のブロック図が示されている。

【0034】

図2において、10は公知の汎用DRAM（ダイナミック・ランダム・アクセス・メモリ）もしくはSRAM（スタティック・ランダム・アクセス・メモリ）とほぼ同様な構成を有する読み出しおよび書き込み可能なメモリ回路である。

【0035】

すなわち、メモリ回路10は、複数のメモリセルがマトリクス状に配置されるとともに、複数のワード線と複数のデータ線が格子状に配置され、同一の行のメモリセルはそれぞれ

50

れ対応するワード線に接続され、同一の列のメモリセルはそれぞれ対応するデータ線に接続されてなるメモリアレイ 11 と、供給されたアドレス信号をデコードしてメモリアレイ 11 内の対応する 1 本のワード線を選択レベルにするアドレス・デコーダ 12 と、選択されたワード線に接続されたメモリセルからデータ線に読み出された電位を増幅するセンスアンプ回路 13 と、チップ選択信号 CE および書込み制御信号 WE に基づいて上記センスアンプ回路 13 などの動作タイミングを制御する書込み・読出し制御回路 14 などから構成されている。

【0036】

この実施例の自己構成回路には、上記メモリ回路 10 の他、チップ外部から入力された書込みデータを取り込んでセンスアンプ回路 13 へ渡したり、メモリ回路 10 から読み出されたデータをチップ外部へ出力したり、読出しデータとチップ外部から入力されたデータとを比較したりする比較器 20 と、チップ外部からアドレス入力端子 41 に入力されたアドレス信号を上記比較器 20 における比較結果に応じて変換し上記アドレス・デコーダ 12 に供給する可変アドレス変換手段としての自己構成マトリックス 30 と、前記比較器 20 とデータ入出力端子 42 との間に設けられメモリ回路 10 から読み出されたデータもしくはデータ入出力端子 42 より入力された前回の入力データを保持するデータストレージ 60 と、上記データストレージ 60 に保持されているデータを入力アドレス信号に代えて自己構成マトリックス 30 へ供給するためのスイッチマトリックス 70 とが設けられている。

【0037】

図 3 には、図 2 の実施例の自己構成回路に含まれるスイッチマトリックス 70 の具体例が示されている。

【0038】

スイッチマトリックス 70 は、図 3 (A) に示されているように、アドレス入力端子 41 に入力されたアドレス信号がのる複数の信号線 71 とデータストレージ 60 からのフィードバック信号 (Dn) がのる信号線 72 とが互いに交差するように格子状に配置され、信号線 71 と 72 の各交点に切替えスイッチ回路 73 が配置されてなる。これとともに、各切替えスイッチ回路 73 の制御情報を記憶する RAM 74 が設けられている。

【0039】

上記切替えスイッチ回路 73 は、図 3 (B) に示されているように、アドレス入力端子 41 より入力されたアドレス信号またはデータストレージ 60 の出力信号を選択して出力させるため信号線 71 と 72 との間に接続され相補的にオン、オフ状態にされる一対の MOSFET からなるスイッチ素子 SW1, SW2 により構成されている。そして、各スイッチ素子 SW1, SW2 のゲート端子が RAM 74 内に記憶されている制御情報に従って制御されるように構成されている。ただし、RAM 74 を設ける代わりに、図 3 (C) のように、信号線 71 と信号線 72 の各交点にそれぞれ SRAM セルと同様なスタティック型メモリセル MC と切替えスイッチ CSW とを設けた構成としても良い。このスイッチ CSW は、図 3 (B) のスイッチ素子 SW1, SW2 を統合して表わしたものである。

【0040】

図 4 には、自己構成回路に含まれるデータストレージ回路 60 の具体例が示されている。なお、図 4 には、メモリアレイ 11 から読み出されたデータを出力する経路のみ示されており、メモリアレイ 11 への書込みデータの経路は省略されている。

【0041】

データストレージ回路 60 は、図 4 に示されているように、メモリ回路 10 内のメモリアレイ 11 の 2 本ずつのデータ線に対応して設けられたフリップフロップ FF1, FF2, ... FFn と、各フリップフロップのラッチ用クロックを形成するための AND ゲート G1, G2, ... Gn とから構成されている。

【0042】

そして、各フリップフロップ FFi (i = 0 ~ n) は、対をなすデータ線の一方の信号 (di) がデータ入力端子 D に入力される。また、対をなすデータ線の他方の信号 (Ai)

10

20

30

40

50

はシステムクロック信号CLKとともにANDゲートGiに入力されている。そして、このANDゲートGiの出力信号が対応するフリップフロップFiのクロック端子CKに入力され、クロック端子CKへの信号の立ち下がりまたは立ち上がりに同期してデータ端子Dへの入力信号が当該フリップフロップFiに取り込まれるように構成されている。

【0043】

図4の回路においては、信号Aiがロウレベルにされていると、ANDゲートGiの出力がロウレベルに固定されるため、システムクロックCLKが変化しても対応するフリップフロップFiはラッチ動作を行なわない。つまり、この実施例では、信号AiをフリップフロップFiへのデータの取込みを行なうか否か制御する信号(以下、アクティブビットと称する)として使用している。

10

【0044】

上記のような動作特性を有するデータストレージ60を用いることにより、ある入力状態に応じてメモリ回路10から読み出されたデータを選択的に保持し、これをスイッチマトリックス70を介して自己構成マトリックス30へ供給することで前回の出力データで次の入力状態を制御することができる。つまり、これによって、順序回路を構成することができるようになることが容易に理解できる。

【0045】

図5には、図2の実施例の自己構成回路に含まれる比較器20の具体例が示されている。

【0046】

図5に示されているように、比較器20は、センスアンプ回路13の出力端子に接続された信号線51とデータ入出力端子42に接続された信号線52との間に設けられ上記書込み・読出し制御回路14から供給される比較指示信号CCにより制御されるスイッチ手段21と、センスアンプ回路13からの読出し信号と上記書込み・読出し制御回路14から供給される比較指示信号CCとを入力信号とするNANDゲート回路22と、該NANDゲート回路22の出力信号と上記データ入出力端子42より入力された信号とを入力とするイクスクルーシブORゲート回路23と、複数のイクスクルーシブORゲート回路23の出力信号を入力とするORゲート回路24とから構成されている。

20

【0047】

すなわち、上記スイッチ手段21とNANDゲート回路22とイクスクルーシブORゲート回路23とからなる比較回路が、各データ入出力端子42ごとに設けられ、各比較回路のイクスクルーシブORゲート回路23の出力信号が上記ORゲート回路24に入力され、ORゲート回路24の出力信号が比較結果信号CMとして前記自己構成マトリックス30に供給されるように構成されている。なお、図示しないが、信号線52側にはデータ入出力端子42に共通に接続された入力バッファと出力バッファが設けられていても良い。

30

【0048】

図6には、図2の実施例の自己構成回路に含まれる自己構成マトリックス30の具体例がブロック図で示されている。この自己構成マトリックス30は、図2のメモリ回路10とほぼ同様な回路構成を有している。

【0049】

すなわち、自己構成マトリックス30は、複数のメモリセルがマトリックス状に配置されるとともに、複数のワード線と複数のデータ線が格子状に配置され、同一の行のメモリセルはそれぞれ対応するワード線に接続され、同一の列のメモリセルはそれぞれ対応するデータ線に接続されてなるメモリアレイ31と、外部より入力端子41に供給されたアドレス信号をデコードしてメモリアレイ31内の対応する1本のワード線を選択レベルにするアドレス・デコーダ32と、選択されたワード線に接続されたメモリセルからデータ線に読み出された電位を増幅するセンスアンプ回路33と、上記比較器20からの比較結果信号CMに基づいて上記センスアンプ回路33の動作タイミングを制御する書込み読出し制御回路34などから構成されている。

40

【0050】

図示しないが、上記アドレス・デコーダ32は、アドレスをデコードするデコード回路と

50

、デコードされるアドレスを上記比較結果信号CMに基づいてインクリメントもしくは更新するインクリメンタもしくは演算器を含んでいる。

【0051】

次に、上記実施例の自己構成回路における変換アドレスの変更の仕方を、図7に示されているフローチャートを用いて説明する。なお、図7に示されているフローチャートが開始される以前に、初期設定処理等により自己構成マトリックス30においては、メモリアレイ31内の各番地にメモリ回路10の各番地に対応したアドレスが格納されている。

【0052】

外部よりアドレス入力端子41へアドレス信号が入力されると、自己構成マトリックス30のアドレスデコーダ32はそのアドレス信号をデコードしてメモリアレイ31内の対応するワード線を選択レベルにして予め格納されているアドレスデータを出力、すなわちアドレス変換を行なう(ステップS11)。読み出されたアドレスデータは、センスアンプ33により増幅されてメモリ回路10のアドレスデコーダ12に供給される。アドレスデコーダ12は供給されたアドレスをデコードしてメモリアレイ11内の対応するワード線を選択レベルにし、そのとき比較器20を介して外部より入力されているデータを選択メモリセルに書き込む(ステップS12)。

【0053】

次に、メモリアレイ11から当該書込みデータの読出しを行なう(ステップS13)。読み出されたデータはセンスアンプ13により増幅されて比較器20に供給される。このとき、データ入出力端子41にはデータ書込み時に入力された書込みデータが入力されている。これによって、比較器20はメモリアレイ11から読み出されたデータとデータ入出力端子41に入力されている書込みデータとを比較し、一致または不一致を示す比較結果信号CMを自己構成マトリックス30の書込み読出し制御回路34へ出力する。

【0054】

すると、書込み読出し制御回路34は、比較結果信号CMを見て書込みが正常に行なわれたか否か判定する(ステップS14)。ここで、書込み読出し制御回路34が書込み失敗と判定すると、アドレスデコーダ32へ信号を送って内部のインクリメンタを動作させ、メモリ回路10へ供給される入力アドレス信号を更新(インクリメント)させる(ステップS15)。すると、この更新されたアドレスは、アドレスデコーダ12に供給されてデコードされ、メモリアレイ11内の次のワード線が選択レベルにされる。そして、ステップS12へ戻ってそのワード線に接続されている選択メモリセルに、比較器20を介して外部より入力されているデータが書き込まれる。

【0055】

次に、再びメモリアレイ11から当該書込みデータの読出しを行ない、比較器20により外部からデータ入出力端子42へ入力されているデータとの比較を行なう。そして、一致すると書込み読出し制御回路34は外部へ書込み終了信号WFを出力して、一つのアドレスに対するデータの書込み動作が終了する(ステップS16)。外部の制御回路は、上記書込み終了信号WFを受けると次のアドレス信号を生成してアドレス入力端子41へ入力する。これに応じて、再び図7の書込み制御フローがステップS1から開始され、次のアドレスに対する書込み処理が実行される。

【0056】

上記のように、この実施例においては、データ書込み後に当該書込みデータを読み出して判定し、誤りがあればアドレスを更新して次のアドレス位置にデータを書き込むようにしている。これによって、メモリアレイ11内に欠陥があっても自動的にそのアドレスをとばして次のアドレスにデータが書き込まれることとなる。そのため、この実施例の自己構成回路にあっては、メモリアレイ11内のすべてのメモリセルが正常である必要がないのみならず、事前にメモリアレイに不良ビットがないかテストする必要もないという利点を有している。

【0057】

なお、上記実施例では、メモリアレイ11に欠陥があるか否か判定して書込みを行なう場

10

20

30

40

50

合について説明したが、図6において自己構成マトリックス30のセンスアンプ33の出力信号線を、メモリ回路10のアドレスデコーダ12のみならず図2の比較器20へも供給可能に構成しておく。そして、上記と同様にしてメモリアレイ31への書込みデータの正常/異常を判定して、異常の場合にはアドレスをとばすようにする。これにより、メモリアレイ31に関しても、すべてのメモリセルが正常である必要がないのみならず、事前にメモリアレイに不良ビットがないかテストする必要もなくなる。

【0058】

図8には、図2に示されている自己構成回路により構成される論理回路の一例としてのフリップフロップ回路の一例とそのHDL記述が示されている。図8(A)のフリップフロップ回路は、2つのNANDゲート回路G11, G12の各出力端子が他方のNANDゲート回路の一方の入力端子に接続されている。

10

【0059】

このフリップフロップ回路を構成する2つのNANDゲート回路G11, G12の入力信号に対応する出力信号状態を表わす真理値表は、図9のようになる。図9において、A1, A2はメモリ回路10に入力に対応して記憶される前述のアクティブビットで、このアクティブビットが“1”のときだけフリップフロップの出力値は対応するNANDゲートの真理値データを出力することを意味する。

【0060】

図8(A)に示すようなフリップフロップ回路を、図2の自己構成回路を用いて構成する場合には、まず、4つの入力信号In0, In1, In2, In3をアドレス入力端子41よりスイッチマトリックス70を介して自己構成マトリックス30に入力する。これとともに、それらの入力信号の組合せに対応した図8に示す真理値表の出力データd1, A1, d2, A2をデータ入出力端子42より入力する。これにより、上記入力信号In0, In1, In2, In3をアドレスとしてメモリ回路10内のメモリアレイ11の所定の番地に真理値表の出力データd1, A1, d2, A2を書き込まれる。書込みが終了したら、読み出しを行なって正常に書き込まれたか否か判定し、書込みエラーのときはアドレス更新して別の番地に書込みを行なう。

20

【0061】

次に、構成しようとするフリップフロップ回路の帰還ループを設定するため、データストレージ60内の所定のフリップフロップ(例えばFF1, FF2)に対する状態設定を行なう。具体的には、まず入力信号In2, In3をそれぞれ「0」に固定して、NANDゲート回路G11に着目しその入力信号In0, In1をフリップフロップFF1に保持させたいデータに応じて“0, 0”, “1, 0”, “0, 1”または“1, 1”に設定してアドレス入力端子41より入力する。

30

【0062】

すると、図9のa, b, c, dの欄にそれぞれ示されているように、入力信号In2, In3が共に「0」に固定されていると、NANDゲート回路G1に対応するアクティブビットA1として“1”が読み出される。そのため、データストレージ60のANDゲートG1を通してクロックCLKがフリップフロップFF1に供給される。その結果、そのときの入力信号In0, In1の組合せに応じて“1”または“0”のデータd1がフリップフロップFF1に取り込まれる。つまり、フリップフロップFF1の状態が設定される。

40

【0063】

次に、入力信号In0, In1をそれぞれ「0」に固定して、NANDゲート回路G12に着目しその入力信号In2, In3をフリップフロップFF2に保持させたいデータに応じて“0, 0”, “1, 0”, “0, 1”または“1, 1”に設定してアドレス入力端子41より入力する。

【0064】

すると、図9のa, e, i, mの欄にそれぞれ示されているように、入力信号In0, In1が共に「0」に固定されていると、NANDゲート回路G2に対応するアクティブビ

50

ットA2として“1”が読み出される。そのため、データストレージ60のANDゲートG2を通してクロックCLKがフリップフロップFF2に供給される。その結果、そのときの入力信号In2, In3の組合せに応じて“1”または“0”のデータd2がフリップフロップFF2に取り込まれる。つまり、フリップフロップFF2の状態が設定される。

【0065】

なお、図8に示すような2つのNANDゲートからなるフリップフロップは、それぞれの出力信号が他方のNANDゲートの一方の入力端子に帰還されているため、出力Out0, Out1が同時に“0”となり得ない。従って、上記データストレージ60のフリップフロップFF1, FF2の状態を設定する際には、それらの保持状態が共に“0”にならないように留意する必要がある。

10

【0066】

上記のようにして、フリップフロップFF1, FF2を所望の状態に設定した後に、スイッチマトリクス回路70内の制御情報RAM74内の、図3(A)において点線で囲まれているスイッチCSW31とCSW22に対応するメモリセルの記憶データを書き換えて、それらのスイッチを、アドレス入力端子41側からデータストレージ60の出力端子側へ切り替える。これによって、図8のフリップフロップの入力信号In1, In2は入力不許可とされ、代わりにNANDゲートG11, G12の出力Out0, Out1が入力信号(アドレス)として次段の自己構成マトリクス30に供給されるようになる。つまり、これによって、フリップフロップの帰還ループが構成されたこととなる。

20

【0067】

このように図2の実施例の自己構成回路を用いることにより、HDL記述された設計データが格納されたファイルから読み出されたHDL記述に基づいて、対応する論理機能を自己構成回路300内に構成することができる。

【0068】

図10には、図2の実施例の自己構成回路300を用いHDL記述に従って所望の論理機能を有する論理回路を構成するシステムの例が示されている。

【0069】

図10において、400は図8に示されているようなHDL記述された設計データが格納された記憶装置(ファイル)、500は該ファイル400に記憶されているHDL記述を解読して対応する論理機能を自己構成回路300内に構成するための信号を形成し出力する制御装置である。この制御装置500は、例えば汎用のマイクロコンピュータを用いて構成することができる。

30

【0070】

次に、図10のシステムにより、図2の実施例の自己構成回路300を用いて、ファイル400のHDL記述に従って図8に示されているような構成のフリップフロップ回路を論理構成する手順を説明する。

【0071】

まず、汎用のマイクロコンピュータなどからなる制御装置500は、HDL記述を解読して構成対象がフリップフロップ回路であることを認識し、例えば自己構成回路300に供給するアドレス信号として図9の真理値表に示されている入力信号In0, In1, In2, In3の組み合わせ“0, 0, 0, 0”, “1, 0, 0, 0”, “0, 1, 0, 0” …… “1, 1, 1, 1”を生成する。

40

【0072】

そして、この生成したアドレス信号を自己構成回路300のアドレス入力端子41へ与える。これとともに、制御装置は、真理値表の出力d1, d2に相当するデータと対応するアクティブビット・データA1, A2を、上記各アドレスに対応する書込みデータとして生成して、自己構成回路300へのアドレス信号の入力と時間的に並行してデータ入出力端子42へ与える。

【0073】

50

すると、自己構成回路300内では、図7のフローチャートを用いて説明した手順に従ってメモリ回路10へのデータの書込みを行なう。従って、書込み終了後に、フリップフロップ回路の入力信号 $I_{n0} \sim I_{n3}$ を、自己構成回路300の所定のアドレス入力端子41へ入力すると、メモリ回路に記憶されている対応するデータ（出力データビット d_1 、 d_2 およびアクティブ・ビット A_1 、 A_2 ）が読み出される。そして、先ずアクティブ・ビット A_1 、 A_2 が“1”であるものに対応する出力データが、図4に示されているフリップフロップ FF_i ($i = 1 \sim n$)に取込まれる。これがスイッチマトリックス60を介して自己構成マトリックス30へ供給される。

【0074】

これによって、前に読み出されたデータに応じて次のデータがメモリ回路10から読み出され、フリップフロップ回路の出力 Out_0 、 Out_1 に相当する信号がデータ入出力端子42の所定の端子から出力されるようになる。このように、図2の実施例の自己構成回路を使用すると、HDL記述に従ったメモリ回路10へのデータ書込みによりフリップフロップの論理を構成することができ、順序回路を含む所望の論理機能が実現されることとなる。

10

【0075】

図11は、図1に示されているTAPを用いたインタフェース回路200の具体例を示す。

【0076】

TAPは前述したように、IEEE1149.1規格で規定されているスキャンテストやBIST回路のためのインタフェースおよび制御回路で、入力ポートからのテストデータを出力ポートへシフトするとき使用するバイパスレジスタ211、回路へ特定の信号を伝える場合に使用するデータレジスタ212、チップ固有の製造識別番号を設定するためのデバイスIDレジスタ213、データレジスタの選択や内部のテスト方法を制御する場合に使用するインストラクションレジスタ214、TAP回路全体を制御するコントローラ215等により構成されている。

20

【0077】

上記データレジスタ212はオプション扱いのレジスタである。また、インストラクションレジスタ214に設定される命令には、4つの必須命令と3つのオプション命令が用意されている。コントローラ215には、専用の3つの外部端子から、テストモードを指定するためのテストモードセレクト信号 TMS 、テストクロック CLK 、リセット信号 $TRST$ が入力されており、これらの信号に基づいて上記レジスタ211～214やセレクト回路216～218に対する制御信号を形成する。

30

【0078】

また、TAPにはテストデータ TDI の入力端子とテスト結果データ TDO の出力端子が設けられており、入力されたテストデータ TDI は上記セレクト回路216を介して各レジスタ211～214または内部のスキャンパス $Iscan$ 、 $Bscan$ へ供給される。また、レジスタ211～214の内容および内部回路からのスキャンアウトデータは、セレクト回路217、218を介してチップ外部へ出力される。さらに、TAPには、データレジスタ212とインストラクションレジスタ214の内容に従って内部のBIST回路に対する信号が形成されて供給されると共に、BIST回路から出力されたテスト結果を示す信号がセレクト回路217、218を介してチップ外部へ出力可能に構成されている。

40

【0079】

図1の実施例のシステムLSIでは、後に詳細に説明されるように自己構成回路300やCPU120上に構築される自己テスト回路をBIST回路とみなして、上記TAP200の有するBIST回路用の信号入出力機能を利用して、自己構成回路300やCPU120に対する自己テストのための設定信号やデータを入力したり、テスト結果を出力したりするように構成されている。

【0080】

なお、図11において、“ $Iscan$ ”は内部論理回路を構成するフリップフロップをチェー

50

ン状に結合したシフトレジスタをテストデータのスキャンパスとして使用して、内部論理回路の診断を行なうためのテストパスを意味する。また、“Bscan”は信号入出力部(図1のインタフェース回路180)内に設けられているフリップフロップをチェーン状に結合したシフトレジスタをスキャンパスとして使用して、他の半導体集積回路との間の接続状態の診断(バウンダリスキャンテスト)を行なうためのテストパスを意味する。TAP200の有するスキャンテストのための機能は、図1の実施例のシステムLSIでは使用しなくてもよい。

【0081】

このように上記実施例においては、テスト回路の構成やチップ内へのテストプログラムのロードを、TAPを介して行なうようにしているため、テスト端子が数ピン(4~5ピン)で良い半導体集積回路装置を実現することが可能となる。すなわち、テスト回路の構成やテストプログラムのロードは、外部システムからの搭載やテストプログラム、テストパターンの搭載を必要としているが、本実施例においてはTAPとして技術的に確立したプロトコルを活用することで実現できる。このTAPは標準化されており、4~5ピンのテスト端子で命令実行され得るため、本実施例の適用に伴う端子数の増加は僅かで済み、LSIのピン数を少なくすることができる。

10

【0082】

次に、図12を用いて、図1の半導体集積回路装置の一例としてのシステムLSIの製造方法の手順を説明する。

まず、SRAM130の一部に構成された自己構成回路300に、メモリのテストパターンを発生するALPGをHDL記述に基づいて構成させる(ステップS101)。それにより、SRAM130および他のSRAM140をテストする(ステップS102)。このSRAM130、140のテストの結果を判定し(ステップS103)、不良であれば、その製品は不良として不良信号を生成し(ステップS104)、外部のテストに認知させてテストを終了させる。

20

【0083】

一方、SRAM140のテストの結果、良品と判定されると、自己構成回路300にロジック回路部分をテストするテスト回路をHDL記述に基づいて構成するとともに、そのテストパターンを格納するメモリを上記ステップS102のテストの結果、良品と判定されたSRAM140に構成して(ステップS105)、それにテストパターンを記述してユーザロジック回路110やCPU120を検査する(ステップS106、S107)。このテストで不良であれば、その製品は不良として不良信号を生成し(ステップS104)、外部のテストに認知させてテストを終了する。

30

【0084】

さらに、ユーザロジック回路110やCPU120のテスト結果、良品と判定されると、自己構成回路300に、再度、ALPGを構成し(ステップS108)、かつCPU120にDRAM150~170の救済アルゴリズムをロードさせて(ステップS109)、ALPGでDRAM150~170をテストしつつCPUによりビット救済を実施する(ステップS110)。この時、救済アルゴリズムはCPU120にロードせずに、テスト言語から生成される救済アルゴリズムをテストHDLで記述してそのHDL記述に基づいて自己構成回路300にALPGと一体に構成して実現しても良い。

40

【0085】

そして、DRAM150~170のテストで不良かつ救済不可能であれば、その製品は不良と判定して不良信号を生成し(ステップS104)、外部のテストに認知させてテストを終了する。一方、良品であれば、自己構成回路300を通常のSRAMに再構成し、システムの記憶装置として動作させる(ステップS111)。なお、自己構成回路300では自己構成的に不良が除去されているので、テストの必要はない。

【0086】

以上の方法により、テスト専用の回路をチップ上に設ける必要のないいわゆる「オーバヘッドなしロジックテスト回路」を実現でき、しかも自己構成回路300はその構成の大部

50

分がもともとSRAMの構成に類似しているのでRAMへの加工はそのオーバーヘッドが微小なものであり、この手法での回路の増加は微小にとどまる。

【0087】

すなわち、本実施の形態によれば、自己構成回路300は通常のメモリ回路のアドレスデコーダの前段に自己構成マトリックスを設け、出力には比較器を設けて、この自己構成マトリックスと比較器の動作によって外部システムより所定のアドレッシングを行わせ、所定の書き込み/読み出し動作のできないアドレスは自己構成マトリックスの変更により他のアドレスと置換させることにより不良アドレスを迂回する手法を採っているため、自己構成的に不良が除去されることとなる。そして、この自己構成回路300のアドレスを入力信号としてメモリ回路10に所望の論理回路の真理値を記憶させることによって、入力

10

【0088】

さらに、自己構成回路300には、アドレス入力側に入力とフィードバック信号とを切替え可能なスイッチマトリックス70を設け、かつデータ出力側にデータストレージ60を設けて、時分割で論理を行なうようにし、データストレージ60に保持された最初の論理結果をスイッチマトリックス70を介して入力に帰還させていることにより、メモリ回路10から出力される論理値が前の状態に依存する順序回路を実現することができる。

【0089】

以上の説明から、本実施の形態の自己構成回路300では組み合わせ回路の構成と順序回路の構成が可能であることが分かる。このように、仮想テスト技術研究よりテストHDLから構成されるテスト回路は一般の論理回路であり、それは自己構成回路300で構成され得る。つまり、通常のSRAMに自己構成マトリックスや比較器、スイッチマトリックス、データストレージなどの周辺回路を付加することにより、不良を迂回する形でテスト回路を構成することが可能である。しかも、このとき付加される回路はメモリアレイの規模からすると小規模であり、特にデータストレージ機能などは最近多くなってきたパイプライン構造のSRAMでは通常搭載されている機能であり、それを利用することで小規模な回路変更のみで実現可能である。

20

【0090】

また、これらの回路はウェハのスクライプライン上に構成することによって、ウェハ上では存在していても実際のチップには存在しない形で実現することも可能であり、これによってハードウェアのオーバーヘッドを無くすることができる。一般的にスクライプラインにテスト回路全体を構成してテスト容易化する手法は公知であるが、テスト回路の一部を構成させてオーバーヘッドを低減することは公知の手法ではない。

30

【0091】

さらに、この実施例の自己構成回路300上には上記したようにテストHDLで自己構成回路300上にテスト回路を構成でき、それは外部テストのテストプログラムが動作可能である。つまり、前述した手法および手順でテスト回路を構成させてチップ上の他の回路をテストし、救済させることができ、最終的に自己構成回路300を通常のSRAMとして再構成することによって製品チップの本来の機能を実現することができ、これによって

40

【0092】

なお、前記実施例においては、自己構成回路300を構成するメモリアレイ11の不良を自動的に回避して論理を構成できるようにするため、自己構成マトリックス30を設けているが、メモリアレイに不良を有するチップは不良品として排除するようにするならば、自己構成マトリックス30や比較器20を設ける必要はない。その場合、スイッチマトリ

50

ックス回路70からの信号は直接メモリ回路10のアドレスデコーダ12に供給され、センスアンプ13とデータストレージ60とが直接接続されるように構成すればよい。

【0093】

次に、本発明の第2の実施例を、図13～図20を用いて説明する。このうち図13は、本発明の第2の実施例を適用したシステムLSIの全体構成を示す。なお、図13において、図1と同一の回路ブロックには同一の符号を付して重複した説明は省略する。

【0094】

図1のシステムLSIとの差異は、図13では1つの半導体チップ上にSRAMが数個ではなく数十ないし数千個設けられている点と、図13のSRAMには自己構成マトリックスや比較器はなく通常のSRAMにスイッチマトリックスを付加した簡単な構成である点
10

【0095】

図14には、半導体チップ上に設けられているSRAMの構成とそれらの接続関係の例が示されている。

【0096】

特に制限されるものでないが、この実施例では、縦方向にアドレスバスを構成する複数の配線群ABL1～ABL5が、また横方向にデータバスを構成する複数の配線群DBL1～DBL5が格子状をなすように配設されている。そして、各格子の目に相当する部位に、通常のSRAMを構成するメモリアレイ11とアドレスデコーダ12とセンスアンプ13とデータレジスタ16とからなるメモリ回路10およびスイッチマトリックス70が配置されている。データレジスタ16は、図4に示されているデータストレージような回路でなく、一般的なSRAMにおいても用いられているような単にデータを保持可能な通常のレジスタでよい。
20

【0097】

この実施例では、センスアンプ13の出力がスイッチマトリックス70にフィードバックされるように構成されている。また、縦方向の配線群ABL1～ABL5と横方向の配線群DBL1～DBL5との交差部位には選択的に信号線を結合可能にするスイッチマトリックス回路310が設けられている。さらに、各SRAMのアドレス入力端子を縦方向配線配線群ABL1～ABL5の信号線に選択的に結合するためのスイッチマトリックス回路320と、各SRAMのデータ入出力端子を横方向配線配線群DBL1～DBL5の信号線に選択的に結合するためのスイッチマトリックス回路330とが設けられている。スイッチマトリックス回路310, 320, 330は、SRAM内のスイッチマトリックス回路70と同様に、図3に例示されているような構成を有するようにされる。
30

【0098】

このように、アドレスバスを構成する複数の縦方向配線群ABL1～ABL5とデータバスを構成する複数の横方向配線群DBL1～DBL5とがその交差部に設けられたスイッチマトリックス回路310により接続可能に構成されていることにより、任意の論理を有するように構成されたSRAM同士を任意に接続することができ、これにより所望の論理機能を有しかつより規模の大きな論理集積回路を、HDL記述に従って構成することが可能となる。
40

【0099】

次に、図14に示されているようなメモリ回路10とスイッチマトリックス回路70とからなるSRAMにより任意の論理を構成できることを証明するため、一例としてNANDゲート回路とフリップフロップの構成の仕方を説明する。

【0100】

図15(A)はNANDゲート回路の論理記号を、(B)はこのNANDゲート回路をメモリ回路で実現する場合のメモリアレイ11への記憶値を、(C)は入力信号A0, A1とそれによって選択されるメモリアレイの番地との関係をそれぞれ示す。

【0101】

10

20

30

40

50

図14のSRAMによりNANDゲート回路を実現する場合には、予めデータの書込み処理を行なって図15(B)に示されているように、メモリアレイ11の0番地、1番地および2番地にそれぞれデータ“1”を記憶させ、3番地にデータ“0”を記憶させておく。このようにすれば、このSRAMはアドレス信号A0, A1として“0, 0”, “1, 0”, “0, 1”, “1, 1”が入力されたときに、図15(C)に示すように“1”, “1”, “1”, “0”がそれぞれ出力される。図15(C)を見れば、これは図15(A)のNANDゲート回路の真理値表を表わしていることが分かる。つまり、SRAMによってNANDゲート回路が構成される。

【0102】

同様に、メモリアレイ11の0番地、1番地および2番地にそれぞれデータ“0”を記憶させ、3番地にデータ“1”を記憶させておけばANDゲート回路が、メモリアレイ11の0番地にデータ“0”を記憶させ、1番地、2番地および3番地にそれぞれデータ“1”を記憶させておけばORゲート回路が実現される。このようにして、メモリアレイ11に記憶させるデータを変えることでSRAMによって任意の2入力論理を構成することができる。さらに、アドレス信号A0~A2に対応する0番地~7番地に所定のデータを記憶させておくことで、SRAMによって任意の3入力論理を実現することができる。

【0103】

図16(A)はD型フリップフロップ回路の論理記号を、(B)はこのフリップフロップ回路をメモリ回路で実現する場合のメモリアレイ11への記憶値を、(C)は(B)の等価回路をそれぞれ示す。また、図17はSRAMでフリップフロップを構成する場合における入力信号A0, A1, A2とそれによって選択されるメモリアレイの番地との関係を示す。図18は図16のフリップフロップ回路をラッチ動作させる際の入出力信号のタイミングをそれぞれ示す。なお、図16(C)において、DLYは遅延素子を表わしており、これはセンスアンプ13からスイッチマトリクス回路70へのフィードバック経路上における遅延に相当する。メモリ回路のデコーダ12からセンスアンプ13の出力までの遅延時間が非常に短いとき(例えばアドレス信号A0, A1のずれよりも小さいようなとき)は、フィードバック経路に積極的に遅延素子をつけてタイミングを調整して、誤動作を防止するようにしてもよい。

【0104】

実施例において、SRAMによりフリップフロップ回路を実現する場合には、予めデータの書込み処理を行なって図17に示されているように、メモリアレイ11の0番地、1番地、2番地および5番地にそれぞれデータ“0”を記憶させ、3番地、4番地、6番地および7番地にそれぞれにデータ“1”を記憶させておく。このようにした状態で、このSRAMに図18に示すようなタイミングでアドレス信号A0, A1を入力させると、メモリアレイ11からの読出しデータD0のフィードバック信号A2とA0, A1によって対応する番地のデータが読み出される。図17を見れば、これは図16(A)のフリップフロップ回路の真理値表を表わしていることが分かる。つまり、SRAMによってフリップフロップ回路を構成することができる。

【0105】

同様に、メモリアレイ11の第1列に上記記憶データの反転データを記憶させておくことで反転出力/Qが出力されるフリップフロップを、またメモリアレイ11の第2列に第1の列のデータの反転データを記憶させておくことで、非反転出力Qと共に反転出力/Qが出力されるフリップフロップを構成することができる。さらに、アドレス信号を増やしてセット端子付きのフリップフロップやリセット端子付きのフリップフロップを実現することも可能である。

【0106】

図19には、上記SRAMを構成するメモリアレイ11の具体例を示す。同図に示すように、メモリアレイ11は、平行な複数のワード線WL1, WL2...と、該ワード線とほぼ直行する方向に配設された複数の相補データ線対DL1, /DL1; DL2, /DL2...と、ワード線WL1, WL2...と相補データ線対DL1, /DL1; DL2, /D

10

20

30

40

50

L2...の各交点に配置された複数のメモリセルMCとを含んで構成される。特に制限されるものでないが、メモリセルMCは、互いに入力端子と出力端子とが交差結合された2個のインバータを構成する4個のMOSFET Q1, Q2, Q3, Q4とこれらのインバータの出力端子と相補データ線DL, /DLとの間にソース・ドレインが接続されゲートがワード線に接続された一对の選択用MOSFET Q45, Q6の計6個の素子により構成されている。

【0107】

次に、図20を用いて、図13のシステムLSIの製造方法の手順を説明する。

まず、LSIチップ上の一部のSRAM130を用いて他のSRAMをテストするテストパターンを発生するALPGをHDL記述に基づいて構成させる(ステップS101)。10
それにより、他のSRAM130をテストする(ステップS102)。そして、このSRAM130のテストの結果を判定し(ステップS103)、不良であればその製品は不良として不良信号を生成し(ステップS104)、外部のテストに認知させてテストを終了させる。

【0108】

一方、SRAM130のテストの結果、良品と判定した場合には、一部のSRAMと他のSRAMを用いてロジック回路部分をテストするテスト回路をHDL記述に基づいて構成するとともに、そのテストパターンを格納するメモリを上記ステップS102のテストで良品と判定されたSRAM130に構成して(ステップS105)、それにテストパターンを記述してユーザロジック回路110やCPU120を検査する(ステップS106、20
S107)。このテストで不良であれば、その製品は不良として不良信号を生成し(ステップS104)、外部のテストに認知させてテストを終了する。

【0109】

さらに、ユーザロジック回路110やCPU120のテストで良品と判定された場合には、一部のSRAMにDRAMのテストパターンを生成するALPGを構成して(ステップS108)、かつ他のSRAMを用いてそのテスト結果を格納するフェールメモリを構成する(ステップS108a)。それから、CPU120にDRAM150の救済アルゴリズムをロードさせて(ステップS109)、ALPGでDRAM150をテストしつつCPUによりビット救済を実施する(ステップS110)。

【0110】

そして、DRAM150のテストで不良かつ救済不可能であれば、その製品は不良として不良信号を生成し(ステップS104)、外部のテストに認知させてテストを終了する。30
一方、テストの結果、良品と判定された場合には、テスト回路を構成したSRAMを通常のSRAMに再構成し、システムの記憶装置として動作させる(ステップS111)。

【0111】

以上の方法により、テスト専用の回路をチップ上に設ける必要のないいわゆる「オーバヘッドなしロジックテスト回路」を実現でき、テスト回路を構成するSRAMはその構成の大部分がもともとSRAMの構成に類似しているためRAMへの加工はそのオーバヘッドが微小なものであり、この手法での回路の増加は微小にとどまる。

【0112】

以上、システムLSIを例にとって説明したが、図13に示すようなシステムが複数のLSIにより1つのプリント基板上に構成されたシステムである場合にも本発明を適用することができ、これによって同様な効果を得ることができる。

【0113】

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、前記実施例のような自己構成回路構造のSRAMを単にテスト回路を構成するための部位として利用することに限られるものでなく、製品チップでのエミュレーションを行なう機能を実現するための部位として活用が可能である。

【0114】

10

20

30

40

50

また、前記実施例においては、自己構成型のメモリとしてSRAMを用いたが、フラッシュメモリのような不揮発性メモリを用いることも可能である。さらに、前記実施例においては、自己構成回路300をSRAM130の一部に設けたが、SRAM130全体を自己構成型のSRAMとすることも可能である。さらに、SRAM130のアドレスデコーダを分割可能な構成すなわちメモリとして動作するときは例えば20ビットのアドレス信号によって選択動作し、論理回路として動作するときは20ビットのうちいずれかの2ビットあるいは数ビットの入力信号によりそれぞれ論理出力値を出力するように構成することができる。

【0115】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるシステムLSIに適用した場合について説明したが、本発明はそれに限定されるものでなく、メモリ回路(レジスタを含む)を内蔵した半導体集積回路に広く利用することができる。

【0116】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

【0117】

すなわち、本発明に従うと、SRAMのような記憶回路を備えた半導体集積回路装置において、SRAMにテスト回路を構成して他の回路のテストを行ない、テスト後はそのSRAMを通常のSRAMとして動作させることができるので、テスト回路を搭載することに伴うハードウェアのオーバーヘッドの小さな半導体集積回路装置を実現することが可能となる。すなわち、チップに搭載される自己構成型SRAMは、その構成が通常のSRAMに対して微小の改良にて実現できるものであり、そのオーバーヘッドは微小にとどまり、かつSRAMとしての動作を阻害するものではない。このため、製品チップのテストを終了させた後、その製品のSRAMとして動作可能であり、テスト回路は最終的にチップ上に残らず、テスト回路のためのオーバーヘッドが少ない半導体集積回路装置を実施できる。

【0118】

また、本発明においては、自己構成型の記憶回路としてのSRAMにHDL記述に基づいてテスト回路を構成できるため、チップ内へのテスト回路の構築をコンピュータを用いて容易に行なうことができるとともに、通常のテストで使用されているテストプログラムが使用可能となり、テスト回路のためのデバッグが不要となるので、テスト設計の工数を大幅に低減できる半導体集積回路装置を実現することが可能となる。

【0119】

さらに、テスト回路を構成する自己構成型のSRAMに、可変アドレ回路としての自己構成マトリックスを設けることによって不良を迂回した形で回路を構成することができるので、不良被爆に強い半導体集積回路装置を実現することが可能となる。

【図面の簡単な説明】

【図1】本発明を適用したシステムLSIの一実施例を示すブロック図である。

【図2】図1のSRAM130の一部に設けられている自己構成回路の一構成例を示すブロック図である。

【図3】図2の実施例の自己構成回路に含まれるスイッチマトリックス70の具体例を示す回路構成図である。

【図4】データストレージ回路60の具体例を示す回路構成図である。

【図5】比較器20の具体例を示す回路構成図である。

【図6】自己構成マトリックス30の具体例を示す回路構成図である。

【図7】実施例の自己構成回路における変換アドレスの変更の手順の一例を示すフローチャートである。

【図8】図2に示されている自己構成回路により構成される論理回路の一例としてのフリップフロップ回路の構成図とそのHDL記述の例を示す説明図である。

10

20

30

40

50

【図 9】図 8 (A) のフリップフロップの真理値表を示す説明図である。

【図 10】図 2 の実施例の自己構成回路 300 を用い H D L 記述に従って所望の論理機能を有する論理回路を構成するシステムの例を示すブロック図である。

【図 11】図 1 に示されている T A P を用いたインタフェース回路 200 の具体例を示すブロック図である。

【図 12】図 1 の半導体集積回路装置の一例としてのシステム L S I の製造方法の手順を示すフローチャートである。

【図 13】本発明を適用したシステム L S I の他の実施例を示すブロック図である。

【図 14】図 13 の実施例における半導体チップ上に設けられている S R A M の構成とそれらの接続関係を示す回路構成図である。

10

【図 15】図 13 に示されている S R A M により構成される論理回路の一例としてのフリップフロップ回路の論理記号図および論理構成図、アドレス信号と指定番地との関係を示す説明図である。

【図 16】図 13 に示されている S R A M により構成される論理回路の一例としてのフリップフロップ回路の論理記号図および論理構成図と等価回路図である。

【図 17】図 16 のフリップフロップ回路におけるアドレス信号と指定番地との関係を示す説明図である。

【図 18】図 16 のフリップフロップ回路における入出信号のタイミングを示すタイミングチャートである。

【図 19】図 13 に示されている S R A M の具体的な回路例を示す回路図である。

20

【図 20】図 13 のシステム L S I の製造方法の手順を示すフローチャートである。

【符号の説明】

100 半導体チップ

110 カスタム論理回路 (ユーザ論理)

120 C P U (中央処理ユニット)

130 , 140 スタティック R A M (ランダム・アクセス・メモリ)

150 ~ 170 ダイナミック R A M

180 インタフェース回路

190 内部バス

200 T A P (テスト用インタフェース回路)

30

10 メモリ回路

11 メモリアレイ

12 アドレスデコーダ

13 センスアンプ

14 書込み読出し制御回路

20 比較器

30 自己構成マトリックス

60 データストレージ

70 スイッチマトリックス

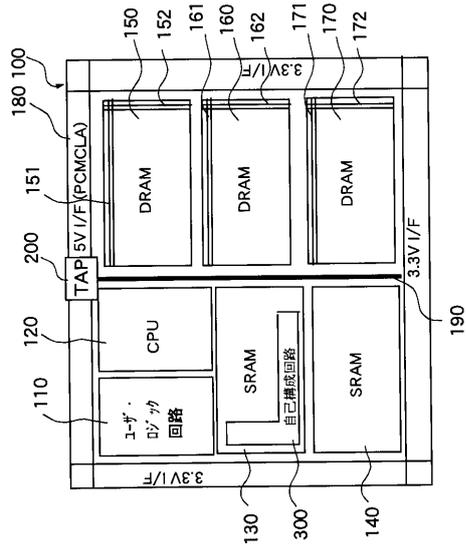
310 スイッチマトリックス

40

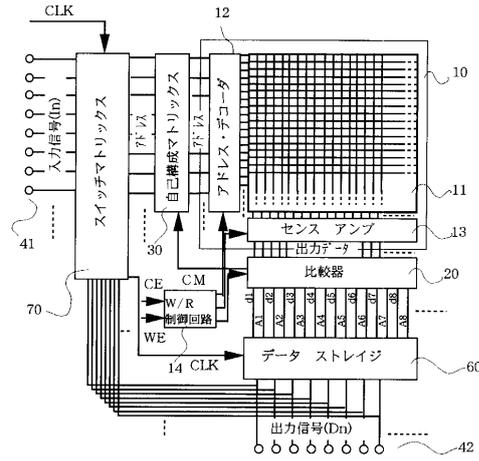
320 スイッチマトリックス

330 スイッチマトリックス

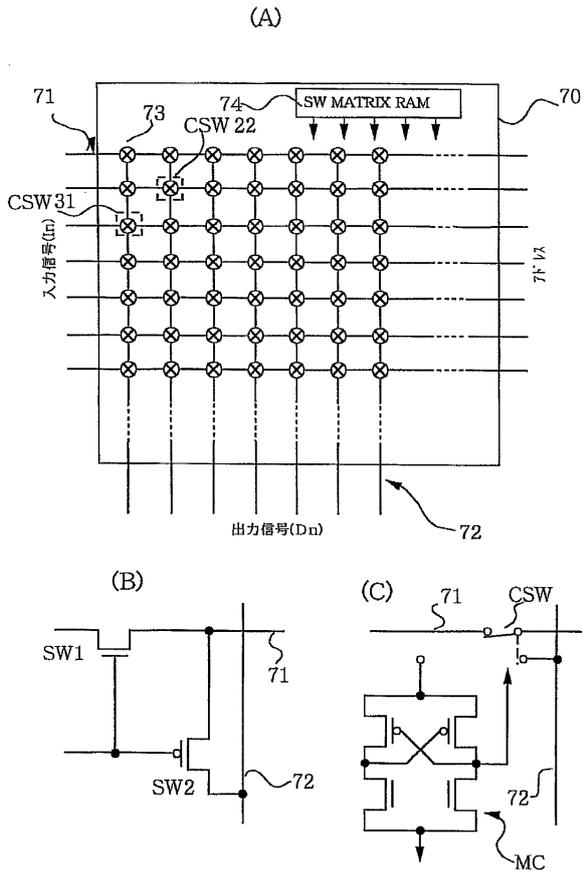
【 図 1 】



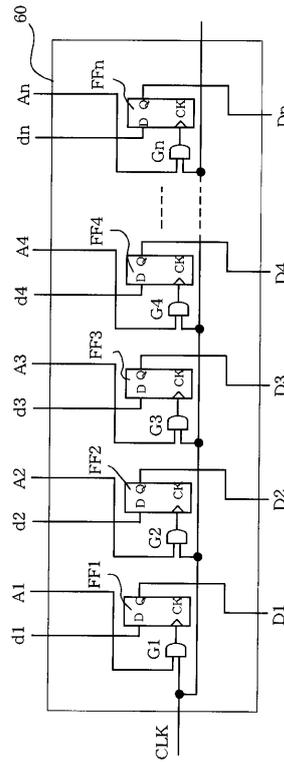
【 図 2 】



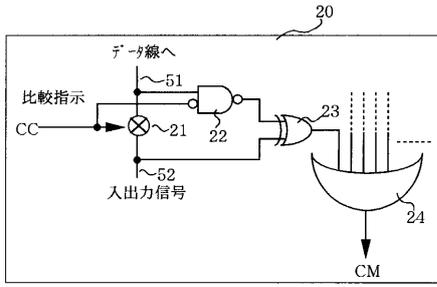
【 図 3 】



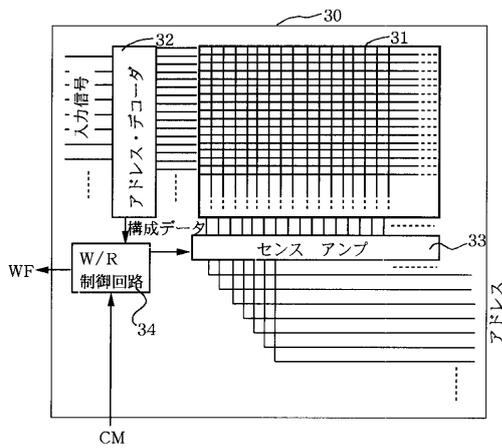
【 図 4 】



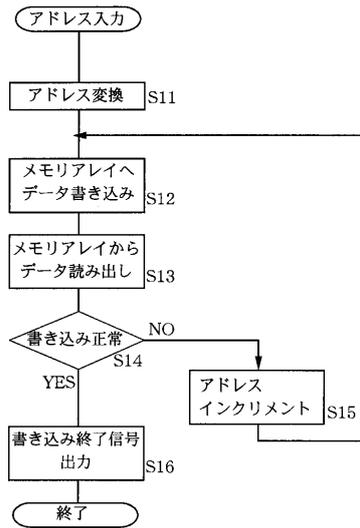
【 図 5 】



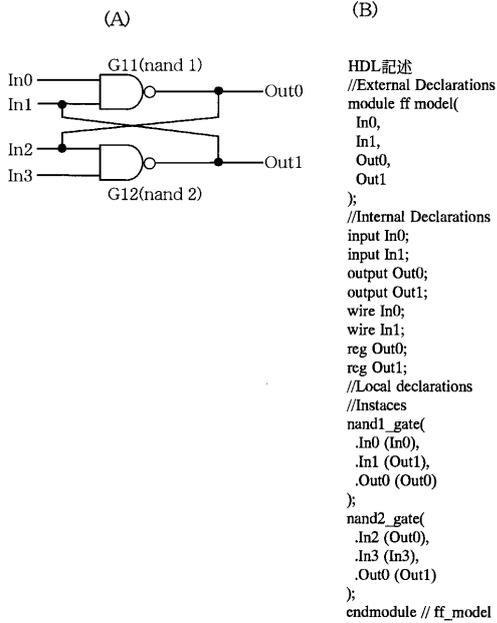
【 図 6 】



【 図 7 】



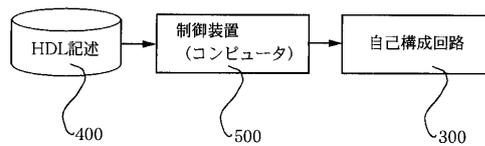
【 図 8 】



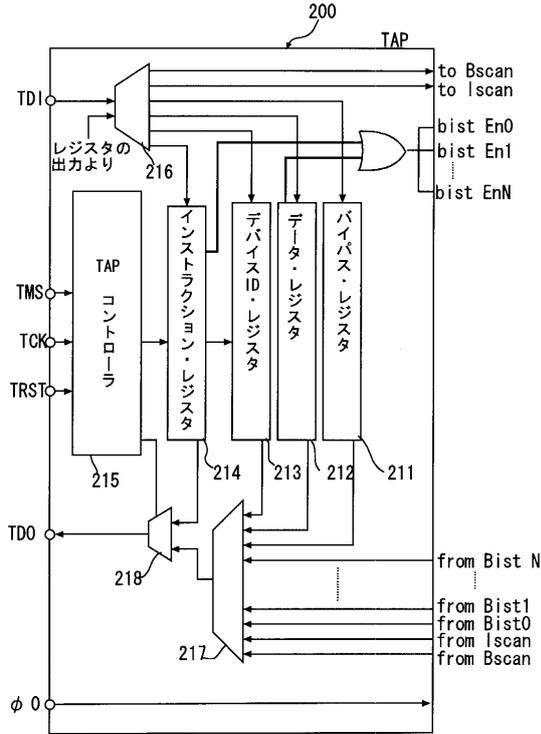
【 図 9 】

	In0	In1	In2	In3	Out0		Out1	
					d1	A1	d2	A2
a	0	0	0	0	1	1	1	1
b	1	0	0	0	1	1	0	0
c	0	1	0	0	1	1	0	0
d	1	1	0	0	0	1	0	0
e	0	0	1	0	0	0	1	1
f	1	0	1	0	0	0	0	0
g	0	1	1	0	0	0	0	0
h	1	1	1	0	0	0	0	0
i	0	0	0	1	0	0	1	1
j	1	0	0	1	0	0	0	0
k	0	1	0	1	0	0	0	0
l	1	1	0	1	0	0	0	0
m	0	0	1	1	0	0	0	1
n	1	0	1	1	0	0	0	0
o	0	1	1	1	0	0	0	0
p	1	1	1	1	0	0	0	0

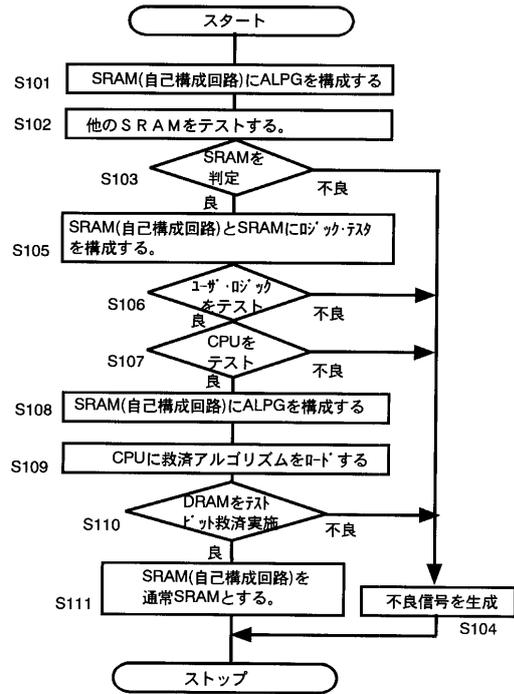
【 図 10 】



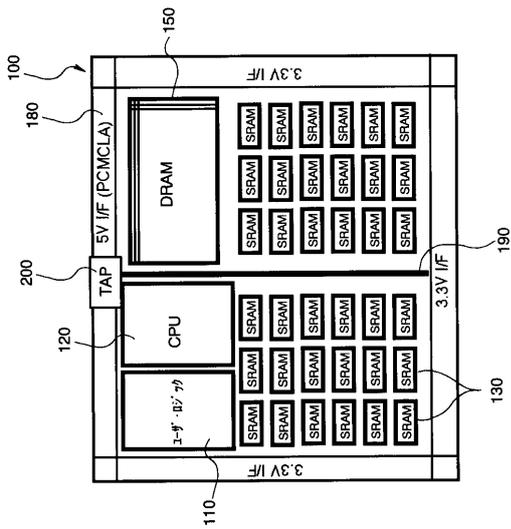
【 図 1 1 】



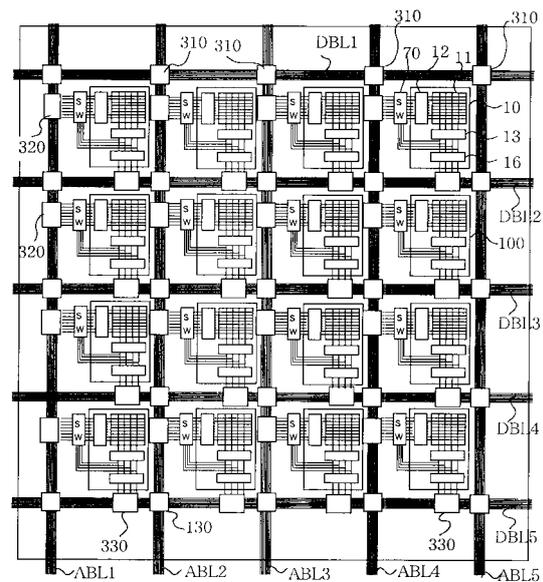
【 図 1 2 】



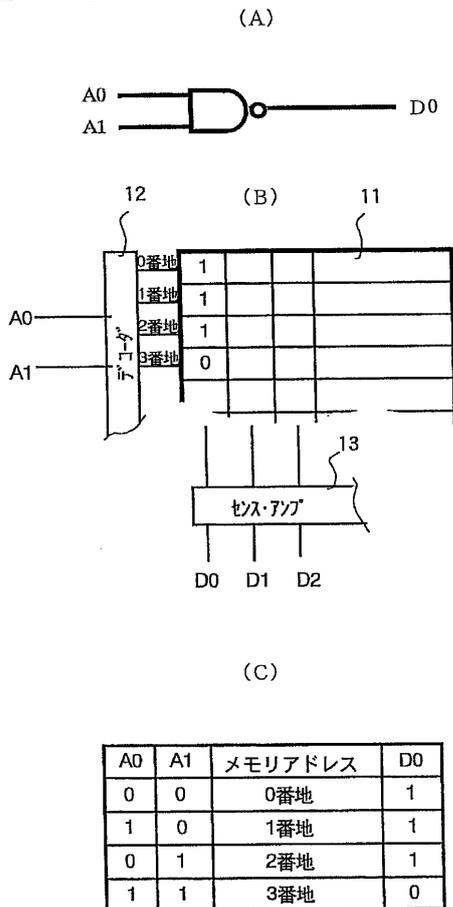
【 図 1 3 】



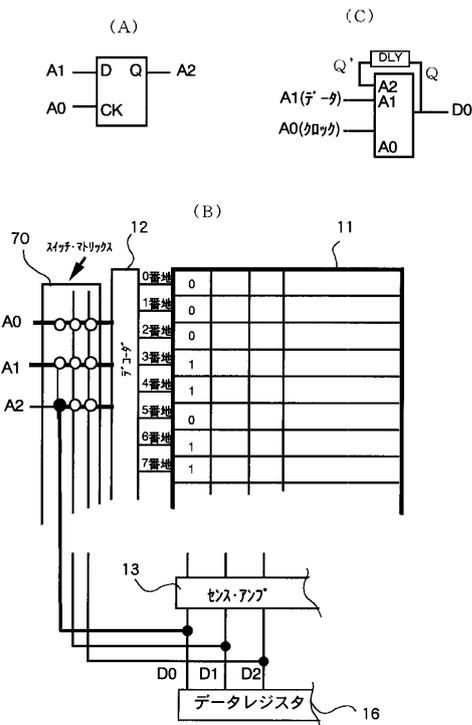
【 図 1 4 】



【 図 1 5 】



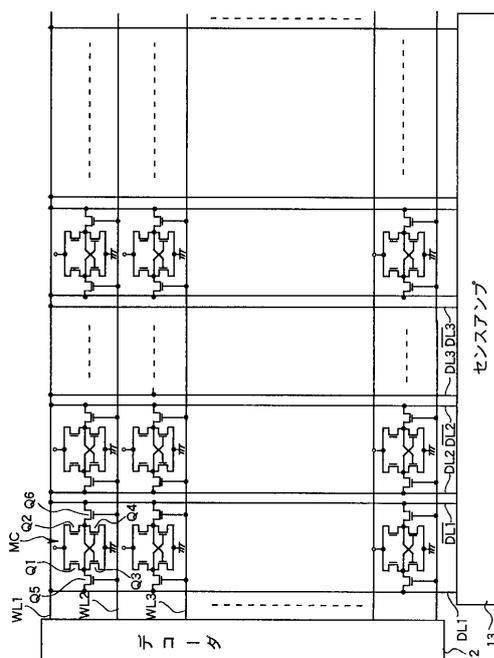
【 図 1 6 】



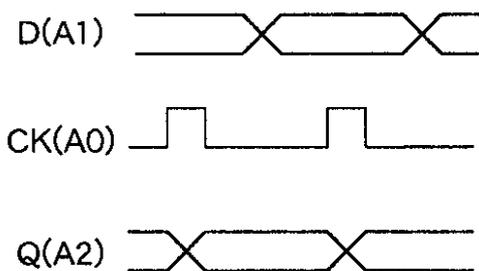
【 図 1 7 】

A0	A1	A2	メモリアドレス	出力
0	0	0	0番地	0
1	0	0	1番地	0
0	1	0	2番地	0
1	1	0	3番地	1
0	0	1	4番地	1
1	0	1	5番地	0
0	0	1	6番地	1
1	1	1	7番地	1
CK	D	Q'		Q

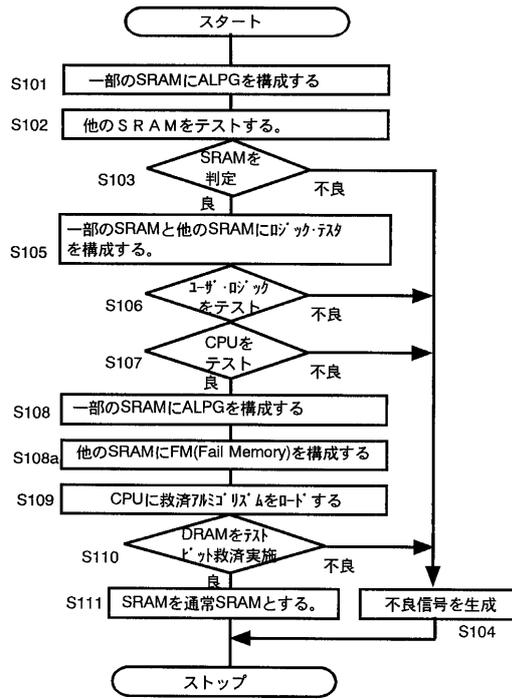
【 図 1 9 】



【 図 1 8 】



【 図 2 0 】



フロントページの続き

(51) Int.Cl.			F I		
G 1 1 C	11/41	(2006.01)	G 0 6 F	12/16	3 3 0 A
G 1 1 C	11/413	(2006.01)	G 1 1 C	11/34	Z
			G 1 1 C	11/34	3 4 1 D

(56) 参考文献 特開平 0 9 - 0 9 1 9 9 5 (J P , A)
 特開平 1 0 - 0 6 2 4 9 8 (J P , A)
 特開昭 6 4 - 0 2 5 4 0 0 (J P , A)
 特開平 1 1 - 0 4 4 7 4 1 (J P , A)
 特開平 0 9 - 1 4 5 7 9 0 (J P , A)
 国際公開第 0 0 / 0 5 2 7 5 3 (W O , A 1)
 特表平 0 2 - 5 0 1 8 7 9 (J P , A)
 特公昭 6 1 - 0 2 6 6 9 7 (J P , B 1)
 特許第 3 7 6 1 6 1 2 (J P , B 2)

(58) 調査した分野(Int.Cl. , DB名)

G11C 29/02
 G01R 31/28
 G06F 12/16
 G11C 11/41
 G11C 11/413
 G11C 29/04
 G11C 29/12