



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2016년08월29일  
 (11) 등록번호 10-1652016  
 (24) 등록일자 2016년08월23일

(51) 국제특허분류(Int. Cl.)  
*H01L 51/52* (2006.01) *H05B 33/14* (2006.01)  
 (21) 출원번호 10-2009-0126892  
 (22) 출원일자 2009년12월18일  
 심사청구일자 2014년11월28일  
 (65) 공개번호 10-2011-0070169  
 (43) 공개일자 2011년06월24일  
 (56) 선행기술조사문헌  
 US05396584 A\*  
 KR1020090059629 A\*  
 KR1020070057042 A\*  
 JP2006349811 A\*  
 \*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
**엘지디스플레이 주식회사**  
 서울특별시 영등포구 여의대로 128(여의도동)  
 (72) 발명자  
**우경돈**  
 경상북도 구미시 도봉로 67, 도량뜨란채 503동 603호 (도량동)  
**박혜민**  
 경상남도 창원시 성산구 대암로 8, 한림엘리시온 아파트 102동 604호 (남양동)  
 (74) 대리인  
**특허법인네이트**

전체 청구항 수 : 총 6 항

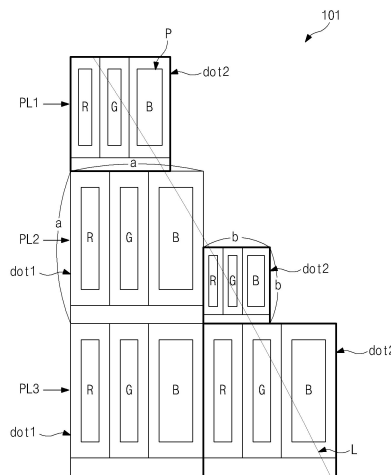
심사관 : 조성수

(54) 발명의 명칭 **표시소자**

**(57) 요약**

본 발명은, 사각형 이외의 이형(異形)의 표시영역을 구비하며, 상기 표시영역에 정사각형 형태의 도트로 구성된 표시장치에 있어서, 상기 도트 중 최외각에 위치하는 최외각 도트는 특정 조건을 만족하는 경우 특정 비율로 상기 표시영역의 중앙부에 위치하는 도트의 크기보다 작은 크기를 가지며 형성되는 표시장치를 제공한다.

**대표도** - 도6



**명세서**

**청구범위**

**청구항 1**

사각형 이외의 이형(異形)의 표시영역을 구비하며, 상기 표시영역에 정사각형 형태의 도트가 다수 구성된 표시소자에 있어서,

상기 도트 중 최외각에 위치하는 최외각 도트는, 상기 이형의 표시영역에 대해 실제 설계치의 이형 형태로 가상의 선을 크기 조절 전의 상기 최외각에 위치하는 도트의 중앙부를 지나도록 도시하였을 경우,

상기 가상의 선 내측으로 위치하는 면적과 상기 가상의 선 외측으로 위치하는 면적의 크기가 동일하거나, 상기 가상의 선 내측으로 위치하는 면적이 상기 가상의 선 외측으로 위치하는 면적에 비해 클 경우에는 상기 최외각 도트의 면적은 상기 표시영역의 중앙부에 위치하는 도트의 면적과 동일한 크기를 가지며,

상기 가상의 선 내측에 위치하는 최외각 도트의 면적이 상기 가상의 선 외측에 위치하는 최외각 도트의 면적에 비해 작을 경우, 상기 표시영역의 중앙부에 위치하는 도트의 크기보다 작은 크기를 갖는 표시소자.

**청구항 2**

제 1 항에 있어서,

상기 이형은 원, 타원 또는 다각형 형태인 표시소자.

**청구항 3**

삭제

**청구항 4**

제 1 항에 있어서,

상기 작은 크기를 갖는 최외각 도트의 한 변 길이를 b라 정의하고, 상기 중앙부에 위치하는 도트의 한 변 길이를 a라 정의하면,

$$\text{도트의 면적 비율}(a^2/b^2) = (\text{기존 최외각 도트의 한변의 길이}^2) / (\text{신규 최외각 도트의 한변의 길이}^2)$$

을 만족하며,

또한, 상기 가상의 선 내측에 위치하는 면적이 삼각형 또는 사다리꼴 형태인 경우, 사다리꼴의 윗변을 x1, 삼각형의 밑변 또는 사다리꼴의 아랫변을 x2, 삼각형 또는 사다리꼴의 높이를 y1이라 정의하는 경우,

$$b = [(x1 + x2)*(y1)]^{0.5} \text{인 표시소자.}$$

**청구항 5**

제 1 항에 있어서,

상기 도트는 적, 녹, 청색을 각각 발광하는 3개의 화소영역으로 구성된 표시소자.

**청구항 6**

제 1 항에 있어서,

상기 표시소자는,

그 내부에 발광영역과 소자영역을 갖는 화소영역 및 화소 경계영역이 정의된 제 1 기판과;

상기 제 1 기판 상의 상기 소자영역에 위치하는 구동 박막트랜지스터 및 스위칭 박막트랜지스터와;

상기 발광영역에 상기 구동 박막트랜지스터와 연결되는 유기전계 발광 다이오드와;

상기 제 1 기관과 마주하며 상기 유기전계 발광다이오드의 인캡슐레이션을 위한 제 2 기관을 포함하는 유기전계 발광소자인 표시소자.

**청구항 7**

제 6 항에 있어서,

상기 제 1 기관에는, 상기 화소 경계영역에 서로 교차하는 게이트 배선 및 데이터 배선과, 상기 데이터 배선과 나란하게 전원배선이 구비되며,

상기 유기전계 발광 다이오드는 상기 구동 박막트랜지스터의 드레인 전극과 연결되어 각 화소영역별로 위치하는 제 1 전극과, 상기 제 1 전극 상부에 위치하는 유기 발광층과, 상기 유기 발광층 상부로 표시영역 전면에 위치하는 제 2 전극으로 이루어진 표시소자.

**발명의 설명**

**발명의 상세한 설명**

**기술 분야**

[0001] 본 발명은 표시소자에 관한 것이며, 특히 표시영역이 사각형의 구성이 아닌 원 등의 이형(異形) 구성을 갖는 표시소자에 관한 것이다.

**배경 기술**

[0002] 근래에 들어 사회가 본격적인 정보화 시대로 접어들어 따라 대량의 정보를 처리 및 표시하는 디스플레이(display) 분야가 급속도로 발전해 왔고, 최근에는 특히 박형화, 경량화, 저소비전력화의 우수한 성능을 지닌 평판표시장치로서 액정표시장치 및 유기전계 발광소자가 개발되어 기존의 브라운관(Cathode Ray Tube : CRT)을 대체하고 있다.

[0003] 한편, 유기전계 발광소자는 높은 휘도와 낮은 동작 전압 특성을 가지며, 스스로 빛을 내는 자체발광형이기 때문에 명암대비(contrast ratio)가 크고, 초박형 디스플레이의 구현이 가능하며, 응답시간이 수 마이크로초( $\mu s$ ) 정도로 동화상 구현이 쉽고, 시야각의 제한이 없으며 저온에서도 안정적이고, 직류 5 내지 15V의 낮은 전압으로 구동하므로 구동회로의 제작 및 설계가 용이하므로 최근 평판표시장치로서 주목 받고 있다.

[0004] 이러한 특성을 갖는 유기전계 발광소자는 크게 패시브 매트릭스 타입과 액티브 매트릭스 타입으로 나뉘어지는데, 패시브 매트릭스 방식에서는 주사선(scan line)과 신호선(signal line)이 교차하면서 매트릭스 형태로 소자를 구성하므로, 각각의 픽셀을 구동하기 위하여 주사선을 시간에 따라 순차적으로 구동하므로, 요구되는 평균 휘도를 나타내기 위해서는 평균 휘도에 라인수를 곱한 것만큼의 순간 휘도를 내야만 한다.

[0005] 그러나 액티브 매트릭스 방식에서는, 픽셀(pixel)을 온(on)/오프(off)하는 스위칭 소자인 박막트랜지스터(Thin Film Transistor)가 화소영역별로 위치하고, 이 박막트랜지스터와 연결된 제 1 전극은 화소영역 단위로 온(on)/오프(off)되고, 이 제 1 전극과 대향하는 제 2 전극은 공통전극이 된다.

[0006] 그리고 상기 액티브 매트릭스 방식에서는 화소영역에 인가된 전압이 스토리지 커패시터에 충전되어 있어, 그 다음 프레임(frame) 신호가 인가될 때까지 전원을 인가해 주도록 함으로써, 주사선수에 관계없이 한 화면동안 계속해서 구동한다. 따라서 낮은 전류를 인가하더라도 동일한 휘도를 나타내므로 저소비전력, 고정세, 대형화가 가능한 장점을 가지므로 최근에는 액티브 매트릭스 타입의 유기전계 발광소자가 주로 이용되고 있다.

[0007] 이하, 이러한 액티브 매트릭스형 유기전계 발광소자의 기본적인 구조 및 동작특성에 대해서 도면을 참조하여 상세히 설명한다.

[0008] 도 1은 일반적인 액티브 매트릭스형 유기전계 발광소자의 한 화소에 대한 회로도이다.

[0009] 도시한 바와 같이 액티브 매트릭스형 유기전계발광 소자의 하나의 화소는 스위칭(switching) 박막트랜지스터

(STr)와 구동(driving) 박막트랜지스터(DTr), 스토리지 캐패시터(StgC), 그리고 유기전계발광 다이오드(E)로 이루어진다.

- [0010]            즉, 제 1 방향으로 게이트 배선(GL)이 형성되어 있고, 이 제 1 방향과 교차되는 제 2 방향으로 형성되어 화소영역(P)을 정의하며 데이터 배선(DL)이 형성되어 있으며, 상기 데이터 배선(DL)과 이격하며 전원전압을 인가하기 위한 전원배선(PL)이 형성되어 있다.
- [0011]            또한, 상기 데이터 배선(DL)과 게이트 배선(GL)이 교차하는 부분에는 스위칭 박막트랜지스터(STr)가 형성되어 있으며, 상기 스위칭 박막트랜지스터(STr)와 전기적으로 연결된 구동 박막트랜지스터(DTr)가 형성되어 있다.
- [0012]            이때, 상기 구동 박막트랜지스터(DTr)는 유기전계 발광 다이오드(E)와 전기적으로 연결되고 있다. 즉, 상기 유기전계발광 다이오드(E)의 일측 단자인 제 1 전극은 상기 구동 박막트랜지스터(DTr)의 드레인 전극과 연결되고, 타측 단자인 제 2 전극은 전원배선(PL)과 연결되고 있다. 이때, 상기 전원배선(PL)은 전원전압을 상기 유기전계발광 다이오드(E)로 전달하게 된다. 또한, 상기 구동 박막트랜지스터(DTr)의 게이트 전극과 소스 전극 사이에는 스토리지 캐패시터(StgC)가 형성되고 있다.
- [0013]            따라서, 상기 게이트 배선(GL)을 통해 신호가 인가되면 스위칭 박막트랜지스터(STr)가 온(on) 되고, 상기 데이터 배선(DL)의 신호가 구동 박막트랜지스터(DTr)의 게이트 전극에 전달되어 상기 구동 박막트랜지스터(DTr)가 온(on) 되므로 유기전계발광 다이오드(E)를 통해 빛이 출력된다. 이때, 상기 구동 박막트랜지스터(DTr)가 온(on) 상태가 되면, 전원배선(PL)으로부터 유기전계발광 다이오드(E)에 흐르는 전류의 레벨이 정해지며 이로 인해 상기 유기전계발광 다이오드(E)는 그레이 스케일(gray scale)을 구현할 수 있게 되며, 상기 스토리지 캐패시터(StgC)는 스위칭 박막트랜지스터(STr)가 오프(off) 되었을 때, 상기 구동 박막트랜지스터(DTr)의 게이트 전압을 일정하게 유지시키는 역할을 함으로써 상기 스위칭 박막트랜지스터(STr)가 오프(off) 상태가 되더라도 다음 프레임(frame)까지 상기 유기전계발광 다이오드(E)에 흐르는 전류의 레벨을 일정하게 유지할 수 있게 된다.
- [0014]            도 2는 일반적인 유기전계 발광소자의 컬러를 표시하는 최소단위인 도트를 도시한 평면도이다.
- [0015]            도시한 바와 같이, 일반적인 유기전계 발광소자(1)의 유기전계 발광 다이오드(E)를 포함하는 하나의 화소영역(P)은 직사각형 형태이며, 적, 녹, 청색을 각각 발광하는 3개의 화소영역(P)이 표현하고자 하는 컬러를 나타내는 하나의 도트(dot)를 이루며 정사각형을 이루고 있다. 각 화소영역(P)의 중앙부에는 적, 녹 및 청색을 발광하는 유기 발광 다이오드(E)가 배치되며, 이의 상부 또는 하부에 상기 유기전계 발광 다이오드(E)를 구동시키기 위한 스위칭 및 구동 박막트랜지스터(미도시)가 구비되고 있다.
- [0016]            이러한 구성을 갖는 유기전계 발광소자(1)는 통상적으로 화상이 표시되는 표시영역이 사각형 형태를 갖는 것이 일반적이는데, 최근에는 다양한 분야에 응용되면서 사각형을 제외한 원형, 타원형, 다각형 등 이형의 표시영역을 갖는 유기전계 발광소자가 필요로 하게 되었다.
- [0017]            도 3은 종래의 원형의 표시영역을 갖는 유기전계 발광소자의 표시영역을 도시한 도면이며, 도 4는 도 3의 D영역을 확대도시한 도면이다.
- [0018]            도시한 바와 같이, 종래의 원형의 표시영역을 갖는 유기전계 발광소자(50)는 적, 녹, 청색을 발광하는 3개의 화소영역(P)을 하나의 도트(dot)로 하여 원형으로 배치되고 있다. 이때, 적, 녹, 청색을 발광하는 화소영역(P)의 가로폭은 서로 다른 크기를 갖는데, 이는 유기 발광층(미도시)을 이루는 유기물의 발광효율 차이로 인해 이를 보상하여 발광효율을 최적화하기 위해 가로폭의 크기를 달리 형성하고 있다. 통상 청색을 발광하는 유기 발광물질의 발광효율이 낮으므로 청색 화소영역의 폭을 가장 크게 형성하고 있다.
- [0019]            한편, 원형의 표시영역의 최외각에 배치된 도트(dot)의 배치를 살펴보면, 정사각형의 형태를 원형이 되도록 배치하고 있으므로 그 최외각이 사각형 형태의 표시영역과 달리 매끄럽지 못한 형태 즉, 계단 형태를 갖도록 배치되고 있다.
- [0020]            따라서, 실제 원형의 화상표시가 되는 것이 가장 바람직하나 도시한 바와 같이 실제적으로는 전술한 구성을 갖는 유기전계 발광소자를 점등하여도 실제 원형의 이미지가 아닌 그 테두리가 거친 형태로 실제 원형과는 차이가 있는 화상이 표시된다.
- [0021]            조금 더 완전한 원을 도시한 점선과 전술한 표시장치의 표시영역을 살펴보면, 어떠한 화소라인(PL1)은 최외각 도트(dot)가 일부만이 포함되고 있으며, 또 다른 화소라인(PL2)은 더 많은 도트(dot) 부분이 상기 원안에 포함

되고 있으며, 원(L1)의 외측에 위치하는 도트(dot) 영역의 면적차가 발생하고 있다.

[0022] 따라서, 원형의 표시영역을 갖는 종래의 유기전계 발광소자(50)는 도트(dot)로 이루어진 그 테두리가 완전한 원 형태를 이루지 못하므로 표시영역 테두리부에서 표시품질이 저하되고 있는 실정이며, 나아가 각 화소라인(PL1, PL2) 별로 실제 원의 외부로 나가게 되는 도트(dot)의 면적 변화가 커 더욱 표시영역 테두리부에서 표시품질이 저하되고 있다.

[0023] 또한, 이러한 유기전계 발광소자(50)는 최종제품도 이형 형태를 갖도록 형성되므로 절단라인(scribe line)과 상기 최외각 도트(dot)와의 거리 변화가 크므로 이러한 요인이 유기 발광물질의 수명에 영향을 끼쳐 유기전계 발광소자(50)의 수명을 단축시키는 문제가 발생하고 있다.

## 발명의 내용

### 해결 하고자하는 과제

[0024] 본 발명은 상기 문제점을 해결하기 위하여 안출된 것으로, 이형의 표시영역에 있어 최외각의 사각형 형태를 갖는 도트(dot)의 배치 및 형태를 다르게 하여 사각형이 아닌 이형의 표시영역에 대해서도 그 테두리부의 표시품질이 우수한 표시소자를 제공하는 것을 그 목적으로 한다.

### 과제 해결수단

[0025] 상기 목적을 달성하기 위한 본 발명에 따른 표시장치는, 사각형 이외의 이형(異形)의 표시영역을 구비하며, 상기 표시영역에 정사각형 형태의 도트로 구성된 표시소자에 있어서, 상기 도트 중 최외각에 위치하는 최외각 도트는, 상기 이형의 표시영역에 대해 실제 설계치의 이형 형태로 가상의 선을 크기 조절 전의 상기 최외각에 위치하는 도트의 중앙부를 지나도록 도시하였을 경우, 상기 가상의 선 내측에 위치하는 최외각 도트의 면적이 상기 가상의 선 외측에 위치하는 최외각 도트의 면적에 비해 작을 경우, 상기 표시영역의 중앙부에 위치하는 도트의 크기보다 작은 크기를 갖는 표시소자를 제공한다.

이때, 상기 이형은 원, 타원 또는 다각형 형태이며, 상기 작은 크기를 갖는 최외각 도트의 한 변 길이를  $b$ 라 정의하고, 중앙부에 위치하는 도트의 한 변 길이를  $a$ 라 정의하면, 도트의 면적 비율( $a^2/b^2$ ) = (기존 최외각 도트의 한변의 길이<sup>2</sup>) / (신규 최외각 도트의 한변의 길이<sup>2</sup>)을 만족하며, 또한, 상기 가상의 선 내측에 위치하는 면적이 삼각형 또는 사다리꼴 형태인 경우, 사다리꼴의 윗변을  $x_1$ , 삼각형의 밑변 또는 사다리꼴의 아랫변을  $x_2$ , 삼각형 또는 사다리꼴의 높이를  $y_1$ 이라 정의하는 경우,  $b = [(x_1 + x_2) \cdot (y_1)]^{0.5}$  이다.

그리고, 상기 도트는 적, 녹, 청색을 각각 발광하는 3개의 화소영역으로 구성되며, 상기 표시소자는, 그 내부에 발광영역과 소자영역을 갖는 화소영역 및 화소 경계영역이 정의된 제 1 기판과; 상기 제 1 기판 상의 상기 소자영역에 위치하는 구동 박막트랜지스터 및 스위칭 박막트랜지스터와; 상기 발광영역에 상기 구동 박막트랜지스터와 연결되는 유기전계 발광 다이오드와; 상기 제 1 기판과 마주하며 상기 유기전계 발광다이오드의 인캡슐레이션을 위한 제 2 기판을 포함하는 유기전계 발광소자인 표시소자를 제공한다.

이때, 상기 제 1 기판에는, 상기 화소 경계영역에 서로 교차하는 게이트 배선 및 데이터 배선과, 상기 데이터 배선과 나란하게 전원배선이 구비되며, 상기 유기전계 발광 다이오드는 상기 구동 박막트랜지스터의 드레인 전극과 연결되어 각 화소영역별로 위치하는 제 1 전극과, 상기 제 1 전극 상부에 위치하는 유기 발광층과, 상기 유기 발광층 상부로 표시영역 전면에서 위치하는 제 2 전극으로 이루어진다.

[0026] 삭제

[0027] 삭제

[0028] 삭제

[0029] 삭제

**효 과**

[0030] 본 발명에 따른 표시장치는, 이형의 표시영역의 최외각에 위치하는 도트(dot)의 크기를 달리함으로써 표시영역 테두리에서 실제 설계되는 이형의 표시영역과 최적으로 일치하도록 하여 표시영역 테두리부에서의 표시품질을 향상시키는 효과가 있다.

[0031] 또한, 최외각 도트(dot)와 절단라인(scribe line)까지의 거리를 균일하게 유지할 수 있어 소자수명을 향상시키는 효과가 있다.

**발명의 실시를 위한 구체적인 내용**

[0032] 이하, 본 발명에 따른 바람직한 실시예를 도면을 참조하여 상세히 설명한다.

[0033] 도 5는 본 발명의 실시예에 따른 원형의 표시영역을 갖는 유기전계 발광소자의 표시영역을 도시한 도면이며, 도 6은 도 5의 D영역을 확대도시한 도면이다.

[0034] 도시한 바와 같이, 본 발명에 따른 이형의 표시영역을 갖는 유기전계 발광소자(101)는 일레로 화상을 표시하는 표시영역이 원형으로 형성되고 있으며, 표시영역 최외각에 있어서 특정 규칙에 의해 최외각에 위치하는 3개의 화소영역(P)으로 이루어지는 도트(dot)의 크기를 달리함으로써 종래보다 가상의 표시영역(실제 설계치에 의해 나타내지는 이형(異形)의 표시영역)과 유사하게 형성되고 있는 것이 특징이다.

[0035] 즉, 표시영역의 최외각에 있어서 설계치의 표시영역을 나타내는 가상의 선(L)을 기준으로 이와 실제 도트(dot)의 배치에 의해 표시되는 물리적 표시영역의 최외각 테두리의 차이가 해상도 증가없이 종래보다 더욱 유사하게 표시되고 있는 것이 특징이다.

[0036] 이때, 본 발명의 가장 특징적인 구성으로 이형의 표시영역 최외각에 위치하는 도트(dot)의 면적 변화의 규칙에 대해 설명한다.

[0037] 도 7a, 7b, 7c는 각각 크기 조절 전의 이형 표시영역의 최외각에 위치하는 도트(dot)와 이를 지나는 설계시의 이형 표시영역을 함께 도시한 도면이다.

[0038] 본 발명에 있어서 최외각에 위치하는 도트(dot) 크기는 상기 설계상의 이형 표시영역을 나타내는 가상의 선(L)을 기준으로 이의 내측으로 포함되는 면적 분포를 분석하여 조절되는 것이 특징이다.

[0039] 즉, 상기 설계상의 이형 표시영역을 나타낸 가상의 선(L)이 최외각 도트(dot)의 중앙부를 관통하여 지나는 경우를 기준으로, 가상의 선(L) 내측으로 위치하는 면적과 가상의 선(L) 외측으로 위치하는 면적의 크기가 동일(도 7a 참조)하거나, 가상의 선(L) 내측으로 위치하는 면적이 가상의 선(L) 외측으로 위치하는 면적에 비해 클 경우(도 7b 참조)에는 3개의 화소영역으로 이루어지는 최외각에 위치하는 도트(dot)의 면적은 중앙부에 위치하는 도트(dot)의 면적과 동일한 크기를 유지하도록 한다.

그리고, 가상의 선(L) 내측으로 위치하는 면적이 가상의 선(L) 외측으로 위치하는 면적에 비해 작을 경우(도 7c 참조) 즉, 가상의 선(L) 외측으로 더 큰 면적이 위치하게 되는 경우의 도트(dot)는 크기 조절을 하는 것이 특징이다.

[0040] 이때, 상기 이형의 표시영역이 대칭적인 구조를 갖는 원형인 경우 이형의 표시영역은 상/하/좌/우 대칭적으로 도트(dot) 크기 조절을 실시되는 것이 특징이다.

[0041] 도 8a와 도 8b는 본 발명에 따른 유기전계 발광소자의 최외각 도트(dot)의 크기 조절 비율을 설명하기 위해 최외각 도트(dot)를 구획하여 나타낸 도면으로서 설계상의 표시영역의 최외각 라인을 기준선(SL)으로 도시하였다.

이때 설명의 편의를 위해 A는 물리적 표시영역 내의 하나의 도트(dot)의 면적을 2로 나눈 면적(이하 제 1 면적이라 칭함)이라 정의하였으며, 설계치에 의한 표시영역의 테두리가 지나는 최외각 도트(dot) 내의 중첩 면적(이하 제 2 면적이라 칭함)이라 정의하였으며, X는 크기 조절전의 도트(dot)의 가로폭, Y는 크기 조절 전의 도트(dot)의 세로폭이라 정의하였으며, 도트(dot) 내에서 유기전계 발광 다이오드가 구비되어 실제 발광이 발생하는 발광영역을 빗금으로 도시하였다. 또한, 도면에 있어서 정사각형을 이루는 도트 내부에서 가로축을 x, 세로축을 y라 정의하였으며, 상기 중첩면적이 삼각형 형태인 경우 밑변을 x2, 높이를 y1이라 정의 하였으며, 상기 중첩면적이 사다리꼴인 경우 윗변을 x1, 아랫변을 x2, 높이를 y1, y2이라 정의하였다.

이때, y1과 y2는 중첩면적이 사다리꼴인 경우 사다리꼴의 양측 높이를 각각 나타내게 되는데, 중첩면적은 기준선(SL)의 내측에만 위치함에 따라 실질적으로 사다리꼴인 중첩면적에서 y2는 0의 값을 가진다.

[0042] 도면을 참조하면, 정의에 의해 물리적 최외각 도트(dot)를 2로 나눈 제 1 면적을 나타낸 A는

[0043]  $A = X * Y * 1/2$  로 표시될 수 있으며,

[0044] 설계치에 의한 표시영역의 테두리가 지나는 최외각 도트(dot) 내의 중첩 면적인 제 2 면적을 나타낸 A'은

[0045]  $A'=(x1 + x2)*(y1 + y2)*1/2$ 로 표시될 수 있다.

[0046] 한편, 상기 기준선(SL)을 기준으로 한 제 1 면적보다 발광 면적 즉, 제 2 면적이 작은 경우( $A > A'$ ),

[0047] 그 면적비율은,

[0048]  $A/A'=(X*Y)/[(x1 + x2)*(y1 + y2)]$  로 나타낼 수 있다.

[0049] 이때, 유기전계 발광소자에 있어서 하나의 도트(dot)는 그 가로폭과 세로폭의 크기가 동일하게 정사각형 형태를 이루도록 형성되므로 상기 도트(dot)의 가로폭과 세로폭을 모두 a라 가정하고, 최외각 도트(dot) 중 전술한 조건(설계치의 표시영역을 나타낸 가상의 선을 기준으로 최외각 도트가 상기 가상의 선 외측보다 내측으로 더 큰 면적이 형성되는 경우)을 만족하여 변경되어야 할 새로운 정사각형 형태의 최외각 도트(dot)의 한 변 길이를 b라 할 때,

[0050] 도트(dot)의 면적 비율(R이 칭함)은 ((기존 최외각 도트(dot)의 한 변 길이)<sup>2</sup>)/((신규 최외각 도트(dot)의 한 변 길이)<sup>2</sup>)로 나타낼 수 있다.

[0051] 따라서 이를 정의된 부호로 치환하여 정리하면,

[0052]  $R = (X*Y)/[(x1 + x2)*(y1 + y2)]$  로 표현될 수 있다.

[0053] 그러므로, 새로운 정사각형 형태의 최외각 도트의 한변의 길이 b는  $[(x1 + x2)*(y1 + y2)]^{0.5}$  가 된다.

이때, 본 발명의 실시예에 따른 y2는 0 이므로,  $b = [(x1 + x2)*(y1)]^{0.5}$  가 된다.

[0054] 따라서, 이러한 규칙을 적용하여 이형 표시영역의 최외각 도트(dot)를 구성하게 되면, 도 5와 도 6에 도시한 바와 같이, 중앙의 표시영역에 있어서는 한 변 길이가 a인 일정한 크기를 갖는 도트(dot1)가 형성되며, 각 도트 라인(PL1, PL2, PL3)의 끝단에 위치한 최외각 도트(dot2)는 설계치에 의한 이형 표시영역의 최외각을 나타낸 가상의 선(SL)을 기준으로 한 변이 a인 도트(dot1)에 대해 상기 가상의 선 내측에 위치하는 면적이 그 외측에 위치하는 면적보다 작은 경우 이를 한 변 길이(b)가  $[(x1 + x2)*(y1)]^{0.5}$ 인 도트(dot2)로 변경됨으로써 이형의 표시영역의 테두리부에서 매끄러운 화상을 시청할 수 있다.

[0055] 나아가, 이렇게 최외각에 위치하는 도트(dot2) 중 일정 조건을 만족하는 것에 대해 그 중앙부에 위치하는 도트(dot1)대비 작은 크기를 갖도록 형성함으로써 해상도 변경없이 이상적인 이형 예를 들면 원형을 구현할 수 있으므로 이를 기준으로 소정 폭 이격하여 절단되는 경우, 상기 절단선에 대해 종래대비 최외각 도트(dot2)까지의 거리를 균일하게 유지할 수 있으므로 그 수명을 향상시키는 효과를 갖는다.

[0056] 한편, 본 발명의 실시예에 있어서는 유기전계 발광소자를 일레로 들었지만, 본 발명은 이에 한정되지 않고, 이형의 표시영역을 갖는 표시장치에 대해서는 모두 적용될 수 있음은 자명하다.

[0057] 이후에는 전술한 구성을 갖는 본 발명에 따른 유기전계 발광소자의 하나의 화소영역에 대한 단면구성에 대해 간단히 설명한다.

[0058] 도 9는 본 발명의 실시예에 따른 유기전계 발광소자의 하나의 화소영역에 대한 단면도이다. 이때 설명의 편의를

위해 구동 박막트랜지스터(DTr)가 형성되는 영역을 구동영역(DA), 그리고 도면에는 나타내지 않았지만 스위칭 박막트랜지스터가 형성되는 영역을 스위칭 영역이라 정의한다.

- [0059] 도시한 바와 같이, 본 발명에 따른 유기전계 발광소자(101)는 구동 및 스위칭 박막트랜지스터(DTr, 미도시)와 유기전계 발광 다이오드(E)가 형성된 제 1 기관(110)과, 도면에 나타내지 않았지만 인캡슐레이션을 위한 제 2 기관(170)으로 구성되고 있다.
- [0060] 상기 제 1 기관(110)의 상부에는 상기 구동영역(DA) 및 스위칭 영역(미도시)에 대응하여 순수 폴리실리콘으로 이루어지며 그 중앙부는 채널을 이루는 제 1 영역(113a) 그리고 상기 제 1 영역(113a) 양측면으로 고농도의 불순물이 도핑된 제 2 영역(113b)으로 구성된 반도체층(113)이 형성되어 있다. 이때 상기 반도체층(113)과 상기 제 1 기관(110) 사이에는 전면에 무기절연물질 예를들면 산화실리콘(SiO<sub>2</sub>) 또는 질화실리콘(SiNx)으로 이루어진 버퍼층(미도시)이 더욱 형성될 수도 있다. 상기 버퍼층(미도시)은 상기 반도체층(113)의 결정화시 상기 제 1 기관(110) 내부로부터 나오는 알칼리 이온의 방출에 의한 상기 반도체층(113)의 특성 저하를 방지하기 위함이다.
- [0061] 또한, 상기 반도체층(113)을 덮으며 게이트 절연막(116)이 전면에 형성되어 있으며, 상기 게이트 절연막(116) 위로는 상기 구동영역(DA) 및 스위칭 영역(미도시)에 있어 상기 반도체층(113)의 제 1 영역(113a)에 대응하여 게이트 전극(120)이 형성되어 있다. 또한 상기 게이트 절연막(116) 위로는 상기 스위칭 영역(미도시)에 형성된 게이트 전극(미도시)과 연결되며 일방향으로 연장하며 게이트 배선(미도시)이 형성되어 있다.
- [0062] 또한, 상기 게이트 전극(120)과 게이트 배선(미도시) 위로 층간절연막(123)이 형성되어 있다. 이때, 상기 층간절연막(123)과 그 하부의 게이트 절연막(116)은 상기 제 1 영역(113a) 양측면에 위치한 상기 제 2 영역(113b) 각각을 노출시키는 반도체층 콘택홀(125)이 형성되어 있다.
- [0063] 다음, 상기 반도체층 콘택홀(125)을 포함하는 층간절연막(123) 상부에는 상기 게이트 배선(119)과 교차하여 화소영역(P)을 정의하는 데이터 배선(130)과, 이와 이격하여 전원배선(미도시)이 형성되고 있다.
- [0064] 또한, 상기 층간절연막(123) 위로 각 구동영역(DA) 및 스위칭 영역(미도시)에는 서로 이격하며 상기 반도체층 콘택홀(125)을 통해 노출된 제 2 영역(113b)과 각각 접촉하며 소스 및 드레인 전극(133, 136)이 형성되어 있다. 이때, 상기 소스 및 드레인 전극(133, 136)과, 이들 전극(133, 136)과 접촉하는 제 2 영역(113b)을 포함하는 반도체층(113)과, 상기 반도체층(113) 상부에 형성된 게이트 절연막(116) 및 게이트 전극(120)은 구동 박막트랜지스터(DTr)를 이룬다.
- [0065] 한편, 스위칭 영역(미도시)에는 상기 구동 박막트랜지스터(DTr)와 동일한 구조의 스위칭 박막트랜지스터(미도시)가 형성된다. 이때, 상기 스위칭 박막트랜지스터(미도시)는 상기 구동 박막트랜지스터(DTr)와 게이트 배선(119) 및 데이터 배선(130)과 전기적으로 연결되며 형성되어 있으며, 상기 데이터 배선(130)은 상기 스위칭 박막트랜지스터(미도시)의 소스 전극(미도시)과 연결되고 있다.
- [0066] 다음, 상기 구동 및 스위칭 박막트랜지스터(DTr, 미도시) 위로는 상기 구동 박막트랜지스터(DTr)의 드레인 전극(136)을 노출시키는 드레인 콘택홀(143)을 갖는 보호층(140)이 형성되어 있다.
- [0067] 또한, 상기 보호층(140) 위로는 상기 구동 박막트랜지스터(DTr)의 드레인 전극(136)과 상기 드레인 콘택홀(143)을 통해 접촉되며 각 화소영역(P) 별로 일함수 값이 비교적 크며 투명 도전성 물질 예를들면 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)로 이루어진 제 1 전극(147)이 형성되어 있다.
- [0068] 이때, 상기 제 1 전극(147)은 도시한 바와 같이 단일층 구조를 이룰 수도 있으며, 나아가 다중층 구조를 이룰 수도 있다. 상기 제 1 전극(147) 다중층 구조를 이룰 경우 상기 투명 도전성 물질 이외에 반사효율이 우수한 금속물질로서 하부층(미도시)이 더욱 구성되어 상기 하부층(미도시)에 의해 유기 발광층(155)으로 나온 빛을 반사시켜 상층으로 출사되도록 함으로써 휘도 특성을 향상시킬 수 있다.
- [0069] 다음, 전술한 바와 같이 단일층 또는 다중층 구조를 갖는 상기 제 1 전극(147)의 테두리를 덮으며 각 화소영역(P)의 경계에는 बैं크(150)가 형성되어 있다. 이때 상기 बैं크(150)는 상기 각 화소영역(P)의 경계 중 상기 금속패턴(148)과 상기 격벽(149)이 형성된 부분에 대응해서는 패터닝되어 제거됨으로써 상기 격벽(149)이 형성된 화소영역(P)의 경계 부분을 제외한 각 화소영역(P)의 경계에 형성되고 있는 것이 특징이다.
- [0070] 또한, 상기 बैं크(150)로 둘러싸인 각 화소영역(P)에는 상기 제 1 전극(147) 위로 유기 발광층(155)이 형성되고 있다.
- [0071] 상기 유기 발광층(155)과 상기 बैं크(150)의 상부에는 전면에 일함수 값이 비교적 낮은 금속물질 예를 들면 마



그네슘 은 합금(Mg:Ag) 또는 알루미늄 마그네슘 합금(Al:Mg)이 수 십Å 내지 수 백Å 정도의 두께를 가지며 표시 영역 전면에 형성되고 있다.

[0072] 한편, 각 화소영역(P) 내에 순차 적층된 상기 제 1 전극(147)과 상기 유기 발광층(155) 및 제 2 전극(158)은 유기전계 발광 다이오드(E)를 이루게 된다.

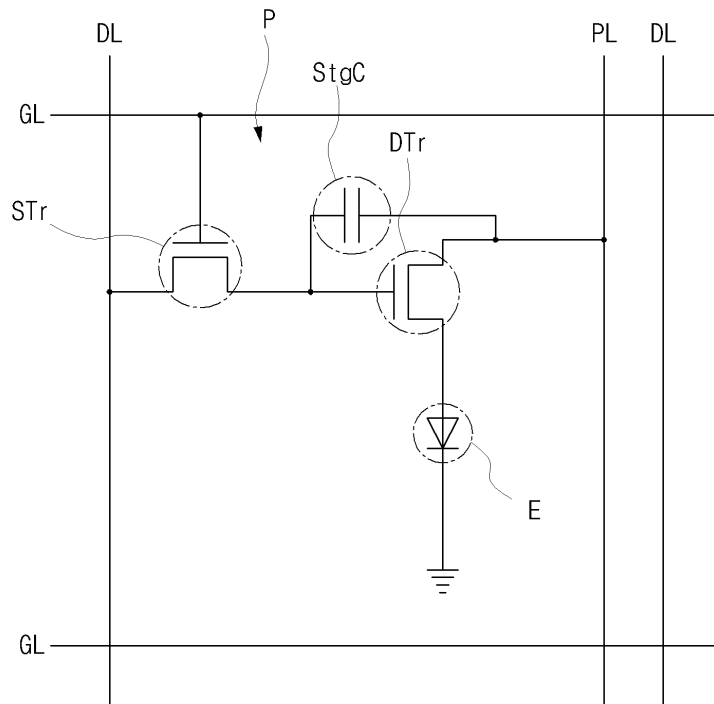
[0073] 이러한 구성을 갖는 제 1 기판에 대응하여 상기 유기전계 발광 다이오드(E)의 인캡슐레이션을 위해 그 테두리에 접착패턴을 개재하여 제 2 기판이 구비되고 있다.

### 도면의 간단한 설명

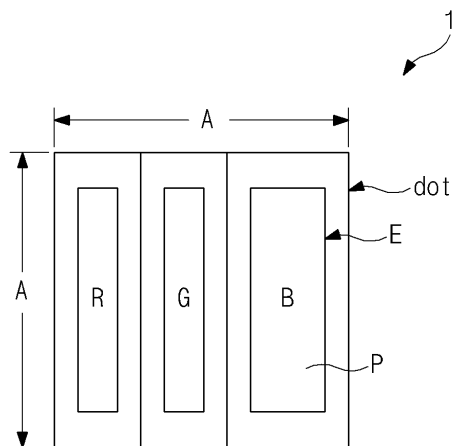
- [0074] 도 1은 일반적인 액티브 매트릭스형 유기전계 발광소자의 한 화소에 대한 회로도.
- [0075] 도 2는 종래의 유기전계 발광소자의 구동 박막트랜지스터를 포함하는 하나의 화소영역에 대한 단면도.
- [0076] 도 3은 종래의 원형의 표시영역을 갖는 유기전계 발광소자의 표시영역을 도시한 도면.
- [0077] 도 4는 도 3의 D영역을 확대도시한 도면.
- [0078] 도 5는 본 발명의 실시예에 따른 원형의 표시영역을 갖는 유기전계 발광소자의 표시영역을 도시한 도면.
- [0079] 도 6은 도 5의 D영역을 확대도시한 도면.
- [0080] 도 7a, 7b, 7c는 각각 크기 조절 전의 이형 표시영역의 최외각에 위치하는 도트(dot)와 이를 지나는 설계시의 이형 표시영역을 함께 도시한 도면.
- [0081] 도 8a와 도 8b는 본 발명에 따른 유기전계 발광소자의 최외각 도트(dot)의 크기 조절 비율을 설명하기 위해 최외각 도트(dot)를 구획하여 나타낸 도면.
- [0082] 도 9는 본 발명의 실시예에 따른 유기전계 발광소자의 하나의 화소영역에 대한 단면도.
- [0083] <도면의 주요부분에 대한 부호의 설명>
- [0084] 101 : 유기전계 발광소자                      a : 중앙부 도트 한 변 길이
- [0085] b : 크기가 변경된 최외각 도트의 한 변 길이
- [0086] dot1 : 중앙부 도트                              dot2 : 최외각 도트
- [0087] PL1, PL2, P13 : 도트 라인
- [0088] L : 설계치에 의한 이형 표시영역의 테두리를 나타낸 가상의 선

도면

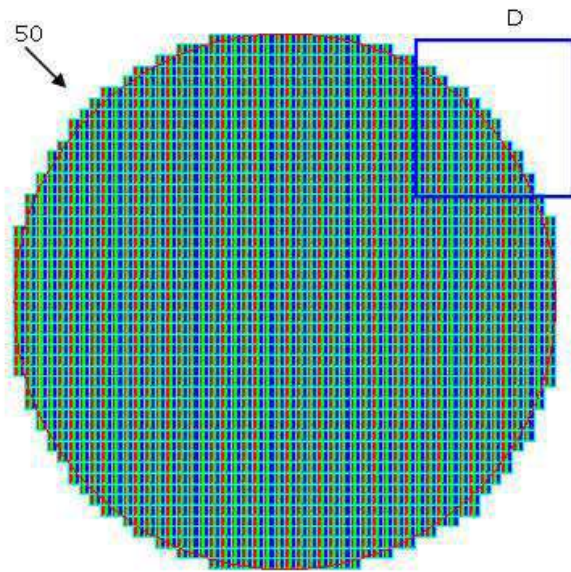
도면1



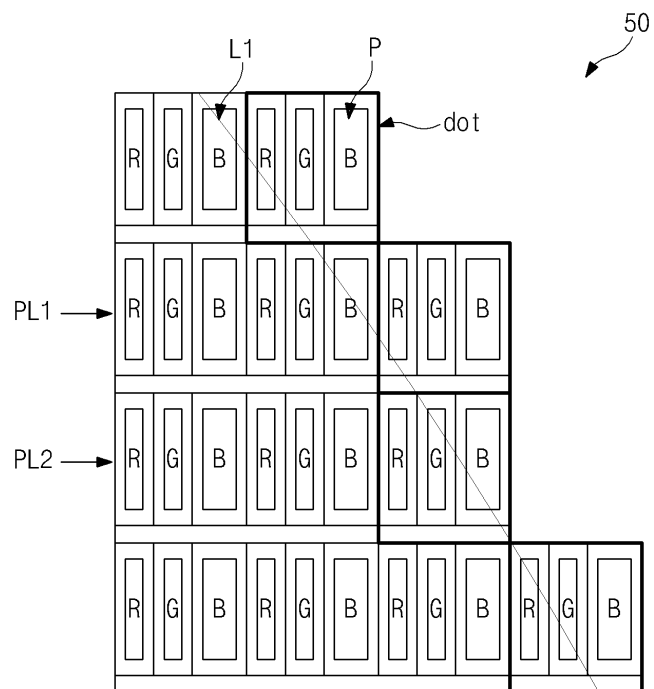
도면2



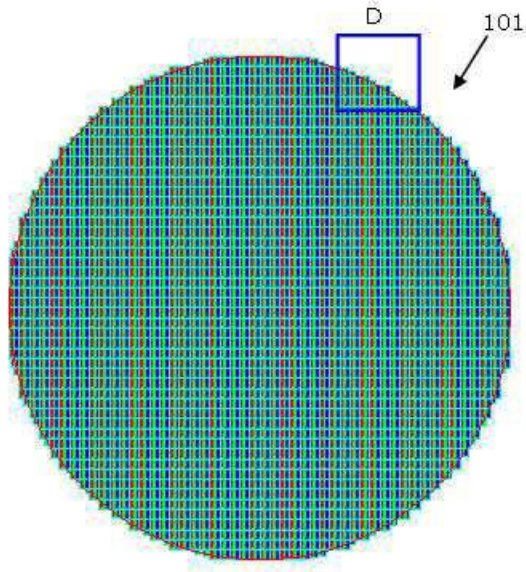
도면3



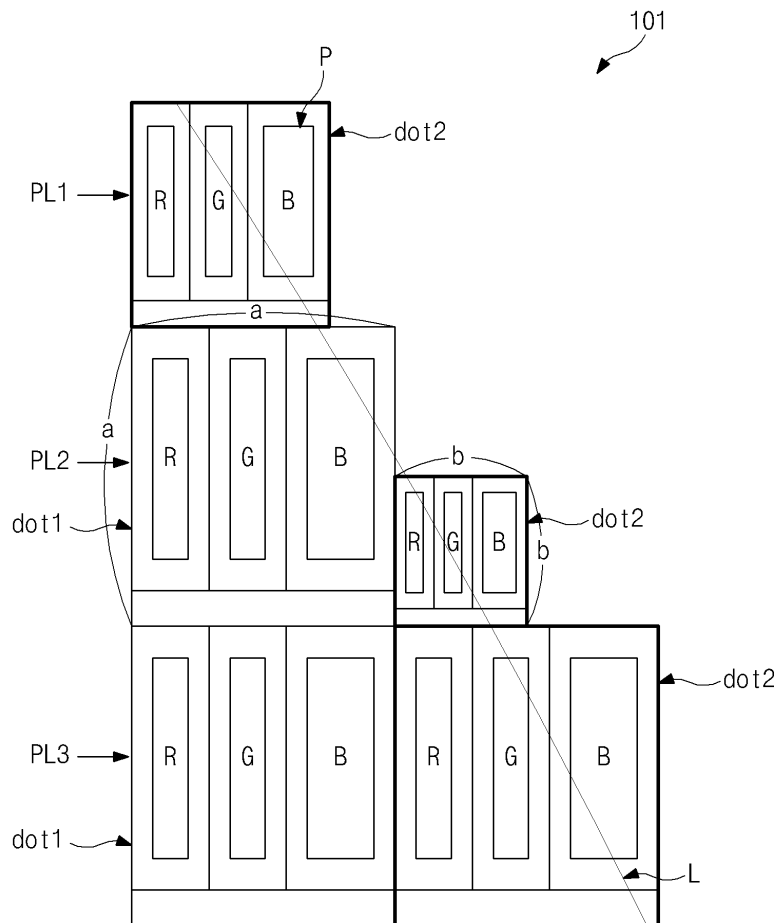
도면4



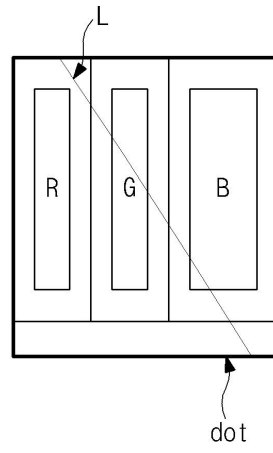
도면5



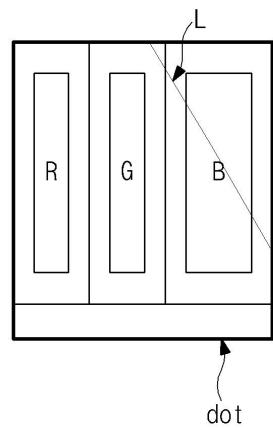
도면6



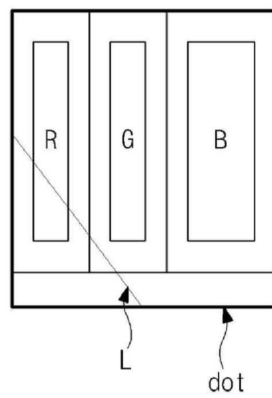
도면7a



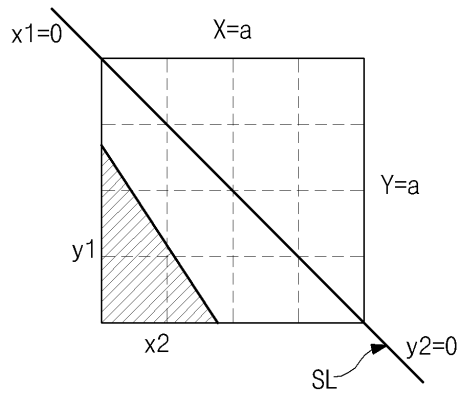
도면7b



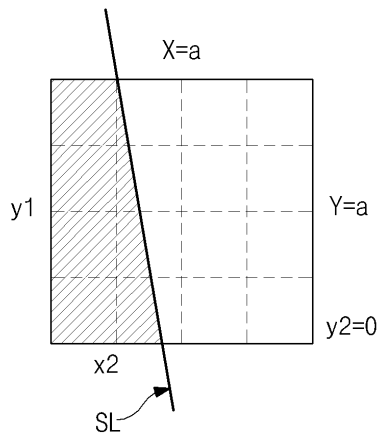
도면7c



도면8a



도면8b



도면9

