



(12)发明专利申请

(10)申请公布号 CN 105869666 A

(43)申请公布日 2016.08.17

(21)申请号 201610178464.0

(22)申请日 2016.03.25

(71)申请人 上海华虹宏力半导体制造有限公司

地址 201203 上海市浦东新区张江高科技
园区祖冲之路1399号

(72)发明人 张勇

(74)专利代理机构 北京集佳知识产权代理有限
公司 11227

代理人 张振军 吴敏

(51) Int. Cl.

G11C 7/22(2006.01)

G11C 8/08(2006.01)

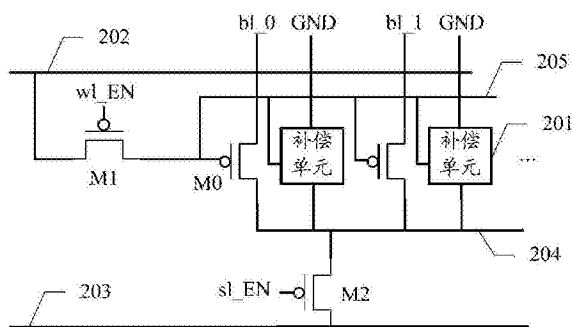
权利要求书1页 说明书5页 附图2页

(54)发明名称

存储器控制电路及存储器

(57)摘要

一种存储器控制电路及存储器,所述存储器控制电路包括源线选通管和字线选通管,所述字线选通管连接存储单元,所述源线选通管经由局部源线连接所述存储单元,所述存储器控制电路还包括补偿单元,所述补偿单元适于在读操作时,对所述局部源线进行放电,以降低所述局部源线的电压。本发明技术方案通过设置补偿单元,降低了局部源线在读操作时的电压,增大了局部字线和局部源线之间压差,存储单元电流增大,地址输入到数据输出所需要的读时间变短,从而提高了存储器的读速度。



1. 一种存储器控制电路,包括源线选通管和字线选通管,所述字线选通管连接存储单元,所述源线选通管经由局部源线连接所述存储单元,其特征在于,还包括:
补偿单元,适于在读操作时,对所述局部源线进行放电,以降低所述局部源线的电压。
2. 根据权利要求1所述的存储器控制电路,其特征在于,所述补偿单元包括:
浮栅MOS管;
所述浮栅MOS管的栅极耦接所述字线选通管的输出端,其源极耦接所述局部源线,其漏极接地。
3. 根据权利要求2所述的存储器控制电路,其特征在于,所述浮栅MOS管为N型浮栅MOS管。
4. 根据权利要求3所述的存储器控制电路,其特征在于,所述源线选通管和所述字线选通管导通时,所述N型浮栅MOS管导通,所述局部源线经由所述N型浮栅MOS管接地,所述局部源线的电压被拉低。
5. 根据权利要求3所述的存储器控制电路,其特征在于,所述N型浮栅MOS管的导通电流大于所述存储单元的导通电流。
6. 根据权利要求1至5任一项所述的存储器控制电路,其特征在于,所述存储单元的数量与所述补偿单元的数量相同或不同。
7. 根据权利要求1至5任一项所述的存储器控制电路,其特征在于,所述源线选通管和所述字线选通管为NMOS管。
8. 根据权利要求7所述的存储器控制电路,其特征在于,所述存储单元为浮栅MOS管;所述源线选通管的漏极耦接全局源线,其源极耦接所述存储单元的输入端;所述字线选通管的漏极耦接全局字线,其源极耦接所述存储单元的栅极。
9. 一种存储器,其特征在于,包括如权利要求1至8任一项所述的存储器控制电路以及与其耦接的存储单元。
10. 根据权利要求9所述的存储器,其特征在于,所述存储器为EEPROM存储器。

存储器控制电路及存储器

技术领域

[0001] 本发明涉及半导体集成电路领域,尤其涉及一种存储器控制电路及存储器。

背景技术

[0002] 随着半导体制造工艺和集成电路设计能力的不断进步,人们已经能够把包括处理器、存储器、模拟电路、接口逻辑甚至射频电路集成到一个芯片上,这就是系统级芯片(System-on-Chip, SoC)。随着数据吞吐量不断上升以及系统低功耗要求,系统级芯片对存储器的需求越来越大。据预测将来约90%的硅片面积将被具有不同功能的存储器所占据,嵌入式存储器将成为支配整个系统的决定性因素。以闪存(flash)、带电可擦可编程只读存储器(Electrically Erasable Programmable Read-Only Memory, EEPROM)为代表,非挥发性存储器以其掉电不丢失数据的特性而成为嵌入式存储器中不可或缺的重要组成部分,在改善系统性能、提高芯片可靠性、降低成本与功耗等方面都起到了积极的作用。

[0003] 现有技术中,带电可擦可编程只读存储器通常会配置选通管,对带有存储信息的MOS管进行选择,实现擦除/写入/读取操作。请参照图1,图1是现有技术一种存储器电路的结构示意图,其中,全局字线(global word line)和全局源线(global source line)贯穿整个存储阵列(array)区域。在EEPROM中,在读操作中,一次读一个字(word),一个字包括多个位信息(bit),位信息通过多条位线(bl₁, bl₁...bl₃₁)读出,即单个字的存储信息通常包含在多个存储单元(cell₀, cell₁...cell₃₁)中。全局字线电压和全局源线电压通过选通管M1和选通管M2引入到包括单个字的存储单元中,并形成局部字线(local word line)和局部源线(local source line)。字线选通管M1和源线选通管M2的栅极分别通过使能字线电压w1_EN和使能源线电压s1_EN控制。在存储器的设计中,为了降低存储器芯片的面积,字线选通管M1和源线选通管M2的尺寸通常会设计的非常小。

[0004] 但是,现有技术中,由于字线选通管M1和源线选通管M2的尺寸小,其电流导通能力弱;存储器在读操作时,如果单个存储单元都是大电流,由于源线选通管M2的导通能力弱小,局部源线电压升高,存储单元的漏极和源极之间压差减小,存储单元导通电流变小,导致读速度降低,地址输入到数据输出所需要的读时间(T_{aa})变长,降低了存储器的效率。

发明内容

[0005] 本发明解决的技术问题是如何提高存储器的读速度。

[0006] 为解决上述技术问题,本发明实施例提供一种存储器控制电路,包括源线选通管和字线选通管,所述字线选通管连接存储单元,所述源线选通管经由局部源线连接所述存储单元,所述存储器控制电路还包括:补偿单元,适于在读操作时,对所述局部源线进行放电,以降低所述局部源线的电压。

[0007] 可选的,所述补偿单元包括浮栅MOS管;所述浮栅MOS管的栅极耦接所述字线选通管的输出端,其源极耦接所述局部源线,其漏极接地。

[0008] 可选的,所述浮栅MOS管为N型浮栅MOS管。

[0009] 可选的,所述源线选通管和所述字线选通管导通时,所述N型浮栅MOS管导通,所述局部源线经由所述N型浮栅MOS管接地,所述局部源线的电压被拉低。

[0010] 可选的,所述N型浮栅MOS管的导通电流大于所述存储单元的导通电流。

[0011] 可选的,所述存储单元的数量与所述补偿单元的数量相同或不同。

[0012] 可选的,所述源线选通管和所述字线选通管为NMOS管。

[0013] 可选的,所述存储单元为浮栅MOS管;所述源线选通管的漏极耦接全局源线,其源极耦接所述存储单元的输入端;所述字线选通管的漏极耦接全局字线,其源极耦接所述存储单元的栅极。

[0014] 为解决上述技术问题,本发明实施例还公开了一种存储器,所述存储器包括所述存储器控制电路以及与其耦接的存储单元。

[0015] 可选的,所述存储器为EEPROM存储器。

[0016] 与现有技术相比,本发明实施例的技术方案具有以下有益效果:

[0017] 本发明实施例的存储器控制电路,包括源线选通管和字线选通管,所述字线选通管连接存储单元,所述源线选通管经由局部源线连接所述存储单元,本发明的存储器控制电路还包括补偿单元,补偿单元适于在读操作时,对所述局部源线进行放电,以降低所述局部源线的电压。通过设置补偿单元,降低了局部源线在读操作时的电压,增大了局部字线和局部源线之间压差,存储单元电流增大,地址输入到数据输出所需要的读时间变短,从而提高了存储器的读速度。

[0018] 进一步,所述补偿单元包括浮栅MOS管;所述浮栅MOS管的栅极耦接所述字线选通管的输出端,其源极耦接所述局部源线,其漏极接地。通过在读操作时将所述浮栅MOS管导通,所述局部源线经由所述浮栅MOS管接地,所述局部源线的电压被拉低,进一步提高了存储器的读速度。

附图说明

[0019] 图1是现有技术一种存储器控制电路的结构示意图;

[0020] 图2是本发明实施例一种存储器控制电路的结构示意图;

[0021] 图3是本发明实施例另一种存储器控制电路的结构示意图;

[0022] 图4是本发明实施例又一种存储器控制电路的结构示意图。

具体实施方式

[0023] 如背景技术中所述,现有技术中,由于字线选通管M1和源线选通管M2的尺寸小,其电流导通能力弱;存储器在读操作时,如果单个存储单元都是大电流,由于源线选通管M2的导通能力弱小,局部源线电压升高,存储单元的漏极和源极之间压差减小,存储单元导通电流变小,导致读速度降低,地址输入到数据输出所需要的读时间(T_{aa})变长,降低了存储器的效率。

[0024] 为了提高存储器的读速度,可以增加源线选通管M2的尺寸,来增大其电流导通能力;但是,由于存储器芯片面积的限制,源线选通管M2的尺寸增大范围有限。本发明实施例通过设置补偿单元,降低了局部源线在读操作时的电压,增大了局部字线和局部源线之间压差,存储单元电流增大,地址输入到数据输出所需要的读时间变短,从而提高了存储器的

读速度;同时,减小了源线选通管M2的尺寸,减小了存储器芯片的面积。

[0025] 为使本发明的上述目的、特征和优点能够更为明显易懂,下面结合附图对本发明的具体实施例做详细的说明。

[0026] 图2是本发明实施例一种存储器控制电路的结构示意图。下面参照图2对所述存储器控制电路做详细的说明。

[0027] 其中,存储器控制电路可以用于控制存储器的读操作,所述存储器控制电路包括:源线选通管M2和字线选通管M1,所述字线选通管M1连接存储单元M0,所述源线选通管M2经由局部源线204连接所述存储单元M0。具体地,所述存储器包括多个存储单元M0,图2所示多个存储单元M0的存储信息可以组成字(word),每个所述存储单元M0的存储信息为位(bit);在读操作时,选中该字时,字线选通管M1的栅端电压w1_EN控制字线选通管M1导通,字线选通管M1将全局字线202的高电压引入局部字线205;源线选通管M2的栅极电压s1_EN控制源线选通管M2导通,源线选通管M2将全局源线203电压引入局部源线204,多个存储单元M0通过多条位线(b1_0,b1_1...)将存储信息输出。

[0028] 本实施例中,所述存储器控制电路还包括补偿单元201;补偿单元201适于在读操作时,对所述局部源线204进行放电,以降低所述局部源线204的电压。具体地,补偿单元201的一端连接局部源线204,另一端接地。将局部源线204在读操作时的高电压接地,进行放电,降低了所述局部源线204的电压,也就是说,局部字线205和局部源线204之间的电压差增大,从而增大了存储单元M0的导通电流,位线(b1_0,b1_1...)将存储信息输出的速度变快。

[0029] 具体实施中,所述存储单元M0的数量与所述补偿单元201的数量相同或不同。例如,存储单元M0的数量与补偿单元201的数量相同时,每个所述存储单元M0配置一个所述补偿单元201;存储单元M0的数量与补偿单元201的数量不同时,多个所述存储单元M0配置一个所述补偿单元201。优选的,存储单元M0的数量与补偿单元201的数量相同时,补偿单元201对局部源线204的电压的降压速度快。

[0030] 图3是本发明实施例另一种存储器控制电路的结构示意图,下面参照图3对所述存储器控制电路做详细的说明。

[0031] 本实施例中,一并参照图2,所述存储器控制电路包括:源线选通管M2、字线选通管M1和补偿单元201;其中,所述字线选通管M1连接存储单元M0,所述源线选通管M2经由局部源线204连接所述存储单元M0。补偿单元201在读操作时对所述局部源线204进行放电。具体地,存储单元M0的栅极耦接所述字线选通管M1的输出端,也就是局部字线203,存储单元M0的源极耦接源线选通管M2的漏极,也就是所述局部源线204,存储单元M0的漏极作为位线(b1_1,b1_1...b1_31),输出存储信息。例如,字线选通管M1导通,源线选通管M2导通,存储单元M0被选中,存储单元M0导通,存储单元M0的漏极输出存储信息。

[0032] 本实施例中,所述补偿单元201可以包括浮栅MOS管M3;所述浮栅MOS管M3的栅极耦接所述字线选通管M1的输出端,也就是局部字线203,浮栅MOS管M3的源极耦接源线选通管M2的漏极,也就是所述局部源线204,浮栅MOS管M3的漏极接地。

[0033] 具体实施中,所述浮栅MOS管M3为N型浮栅MOS管。所述字线选通管M1导通时,局部字线203电压升高,存储单元M0导通,对应地,所述N型浮栅MOS管导通;所述源线选通管M2导通时,局部源线204电压为低电压,存储单元M0开始输出存储信息,而所述局部源线204经由

所述N型浮栅MOS管接地,所述局部源线204的电压被拉低,存储单元M0的导通电流增大,输出存储信息的速度变快。具体地,所述源线选通管M2和所述字线选通管M1为NMOS管,由此,可以通过高电压对所述源线选通管M2和所述字线选通管M1进行选通,也就是说,所述源线选通管M2或所述字线选通管M1的栅极为高电压时,所述源线选通管M2和所述字线选通管M1导通,源线选通管M2可以将全局源线203引入局部源线204,字线选通管M1将全局字线202引入局部字线203。

[0034] 可以理解的是,所述源线选通管M2和所述字线选通管M1也可以为其他任意可实施选择导通的电子器件,本发明实施例对此不做限制。

[0035] 本实施例中,所述N型浮栅MOS管的导通电流大于所述存储单元M0的导通电流。由此,N型浮栅MOS管只会被擦除(erase),而不会在存储单元M0被写入时一同被写入(prog)。在读操作时N型浮栅MOS管选通,对局部源线204进行接地,由于其导通电流大,可以快速降低局部源线204的电压,增大局部字线205和局部源线204之间压差,增大存储单元M0的导通电流,从而提高了存储器的读速度。

[0036] 相比于现有技术中为了节省存储器芯片面积,源线选通管M2的尺寸小,而读操作时一次要读一个字(word),每个字包括多个位(bit),即读操作每次读多个存储单元;在多个存储单元都是大电流时,那么由于源线选通管M2的尺寸小,其电流导通能力弱(相当于大电阻),局部源线的电压被抬高,在读操作的过程中,如果局部源线的电压被抬高了,那么存储单元的源极和漏极之间的压差就会减小,存储单元的导通电流变弱,导致读速度降低。而本发明实施例通过设置补偿单元,在读操作时,将局部源线接地进行放电,降低局部源线的电压,增大了局部字线和局部源线之间压差,存储单元电流增大,地址输入到数据输出所需要的读时间变短,从而提高了存储器的读速度;同时,减小了源线选通管的尺寸,减小了存储器芯片的面积。

[0037] 图4是本发明实施例又一种存储器控制电路的结构示意图。下面参照图4对所述存储器控制电路做详细的说明。

[0038] 一并参照图3,补偿单元可以为N型浮栅MOS管;所述存储单元M0的数量与所述N型浮栅MOS管的数量相同或不同。在存储单元M0的数量与补偿单元201的数量相同时,请参照图3所示存储器控制电路的具体结构,每个所述存储单元M0配置一个N型浮栅MOS管,存储单元M0和N型浮栅MOS管的栅极耦接局部字线,存储单元M0和N型浮栅MOS管的源极耦接局部源线,存储单元M0的漏极作为位线,N型浮栅MOS管的漏极接地。

[0039] 存储单元M0的数量与补偿单元201的数量不同时,请参照图4所示存储器控制电路的具体结构,多个所述存储单元M0配置一个所述N型浮栅MOS管。N型浮栅MOS管的栅极耦接局部字线,N型浮栅MOS管的源极耦接局部源线,N型浮栅MOS管的漏极接地。

[0040] 优选的,存储单元M0的数量与N型浮栅MOS管的数量相同时,N型浮栅MOS管对局部源线204的电压的降压速度快。

[0041] 本发明实施例的具体实施方式可参照前述相应实施例,此处不再赘述。

[0042] 本发明实施例还公开了一种存储器,所述存储器包括所述存储器控制电路以及与其耦接的存储单元。

[0043] 具体地,所述存储器可以为EEPROM存储器。

[0044] 虽然本发明披露如上,但本发明并非限于于此。任何本领域技术人员,在不脱离本

发明的精神和范围内,均可作各种更动与修改,因此本发明的保护范围应当以权利要求所限定的范围为准。

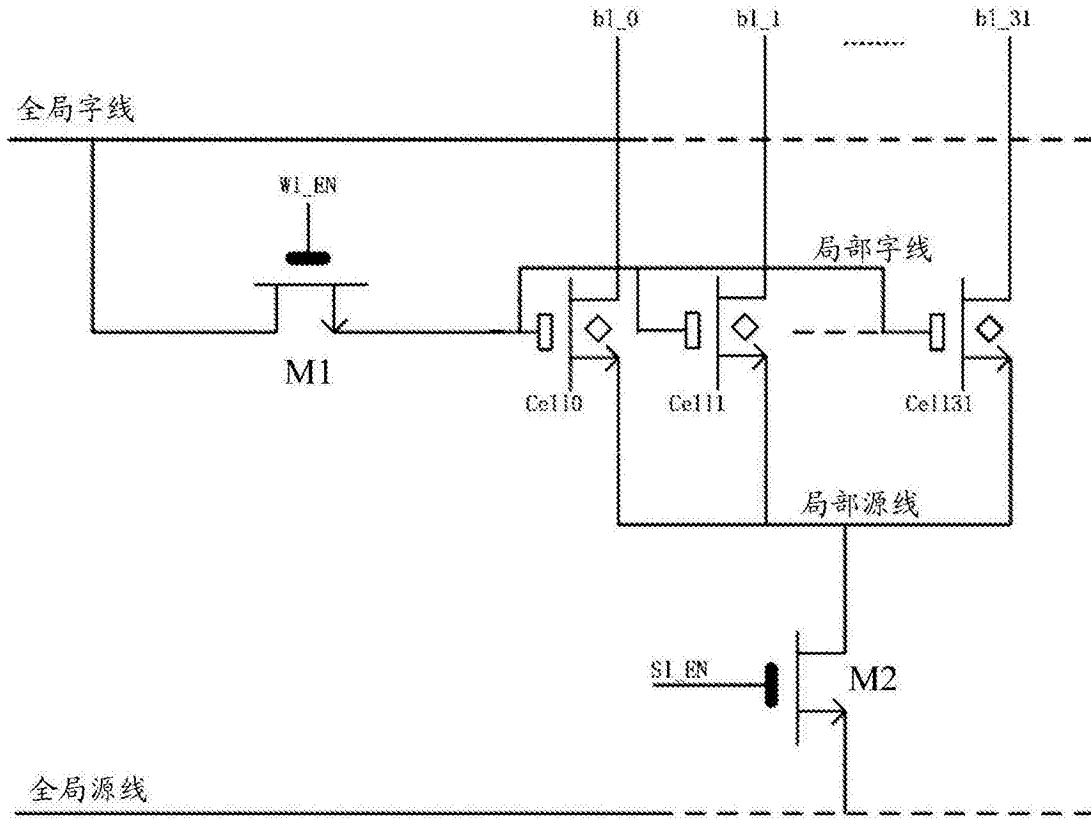


图1

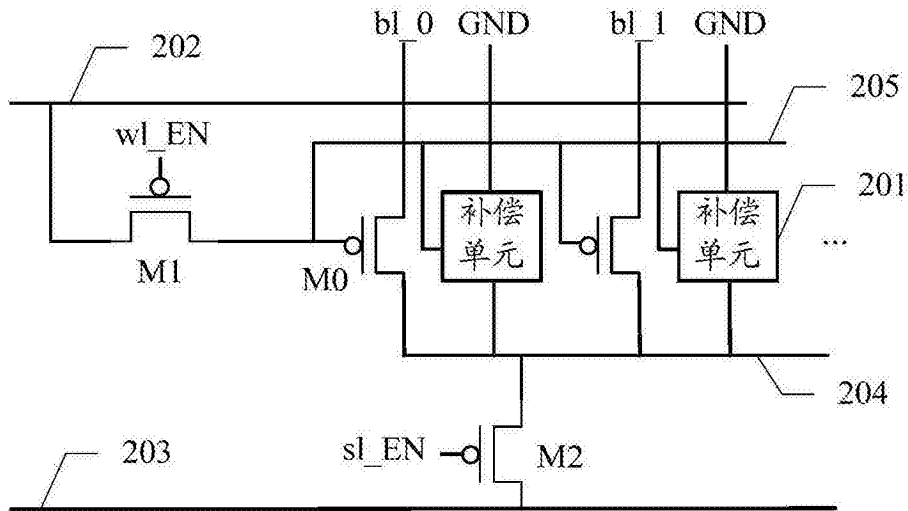


图2

