

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-300385

(P2008-300385A)

(43) 公開日 平成20年12月11日(2008.12.11)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/768 (2006.01)	HO 1 L 21/90 M	5 F 0 3 3
HO 1 L 23/522 (2006.01)	HO 1 L 21/88 A	5 F 0 5 8
HO 1 L 21/3205 (2006.01)	HO 1 L 21/316 M	
HO 1 L 23/52 (2006.01)	HO 1 L 21/314 M	
HO 1 L 21/316 (2006.01)		

審査請求 未請求 請求項の数 7 O L (全 10 頁) 最終頁に続く

(21) 出願番号 特願2007-141419 (P2007-141419)  
 (22) 出願日 平成19年5月29日 (2007.5.29)

(71) 出願人 503121103  
 株式会社ルネサステクノロジ  
 東京都千代田区大手町二丁目6番2号  
 (74) 代理人 100101454  
 弁理士 山田 卓二  
 (74) 代理人 100081422  
 弁理士 田中 光雄  
 (74) 代理人 100112911  
 弁理士 中野 晴夫  
 (72) 発明者 大橋 直史  
 東京都千代田区大手町二丁目6番2号 株  
 式会社ルネサステクノロジ内

最終頁に続く

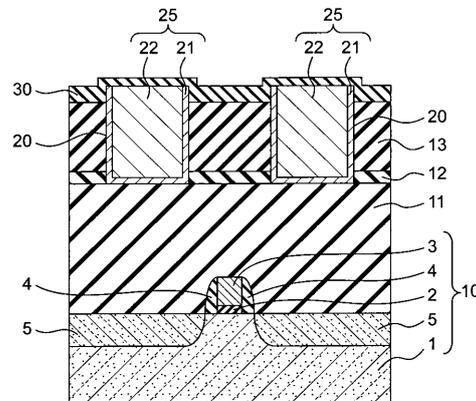
(54) 【発明の名称】 配線構造およびその製造方法

(57) 【要約】

【課題】 低誘電率絶縁材料を含む層間絶縁膜において、層間絶縁膜の機械的強度や耐圧を維持しつつ配線間容量を低減した配線構造を提供する。

【解決手段】 層間絶縁膜に配線層が埋め込まれた配線構造において、配線層に隣接する層間絶縁膜が、拡散防止膜、多孔質絶縁膜、およびキャップ膜の3層構造からなり、キャップ膜がSiOCまたはSiO<sub>2</sub>からなる。また、かかる配線構造の製造方法が、第1キャップ膜を選択的にエッチングするエッチング工程と、半導体基板の上面を覆うように、SiOCまたはSiO<sub>2</sub>からなる第2キャップ膜を形成する工程とを含む。

【選択図】 図1



100

## 【特許請求の範囲】

## 【請求項 1】

層間絶縁膜に配線層が埋め込まれた配線構造であって、  
配線層に隣接する層間絶縁膜が、拡散防止膜、多孔質絶縁膜、およびキャップ膜の 3 層構造からなり、

該キャップ膜が SiOC または SiO<sub>2</sub> からなることを特徴とする配線構造。

## 【請求項 2】

上記キャップ膜が、上記配線層を覆う拡散防止膜を兼ねることを特徴とする請求項 1 に記載の配線構造。

## 【請求項 3】

上記多孔質絶縁膜の上面より上部に突出した配線層の高さが、10nm 以上であることを特徴とする請求項 1 または 2 に記載の配線構造。

## 【請求項 4】

上記多孔質絶縁膜が、ポーラス SiOC からなり、上記拡散防止膜が、SiC、SiCN、または SiN からなることを特徴とする請求項 1 ~ 3 のいずれかに記載の配線構造。

## 【請求項 5】

半導体基板上に、絶縁膜を形成する工程と、

該絶縁膜上に、拡散防止膜、多孔質絶縁膜、および SiOC または SiO<sub>2</sub> からなる第 1 キャップ膜を順次形成する工程と、

該第 1 キャップ膜から該多孔質絶縁膜を通して該拡散防止膜に至る孔部を形成する工程と、

該半導体基板の上に、バリアメタル層を形成し、更に、孔部を埋めるように配線金属層を形成する工程と、

該配線金属層と該バリアメタル層を、該第 1 キャップ膜が露出するまで上方からエッチングして膜厚を減じ、該開口部に埋め込まれるようにバリアメタル層と配線金属層とを残して配線層とする工程と、

該第 1 キャップ膜を選択的にエッチングするエッチング工程と、

該半導体基板の上面を覆うように、SiOC または SiO<sub>2</sub> からなる第 2 キャップ膜を形成する工程とを含むことを特徴とする配線構造の製造方法。

## 【請求項 6】

上記エッチング工程が、CF 系ガスを用いたドライエッチングにより上記第 1 キャップ膜を選択的に除去する工程であることを特徴とする請求項 5 に記載の配線構造の製造方法。

## 【請求項 7】

上記エッチング工程が、上記多孔質絶縁膜のエッチング量を 100nm 以下に抑えながら、該多孔質絶縁膜の上の上記第 1 キャップ膜を選択的にエッチングする工程であることを特徴とする請求項 5 または 6 に記載の配線構造の製造方法。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、配線構造およびその製造方法に関し、特に、配線間容量を低減した配線構造およびその製造方法に関する。

## 【背景技術】

## 【0002】

半導体装置の微細化にともない配線層のピッチが小さくなり、隣接する配線間容量の増加に起因する信号応答速度の遅延が問題となっている。これに対して、テクノロジーノードが 65nm 程度の微細構造では、隣接する配線間容量を低くするために、層間絶縁膜に例えば SiOC からなるポーラス低誘電率 (Low-k) 膜が用いられる。このような微細構造では、半導体素子を覆う絶縁膜上に、SiC からなる Cu 拡散防止膜、ポーラス SiOC からなる低誘電率 (Low-k) 絶縁膜、SiCO からなるキャップ膜 (k は約 3

10

20

30

40

50

． 5 ) からなる積層構造が形成され、この積層構造に設けられた孔部に T i N からなるバリアメタルと C u からなる金属層からなる配線層が設けられている。

【 0 0 0 3 】

かかる微細構造では、隣接する配線間の層間絶縁膜が、C u 拡散防止膜 / 低誘電率絶縁膜 / キャップ膜の 3 層構造からなり、更に、配線間容量を低くするためには、低誘電率絶縁膜をよりポーラス（低密度）にする必要がある。

【非特許文献 1】S.M.Jang et al., Prov. VLSI, pp.18 (2002)

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 4 】

しかしながら、低誘電率絶縁膜を更にポーラスにすると、低誘電率絶縁膜の機械的強度や耐圧が低下するため、ポーラス化による配線間容量の低減には限界があった。

これに対して、発明者が検討したところ、このような C u 拡散防止膜 / 低誘電率絶縁膜 / キャップ膜の 3 層構造からなる層間絶縁膜では、C u 拡散防止膜やキャップ膜のフリンジ容量（C u 拡散防止膜やキャップ膜を通して、隣接する配線層に容量結合する配線層端部の容量）が大きいことがわかった。このため、低誘電率絶縁膜をポーラス化する代わりに、フリンジ容量を小さくすることにより、配線間容量を低減できることを見出し、本発明を完成した。

【 0 0 0 5 】

即ち、本発明は、低誘電率絶縁材料を含む層間絶縁膜において、層間絶縁膜の機械的強度や耐圧を維持しつつ配線間容量を低減した配線構造を提供することを目的とする。

【課題を解決するための手段】

【 0 0 0 6 】

本発明は、層間絶縁膜に配線層が埋め込まれた配線構造であって、配線層に隣接する層間絶縁膜が、拡散防止膜、多孔質絶縁膜、およびキャップ膜の 3 層構造からなり、キャップ膜が S i O C または S i O <sub>2</sub> からなることを特徴とする配線構造である。

【 0 0 0 7 】

また、本発明は、半導体基板の上に、絶縁膜を形成する工程と、絶縁膜上に、拡散防止膜、多孔質絶縁膜、および S i O C または S i O <sub>2</sub> からなる第 1 キャップ膜を順次形成する工程と、第 1 キャップ膜から多孔質絶縁膜を通して拡散防止膜に至る孔部を形成する工程と、半導体基板の上に、バリアメタル層を形成し、更に、孔部を埋めるように配線金属層を形成する工程と、配線金属層とバリアメタル層を、第 1 キャップ膜が露出するまで上方からエッチングして膜厚を減じ、開口部に埋め込まれるようにバリアメタル層と配線金属層とを残して配線層とする工程と、第 1 キャップ膜を選択的にエッチングするエッチング工程と、半導体基板の上面を覆うように、S i O C または S i O <sub>2</sub> からなる第 2 キャップ膜を形成する工程とを含むことを特徴とする配線構造の製造方法でもある。

【発明の効果】

【 0 0 0 8 】

本発明によれば、層間絶縁膜の機械的強度や耐圧を維持しつつ、信号応答速度の遅延を防止した配線構造の提供が可能となる。

【発明を実施するための最良の形態】

【 0 0 0 9 】

以下に、図面を参照しながら、本発明の好適な実施の形態について説明する。なお、以下の説明では、「上」、「下」、「左」、「右」およびこれらの用語を含む名称を適宜使用するが、これらの方向は図面を参照した発明の理解を容易にするために用いるものであり、実施形態を上下反転、あるいは任意の方向に回転した形態も、当然に本願発明の技術的範囲に含まれる。

【 0 0 1 0 】

図 1 は、全体が 1 0 0 で表される、本発明の実施の形態にかかる半導体装置の断面図である。半導体装置 1 0 0 は、例えばトランジスタのような半導体素子 1 0 を含む。半導体

10

20

30

40

50

素子 10 は、シリコン基板 1 を含み、シリコン基板 1 の上には、例えば酸化シリコンからなるゲート絶縁膜 2 を介して、例えばアルミニウムからなるゲート電極 3 が設けられている。ゲート電極 3 の側壁には、例えば酸化シリコンからなるサイドウォール 4 が設けられている。また、シリコン基板 1 には、ゲート電極 3 を挟むようにソース/ドレイン領域 5 が設けられている。半導体素子 10 の上は、例えば酸化シリコンからなる層間絶縁膜 11 で覆われている。

#### 【0011】

層間絶縁膜 11 の上には、例えば SiC からなる拡散防止膜 12 が設けられている。拡散防止膜 12 には、SiC の他に SiCO、SiCN、SiN 等を用いることができ、誘電率  $k$  は約 3.2 ~ 8.0、膜厚は約 25 nm である。

10

#### 【0012】

拡散防止膜 12 の上には、例えばポーラス SiOC からなる低誘電率 (low- $k$ ) 絶縁膜 (多孔質絶縁膜) 13 が設けられている。低誘電率絶縁膜 13 の誘電率は約 2.7 以下であり、膜厚は約 100 ~ 150 nm である。ポーラス SiOC は、SiOC 材料中に多数の気泡を形成し、誘電率を空気 ( $k = 1$ ) に近づけるものであり、導入される気泡の量により誘電率が調整できる。

#### 【0013】

拡散防止膜 12 および低誘電率絶縁膜 13 の中には、層間絶縁膜 11 の表面が露出するように孔部 20 が設けられている。孔部 20 の中には、例えば Ta からなるバリアメタル層 21 と例えば Cu からなる金属層 22 が設けられている。バリアメタル層 21 と金属層 22 から、配線層 25 が形成される。バリアメタル層 21 には、Ta の他に TaN、Ti、TiN 等を用いても構わない。バリアメタル層 21 および金属層 22 からなる配線層 25 の上端は、低誘電率絶縁膜 13 の表面より、例えば 10 nm 程度突出している。

20

#### 【0014】

低誘電率絶縁膜 13 および配線層 25 を覆うように、SiC からなり拡散防止膜を兼ねたキャップ膜 30 が設けられている。キャップ膜 30 は、配線層 25 の側面および上面を覆うように形成されている。

#### 【0015】

このように、本実施の形態にかかる半導体装置 100 では、低誘電率絶縁膜 13 の上の、配線層 25 の間には、例えば SiO<sub>2</sub> や SiOC からなるキャップ膜 30 が設けられ、その誘電率は約 2.8 ~ 4.0 程度であり、好ましくは 2.8 ~ 3.0 程度である。

30

#### 【0016】

次に、図 2 を参照しながら、本実施の形態にかかる半導体装置の製造方法について説明する。図 2 中、図 1 と同一符号は同一又は相当箇所を示し、層間絶縁膜 11 の下部に形成される半導体素子 10 については省略してある。かかる製造方法は、以下の工程 1 ~ 7 を含む。

#### 【0017】

工程 1 : 図 2 (a) に示すように、半導体素子 (図示せず) の上に、例えば酸化シリコンからなる層間絶縁膜 11 を、CVD 法を用いて堆積する。

続いて、例えば SiC からなる拡散防止膜 12、ポーラス SiOC からなる低誘電率絶縁膜 13 を順次形成する。拡散防止膜 12、低誘電率絶縁膜 13 の形成には、例えば PE-CVD (Plasma Enhanced-CVD) 法のような CVD 法が用いられる。

40

更に、低誘電率絶縁膜 13 の上に、例えば SiO<sub>2</sub> や SiOC からなるキャップ絶縁膜 (第 1 キャップ膜) 14 が CVD 法で形成される。キャップ絶縁膜 14 の上には、アルミニウム等の配線金属 15 を形成し、更に、レジストマスク 16 を形成する。そして、レジストマスク 16 を用いて、配線金属 15 のパターニングを行う。

#### 【0018】

工程 2 : 図 2 (b) に示すように、配線金属 15 をパターニングしたレジストマスク 16 を用いて、キャップ絶縁膜 14、低誘電率絶縁膜 13、および拡散防止膜 12 をエッチングし、孔部 20 を形成する。エッチングは、例えばドライエッチングで行われ、低誘電

50

率絶縁膜 13 に比較してエッチング速度の遅い拡散防止膜 12 が、エッチングストップ層として働く。エッチングは、層間絶縁膜 11 の表面が露出するまで行われる。

【0019】

工程 3：図 2 (c) に示すように、 $H_2 / He$  混合ガスを用いたプラズマアッシングにより、レジストマスク 16 および不要な配線金属 15 を除去する。かかるアッシング工程では低誘電率絶縁膜 13 の表面はキャップ絶縁膜 14 に覆われているため、低誘電率絶縁膜 13 にはダメージが入らない。

【0020】

工程 4：図 2 (d) に示すように、全面を覆うように、例えば Ti からなるバリアメタル層 21 を形成した後、例えば Cu からなる金属配線層 22 を、孔部 20 を埋めるように形成する。バリアメタル層 21、金属配線層 22 の形成には、スパッタ法や蒸着法が用いられる。

10

【0021】

工程 5：図 2 (e) に示すように、CMP 法を用いて、バリアメタル層 21、金属配線層 22 を上面から研磨除去し、孔部 20 に埋め込まれるようにバリアメタル層 21、金属配線層 22 を残す。研磨除去工程は、低誘電率絶縁膜 13 にキャップ絶縁膜 14 が残った状態で終了する。これにより研磨除去工程で低誘電率絶縁膜 13 にダメージが入るのを防止できる。

【0022】

工程 6：図 2 (f) に示すように、例えば  $CF_4$ 、 $CCl_2F_2$  等の CF 系ガスを用いたドライエッチングにより、キャップ絶縁膜 14 を選択的に除去する。かかるキャップ絶縁膜 14 のエッチング工程では、下地の低誘電率絶縁膜 13 の表面もエッチングされるが、エッチング量は少量であり、100 nm 以下である。低誘電率絶縁膜 13 の表面より上部に突出した配線層 25 の高さは、少なくとも 10 nm である。

20

【0023】

工程 7：図 2 (g) に示すように、低誘電率絶縁膜 13 の表面を  $NH_3$  プラズマで処理した後、例えば CVD 法を用いて  $SiO_2$  や  $SiOC$  からなるキャップ膜 (第 2 キャップ膜) 30 を形成する。キャップ膜 30 は、例えば Cu からなる配線金属層 22 から、Cu 元素が拡散して移動するのを防止する拡散防止層としても機能する。

【0024】

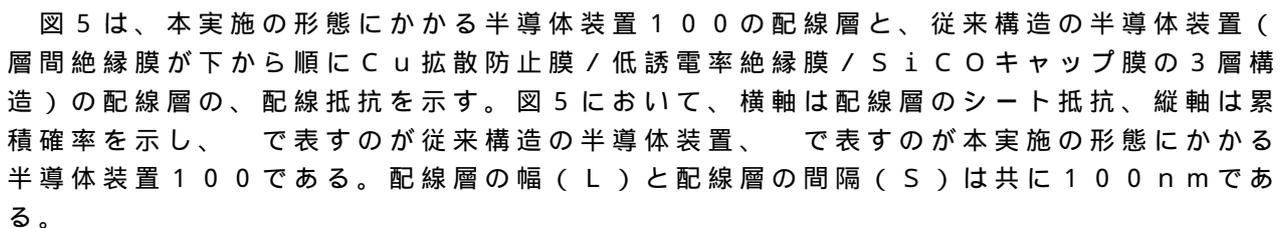
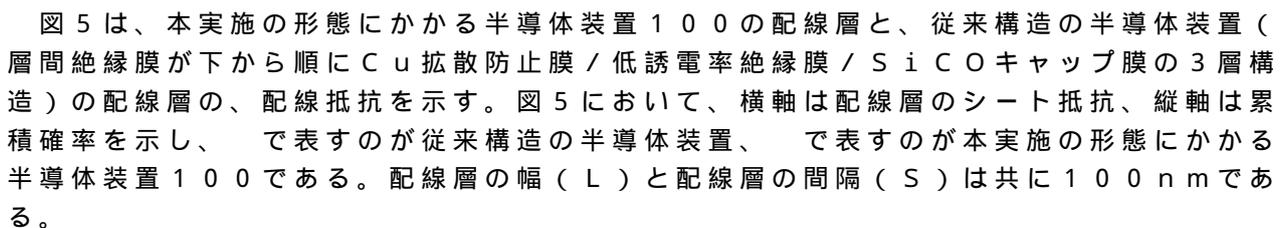
以上の工程により、図 1 に示すような、本実施の形態にかかる半導体装置 100 が完成する。

30

【0025】

図 3 は、本実施の形態にかかる半導体装置 100 の断面写真であり、図 2 (g) に相当する断面である。また、図 4 は、層間絶縁膜が下から順に Cu 拡散防止膜 / 低誘電率絶縁膜 /  $SiCO$  キャップ膜の 3 層構造となっている従来構造の半導体装置の断面写真である。

【0026】

図 5 は、本実施の形態にかかる半導体装置 100 の配線層と、従来構造の半導体装置 (層間絶縁膜が下から順に Cu 拡散防止膜 / 低誘電率絶縁膜 /  $SiCO$  キャップ膜の 3 層構造) の配線層の、配線抵抗を示す。図 5 において、横軸は配線層のシート抵抗、縦軸は累積確率を示し、 で表すのが従来構造の半導体装置、 で表すのが本実施の形態にかかる半導体装置 100 である。配線層の幅 (L) と配線層の間隔 (S) は共に 100 nm である。

40

【0027】

図 5 から、半導体装置 100 においても、配線層 20 のシート抵抗は、従来構造の半導体装置と略一致していることがわかる。

【0028】

図 6 は、本実施の形態にかかる半導体装置 100 の配線層と、従来構造の半導体装置の配線層の、配線間容量の比較である。図 6 において、横軸は配線間隔の逆数、縦軸は配線

50

間容量を示し、 で表すのが従来構造の半導体装置、 で表すのが本実施の形態にかかる半導体装置 100 である。図 6 から分かるように、本実施の形態にかかる構造とすることにより、配線間容量を小さくできることがわかる。即ち、従来構造の SiCO キャップ膜 ( $k = 3.5$ ) を除去し、代わりに SiC からなるキャップ膜 30 ( $k = 2.8 \sim 3.0$ ) とすることにより、配線層の上端部におけるフリンジ容量を低減し、その結果、配線間容量を低減することができる。

【0029】

特に、図 5 から分かるように配線層のシート抵抗は変化しないため、配線間容量の低減は、フリンジ容量の低減に起因していることがわかる。

【0030】

図 7 は、信号応答速度の遅延を決定する配線抵抗 ( $R$ ) と配線間容量 ( $C$ ) の積算値 ( $R \times C$ ) の値についての、本実施の形態にかかる半導体装置 100 の配線層と、従来構造の半導体装置の配線層の比較を示す。図 7 において、横軸は積算値 ( $R \times C$ )、縦軸は累積確立を示し、 で表すのが従来構造の半導体装置、 で表すのが本実施の形態にかかる半導体装置 100 である。配線層の幅 ( $L$ ) と配線層の間隔 ( $S$ ) は共に 100 nm である。

【0031】

図 7 から分かるように、本実施の形態にかかる半導体装置 100 では、従来構造の半導体装置より積算値 ( $R \times C$ ) が小さくなる。この結果、信号応答速度の遅延を低減することができる。

【0032】

以上のように、本実施の形態にかかる半導体装置 100 では、従来構造の半導体装置と比較して、配線間容量を低減することができ、これにより、信号応答速度の遅延を低減することができる。これは、配線層の上端部において、配線層間に挟まれる層間絶縁膜を従来構造の SiCO から SiC に換えて低誘電率の材料とすることにより、フリンジ容量を低減したことによる。

特に、配線層の上端部は電界が集中するため、この部分の誘電率を小さくすることにより、配線間容量を大幅に低減することができる。

【図面の簡単な説明】

【0033】

【図 1】本発明の実施の形態にかかる半導体装置の断面図である。

【図 2】本発明の実施の形態にかかる半導体装置の製造工程の断面図である。

【図 3】本発明の実施の形態にかかる半導体装置の断面写真である。

【図 4】従来構造の半導体装置の断面写真である。

【図 5】配線抵抗の比較である。

【図 6】配線間容量の比較である。

【図 7】配線抵抗 ( $R$ ) と配線間容量 ( $C$ ) の積算値 ( $R \times C$ ) の比較である。

【符号の説明】

【0034】

1 シリコン基板、2 ゲート絶縁膜、3 ゲート電極、4 サイドウォール、5 ソース/ドレイン領域、10 半導体素子、11 層間絶縁膜、12 拡散防止膜、13 低誘電率絶縁膜、20 孔部、21 パリアメタル層、22 金属配線層、30 キャップ膜、100 半導体装置。

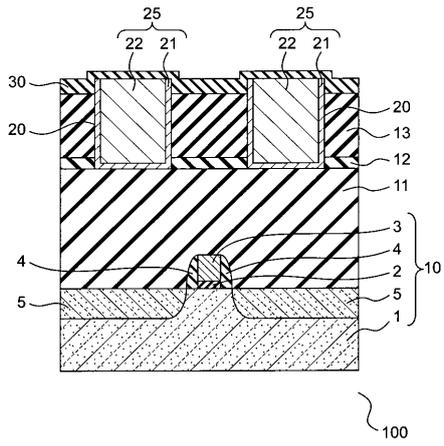
10

20

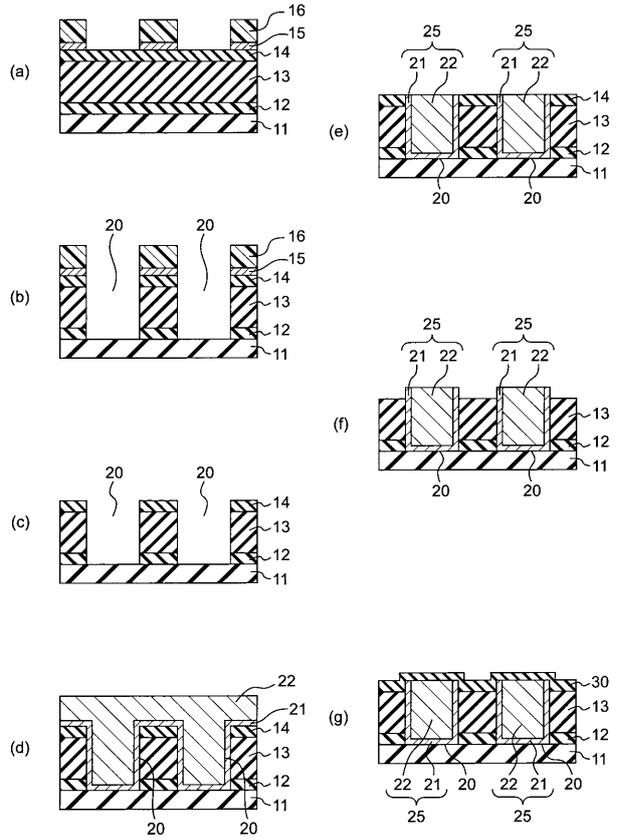
30

40

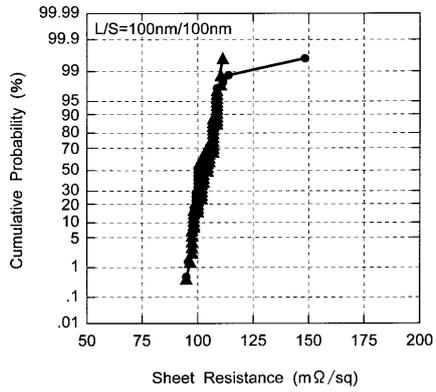
【 図 1 】



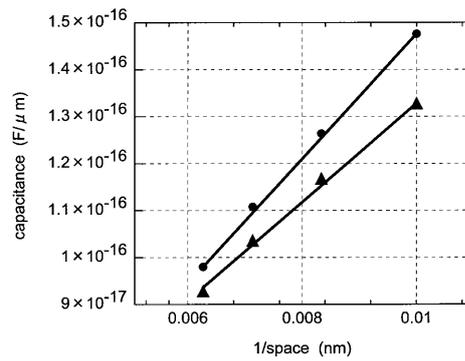
【 図 2 】



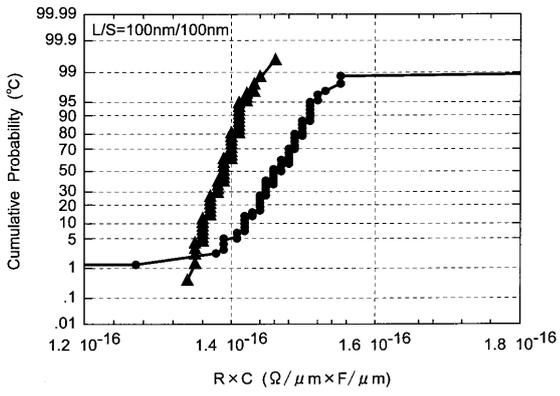
【 図 5 】



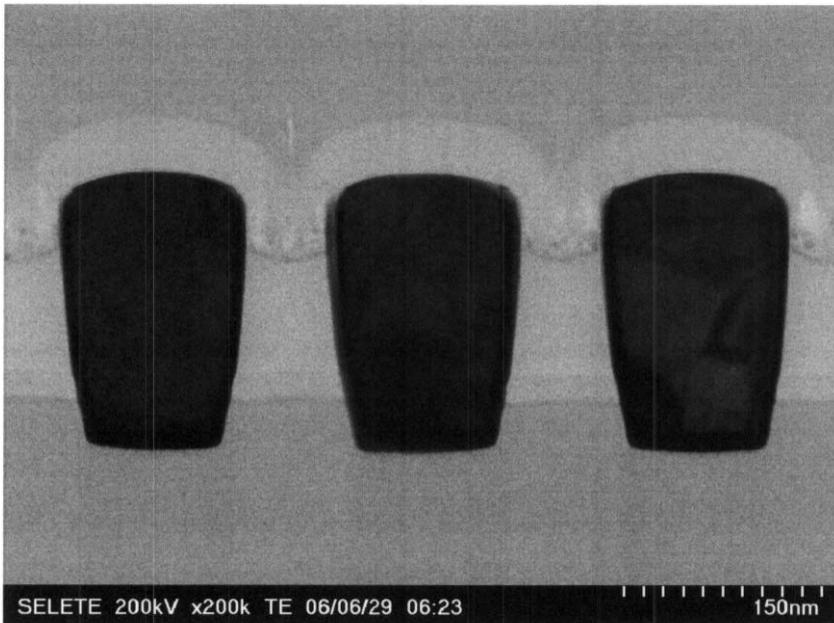
【 図 6 】



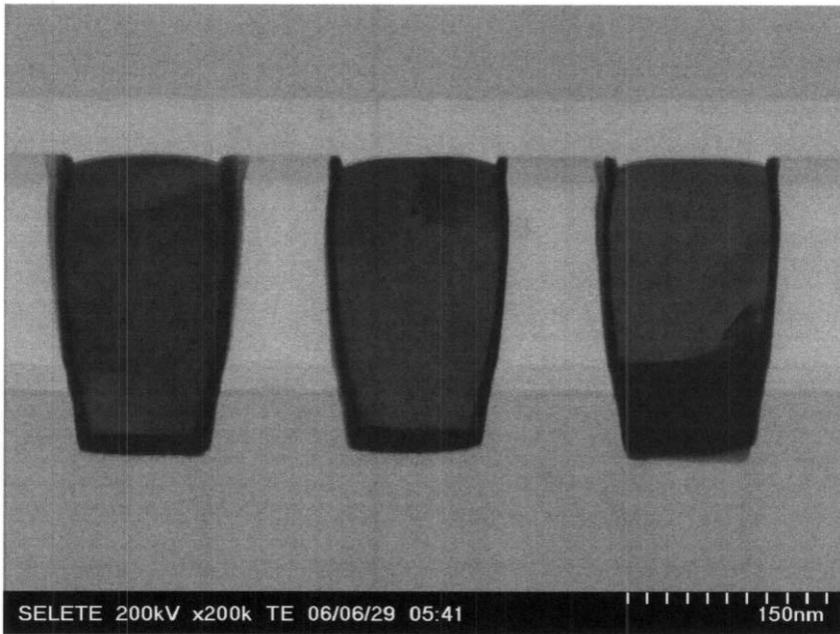
【 図 7 】



【 図 3 】



【 図 4 】



---

フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

**H 0 1 L 21/314 (2006.01)**

Fターム(参考) 5F033 HH08 HH11 HH18 HH21 HH32 HH33 MM01 MM12 MM13 PP15  
PP19 QQ09 QQ10 QQ15 QQ25 QQ31 QQ48 RR01 RR04 RR06  
RR29 SS15 TT02 TT08 VV06 WW02 XX24 XX27 XX28  
5F058 BA20 BD02 BD04 BD18 BE04 BF02 BF07 BH12 BJ02