



(12) 发明专利申请

(10) 申请公布号 CN 117580364 A

(43) 申请公布日 2024. 02. 20

(21) 申请号 202311336610.4

H10B 51/30 (2023.01)

(22) 申请日 2023.10.16

H10B 51/40 (2023.01)

(30) 优先权数据

H01L 23/528 (2006.01)

63/420,131 2022.10.28 US

18/150,259 2023.01.05 US

(71) 申请人 台湾积体电路制造股份有限公司

地址 中国台湾新竹科学工业园区新竹市力行六路八号

(72) 发明人 林柏廷 林佑明 吴尹豪 温伟志

林仲德 向育民 蔡武卫 陈海清

(74) 专利代理机构 南京正联知识产权代理有限公司

32243

专利代理师 顾伯兴

(51) Int. Cl.

H10B 51/20 (2023.01)

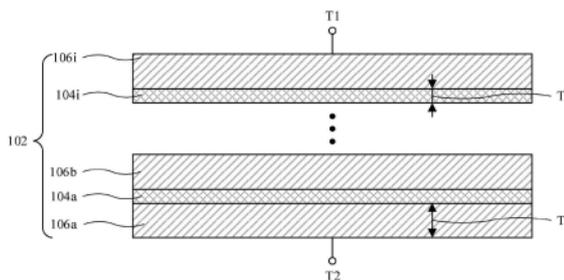
权利要求书2页 说明书16页 附图17页

(54) 发明名称

铁电结构、集成电路与其形成方法

(57) 摘要

本公开提供铁电结构、集成电路与其形成方法,其中存储器结构包括插入于两个铁电层之间的抑制层以形成正方晶相主导的铁电结构。在一些实施例中,铁电结构包含:第一铁电层;第二铁电层,上覆于第一铁电层;以及第一抑制层,设置于第一铁电层与第二铁电层之间且毗邻第二铁电层。第一抑制层为与第一铁电层及第二铁电层不同的材料。



1. 一种铁电结构,其特征在于,包括:  
第一铁电层;  
第二铁电层,上覆于所述第一铁电层;以及  
第一抑制层,设置于所述第一铁电层与所述第二铁电层之间且毗邻所述第二铁电层,所述第一抑制层为与所述第一铁电层及所述第二铁电层不同的材料;且  
其中所述铁电结构以正方晶相为主。
2. 根据权利要求1所述的铁电结构,其特征在于,其中所述第二铁电层为具有小于70%的Zr掺杂浓度的氧化铪锆。
3. 根据权利要求1所述的铁电结构,其特征在于,其中所述第二铁电层具有比所述第一铁电层小的厚度。
4. 一种集成电路,其特征在于,包括:  
第一电极;以及  
铁电结构,与所述第一电极垂直堆叠,其中所述铁电结构包括:  
第一铁电层;  
第二铁电层,上覆于所述第一铁电层;以及  
第一抑制层,处于所述第一铁电层与所述第二铁电层之间且毗邻所述第一铁电层及所述第二铁电层,所述第一抑制层为与所述第一铁电层及所述第二铁电层的材料类型不同的材料类型;且  
其中所述第一铁电层及所述第二铁电层分别具有小于8纳米的厚度。
5. 根据权利要求4所述的集成电路,其特征在于,  
其中所述铁电结构更包括处于所述第一铁电层与所述第一电极之间且毗邻所述第一铁电层及所述第一电极的第二抑制层;且  
其中所述铁电结构以正方晶相为主。
6. 根据权利要求4所述的集成电路,其特征在于,更包括与所述第一电极及所述铁电结构垂直堆叠的第二电极,其中所述铁电结构处于所述第一电极与所述第二电极之间且毗邻所述第一电极及所述第二电极。
7. 根据权利要求6所述的集成电路,其特征在于,,更包括:  
第二抑制层,处于所述第二铁电层的顶部,其中所述第二抑制层具有与所述第一抑制层相同的材料及厚度;以及  
第三铁电层,直接设置于所述第二抑制层上。
8. 根据权利要求6所述的集成电路,其特征在于,其中所述第二电极直接接触具有与所述第一抑制层相同的材料的额外抑制层。
9. 一种用于形成集成电路的方法,包括:  
在衬底上方沉积下部铁电层,其中所述下部铁电层包括第一材料类型;  
沉积上覆于所述下部铁电层且包括与所述第一材料类型不同的第二材料类型的第一抑制层;以及  
在所述第一抑制层上直接沉积上部铁电层;且  
其中正方晶相在所述上部铁电层中占主导地位。
10. 根据权利要求9所述的用于形成集成电路的方法,更包括:

在所述上部铁电层的顶部处形成第二抑制层,其中所述第二抑制层具有与所述第一抑制层相同的材料及厚度;且

其中所述第二抑制层经组态成使所述上部铁电层的结晶晶格稳定以防止所述正方晶相的热力学不稳定性。

## 铁电结构、集成电路与其形成方法

### 技术领域

[0001] 本发明实施例是有关于一种铁电结构、一种集成电路与其形成方法。

### 背景技术

[0002] 许多现代电子器件均包含非易失性存储器(non-volatile memory)。非易失性存储器为能够在没有电力的情况下储存数据的电子存储器。新一代非易失性存储器中有前景的候选者为铁电随机访问存储器(ferroelectric random-access memory;FeRAM)。FeRAM具有相对简单的结构且与互补金属氧化物半导体(complementary metal-oxide-semiconductor;CMOS)逻辑制造工艺兼容。

### 发明内容

[0003] 本发明实施例提供一种铁电结构,包括:第一铁电层;第二铁电层,上覆于所述第一铁电层;以及第一抑制层,设置于所述第一铁电层与所述第二铁电层之间且毗邻所述第二铁电层,所述第一抑制层为与所述第一铁电层及所述第二铁电层不同的材料;且其中所述铁电结构以正方晶相为主。

[0004] 本发明实施例提供一种集成电路(IC),包括:第一电极;以及铁电结构,与所述第一电极垂直堆叠,其中所述铁电结构包括:第一铁电层;第二铁电层,上覆于所述第一铁电层;以及第一抑制层,处于所述第一铁电层与所述第二铁电层之间且毗邻所述第一铁电层及所述第二铁电层,所述第一抑制层为与所述第一铁电层及所述第二铁电层的材料类型不同的材料类型;且其中所述第一铁电层及所述第二铁电层分别具有小于8纳米的厚度。

[0005] 本发明实施例提供一种用于形成集成电路(IC)的方法,包括:在衬底上方沉积下部铁电层,其中所述下部铁电层包括第一材料类型;沉积上覆于所述下部铁电层且包括与所述第一材料类型不同的第二材料类型的第一抑制层;以及在所述第一抑制层上直接沉积上部铁电层;且其中正方晶相在所述上部铁电层中占主导地位。

### 附图说明

[0006] 当结合附图阅读时从以下详细描述最好地理解本发明实施例的各方面。应注意,根据业界中的标准惯例,各个特征未按比例绘制。实际上,为了论述清楚起见,可任意增大或减小各个特征的尺寸。

[0007] 图1A示出具有介电插入层的铁电结构的一些实施例的横截面图。

[0008] 图1B示出具有介电插入层的铁电结构的一些实施例的铁电耐久性图(ferroelectric endurance diagram)。

[0009] 图1C示出具有介电插入层的铁电结构的一些实施例的极化场图(polarization-field diagram)。

[0010] 图2A至图2D示出IC的一些实施例的横截面图,其中金属-铁电-金属(metal-ferroelectric-metal;MFM)结构包括具有介电插入层的铁电结构。

[0011] 图3示出IC的一些实施例的横截面图,其中单晶体管-单电容器(one-transistor one-capacitor;1T1C)存储器结构包括图2A至图2D的MFM结构。

[0012] 图4示出IC的一些实施例的横截面图,其中顶部栅极(top gate) (ferroelectric field-effect transistor;FeFET)结构包括图1A至图1C的铁电结构。

[0013] 图5示出IC的一些实施例的横截面图,其中底部栅极(bottom gate)FeFET结构包括图1A至图1C的铁电结构。

[0014] 图6示出IC的一些实施例的横截面图,其中双栅极(double gate)FeFET结构包括图1A至图1C的铁电结构。

[0015] 图7至图15示出一些实施例的用于形成具有抑制层的1T1C铁电存储器器件的方法的一系列横截面图。

[0016] 图16示出图7至图15的方法的一些实施例的方块图。

[0017] 图17至图25示出一些实施例的用于形成其中1T铁电存储器器件包括抑制层的存储器器件的方法的一系列横截面图。

[0018] 图26示出图17至图25的方法的一些实施例的方块图。

[0019] [附图标号说明]

[0020] 102:铁电结构、堆叠铁电结构;

[0021] 102b:底部堆叠铁电结构、堆叠铁电结构;

[0022] 102t:顶部堆叠铁电结构、堆叠铁电结构;

[0023] 104、104c、104d、104i:抑制层;

[0024] 104a:第一抑制层、抑制层、介电抑制层;

[0025] 104b:第二抑制层;

[0026] 106、106i:铁电层;

[0027] 106a:第二铁电层、铁电层;

[0028] 106b:第二铁电层、铁电层;

[0029] 106c:第三铁电层;

[0030] 112、114、116、118、122:曲线;

[0031] 202:金属-铁电-金属结构;

[0032] 204:底部电极;

[0033] 206:顶部电极;

[0034] 208:源极/漏极接点;

[0035] 304:访问器件;

[0036] 306、402:衬底;

[0037] 308、404:源极/漏极区;

[0038] 310、502:栅极介电层;

[0039] 312:栅极电极;

[0040] 314、416:内连线介电层;

[0041] 314a:下部内连线介电层;

[0042] 314b:上部内连线介电层;

[0043] 316、410:接触通孔;

- [0044] 318、414:层间通孔;
- [0045] 320、412:导线;
- [0046] 320b:底部导线;
- [0047] 320t:顶部导线;
- [0048] 322:底部电极通孔;
- [0049] 324、406:沟道区;
- [0050] 604:钝化层/介电层;
- [0051] 606、608、610:介电层;
- [0052] 1602、1604、1606、1608、1610、1612、1614、1616、2602、2604、2606、2608、2610、2612、2614、2616、2618:步骤;
- [0053]  $t_1$ 、 $t_2$ 、 $T_3$ 、 $T_e$ 、 $T_f$ 、 $T_r$ :厚度;
- [0054] T1、T2:端子。

### 具体实施方式

[0055] 以下公开内容提供用于实施所提供主题的不同特征的许多不同实施例或实例。下文描述组件和布置的特定实例来简化本发明实施例。当然,这些组件和布置仅为实例且并不旨在限制。举例来说,在以下描述中,第一特征在第二特征上方或第二特征上的形成可包含第一特征与第二特征直接接触地形成的实施例,且还可包含额外特征可在第一特征与第二特征之间形成以使得第一特征与第二特征可不直接接触的实施例。另外,本发明实施例可在各种实例中重复参考标号和/或字母。这种重复是出于简化和清楚的目的且本身并不规定所论述的各种实施例和/或配置之间的关系。

[0056] 此外,为易于说明,本文中可能使用例如「位于…之下 (beneath)」、「位于…下方 (below)」、「下部的 (lower)」、「位于…上方 (above)」、「上部的 (upper)」及类似用语等空间相对性用语来阐述图中所示的一个组件或特征与另一(其他)组件或特征的关系。所述空间相对性用语旨在除图中所绘示的定向外亦囊括装置在使用或操作中的不同定向。设备可具有其他定向(旋转90度或处于其他定向),且本文中所使用的空间相对性描述语可同样相应地进行解释。

[0057] 铁电材料通常用于非易失性随机访问存储器结构中,诸如包含连接至场效晶体管 (field-effect-transistor;FET) 的漏极/源极的金属-铁电-金属 (metal-ferroelectric-metal;MFM) 电容器结构的FeRAM,或包含整合至FET的栅极介电堆叠中的铁电膜的铁电场效晶体管 (FeFET)。利用铁电材料的极化属性将数字数据储存于存储单元中。举例而言,对于FeRAM器件,各存储单元可使用MFM电容器结构的两个不同极化状态中的一者储存二进制「0」或「1」的数字数据。可藉由施加电场来写入或切换极化状态,且在移除电场时维持所述极化状态。在读取操作期间,将读取偏压 (reading bias) 施加至存储单元。若读取偏压改变存储单元的状态,则侦测到相对大的信号。在移除读取偏压之后,恢复原始数据。另一方面,若数据状态并未由读取偏压改变,则侦测到相对小的信号。

[0058] 铁电材料呈现三种主要结晶相:正方晶 (tetragonal)、单斜晶 (monoclinic) 以及斜方晶 (orthorhombic)。在此等三种主要结晶相当中,斜方晶相展现铁电性 (ferroelectricity;FE) 的铁电属性,而正方晶相展现反铁电性 (antiferroelectricity;

AFE)的铁电属性。具有AFE属性的铁电结构可呈现可包含两个正极化状态及两个负极化状态的四个状态,所述状态可用于将两个数字位储存于一个存储单元中。相比而言,FE主导的结构仅具有一个正极化状态及一个负极化状态,可用于将一个数字位储存于一个存储单元中。因此,采用AFE主导的铁电结构可藉由增加数据储存密度来减小存储器尺寸。

[0059] 制造AFE主导的铁电结构的一种方式可为增加掺杂物的百分比。举例而言,氧化铪锆(hafnium zirconium oxide;HZO)的Zr掺杂浓度可需要增加至大于70%以达成具有AFE属性的正方晶相。此使得HZO配方更复杂,且可能导致HZO膜中的不均匀Hf/Zr分布。此外,富Zr的HZO展示强唤醒效应(wake-up effect),其中极化随着写入/读取电场循环的增加而增加。唤醒效应不利地影响耐久性且导致效能不稳定性。

[0060] 鉴于以上内容,本揭露是关于一种形成具有改良的耐久性属性的AFE主导的铁电结构及相关联铁电结构的方法。在一些实施例中,可藉由在下部铁电层与上部铁电层之间插入抑制层(inhibition layer)来形成铁电结构。上部铁电层上覆于下部铁电层,且抑制层毗邻上部铁电层。抑制层提供下部铁电层与上部铁电层的结晶晶格之间的断裂(break),且将铁电结构的主导晶相自斜方晶相改变为正方晶相。正方晶相主导的铁电层呈现AFE属性。藉由恰当地引入抑制层,在不显著地增加掺杂程度的情况下诱导铁电结构的AFE。因此,铁电结构的掺杂更均匀地分布,且与没有抑制层的较高掺杂结构相比,减少或几乎没有唤醒效应。藉此,可藉由更佳铁电耐久性来改良铁电结构的稳定性。

[0061] 此外,铁电层的厚度可用于调整铁电结构的铁电属性。将铁电层增加至临界厚度可增加极化差(polarization difference)(例如,2Pr)。然而,在临界厚度处及高于临界厚度时,铁电层的晶格相可改变,且铁电属性变得热力学上不稳定,使厚度引起的极化差的增加被抵消。藉由插入抑制层,铁电层的晶粒长大(grain grown)中断,且因此可调谐铁电层的晶格相。作为一实例,氧化铝( $Al_2O_3$ )抑制层可沉积于下部HZO层与上部HZO层之间,所述下部HZO层及所述上部HZO层各自具有至多为正方晶相的临界厚度(例如,10埃(Å)或8埃)的厚度。因此,上述HZO层可具有正方晶相主导且呈现稳定AFE属性,诸如较高密度数据储存的四个状态及/或用于更佳耐久性及稳定性的无唤醒。

[0062] 图1A示出具有介电插入层的铁电结构的一些实施例的横截面图。参考图1A,提供铁电结构(ferroelectric structure)102的横截面图。在一些实施例中,铁电结构102包括:第一铁电层106a(又称铁电层106a);第二铁电层106b(又称铁电层106b),上覆于第一铁电层106a;以及第一抑制层104a(又称抑制层104a),设置于第一铁电层106a与第二铁电层106b之间。第一抑制层104a可毗邻第二铁电层106b及/或第一铁电层106a。

[0063] 第一铁电层106a及第二铁电层106b分别包括铁电材料。举例而言,第一铁电层106a及第二铁电层106b可为HZO或包括HZO。第一铁电层106a及第二铁电层106b可进一步掺杂有铝(例如,Al)、硅(例如,Si)、镧(例如,La)、钪(例如,Sc)、钙(例如,Ca)、钡(例如,Ba)、钆(例如,Gd)、钇(例如,Y)、锶(例如,Sr)、某一其他合适元素或前述各项的任何组合,以增加极化。在一些实施例中,第一铁电层106a及第二铁电层106b可为 $Hf_xZr_{1-x}O_2$ 或包括 $Hf_xZr_{1-x}O_2$ ,其中x表示Hf掺杂浓度相比于Hf掺杂浓度与Zr掺杂浓度的总和的比。举例而言,在x等于0.5时,针对 $Hf_{0.5}Zr_{0.5}O_2$ 的组成,Hf原子及Zr原子的量是同等地混合。在一些实施例中,第一铁电层106a及第二铁电层106b的Zr浓度在约40%至约70%范围内。Zr浓度降低至低于40%可能导致具有下降的极化属性之增加的单斜晶相,且Zr浓度增加至高于70%可能导致不均

匀的Hf/Zr分布问题。

[0064] 在一些实施例中,第一抑制层104a包括高k介电材料,诸如介电常数大于3或较佳地大于约6的介电材料,使得第一抑制层104a并不造成电容泄漏问题。在一些实施例中,第一抑制层104a为与第一铁电层106a及第二铁电层106b不同的材料。第一抑制层104a具有的晶格常数可以是至少5%不同于与第一铁电层106a及第二铁电层106b具有的晶格常数,使得第一抑制层104a可抑制第一铁电层106a与第二铁电层106b之间的连续晶粒长大。作为一实例,第一抑制层104a可为氧化铝( $\text{Al}_2\text{O}_3$ )或包括氧化铝。氧化铝( $\text{Al}_2\text{O}_3$ )具有约9至约10的介电常数及约4.8埃的晶格常数。用于第一抑制层104a的其他合适材料可包含氧化镧(例如, $\text{La}_2\text{O}_3$ )、氧化钇(例如, $\text{Y}_2\text{O}_3$ )、氧化硅(例如, $\text{SiO}_2$ )、氧化钛(例如, $\text{TiO}_2$ )、氧化铈(例如, $\text{CeO}_2$ )或类似物。

[0065] 在一些实施例中,第一铁电层106a及第二铁电层106b分别具有小于第一临界厚度(例如8纳米或10纳米)的厚度 $T_f$ 。为了更稳定且增强的效能,可进一步将厚度 $T_f$ 限制为小于6纳米。具有大于第一临界厚度(例如,约8纳米或约10纳米)且小于第二临界厚度(例如,20纳米)的厚度的连续HZO层(例如, $\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$ )以斜方晶为主。藉由在第一铁电层106a与第二铁电层106b之间插入第一抑制层104a且将第一铁电层106a及第二铁电层106b的厚度 $T_f$ 限制在第一临界厚度下,相较于没有氧化铝膜且具有较大厚度的类似结构,铁电结构102呈现更多正方晶属性。因此,在一些实施例中,第一铁电层106a及第二铁电层106b具有约1纳米至约4纳米、约1纳米至约6纳米、约1纳米至约8纳米、约1纳米至约10纳米或某一其他合适值的个别厚度 $T_f$ 。在一些实施例中,第一铁电层106a、第二铁电层106b或整个铁电结构102以正方晶为主且呈现稳定AFE属性。如将参考图2A更详细地论述,第一铁电层106a及第二铁电层106b可具有相同或不同的材料组成及厚度。

[0066] 在一些实施例中,第一抑制层104a具有约2埃至约3埃的厚度 $T_r$ 。第一抑制层104a可藉由原子层沉积(atomic layer deposition;ALD)工艺藉由少至若干个循环或甚至一个循环形成。因此,在一些实施例中,第一抑制层104a的厚度 $T_r$ 可小于1纳米,诸如约0.1纳米至约0.3纳米、约0.1纳米至约1纳米或某一其他合适值。第一抑制层104a的厚度 $T_r$ 可大于2埃,或大于第一抑制层104a中的原子的尺寸。若厚度 $T_r$ 过小,则抑制层104a可能无法在毗邻铁电层106a、毗邻铁电层106b的结晶晶格之间提供有意义的断裂。若厚度 $T_r$ 过大(例如,大于1纳米),则铁电结构102的铁电属性(诸如热力学稳定性或残余极化程度)将会下降。藉由将第一抑制层104a置放于第一铁电层106a与第二铁电层106b之间,铁电层的连续晶粒长大在第一临界厚度(例如,约8纳米或约10纳米)下中断,且因此导致铁电结构102自斜方晶相调谐至正方晶相且自FE属性调谐至AFE属性,并改良铁电结构102的耐久性。

[0067] 在一些其他实施例中,如图1A中所示,铁电结构102可包括彼此竖直堆叠且交替的额外一或多个抑制层104i及额外一或多个铁电层106i。抑制层104a、抑制层104i可统称为抑制层104(又可称为介电抑制层104)。铁电层106a、铁电层106b、铁电层106i可统称为铁电层106。此外,正方晶相可在铁电层106中占主导地位。换言之,正方晶相为铁电层106中的大部分的晶相。正方晶相展现适用的四个状态极化及抑制层104。铁电层106的额外层具有与上文结合第一铁电层106a及第二铁电层106b所论述类似的属性。抑制层104的额外抑制层具有与上文结合第一抑制层104所论述类似的属性。在一些实施例中,铁电层106可具有相同或不同的材料组成及厚度。在一些实施例中,抑制层104可具有相同或不同的材料组成及

厚度。

[0068] 在一些实施例中,抑制层104促进铁电层106中的正方晶相及/或抑制铁电层106中的单斜晶相。举例而言,抑制层104可使铁电层106的晶粒长大断裂以藉由正方晶相主导。

[0069] 在操作期间,藉由适当地偏压铁电结构102,铁电层106的极化在第一状态与第二状态之间改变。举例而言,自铁电结构102的顶部处的第一端子T1至铁电结构102的底部端子处的第二端子T2施加具有正极性的第一电压可设定第一状态。此外,自第一端子T1至第二端子T2施加具有与第一极性相对的第二极性的第二电压可设定第二状态。

[0070] 由于可电学上量测极化,因此极化可用以表示数据的位。举例而言,第一状态可表示二进制[1],而第二状态可表示二进制[0],或反之亦然。此外,第一状态与第二状态之间的极化差(例如,极化差 $2Pr$ )愈大,存储器读取窗(reading window)愈大,且因此有更具弹性的存储器读取操作。

[0071] 图1B示出具有介电插入层的铁电结构的一些实施例的铁电耐久性图。参考图1B,提供各种铁电结构的极化值(极化差 $2Pr$ )与所施加电场循环的铁电耐久性图。第一曲线112表示对于具有介电插入层的铁电结构的极化差 $2Pr$ 随着所施加电场循环增加的变化,所述具有介电插入层的铁电结构为例如上文参考图1A所论述的具有介电抑制层104的铁电结构102,诸如HZO/ $Al_2O_3$ /HZO。在施加电场循环时,极化差 $2Pr$ 保持几乎恒定(例如,在施加 $10^8$ 个场循环之后变化小于10%)。

[0072] 此外,由于藉由抑制层104提供的断裂,铁电层106可竖直堆叠地形成,且可各自形成具有至多正方晶相的第一临界厚度的个别厚度 $T_f$ 。此情形继而藉由增加铁电层106的数目及插入抑制层104而允许铁电结构102的厚度增加至超过铁电层106的个别临界厚度。因此,铁电结构102在第一状态与第二状态之间可具有比在无抑制层104的情况下将以其他方式可能的更大的极化程度(例如,极化差 $2Pr$ )。举例而言,极化差 $2Pr$ 可大于或约 $10\mu C/cm^2$ 或在约 $5\mu C/cm^2$ 至约 $20\mu C/cm^2$ 范围内,或为某一其他合适值。

[0073] 相比而言,曲线114、曲线116以及曲线118分别表示对于没有介电插入层的具有连续铁电层的铁电结构的随着所施加电场循环增加的极化程度变化(极化差 $2Pr$ )。Zr浓度百分比按曲线114、曲线116以及曲线118的顺序增加(亦即, $i>j>k$ )。如由曲线114所示,具有较低Zr浓度百分比(例如 $i$ 可等于0.53)的铁电结构 $Hf_{0.53}Zr_{0.47}O_2$ 展示疲劳特性,其中极化差 $2Pr$ 可在施加 $10^8$ 个场循环之后减小约20%。如由曲线116及曲线118所示,具有较高Zr浓度百分比(例如 $j$ 可等于0.3或 $k$ 可等于0.23)的铁电结构 $Hf_{0.3}Zr_{0.7}O_2$ 或铁电结构 $Hf_{0.32}Zr_{0.77}O_2$ 展示唤醒特性,其中极化差 $2Pr$ 可在施加 $10^8$ 个场循环之后显著地增加(例如,300%)。曲线114、曲线116以及曲线118中无一者展示良好铁电持久性属性。因此,藉由将介电插入层置放于铁电层之间,改良铁电结构的耐久性属性。

[0074] 图1C示出具有介电插入层的铁电结构的一些实施例的极化场图。铁电结构可为例如铁电结构102,如上文参考图1A至图1B所论述。如图1C中所示,由曲线122表示的铁电结构可呈现AFE属性,诸如具有四个极化状态的双回路滞后(double loop hysteresis),且极化程度维持在合理程度,例如约 $10\mu C/cm^2$ 或在约 $5\mu C/cm^2$ 至约 $20\mu C/cm^2$ 范围内。

[0075] 图2A至图2D示出金属-铁电-金属(metal-ferroelectric-metal;MFM)结构202包括具有介电插入层的铁电结构102的IC的一些实施例的横截面图。铁电结构102可如上文相对于图1A至图1C所描述。在一些实施例中,MFM结构202更包括底部电极204及顶部电极206。

铁电结构102上覆于底部电极204,且顶部电极206上覆于铁电结构102。此外,MFM结构202定义例如可用于数据储存的电容器。在一些实施例中,MFM结构202定义如下文结合图3所描述的单晶体管-单电容器(one-transistor one-capacitor;1T1C)存储器结构或某一其他合适类型的存储器结构中的电容器。

[0076] 在一些实施例中,底部电极204或顶部电极206为或包括:氮化钛(例如,TiN)、氮化钽(例如,TaN)、铂(例如,Pt)、钛(例如,Ti)、钽(例如,Ta)、钨(例如,W)、铁(例如,Fe)、镍(例如,Ni)、铍(例如,Be)、铬(例如,Cr)、钴(例如,Co)、锑(例如,Sb)、铱(例如,Ir)、钼(例如,Mo)、锇(例如,Os)、钍(例如,Th)、钒(例如,V)、某一其他合适金属或前述各项的任何合金或组合。在一些实施例中,底部电极204或顶部电极206的厚度为约15纳米、约15纳米至约500纳米或某一其他合适厚度。顶部电极206可具有与底部电极204相同或不同的组成及/或厚度。

[0077] 在一些实施例中,如图2A中所示,铁电结构102的铁电属性可藉由铁电层106的组成来调谐。第二铁电层106b及第一铁电层106a可形成,且因此可具有不同比率的相同元素。作为一实例,第一铁电层106a可具有第一组成 $\text{Hf}_x\text{Zr}_{1-x}\text{O}_2$ ,而第二铁电层106b可具有第二组成 $\text{Hf}_y\text{Zr}_{1-y}\text{O}_2$ ,其中x可能并不等于y。举例而言,x可为约0.5,且y可为约0.6或在约0.5至约0.7范围内。

[0078] 在一些其他实施例中,如图2B中所示,铁电结构102的铁电属性可藉由铁电层106的厚度来调谐。作为一实例,第一铁电层106a可具有第一厚度t1,而第二铁电层106b可具有第二厚度t2,其中第一厚度t1可能并不等于第二厚度t2。举例而言,第二厚度t2可小于第一厚度t1,诸如第一厚度t1可为6纳米,而第二厚度t2可为2纳米,或反之亦然。

[0079] 如图2C中所示,额外铁电层106及额外抑制层104可配置有各种组成及/或厚度,以进一步调谐铁电结构102的铁电属性。举例而言,第三铁电层106c可直接设置于第二抑制层104b上,并具有第三厚度T3。第三铁电层106c可具有与第二铁电层106b相同的材料及厚度,所述材料及厚度与第一铁电层106a不同。藉由在铁电层106之间插入额外抑制层104,铁电层106的厚度可进一步减小,且呈现更强的AFE属性以及更佳铁电耐久性。

[0080] 在一些实施例中,如图2A至图2C中所示,铁电层106直接覆盖底部电极204及/或顶部电极206。在一些替代实施例中,MFM结构202更包括直接覆盖底部电极204及/或顶部电极206的额外抑制层104。举例而言,如图2D中所示,额外抑制层104c、额外抑制层104d可设置为直接覆盖底部电极204及顶部电极206,其可充当保护层以将铁电层106与底部电极204及顶部电极206分隔开且加以保护。额外抑制层104亦可经组态成使铁电层的结晶晶格稳定以防止正方晶相的热力学不稳定性。覆盖底部电极204及顶部电极206的额外抑制层104可具有与插入于铁电层106之间的抑制层104相同的材料及厚度。

[0081] 图3示出其中单晶体管-单电容器(one-transistor one-capacitor;1T1C)存储器结构包括图2A至图2D的MFM结构202的IC的一些实施例的横截面图。即使图3中仅绘示与图2A类似的特定铁电结构102,但应了解,上文诸如结合图1A至图1C及图2A至图2D所论述的铁电结构102的各种适用实施例可应用于图3的IC。

[0082] MFM结构202上覆于访问器件(access device)304且电耦接至访问器件304。访问器件304处于衬底306上且部分地由衬底306界定。此外,访问器件304包括一对源极/漏极区(source/drain region)308、栅极介电层310以及栅极电极312。源极/漏极区308嵌入于衬

底306的顶部中,且栅极介电层310及栅极电极312堆叠于源极/漏极区308之间。在一些实施例中,访问器件304为平面场效晶体管(field-effect transistor;FET)。在其他实施例中,访问器件304为鳍式FET(fin FET;FinFET)、环绕式栅极(gate-all-around;GAA)FET或某一其他合适类型的半导体器件。

[0083] 内连线结构上覆于衬底306且电耦接至MFM结构202及访问器件304。作为一实例,内连线结构可包括内连线介电层(interconnect dielectric layer)314中的接触通孔(contact via)316、层间通孔(interlevel via)318以及多个导线(wire)320。接触通孔316自导线320中的底部者延伸至源极/漏极区308中的一者。此外,MFM结构202的底部电极通孔(bottom electrode via;BEVA)322处于MFM结构202的底部且自底部电极204延伸至导线320中的底部者。在一些实施例中,BEVA 322与底部电极204整合。在替代实施例中,BEVA 322独立于底部电极204。层间通孔318上覆于MFM结构202且自导线320中的顶部者延伸至MFM结构202。

[0084] 在1T1C结构的操作期间,将一或多个数据位储存于MFM结构202中,使用铁电结构102的极化以表示所述位。为进行写入,偏压栅极电极312以使得在栅极电极312之下的沟道区(channel region)324导通及电连接源极/漏极区308。接着经由访问器件304的沟道区324施加设定电压(set voltage)或复位电压(reset voltage)至MFM结构202,以将铁电结构102的极化设定为第一状态。为进行读取,再次偏压栅极电极312以使得沟道区324电连接源极/漏极区308。接着经由访问器件304的沟道区324施加设定电压或复位电压至MFM结构202。若极化的状态改变,则电流脉冲(current pulse)出现。否则,无电流脉冲出现。因此,电流脉冲用于识别极化的状态。

[0085] 在一些实施例中,衬底306为块状硅衬底、SOI衬底或某一其他合适半导体衬底。在一些实施例中,源极/漏极区308为衬底306的掺杂区。在其他实施例中,源极/漏极区308独立于衬底306且插入至衬底306的顶部中。在一些实施例中,栅极电极312为或包括:掺杂多晶硅、金属、某一其他合适导电材料,或前述各项的任何组合。在一些实施例中,栅极介电层310为或包括氧化硅及/或某一其他合适介电质。在一些实施例中,导线320、层间通孔318、接触通孔316以及BEVA 322为或包括金属及/或某一其他合适导电材料。在一些实施例中,内连线介电层314为或包括介电氧化物及/或某一其他合适介电质。

[0086] 图4示出其中顶部栅极FeFET结构包括图1A至图1C的铁电结构102的IC的一些实施例的横截面图。即使图4中仅绘示与图2A类似的特定铁电结构102,但应了解,上文诸如结合图1A至图1C及图2A至图2D所论述的铁电结构102的各种适用实施例可应用于图4的IC。如图4中所示,衬底402在铁电结构102之下,且顶部电极206上覆于铁电结构102。一对源极/漏极区404分别在铁电结构102的相对侧上嵌入于衬底402的顶部中。此外,沟道区406沿着衬底402的顶部在源极/漏极区404之间延伸,且取决于自顶部电极206至源极/漏极区404中的源极的电压而被选择性地导通。举例而言,沟道区406可在电压大于阈值电压时导通,且可在电压小于阈值电压时不导通,或反之亦然。在一些实施例中,源极/漏极区404为衬底402的掺杂区。在其他实施例中,源极/漏极区404独立于衬底402且插入至衬底402的顶部中。在一些实施例中,栅极介电层502在铁电结构102之下设置于衬底402上方。

[0087] 在顶部栅极FeFET结构的操作期间,铁电结构102的极化用于表示一或多个数据位。作为一实例,为进行写入,将设定电压或复位电压自顶部电极206施加至沟道区406(例

如,经由源极/漏极区404)。设定电压将铁电结构102的极化设定为第一状态,而复位电压将极化设定为第二状态。阈值电压随着极化的状态而变化。因此,为进行读取,将小于矫顽电压(coercive voltage)且处于不同阈值电压状态之间的读取电压自顶部电极206施加至源极/漏极区404中的源极。取决于沟道层406是否导通,极化处于第一状态或第二状态,因此来判定所储存数据位的值。

[0088] 在一些实施例中,衬底402为或包括非晶铟镓锌氧化物(amorphous Indium-Gallium-Zinc-Oxide;a-IGZO)、硅、硅锗、III-V族材料、II-VI族材料、某一其他合适半导体材料,或前述各项的任何组合。III-V族材料可例如为或包括砷化镓(例如,GaAs)、砷化镓铟(例如,GaAsIn),或某一其他合适III-V族材料。II-VI族材料可例如为或包括氧化锌(例如,ZnO)、氧化镁(例如,MgO)、氧化钆(例如,GdO)或某一其他合适II-VI材料。

[0089] 图5示出其中底部栅极铁电场效应晶体管(ferroelectric field-effect transistor;FeFET)结构包括图1A至图1C的铁电结构102的集成电路(integrated circuit;IC)的一些实施例的横截面图。即使图5中仅绘示与图2A类似的特定铁电结构102,但应了解,上文诸如结合图1A至图1C及图2A至图2D所论述的铁电结构102的各种适用实施例可应用于图5的IC。如图5中所示,衬底402及底部电极204可竖直堆叠且在铁电结构102之下。此外,底部电极204将衬底402与铁电结构102分隔开。沟道层406上覆于铁电结构102,且一对源极/漏极接点208(source/drain contact)上覆于沟道层406。此外,源极/漏极接点208设置于沟道层406的顶部表面的相对侧上。

[0090] 在底部栅极FeFET结构的操作期间,铁电结构102的极化用于表示一或多个数据位。举例而言,对于一个位数据应用(one bit data application),极化的第一状态可表示二进制1,而极化的第二状态可表示二进制0。对于两个位数据应用(two bits data application),极化的四个状态可分别表示例如11、10、01、00的数据状态。

[0091] 为写入至底部栅极FeFET结构,将设定电压或复位电压自底部电极204施加至沟道层406(例如,透过源极/漏极接点208)。设定电压及复位电压具有相对极性及超过铁电结构102的矫顽电压的量值。设定电压将铁电结构102的极化设定为第一状态,而复位电压将极化设定为第二状态,或反之亦然。

[0092] 为自底部栅极FeFET结构读取,小于铁电结构102的矫顽电压的读取电压自底部电极204施加至源极/漏极接点208中的源极。取决于沟道层406是否导通,极化处于第一状态或第二状态。

[0093] 更特定言之,由于底部栅极FeFET结构为FET,因此沟道层406取决于施加至底部电极204的电压是否超过阈值电压而选择性地导通。此外,铁电结构102基于极化的状态而改变阈值电压。因此,在读取电压在不同阈值电压状态之间时,沟道层406基于极化的状态而导通。

[0094] 在一些实施例中,衬底402包括半导体衬底及覆盖半导体衬底的介电层。半导体衬底可例如为或包括单晶硅衬底、绝缘层上硅(silicon-on-insulator;SOI)衬底、聚合物衬底或某一其他合适类型的半导体衬底。在一些实施例中,半导体衬底402具有P型掺杂类型或某一其他合适掺杂类型。介电层可为或包括例如氧化硅(例如, $\text{SiO}_2$ )及/或某一其他合适介电质。

[0095] 在一些实施例中,源极/漏极接点208为或包括铜、金、某一其他合适导电材料或前



[0101] 如由图7的横截面图所示出,访问器件304形成于衬底306上。访问器件304包括一对源极/漏极区308、栅极介电层310以及栅极电极312。

[0102] 如由图8的横截面图所示出,下部内连线介电层314a形成在访问器件304上方。此外,下部内连线结构形成在下部内连线介电层314a中。作为一实例,下部内连线结构可包括接触通孔316、上覆于接触通孔316的底部导线320b以及上覆于底部导线320b的底部电极通孔(BEVA)322。

[0103] 如由图9的横截面图所示出,底部电极204形成在BEVA 322上方。底部电极204的厚度 $T_e$ 介于以下范围内:约100埃至约1000埃、约100埃至约500埃、约250埃至约750埃、约500埃至约1000埃,或某一其他合适值。用于形成底部电极204的工艺可为或包括藉由以下工艺沉积底部电极204:直流(direct current;DC)溅镀、物理气相沉积(physical vapor deposition;PVD)、化学气相沉积(chemical vapor deposition;CVD)、原子层沉积(atomic layer deposition;ALD)、某一其他合适沉积工艺或前述各项的任何组合。

[0104] 如由图10的横截面图所示出,第一铁电层106a形成在底部电极204上方。在一些实施例中,用于形成第一铁电层106a的工艺包括将铁电材料沉积为非晶层且接着藉由热退火结晶。热退火可例如在约摄氏300度至约摄氏800度或某一其他合适温度下执行。在其他实施例中,用于形成第一铁电层106a的工艺包括沉积经结晶的铁电材料。沉积工艺可例如为或包括ALD及/或某一其他合适沉积工艺。ALD可例如在处于或高于约摄氏300度下或在某一其他合适温度下执行。

[0105] 如由图11的横截面图所示出,抑制层104形成在第一铁电层106a上方。用于形成第一抑制层104a的工艺可为或包括藉由ALD工艺藉由少至若干个循环或甚至一个循环沉积第一抑制层104a。第一抑制层104a具有的晶格常数可至少是5%不同于第一铁电层106a及第二铁电层106b具有的晶格常数,使得第一抑制层104a可抑制第一铁电层106a与第二铁电层106b之间的连续晶粒长大。在一些实施例中,第一抑制层104a具有约或小于1埃的厚度 $T_r$ 。在一些实施例中,第一抑制层104a的厚度 $T_r$ 可小于0.1纳米、约0.1纳米至约0.3纳米、约0.1纳米至约1纳米,或某一其他合适值。

[0106] 如由图12的横截面图所示出,第二铁电层106b形成在第一抑制层104a上方。用于形成第二铁电层106b的工艺可与形成第一铁电层106a类似。在一些实施例中,第一铁电层106a及第二铁电层106b分别具有小于第一临界厚度(例如8纳米或10纳米)的厚度 $T_f$ 。为了更稳定且增强的效能,可进一步将厚度 $T_f$ 限制为小于6纳米。藉由将第一铁电层106a及第二铁电层106b的厚度 $T_f$ 限制在第一临界厚度下且在第一铁电层106a与第二铁电层106b之间插入第一抑制层104a,相较于没有抑制层104且具有较大厚度的类似结构,铁电结构102呈现更多正方晶属性。

[0107] 因此,在一些实施例中,第一铁电层106a及第二铁电层106b具有约1纳米至约4纳米、约1纳米至约6纳米、约1纳米至约8纳米、约1纳米至约10纳米或某一其他合适值的个别厚度 $T_f$ 。藉由将第一抑制层104a置放于第一铁电层106a与第二铁电层106b之间,铁电层的连续晶粒长大在第一临界厚度(例如,约8纳米或约10纳米)下中断,且因此导致铁电结构102自斜方晶相调谐至正方晶相且自FE属性调谐至AFE属性,并改良铁电结构102的耐久性。在一些实施例中,第一铁电层106a、第二铁电层106b或整个铁电结构102以正方晶为主且呈现稳定AFE属性。

[0108] 如由图13的横截面图所示出,顶部电极206形成在第二铁电层106b上方。用于形成顶部电极206的工艺可为或包括藉由以下工艺沉积顶部电极206:DC溅镀、PVD、CVD、ALD、某一其他合适沉积工艺,或前述各项的任何组合。此外,工艺可例如包括退火。退火可例如在约摄氏400度至约摄氏900度下执行,以减小应力及/或增强铁电层106的结晶度。此外,退火可例如在包括氮气(例如, $N_2$ )、氩气、氧气(例如, $O_2$ )、某一其他合适气体或前述各项的任何组合的氛围中执行。

[0109] 如由图14的横截面图所示出,将底部电极204、第一铁电层106a、抑制层104、第二铁电层106b以及顶部电极206图案化以定义MFM结构202。图案化可例如藉由光刻/刻蚀工艺及/或藉由某一其他合适工艺执行。在一些实施例中,图案化包括:使用光刻/刻蚀工艺在顶部电极206上方形成硬掩模(图中未示);以及随后在硬掩模就位的情况下刻蚀底部电极204、第一铁电层106a、第一抑制层104a、第二铁电层106b以及顶部电极206。

[0110] 如由图15的横截面图所示出,上部内连线介电层314b形成在下部内连线介电层314a上方,使得上部内连线介电层314b及下部内连线介电层314a形成内连线介电结构314。此外,上部内连线结构形成在上部内连线介电层314b中。上部内连线结构包括上覆于MFM结构202的层间通孔318,且更包括上覆于层间通孔318的顶部导线320t。

[0111] 关于图16,提供示出用于形成包括抑制层的存储器器件的方法的一些实施例的流程图。方法可例如对应于图7至图15的方法。

[0112] 尽管本文中将要揭露流程图说明且描述为一系列动作或事件,但应了解,不应以限制性意义来解释此等动作或事件的所说明次序。举例而言,除本文中所说明及/或所描述的动作或事件之外,一些动作可与其他动作或事件以不同次序发生及/或同时发生。另外,可能并不需要所有的所说明动作来实施本文中的描述的一或多个态样或实施例。此外,本文中所描绘的动作中的一或多个者可以一或多个单独动作及/或阶段进行。

[0113] 在1602处,访问器件及下部内连线结构形成在半导体衬底上方。参见例如图7至图8。

[0114] 在1604处,底部电极形成在下部内连线结构上方。参见例如图9。

[0115] 在1606处,第一铁电层形成在底部电极层上方。参见例如图10。

[0116] 在1608处,介电抑制层形成在第一铁电层上方。参见例如图11。

[0117] 在1610处,第二铁电层形成在介电抑制层上方。参见例如图12。

[0118] 在1612处,顶部电极形成在第二抑制层上方。参见例如图13。

[0119] 在1614处,将底部电极、第一铁电层、介电抑制层、第二铁电层以及顶部电极图案化以定义铁电存储器结构。参见例如图14。

[0120] 在1616处,上部内连线结构形成在铁电存储器结构上方。参见例如图15。

[0121] 图17至图25绘示提供用于形成其中1T铁电存储器器件包括抑制层的存储器器件的方法的一些实施例的一系列横截面图。存储器器件可例如相对于图4所描述。尽管参考方法描述了图17至图25,但应了解,图17至图25中所揭露的结构不限于此类方法,而实际上可单独作为独立于所述方法的结构。此外,尽管图17至图25绘示具有特定铁电结构102的顶部栅极FeFET的形成,但本揭露中所描述的诸如但不限于底部栅极FeFET或双栅极FeFET的其他存储器器件结构可以透过类似方式形成。

[0122] 如由图17的横截面图所示出,设置衬底402。衬底402可例如为或包括硅衬底、绝缘

层上硅(silicon-on-insulator;SOI)衬底、聚合物衬底或某一其他合适类型的半导体衬底。在一些实施例中,衬底402如相对于图4所描述。

[0123] 如由图18的横截面图所示出,栅极介电层502形成在衬底402上方。栅极介电层502可例如藉由利用CVD、PVD、ALD、某一其他合适沉积工艺或前述各项的任何组合沉积栅极介电层502而形成。

[0124] 如由图19的横截面图所示出,第一铁电层106a形成在栅极介电层502上方。第一铁电层106a可藉由以下工艺形成:DC溅镀、PVD、CVD、ALD、某一其他合适沉积工艺或前述各项的任何组合。

[0125] 如由图20的横截面图所示出,抑制层104形成在第一铁电层106a上方。用于形成第一抑制层104a的工艺可为或包括透过ALD工艺藉由少至若干个循环或甚至一个循环来沉积抑制层104。抑制层104具有的晶格常数可至少5%不同于第一铁电层106a及第二铁电层106b具有的晶格常数,使得抑制层104可抑制第一铁电层106a与第二铁电层106b之间的连续晶粒长大。在一些实施例中,抑制层104具有约或小于1埃的厚度 $T_f$ 。在一些实施例中,抑制层104的厚度 $T_f$ 可小于0.1纳米、约0.1纳米至约0.3纳米、约0.1纳米至约1纳米,或某一其他合适值。

[0126] 如由21的横截面图所示出,第二铁电层106b形成在抑制层104上方。用于形成第二铁电层106b的工艺可与形成第一铁电层106a类似。在一些实施例中,第一铁电层106a及第二铁电层106b分别具有小于第一临界厚度(例如8纳米或10纳米)的厚度 $T_f$ 。为了更稳定且增强的效能,可进一步将厚度 $T_f$ 限制为小于6纳米。藉由将第一铁电层106a及第二铁电层106b的厚度 $T_f$ 限制在第一临界厚度下且在第一铁电层106a与第二铁电层106b之间插入抑制层104,相较于没有抑制层104且具有较大厚度的类似结构,铁电结构102呈现更多正方晶属性。

[0127] 因此,在一些实施例中,第一铁电层106a及第二铁电层106b具有约1纳米至约4纳米、约1纳米至约6纳米、约1纳米至约8纳米、约1纳米至约10纳米或某一其他合适值的个别厚度 $T_f$ 。藉由将抑制层104置放于第一铁电层106a与第二铁电层106b之间,铁电层的连续晶粒长大在第一临界厚度(例如,约8纳米或约10纳米)下中断,且因此导致铁电结构102自斜方晶相调谐至正方晶相且自FE属性调谐至AFE属性,并改良铁电结构102的耐久性。在一些实施例中,第一铁电层106a、第二铁电层106b或整个铁电结构102以正方晶为主且呈现稳定AFE属性。

[0128] 如由图22的横截面图所示出,顶部电极206形成在第二铁电层106b上方。用于形成顶部电极206的工艺可如图13中所描述。

[0129] 如由图23的横截面图所示出,将栅极介电层502、第一铁电层106a、抑制层104、第二铁电层106b以及顶部电极206图案化以形成圆柱形栅极堆叠。图案化可例如藉由光刻/刻蚀工艺及/或藉由某一其他合适工艺执行。在一些实施例中,图案化包括:使用光刻/刻蚀工艺在顶部电极206上方形成硬掩模(图中未示);以及随后在硬掩模就位的情况下刻蚀栅极介电层502、第一铁电层106a、抑制层104、第二铁电层106b以及顶部电极206。

[0130] 如由图24的横截面图所示出,掺杂衬底402以在衬底402中形成一对源极/漏极区404。源极/漏极区404分别处于圆柱形栅极堆叠的相对侧上且划分圆柱形栅极堆叠之下的沟道区406。掺杂可例如藉由离子植入及/或某一其他合适掺杂工艺执行。

[0131] 如由图25的横截面图所示出,内连线介电层416形成在衬底402上方。此外,多个接触通孔410形成在内连线介电层416中以分别接触所述对源极/漏极区404及顶部电极206。在一些实施例中,多个导线412(例如,金属线)及多个层间通孔414形成在内连线介电层416中。多个导线412、多个层间通孔414以及多个接触通孔410电耦接以定义导电路径。应了解,任何数目的导电线412及/或层间通孔414可在内连线介电层416中彼此交替地形成。在又其他实施例中,可将多个接触通孔410、多个导线412以及多个层间通孔414称为内连线结构。在一些实施例中,内连线结构如图4中所描述。

[0132] 关于图26,提供示出用于形成包括抑制层的1T铁电存储器器件的方法的一些实施例的流程图。方法可例如对应于图17至图25的方法。

[0133] 尽管本文中将要揭露流程图说明且描述为一系列动作或事件,但应了解,不应以限制性意义来解释此等动作或事件的所说明次序。举例而言,除本文中所说明及/或所描述的动作或事件之外,一些动作可与其他动作或事件以不同次序发生及/或同时发生。另外,可能并不需要所有的所说明动作来实施本文中的描述的一或多个态样或实施例。此外,本文中所描绘的动作中的一或多者可以一或多个单独动作及/或阶段进行。

[0134] 在2602处,设置衬底。参见例如图17。

[0135] 在2604处,栅极介电层形成在衬底上方。参见例如图18。

[0136] 在2606处,第一铁电层形成在栅极介电层上方。参见例如图19。

[0137] 在2608处,抑制层形成在第一铁电层上方。参见例如图20。

[0138] 在2610处,第二铁电层形成在抑制层上方。参见例如图21。

[0139] 在2612处,顶部电极形成在第二铁电层上方。参见例如图22。

[0140] 在2614处,将栅极介电层、第一铁电层、抑制层、第二铁电层以及顶部电极图案化以定义圆柱形栅极堆叠。参见例如图23。

[0141] 在2616处,一对源极/漏极区形成在衬底中,其中圆柱形栅极堆叠侧向地处于源极/漏极区之间。参见例如图24。

[0142] 在2618处,内连线结构形成在衬底上方。参见例如图25。

[0143] 因此,在一些实施例中,本揭露是关于一种铁电结构。铁电结构包含:第一铁电层;第二铁电层,上覆于第一铁电层;以及第一抑制层,设置于第一铁电层与第二铁电层之间且毗邻第二铁电层。第一抑制层为与第一铁电层及第二铁电层不同的材料。铁电结构以正方晶相为主。

[0144] 在其他实施例中,本揭露是关于一种集成电路(integrated circuit; IC)。IC包含第一电极及与第一电极垂直堆叠的铁电结构。铁电结构包含:第一铁电层;第二铁电层,上覆于第一铁电层;以及第一抑制层,处于第一铁电层与第二铁电层之间且毗邻第一铁电层及第二铁电层。第一抑制层为与第一铁电层及第二铁电层的材料类型不同的材料类型。第一铁电层及第二铁电层分别具有小于8纳米的厚度。

[0145] 在又其他实施例中,本揭露是关于一种用于形成IC的方法。方法包含:在衬底上方沉积第一材料类型的下部铁电层;沉积上覆于下部铁电层的与第一材料类型不同的第二材料类型的第一抑制层;以及在第一抑制层上直接沉积上部铁电层。正方晶相在上部铁电层中占主导地位。

[0146] 一种铁电结构,包括:第一铁电层;第二铁电层,上覆于所述第一铁电层;以及第一

抑制层,设置于所述第一铁电层与所述第二铁电层之间且毗邻所述第二铁电层,所述第一抑制层为与所述第一铁电层及所述第二铁电层不同的材料;且其中所述铁电结构以正方晶相为主。

[0147] 在一个实施例中,在所述的铁电结构中,其中所述第一铁电层及所述第二铁电层分别具有小于8纳米的厚度。在一个实施例中,在所述的铁电结构中,其中所述第二铁电层为具有小于70%的Zr掺杂浓度的氧化铪锆(HZO)。在一个实施例中,在所述的铁电结构中,其中所述第一铁电层及所述第二铁电层均为具有相同Zr掺杂浓度的氧化铪锆(HZO)。在一个实施例中,在所述的铁电结构中,其中所述第二铁电层具有比所述第一铁电层小的厚度。在一个实施例中,在所述的铁电结构中,其中所述第一抑制层具有小于1纳米的厚度。在一个实施例中,在所述的铁电结构中,其中所述第一抑制层为氧化铝( $Al_2O_3$ )。在一个实施例中,所述的铁电结构更包括所述第一铁电层的底部处的第二抑制层,其中所述第二抑制层具有与所述第一抑制层相同的材料及厚度。在一个实施例中,所述的铁电结构更包括所述第二铁电层的顶部处的第三抑制层,其中所述第三抑制层具有与所述第一抑制层相同的材料及厚度。在一个实施例中,所述的铁电结构更包括直接设置于所述第三抑制层上的第三铁电层,其中所述第三铁电层具有与所述第二铁电层相同的材料及厚度,所述材料及厚度与所述第一铁电层不同。

[0148] 一种集成电路(IC),包括:第一电极;以及铁电结构,与所述第一电极竖直堆叠,其中所述铁电结构包括:第一铁电层;第二铁电层,上覆于所述第一铁电层;以及第一抑制层,处于所述第一铁电层与所述第二铁电层之间且毗邻所述第一铁电层及所述第二铁电层,所述第一抑制层为与所述第一铁电层及所述第二铁电层的材料类型不同的材料类型;且其中所述第一铁电层及所述第二铁电层分别具有小于8纳米的厚度。

[0149] 在一个实施例中,在所述的集成电路中,其中所述第一铁电层及所述第二铁电层均为具有不同Zr掺杂浓度及不同厚度的氧化铪锆(HZO)。在一个实施例中,在所述的集成电路中,其中所述铁电结构更包括处于所述第一铁电层与所述第一电极之间且毗邻所述第一铁电层及所述第一电极的第二抑制层;且其中所述铁电结构以正方晶相为主。在一个实施例中,所述的集成电路更包括与所述第一电极及所述铁电结构竖直堆叠的第二电极,其中所述铁电结构处于所述第一电极与所述第二电极之间且毗邻所述第一电极及所述第二电极。在一个实施例中,所述的集成电路更包括:第二抑制层,处于所述第二铁电层的顶部,其中所述第二抑制层具有与所述第一抑制层相同的材料及厚度;以及第三铁电层,直接设置于所述第二抑制层上。在一个实施例中,在所述的集成电路中,其中所述第二电极直接接触具有与所述第一抑制层相同的材料的额外抑制层。

[0150] 一种用于形成集成电路(IC)的方法,包括:在衬底上方沉积下部铁电层,其中所述下部铁电层包括第一材料类型;沉积上覆于所述下部铁电层且包括与所述第一材料类型不同的第二材料类型的第一抑制层;以及在所述第一抑制层上直接沉积上部铁电层;且其中正方晶相在所述上部铁电层中占主导地位。

[0151] 在一个实施例中,在所述的用于形成集成电路的方法中,其中藉由原子层沉积(ALD)工艺形成厚度小于1纳米的所述第一抑制层。在一个实施例中,在所述的用于形成集成电路的方法中,其中所述上部铁电层及所述下部铁电层由不同比率的相同元素形成。在一个实施例中,所述的用于形成集成电路的方法更包括:在所述上部铁电层的顶部处形成

第二抑制层,其中所述第二抑制层具有与所述第一抑制层相同的材料及厚度;且其中所述第二抑制层经组态成使所述上部铁电层的结晶晶格稳定以防止所述正方晶相的热力学不稳定性。

[0152] 前文概述若干实施例的特征,使得本领域的技术人员可更好地理解本发明实施例的各方面。本领域的技术人员应了解,其可容易地将本发明实施例用作设计或修改用于实现本文中所引入的实施例的相同目的和/或实现相同优势的其它工艺和结构的基础。本领域的技术人员还应认识到,这些等效构造并不脱离本发明实施例的精神和范围,且其可在不脱离本发明实施例的精神和范围的情况下在本文中作出各种改变、替代和更改。

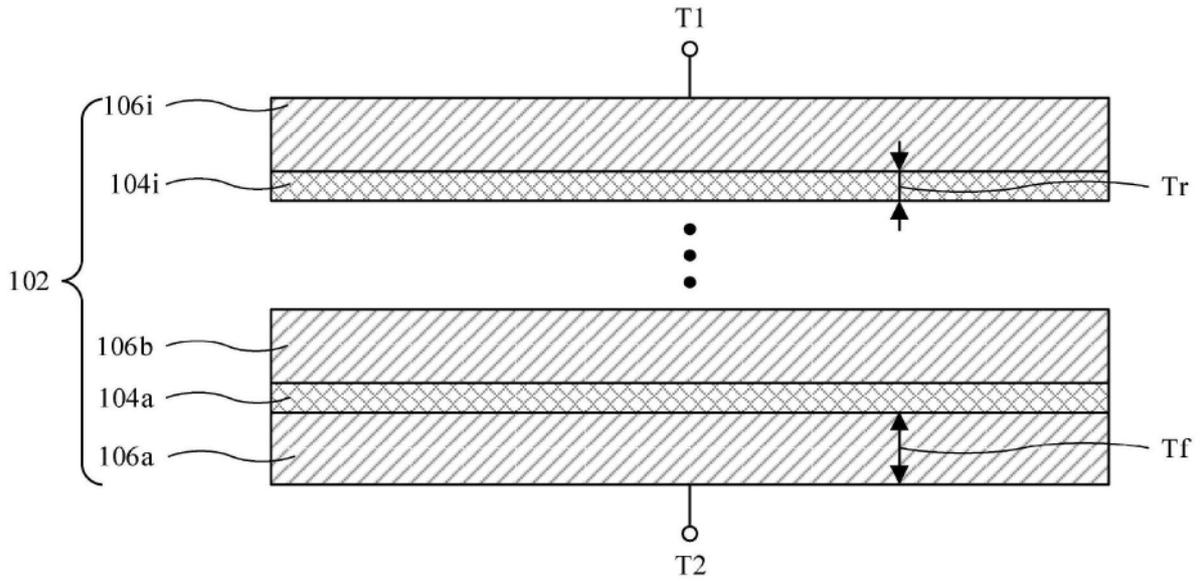


图1A

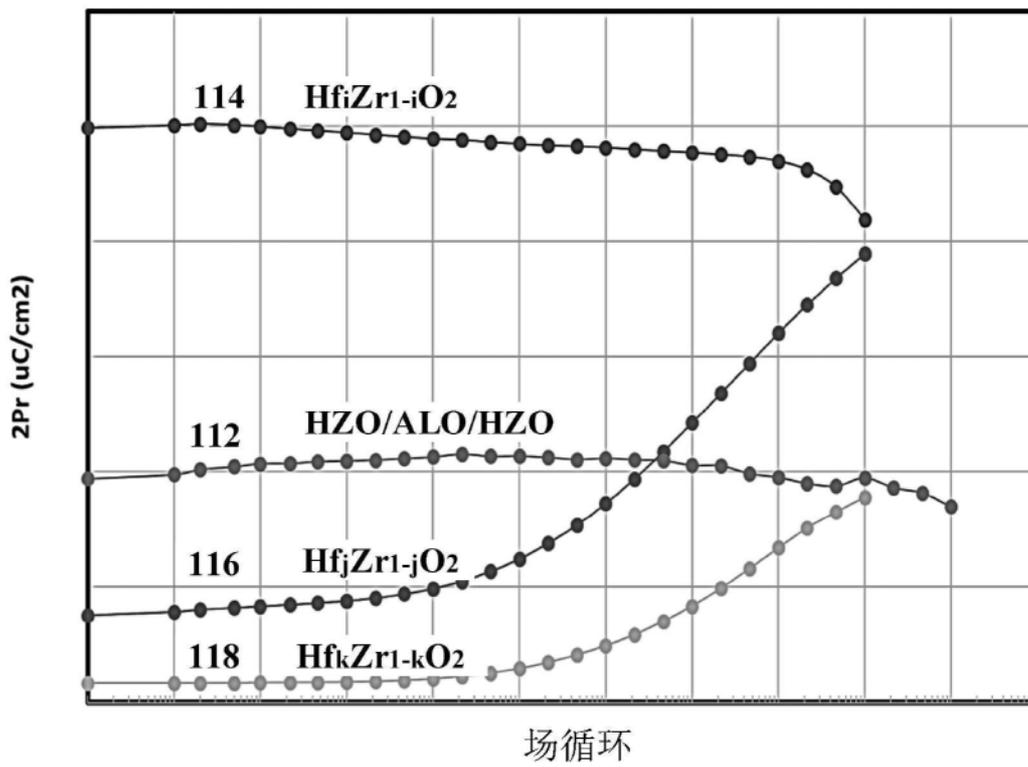


图1B

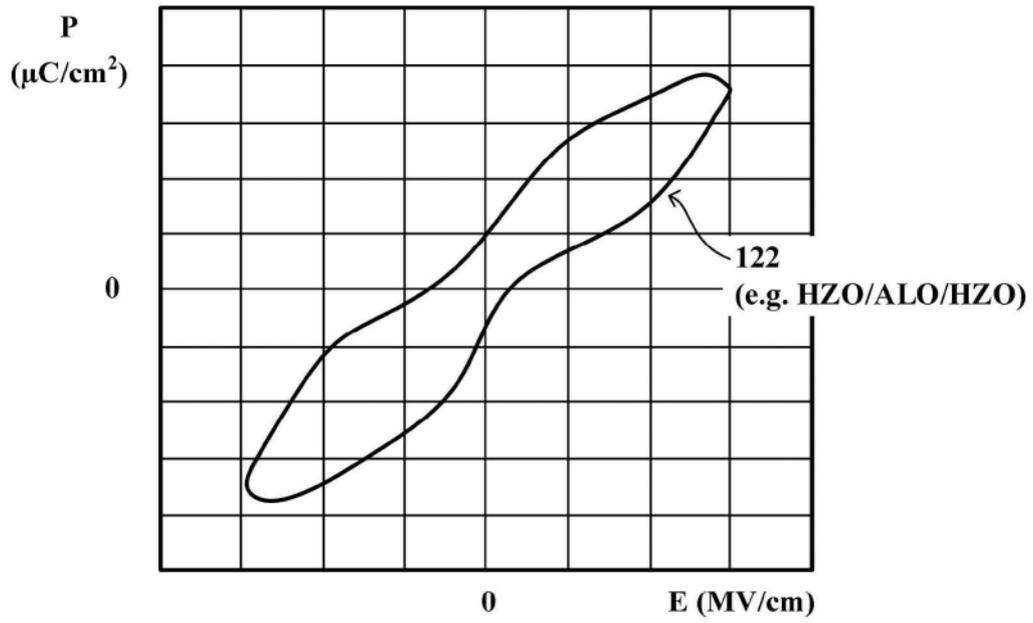


图1C

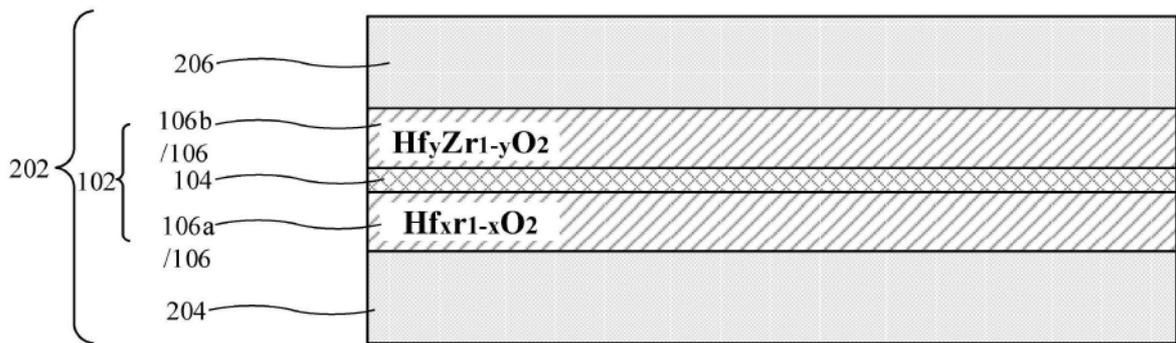


图2A

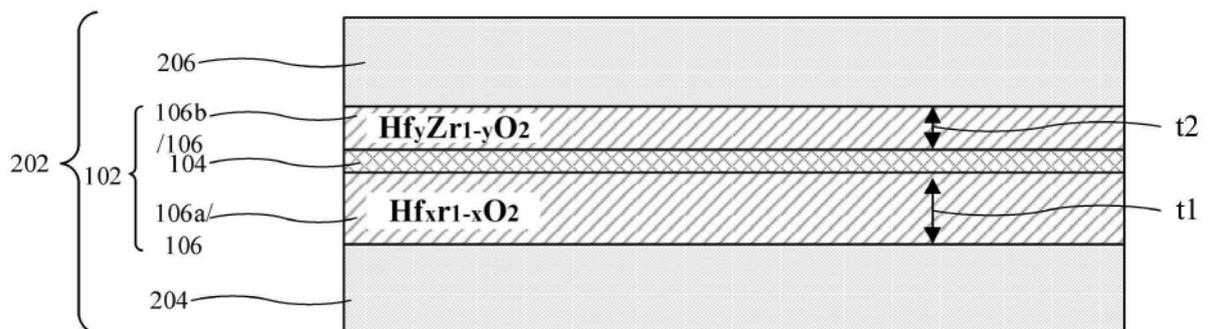


图2B

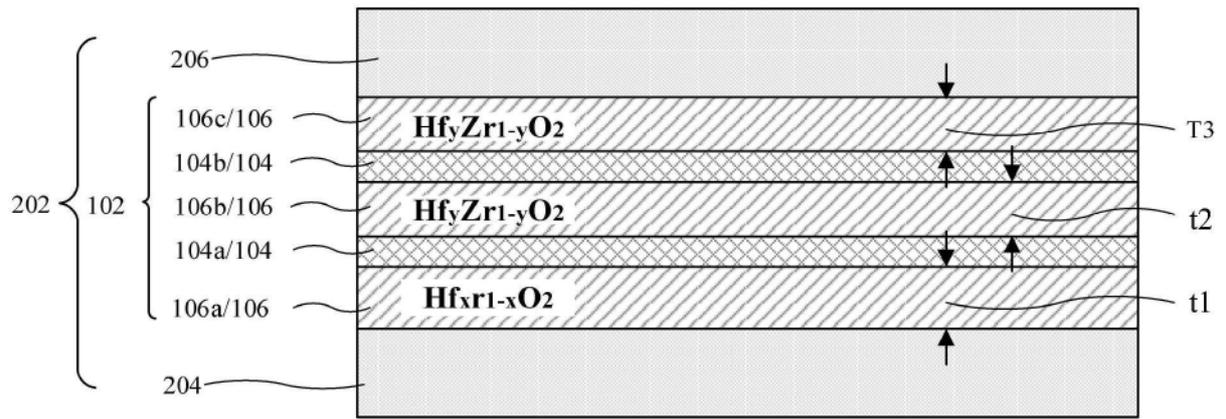


图2C

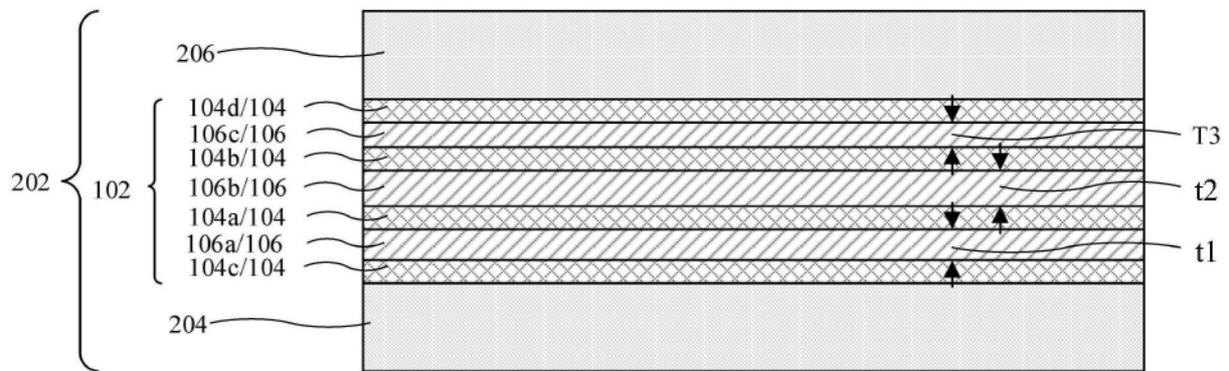


图2D

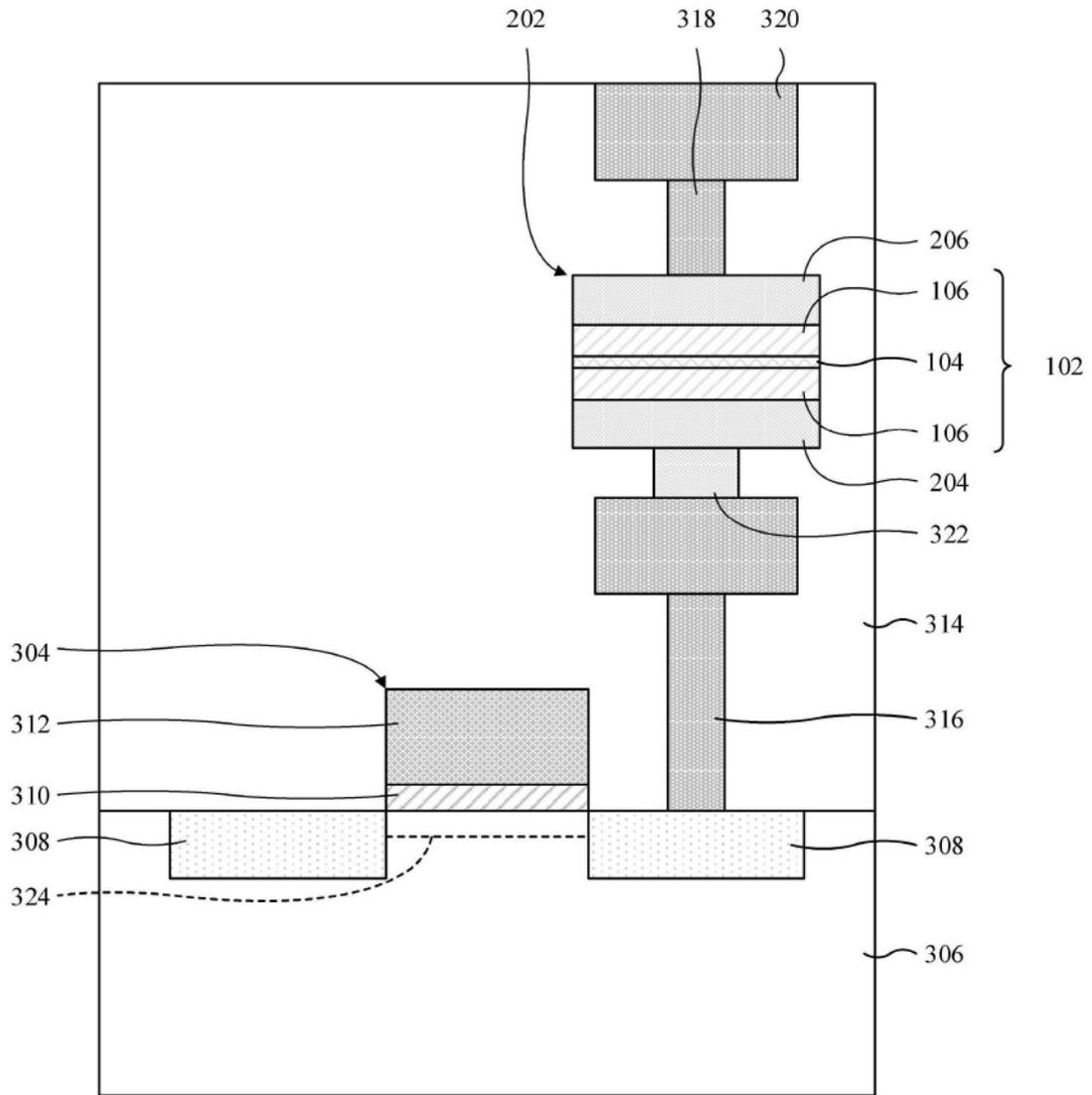


图3

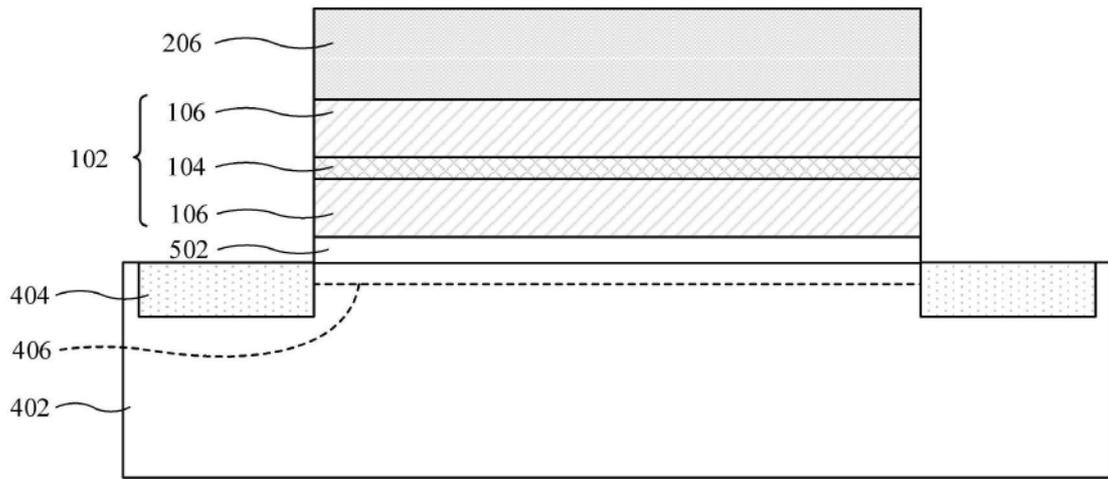


图4

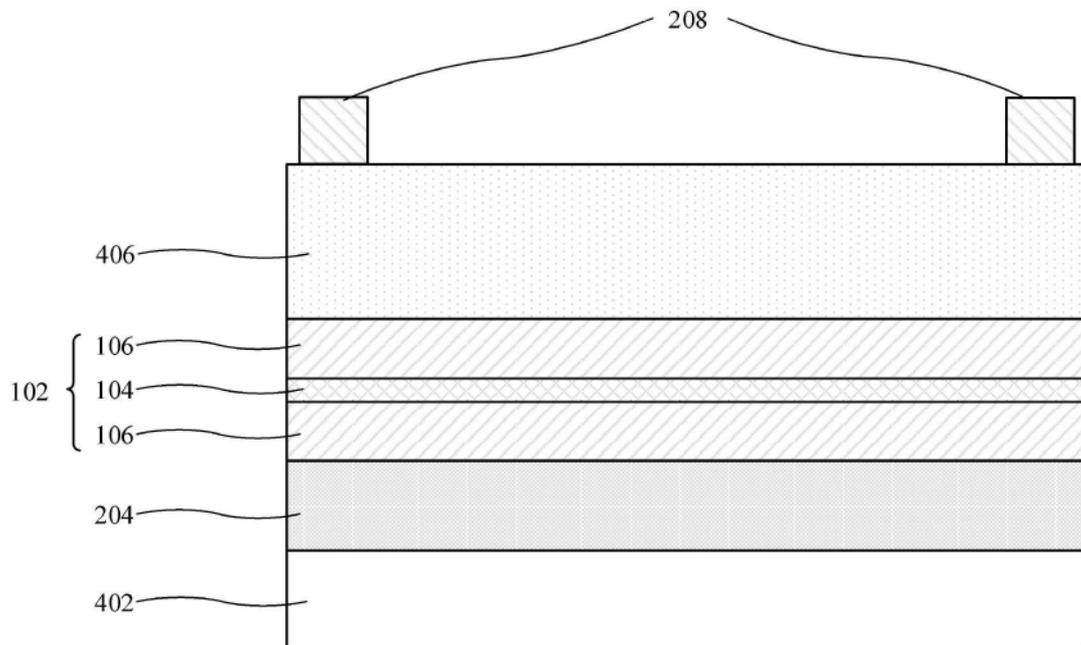


图5

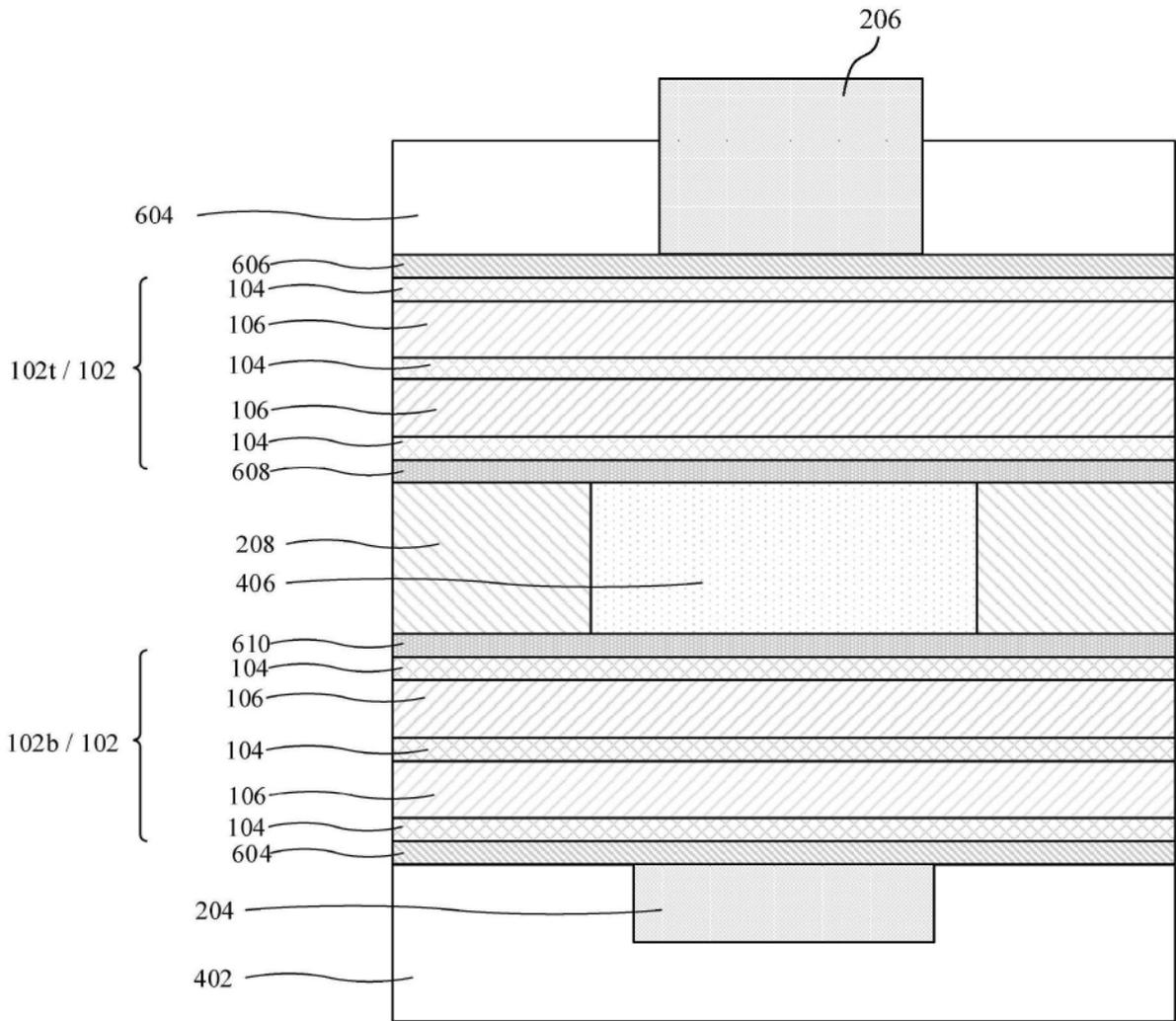


图6

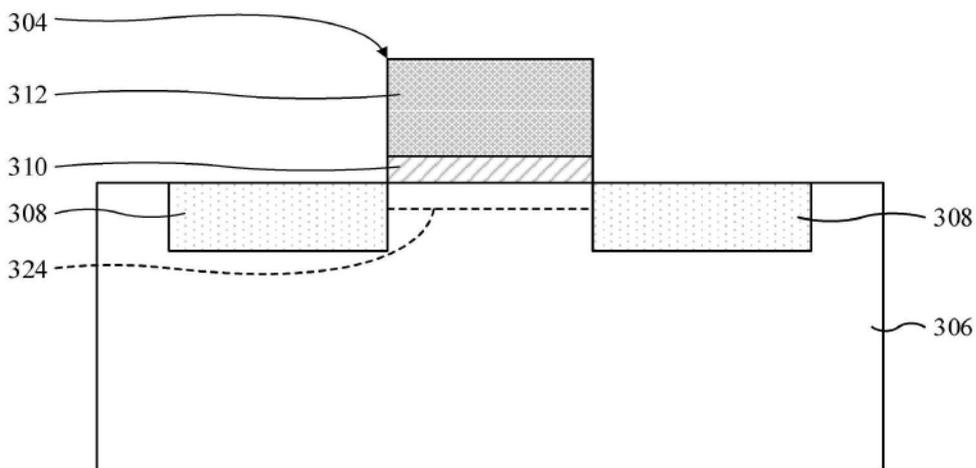


图7

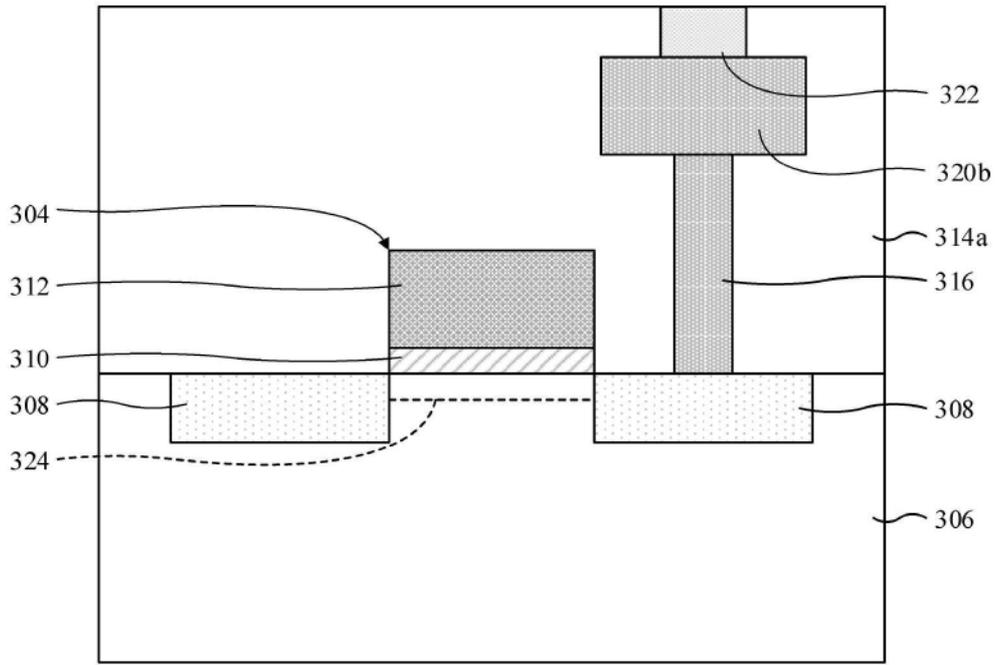


图8

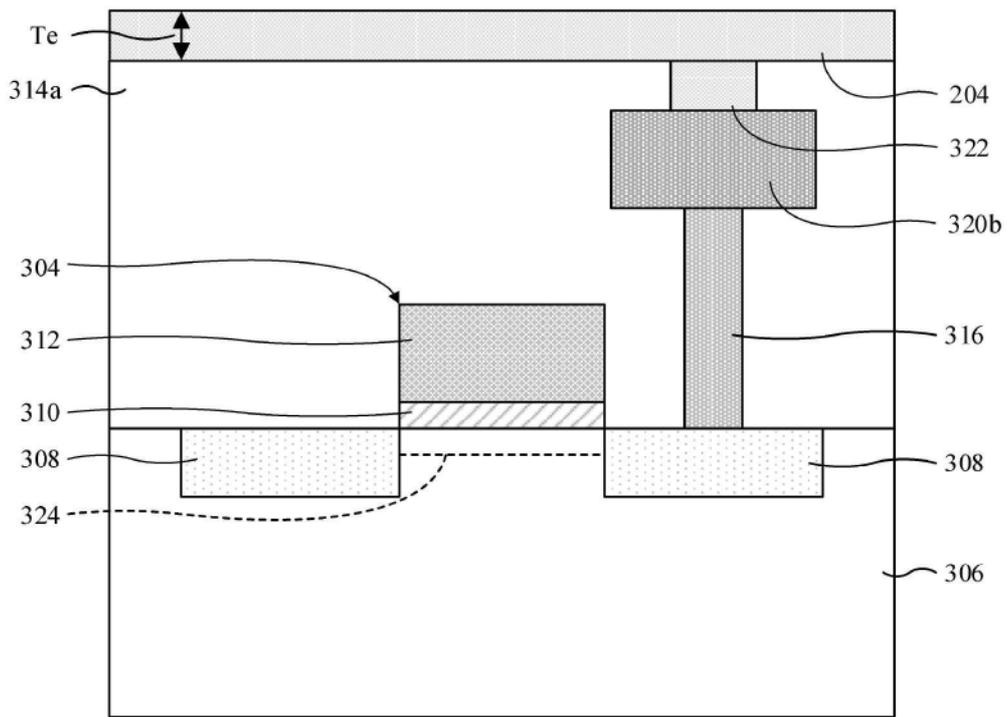


图9

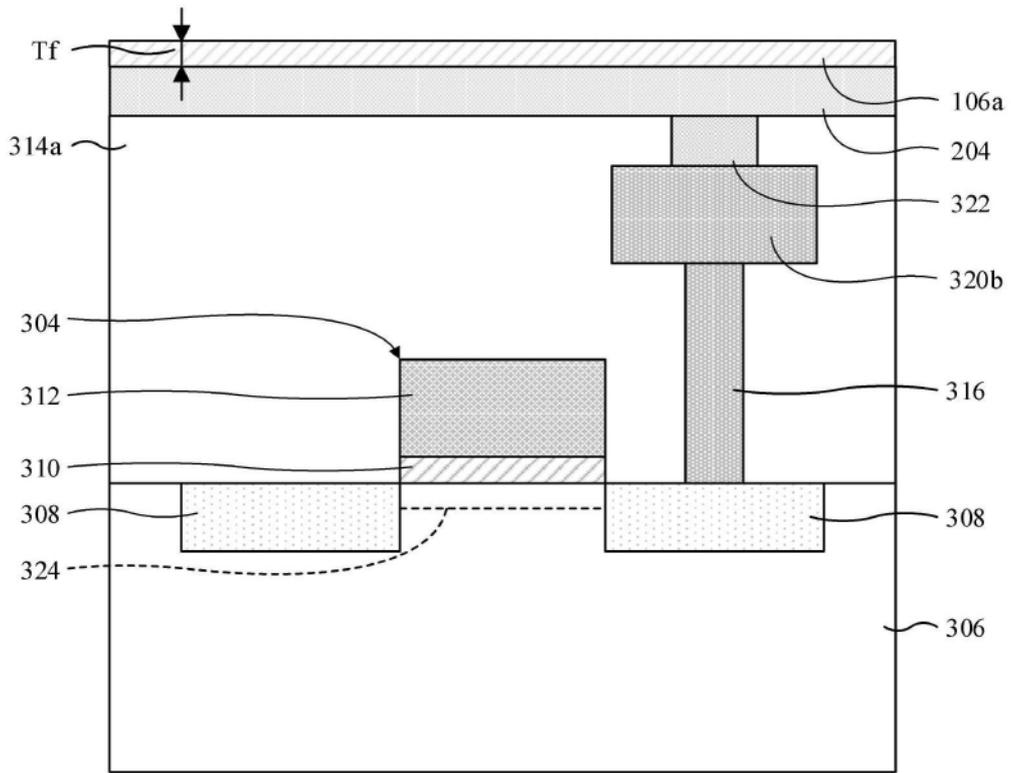


图10

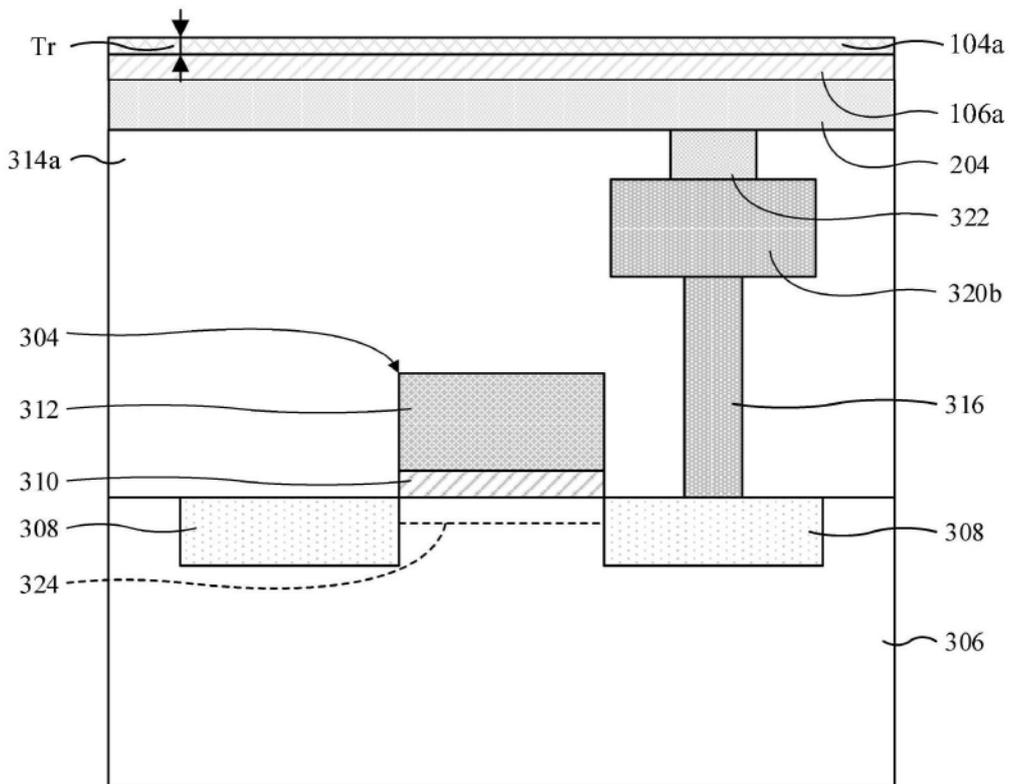


图11

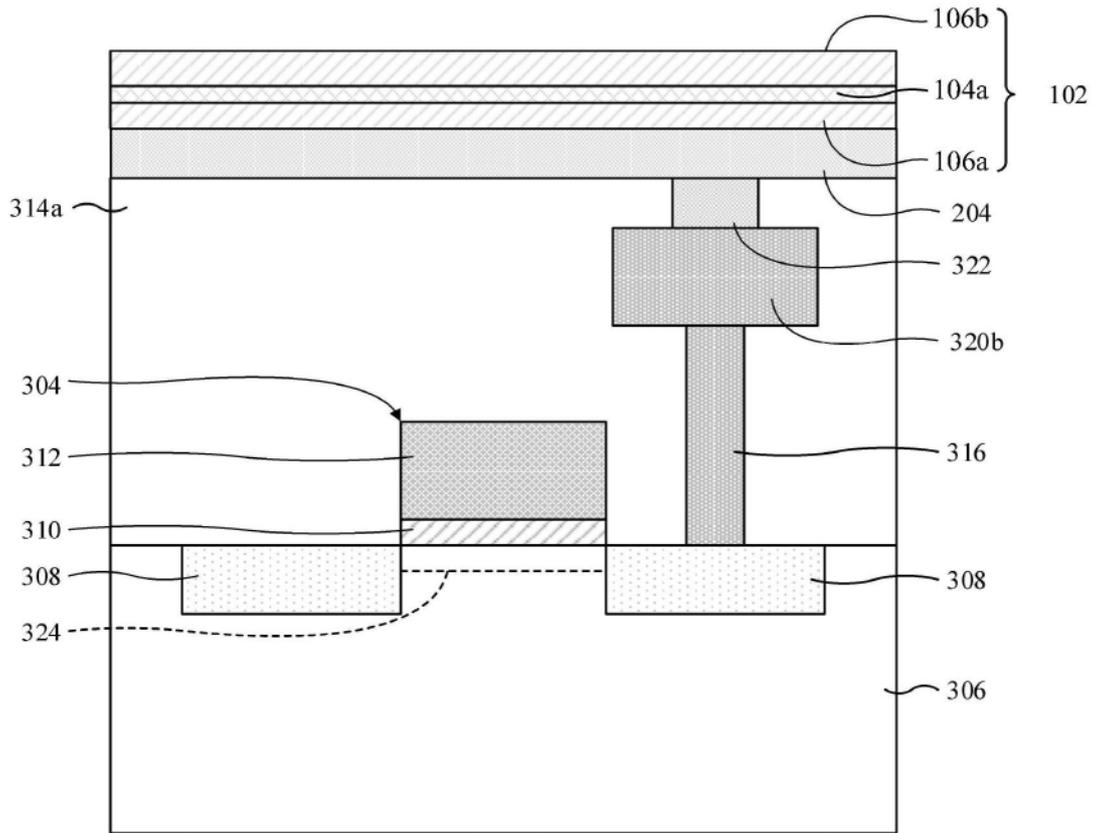


图12

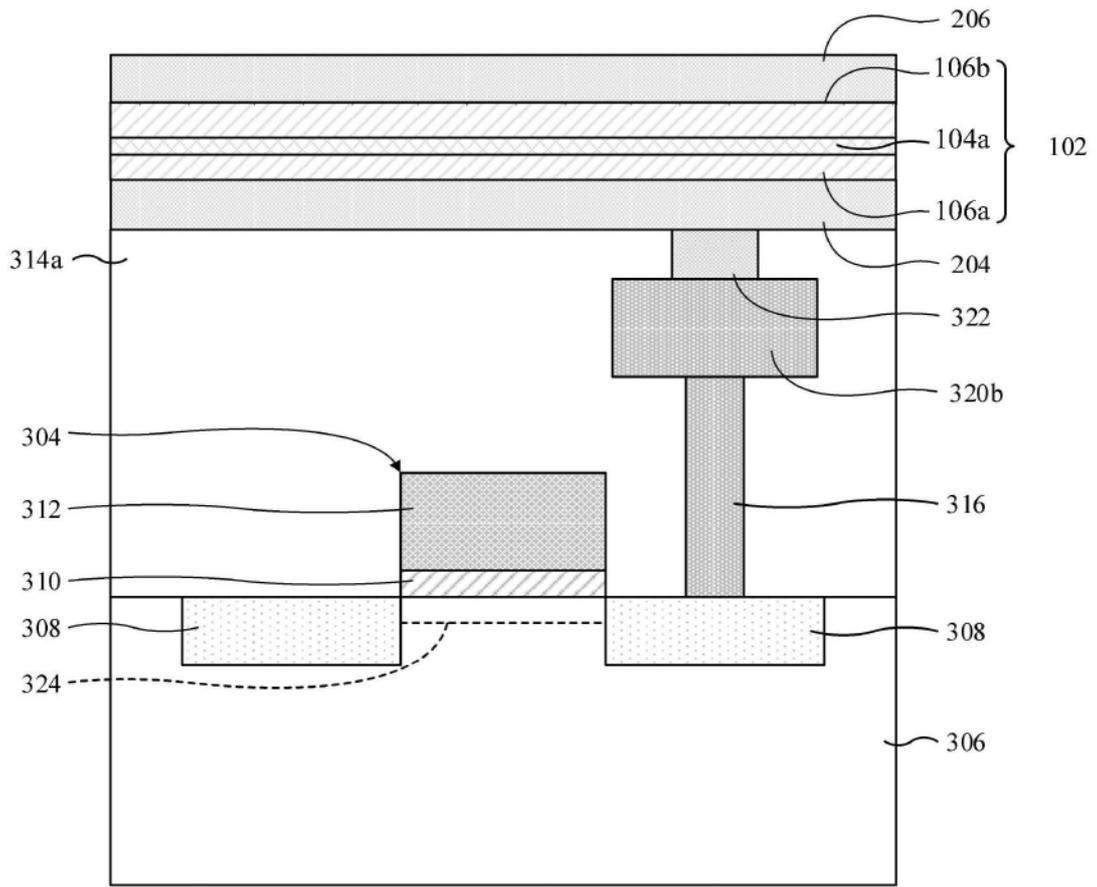


图13

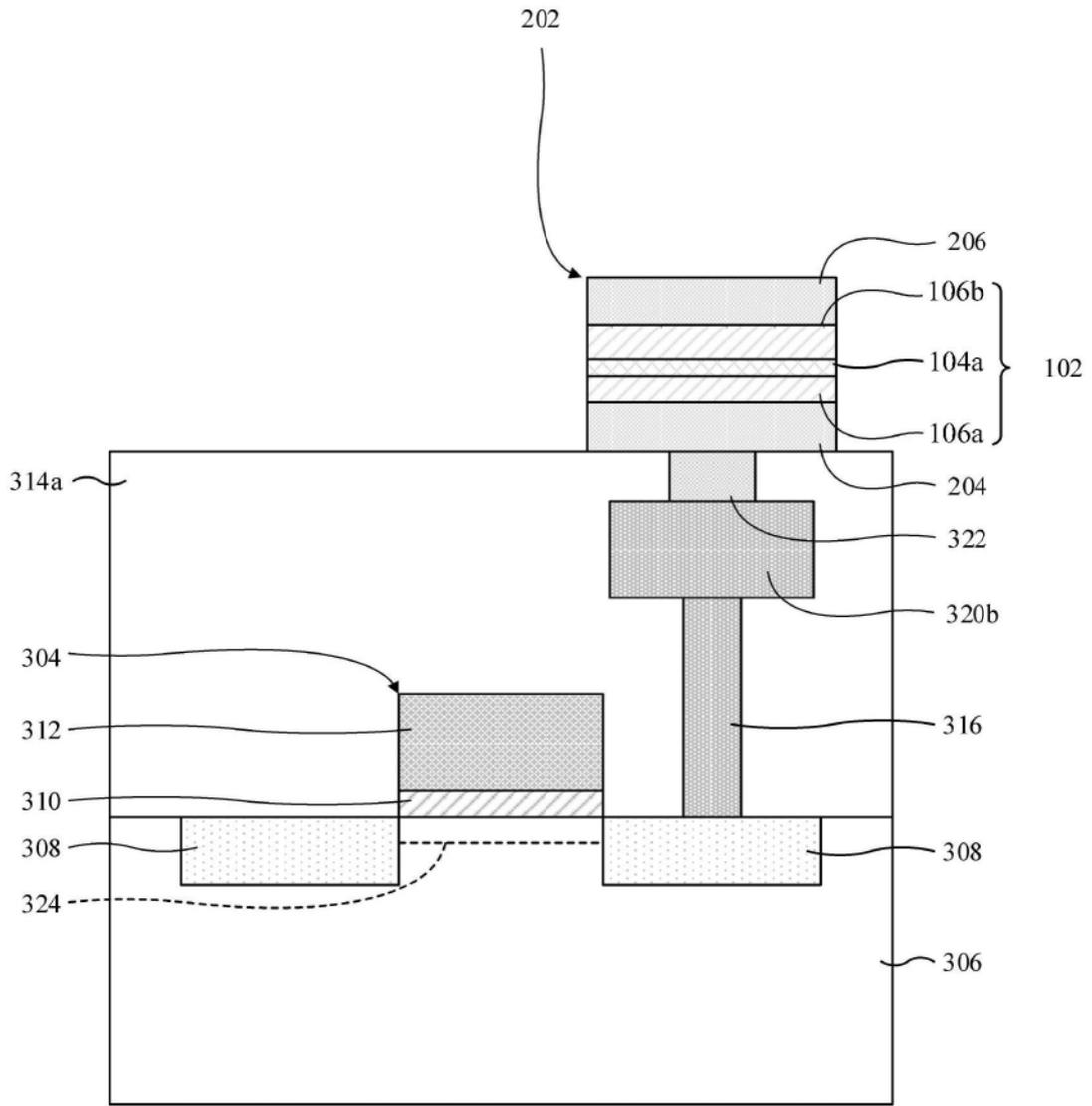


图14

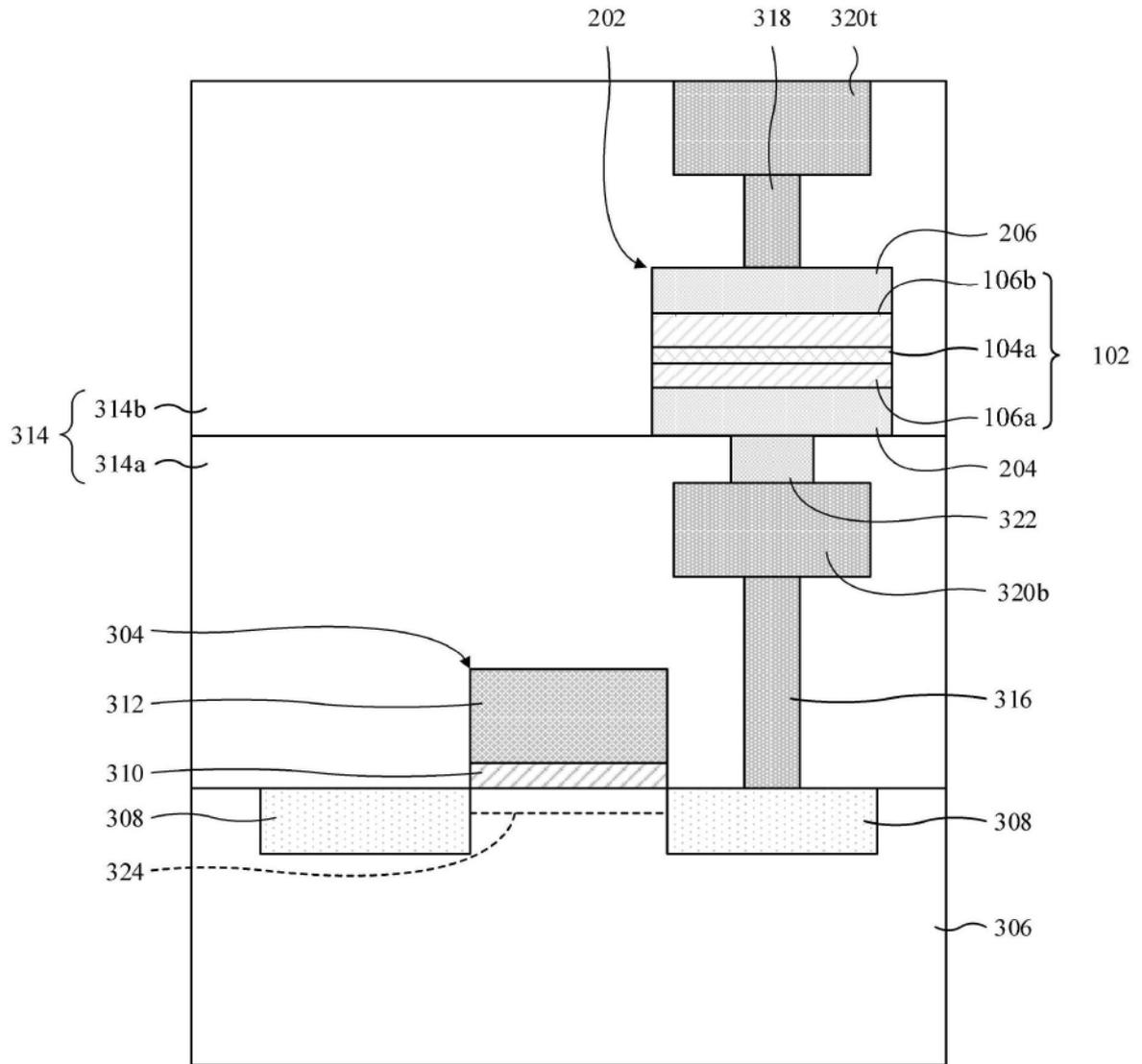


图15



图16



图17

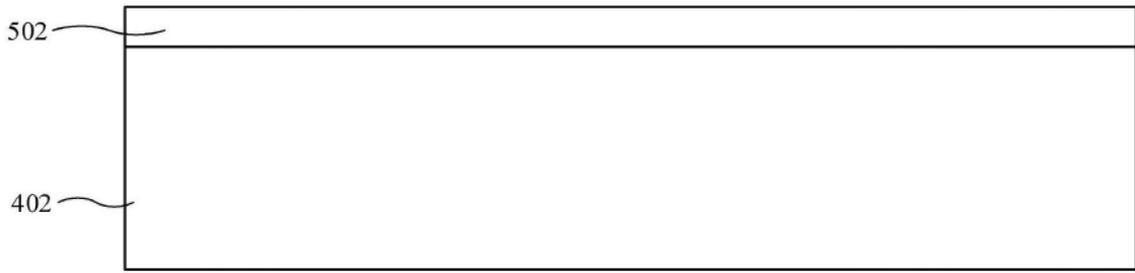


图18

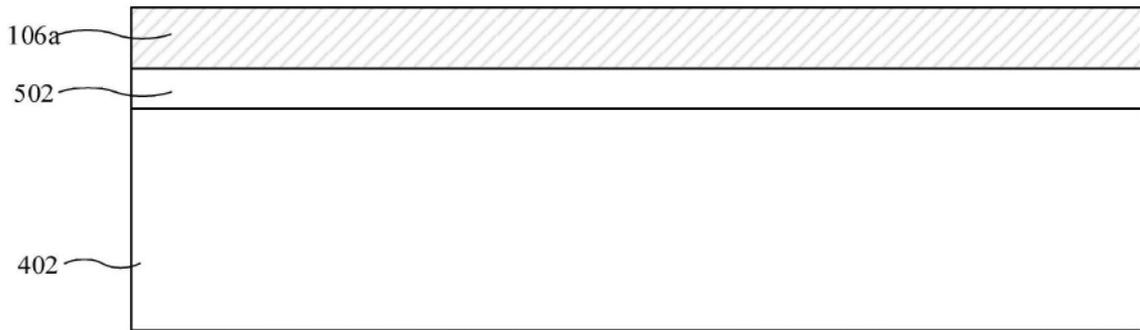


图19

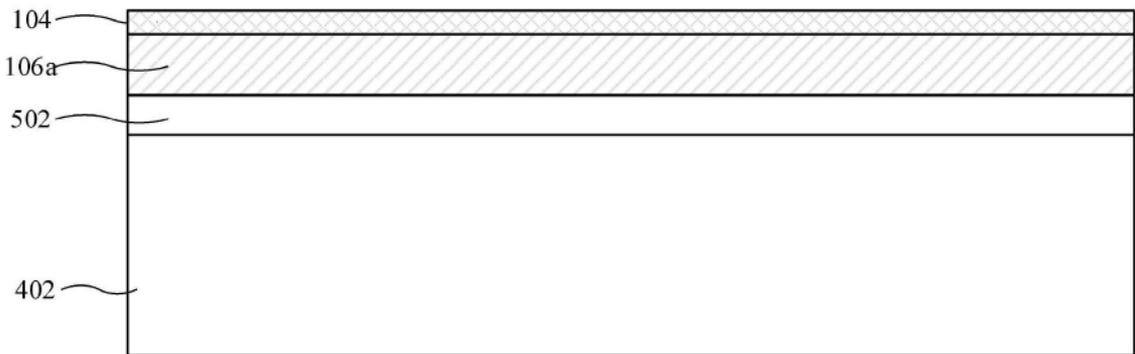


图20

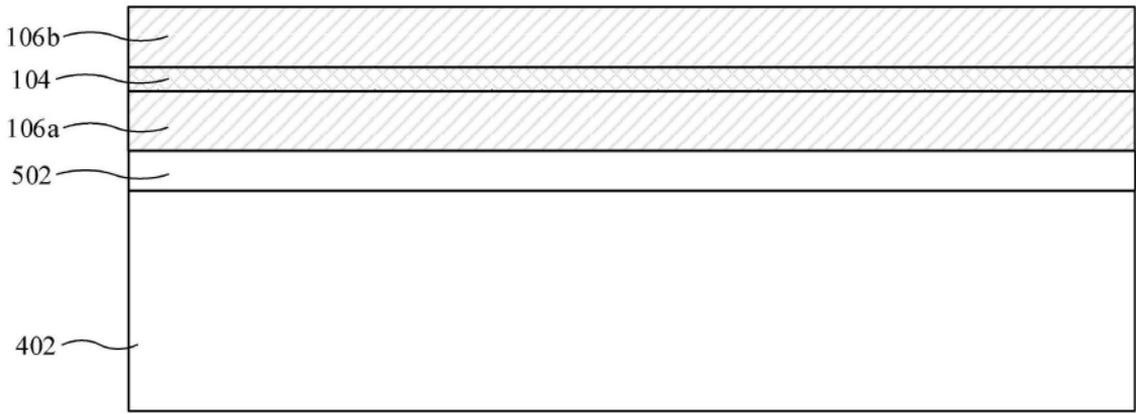


图21

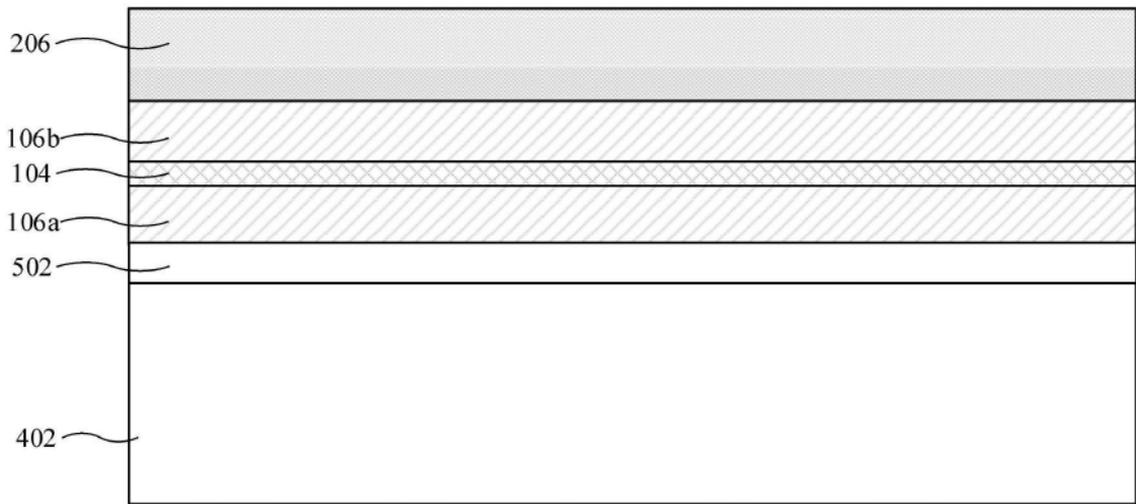


图22

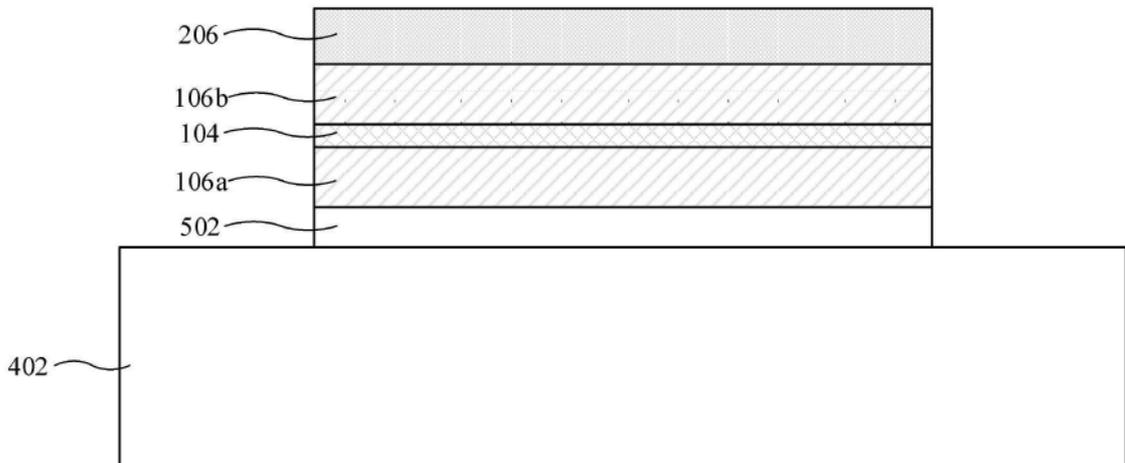


图23

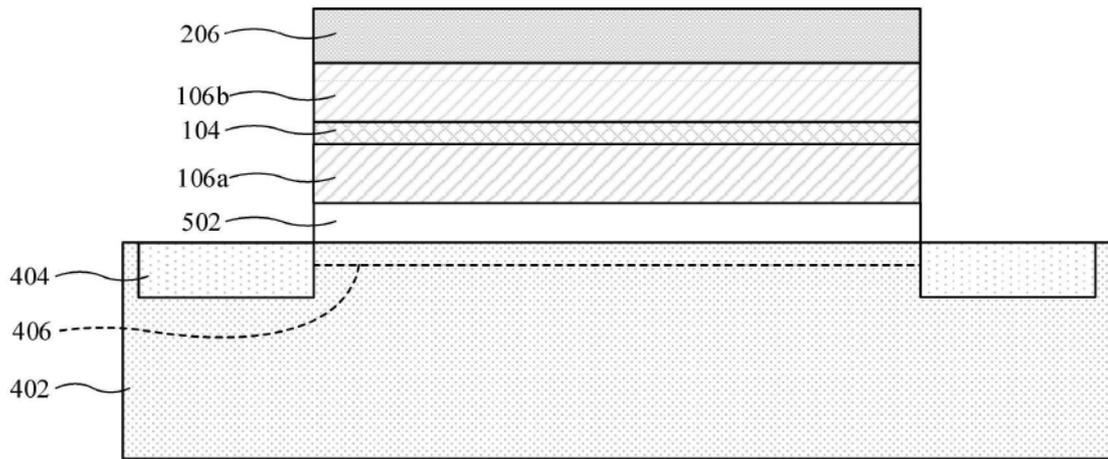


图24

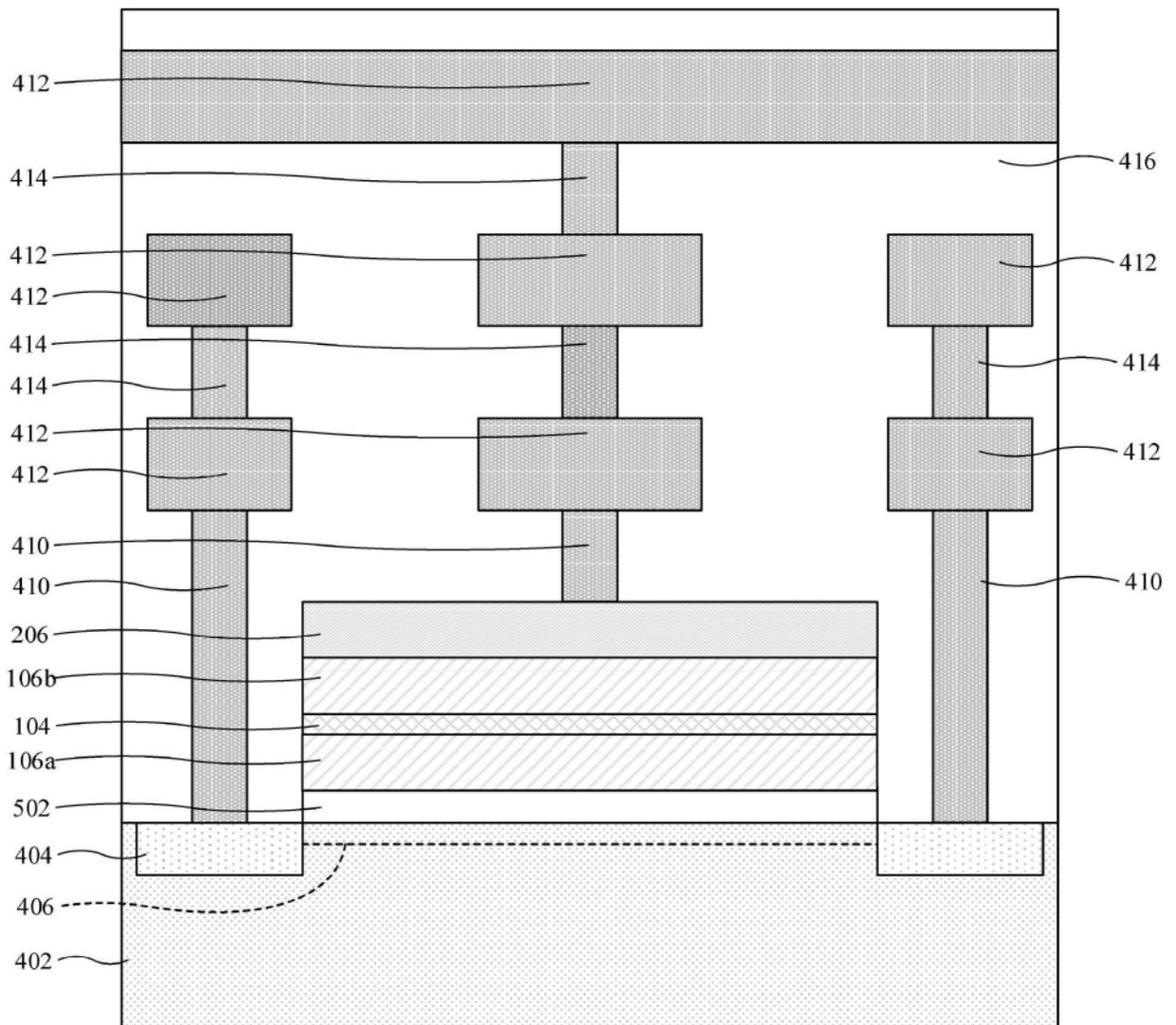


图25



图26