

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6461790号
(P6461790)

(45) 発行日 平成31年1月30日(2019.1.30)

(24) 登録日 平成31年1月11日(2019.1.11)

(51) Int. Cl.	F I
HO 4 N 5/3745 (2011.01)	HO 4 N 5/3745
HO 4 N 5/374 (2011.01)	HO 4 N 5/374
HO 4 N 5/361 (2011.01)	HO 4 N 5/361
HO 4 N 5/365 (2011.01)	HO 4 N 5/365
A 6 1 B 1/04 (2006.01)	A 6 1 B 1/04

請求項の数 58 (全 25 頁)

(21) 出願番号	特願2015-524496 (P2015-524496)	(73) 特許権者	517000117
(86) (22) 出願日	平成25年7月26日(2013.7.26)		デビュー シンセス プロダクツ, インコーポレーテッド
(65) 公表番号	特表2015-530785 (P2015-530785A)		DePuy Synthes Products, Inc.
(43) 公表日	平成27年10月15日(2015.10.15)		アメリカ合衆国マサチューセッツ州02767, レイナム, パラマウント・ドライブ325
(86) 国際出願番号	PCT/US2013/052423		
(87) 国際公開番号	W02014/018948	(74) 代理人	100088605
(87) 国際公開日	平成26年1月30日(2014.1.30)		弁理士 加藤 公延
審査請求日	平成28年6月15日(2016.6.15)	(74) 代理人	100130384
(31) 優先権主張番号	61/790, 590		弁理士 大島 孝文
(32) 優先日	平成25年3月15日(2013.3.15)		
(33) 優先権主張国	米国 (US)		
(31) 優先権主張番号	61/676, 289		
(32) 優先日	平成24年7月26日(2012.7.26)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 最小面積モノリシックCMOSイメージセンサを用いたカメラシステム

(57) 【特許請求の範囲】

【請求項1】

閉じられた(closed)光環境(light environment)において使用するための内視鏡(endoscopic)装置であって、

手持ち(hand holding)構造体(structure)、

本体(body)の第1の端部に内腔基部(lumen base)によって取り付けられた内腔(lumen)、および

前記本体の前記内腔基部と反対側の前記内腔の先端部(tip portion)

を備える、内視鏡本体と、

前記先端部の最も遠位の部分(distal most portion)に配置されたレンズと、

前記内腔の前記先端部近くに配置された撮像センサであって、

電磁放射を検出するための画素の配列、

前記画素配列によって発生されるデータを送信するための転送(transfer)ポート、

アナログ画素データをデジタルデータに変換するためのデジタルザ、

前記画素配列によって発生される前記データに対するオフセット制御をもたらすための黒クランプ回路、および

前記撮像センサと、前記撮像センサから遠隔に配置された画像信号処理回路との間の電氣的通信をもたらす電氣的接続部

を備える撮像センサと

を備え、

10

20

前記画素配列がアクティブ画素および光学黒画素を備え、前記光学黒画素は複数の列に構成され、前記画素配列内で前記アクティブ画素に隣接した光学黒行を含まず、

前記内視鏡装置は複数の制御レジスタをさらに備え、前記制御レジスタはシフトレジスタによってロードされるデジタルラッチであり、

前記シフトレジスタの1つがフレームごとのパラメータ変化に専用化される、内視鏡装置。

【請求項2】

前記アクティブ画素および前記光学黒画素は前記画素配列からの出力を較正する、請求項1に記載の内視鏡装置。

【請求項3】

前記光学黒画素は前記画素配列内で前記アクティブ画素に隣接した列に構成される、請求項1に記載の内視鏡装置。

【請求項4】

前記撮像センサが単一のデジタイザを備える、請求項1に記載の内視鏡装置。

【請求項5】

前記撮像センサが複数のデジタイザを備える、請求項1に記載の内視鏡装置。

【請求項6】

前記撮像センサが単一の出力ポートを備える、請求項1に記載の内視鏡装置。

【請求項7】

前記撮像センサが複数の出力ポートを備える、請求項1に記載の内視鏡装置。

【請求項8】

前記光学黒画素の列が、光学黒列の数を低減するために複数回サンプルされる、請求項3に記載の内視鏡装置。

【請求項9】

前記光学黒画素は前記画素配列内で前記アクティブ画素に隣接した列に構成され、前記光学黒画素の列は前記撮像センサの右側および左側に構成される、請求項1に記載の内視鏡装置。

【請求項10】

前記撮像センサの右側の前記光学黒列の1つが複数回サンプルされる、請求項9に記載の内視鏡装置。

【請求項11】

前記撮像センサの左側の前記光学黒列の1つが複数回サンプルされる、請求項9に記載の内視鏡装置。

【請求項12】

前記撮像センサの右側の前記光学黒列の1つが複数回サンプルされ、前記撮像センサの左側の前記光学黒列の1つが複数回サンプルされる、請求項9に記載の内視鏡装置。

【請求項13】

前記撮像センサの右側の複数の前記光学黒列が複数回サンプルされる、請求項9に記載の内視鏡装置。

【請求項14】

前記撮像センサの左側の複数の前記光学黒列が複数回サンプルされる、請求項9に記載の内視鏡装置。

【請求項15】

前記撮像センサの右側の複数の前記光学黒列が複数回サンプルされ、前記撮像センサの左側の複数の前記光学黒列が複数回サンプルされる、請求項9に記載の内視鏡装置。

【請求項16】

前記黒クランプ回路が前記撮像センサに対して遠隔に配置される、請求項1に記載の内視鏡装置。

【請求項17】

前記装置が前記黒クランプ回路を制御するためのコマンドインターフェースをさらに備

10

20

30

40

50

える、請求項 16 に記載の内視鏡装置。

【請求項 18】

前記黒クランプ回路がデジタル - アナログ変換器によって発生される電圧を検出する、請求項 1 に記載の内視鏡装置。

【請求項 19】

前記黒クランプ回路がチャージポンプによって発生される電圧を検出する、請求項 1 に記載の内視鏡装置。

【請求項 20】

撮像センサ補正の一部が前記撮像センサに対して遠隔に配置される、請求項 1 に記載の内視鏡装置。

10

【請求項 21】

撮像センサ補正のすべてが前記撮像センサに対して遠隔に配置される、請求項 1 に記載の内視鏡装置。

【請求項 22】

前記シフトレジスタの長さは任意である、請求項 1 に記載の内視鏡装置。

【請求項 23】

前記シフトレジスタがシリアル、2 線式プロトコルを用いてロードされる、請求項 1 に記載の内視鏡装置。

【請求項 24】

前記撮像センサが複数の画素配列を備え、前記複数の画素配列は 3 次元画像を生成するために用いられる、請求項 1 に記載の内視鏡装置。

20

【請求項 25】

前記撮像センサが前記画素配列を備える第 1 の基板と、前記画素配列のためのサポート回路を備える第 2 の基板とをさらに備え、前記サポート回路を備える前記第 2 の基板は、前記画素配列を備える前記第 1 の基板から遠隔に配置される、請求項 1 に記載の内視鏡装置。

【請求項 26】

前記第 1 の基板が前記第 2 の基板に対して垂直に整列される、請求項 25 に記載の内視鏡装置。

【請求項 27】

前記光学黒画素は前記画素配列内で前記アクティブ画素に隣接した列に構成され、前記光学黒画素の列はラインオフセットを計算するために複数回サンプルされる、請求項 1 に記載の内視鏡装置。

30

【請求項 28】

前記光学黒画素は前記画素配列内で前記アクティブ画素に隣接した複数の列に構成され、前記複数の列は前記黒クランプ回路、および画像信号プロセッサによって行われる黒クランプ計算のための、ベースライン黒レベルを計算するために用いられる、請求項 1 に記載の内視鏡装置。

【請求項 29】

前記黒クランプ計算が前記デジタイザに先行する電圧オフセットを制御するために用いられ、単純指数平滑法 (SES) を用いてデータのフレーム全体内の全体的なオフセットを決定するために、複数のラインオフセットを用いる、請求項 28 に記載の内視鏡装置。

40

【請求項 30】

イメージセンサによって発生される固定パターンノイズを補償するためにメモリ記憶された 2 次元フレームデータをさらに備える、請求項 1 に記載の内視鏡装置。

【請求項 31】

前記 2 次元フレームデータが暗フレーム捕捉から導き出される、請求項 30 に記載の内視鏡装置。

【請求項 32】

前記暗フレーム捕捉が放射源をパルス化しないことによって容易にされる、請求項 31

50

に記載の内視鏡装置。

【請求項 3 3】

画素オフセットが前記暗フレーム捕捉に対する単純指数平滑法によって算出される、請求項 3 1 に記載の内視鏡装置。

【請求項 3 4】

周辺光が不足(ambient light deficient)した環境におけるデジタル撮像のためのシステムであって、

電磁放射を検出するための撮像センサであって、

電磁放射を検出するための画素の配列と、

前記画素配列によって発生されるデータを送信するための転送ポートと、

アナログ画素サンプルをデジタル数に変換するためのデジタイザと、

前記画素配列によって発生される前記データに対するオフセット制御をもたらすための黒クランプ回路と

を備える、撮像センサと、

前記周辺光が不足した環境にアクセスするための内視鏡と、

前記内視鏡に取り付けられたハンドピースであって、前記ハンドピースを操ることによって前記内視鏡を操作することができる、ハンドピースと、

プロセッサを備える制御ユニットであって、前記撮像センサと電氣的に通信することができる、制御ユニットと、

前記ハンドピースと前記制御ユニットを電氣的に接続する接続ケーブルと

を備え、

前記画素配列がアクティブ画素および光学黒画素を備え、前記光学黒画素は複数の列に構成され、前記画素配列内で前記アクティブ画素に隣接した光学黒行を含まず、

前記システムはトップレベル事象(event) 1 ビットコマンドのために用いられるコマンドレジスタをさらに備える、システム。

【請求項 3 5】

前記画素配列が前記画素配列からの出力を較正するためのアクティブ画素および光学黒画素を備える、請求項 3 4 に記載のシステム。

【請求項 3 6】

前記光学黒画素が、前記画素配列内でアクティブ画素に隣接した列に構成される、請求項 3 5 に記載のシステム。

【請求項 3 7】

前記画素配列から遠隔に配置することができる、黒クランプ制御プロセスをさらに備える、請求項 3 4 に記載のシステム。

【請求項 3 8】

前記画素配列によって生成され得る画像データを処理するためのプログラマブルゲートアレイをさらに備える、請求項 3 4 に記載のシステム。

【請求項 3 9】

50 個より少ない数の光学黒画素列をさらに備え、それによりそれらは精度をもたらすために前記システムの動作内で再サンプルすることができる、請求項 3 4 に記載のシステム。

【請求項 4 0】

前記光学黒画素の列は、前記アクティブ画素列の互いに対向する第 1 の側および第 2 の側に均一に配置されている請求項 3 5 に記載のシステム。

【請求項 4 1】

前記光学黒画素の列は、前記アクティブ画素列の互いに対向する第 1 の側および第 2 の側に不均一に配置されている、請求項 3 5 に記載のシステム。

【請求項 4 2】

光学的黒画素によって受け取られた前記データを平均化し、前記平均を前記システム内のメモリに記憶された所定の目標値と比較する、黒クランプ制御プロセスをさらに備える

10

20

30

40

50

、請求項 3 5 に記載のシステム。

【請求項 4 3】

フレーム全体に対する 1 組の測定された補正されていないラインオフセットを累積するためのメモリをさらに備える、請求項 3 4 に記載のシステム。

【請求項 4 4】

暗電流を補償するための電圧を制御するためのデジタル - アナログ変換回路をさらに備える、請求項 3 4 に記載のシステム。

【請求項 4 5】

暗電流を補償するための電圧を制御するためのチャージポンプ回路をさらに備える、請求項 3 4 に記載のシステム。

10

【請求項 4 6】

複数のレジスタをさらに備える、請求項 3 4 に記載のシステム。

【請求項 4 7】

前記トップレベル事象(event) 1 ビットコマンドは、チップリセットまたは他のレジスタに対するロードである、請求項 3 4 に記載のシステム。

【請求項 4 8】

前記ハンドピースに対して遠位の部分において、前記内視鏡内に配置されたイメージセンサをさらに備える、請求項 3 4 に記載のシステム。

【請求項 4 9】

前記ハンドピースに配置されたイメージセンサをさらに備える、請求項 3 4 に記載のシステム。

20

【請求項 5 0】

放射源から前記内視鏡の先端まで光ファイバを通して伝送される、電磁放射のパルスを放射するための前記放射源をさらに備える、請求項 3 4 に記載のシステム。

【請求項 5 1】

発光源から前記内視鏡に電磁放射を伝送するための光ファイバと、前記制御ユニットからイメージセンサへの電子的通信をもたらすための導電性の線材とを備えたケーブルをさらに備える、請求項 3 4 に記載のシステム。

【請求項 5 2】

前記制御ユニット内に配置され、発光源および前記撮像センサと電気的に通信するコントローラをさらに備える、請求項 3 4 に記載のシステム。

30

【請求項 5 3】

前記ハンドピース内に配置され、発光源および前記撮像センサと電気的に通信するイメージセンサをさらに備える、請求項 3 4 に記載のシステム。

【請求項 5 4】

放射源に結合されたイメージセンサをさらに備える、請求項 3 4 に記載のシステム。

【請求項 5 5】

各ライン内の 1 組の光学黒画素を用いて測定されたライン平均を差し引くことによってラインノイズを補正するための、遠隔に処理されるアルゴリズムをさらに備える、請求項 3 4 に記載のシステム。

40

【請求項 5 6】

画素データを送信するための複数の転送ポートをさらに備える、請求項 3 4 に記載のシステム。

【請求項 5 7】

複数のデジタイザをさらに備える、請求項 3 4 に記載のシステム。

【請求項 5 8】

前記画素配列に対して遠隔に配置されたデジタイザをさらに備える、請求項 3 4 に記載のシステム。

【発明の詳細な説明】

【技術分野】

50

【0001】

本願発明の一実施例は、例えば、最小面積モノリシックCMOSイメージセンサを用いたカメラシステムに関する。

関連出願の相互参照

本出願は、本明細書の以下で特に現れる部分を非限定的に含み、それらの全体が本明細書に組み込まれる2012年7月26日に出願した米国特許仮出願第61/676,289号、および2013年3月15日に出願した米国特許仮出願第61/790,590号の利益を主張するものであり、参照による組み込みは以下を例外とし、すなわち上述の出願のいずれかの部分が本出願と矛盾する場合は、本出願が前記上述の出願に優先する。

【背景技術】

【0002】

[0001]技術の進歩は、医療用途のための撮像能力の進歩をもたらした。最も有益な進歩の一部の恩恵を受けた1つの領域は、内視鏡を構成する構成要素が進歩したことによる、内視鏡外科手術の領域である。例えば関節鏡検査および腹腔鏡検査において用いられる従来の内視鏡は、イメージセンサが、装置の近位端において、ハンドピースユニット内に配置されるように設計される。このような構成では内視鏡ユニットは入射光を、その長さに沿って、複雑な1組の正確に結合された構成部品を通じて、損失および歪みを最小にしながらかセンサに向けて透過するべきである。構成部品は高価であり、製造プロセスは労働集約型となり得るので、内視鏡ユニットのコストはオプティクスによるものが支配的となり得る。さらのこのタイプのスコープは、機械的に繊細であり、比較的軽微な衝撃が容易に構成部品を損傷し、またはそれらの相対的な整列を乱し得る。これにより、画像品質を維持するために頻繁な、高価な修理サイクルが必要になる。

【発明の概要】

【発明が解決しようとする課題】

【0003】

[0002]減じられた光環境において高品質のビデオストリームを維持することができ得る、内視鏡医療用途のための面積が縮小されたイメージセンサを実現するための方法およびシステムが必要とされ得る。センサの面積を縮小することによって、センサを内視鏡の遠位端に配置することが可能になり、したがってコストが大幅に低減する。これは修理または消毒サイクルが不要な、単回使用の内視鏡の可能性をもたらす。あるいはそれらは後に分解し、それらの構成部品の一部をリサイクルすることができる。

【課題を解決するための手段】

【0004】

本願発明の一実施例は、例えば、最小面積モノリシックCMOSイメージセンサを用いたカメラシステムに関する。

【0005】

[0003]理解され得るように本開示は、本明細書で開示され、本明細書における考察および添付の図によってさらに実際的となる、効率的および簡潔なやり方で、これを行うことができる方法およびシステムを提供する。

【0006】

[0004]本開示の非限定的および非網羅的な実装形態について、別段の指定がない限り様々な図を通して同じ参照番号は同じ部品を指す、以下の図を参照して述べられる。本開示の利点については、以下の説明および添付の図面に関連して、よりよく理解され得る。

【図面の簡単な説明】

【0007】

【図1A】[0005]図1Aは、従来技術において一般的な画素配列の一実装形態を示す図である。

【図1B】[0006]図1Bは、光学黒列内に形成された光学黒画素を有する、本開示の原理および教示により作製された画素配列の一実装形態を示す図である。

【図1C】[0007]本開示の原理および教示による、システム回路および補足的システムハ

10

20

30

40

50

ードウェアの概略図である。

【図 2】[0008]本開示の原理および教示による、アクティブ記録画素列と光学黒画素列の関係を示す、例示の画素配列を示す図である。

【図 3】[0009]本開示の原理および教示による、アクティブ記録画素列と低減された数の光学黒画素列の関係を示す、例示の画素配列を示す図である。

【図 4】[0010]本開示の原理および教示による、一実装形態による例示の方法のハードウェア流れ図である。

【図 5】[0011]本開示の原理および教示による、一実装形態による例示の方法のハードウェア流れ図である。

【図 6】[0012]本開示の原理および教示による、一実装形態による分割された光システムと共に用いるための例示の方法の流れ図およびハードウェア概略図である。

【図 7】[0013]本開示の原理および教示による、一実装形態による例示の方法の流れ図である。

【図 8 A】[0014]本開示の原理および教示による、一実装形態による例示の方法の流れ図である。

【図 8 B】[0015]本開示の原理および教示による、一実装形態による例示の方法の流れ図である。

【図 9】[0016]一実装形態による例示の方法の流れ図である。

【図 10】[0017]本開示の原理および教示による、一実装形態による例示の方法のハードウェア流れ図である。

【図 11】[0018]図 11 A は、本開示の教示および原理による、3次元画像を生成するための複数の画素配列を有する一実装形態を示す図である。

図 11 B は、本開示の教示および原理による、3次元画像を生成するための複数の画素配列を有する一実装形態を示す図である。

【図 12】[0019]図 12 A は、画素配列を形成する複数の画素列は第 1 の基板上に位置し、複数の回路列は第 2 の基板上に位置し、画素の 1 つの列とそれに関連するまたは対応する回路の列との間の電氣的接続および通信を示す、複数の基板上に構築された撮像センサの一実装形態の斜視図である。

図 12 B は、画素配列を形成する複数の画素列は第 1 の基板上に位置し、複数の回路列は第 2 の基板上に位置し、画素の 1 つの列とそれに関連するまたは対応する回路の列との間の電氣的接続および通信を示す、複数の基板上に構築された撮像センサの一実装形態の側面図である。

【図 13】[0020]図 13 A は、複数の画素配列およびイメージセンサが複数の基板上に構築される、3次元画像を生成するための複数の画素配列を有する、撮像センサの一実装形態の斜視図である。

図 13 B は、複数の画素配列およびイメージセンサが複数の基板上に構築される、3次元画像を生成するための複数の画素配列を有する、撮像センサの一実装形態の側面図である。

【発明を実施するための形態】

【0008】

[0021]本開示は、先進の内視鏡を実現するための方法、システム、およびコンピュータプログラム製品、および医療処置時のそれらの使用にわたる。以下の本開示の考察では添付の図面が参照される場合があり、それらは本明細書の一部となり、それらにおいて、本開示を実施することができる特定の实装形態が例示として示され得る。本開示の範囲から逸脱せずに、他の実装形態を利用することができ、構造的な変更を行うことができることが理解され得る。

【0009】

[0022]関節鏡検査および腹腔鏡検査において用いられる従来の内視鏡は、イメージセンサが、装置の近位端において、ハンドピースユニット内に配置されるように設計される。このような構成では内視鏡ユニットは入射光を、その長さに沿って、複雑な 1 組の正確に結合された構成部品を通じて、損失および歪みを最小にしながらかセンサに向けて透過すべきである。構成部品は高価であり、製造プロセスは労働集約型となり得るので、内視鏡

10

20

30

40

50

ユニットのコストはオプティクスに関連するコストによって決まる。

【 0 0 1 0 】

[0023]上記の欠点に対する解決策は、内腔内の遠位端において、内視鏡自体内にイメージセンサを配置することであり、それによって例えば携帯電話カメラなどの関連するデバイスにおいて一般に実現され得る、より大きな光学的簡潔性、ロバスト性、および経済性を潜在的にもたらす。しかし、それ自体の1組の光学的課題をもたらすので、この手法に対する満足な解決策は決してささいでなく、とりわけセンサが極めて狭い面積内に適合すべきであることはささいなことではあり得ない。

【 0 0 1 1 】

[0024]センサ面積に挑戦的な制約を課すことは、結果として画素がより少なくおよび/またはより小さくなり得る。それにしたがって画素数を少なくすることは空間分解能に直接影響を及ぼす。また画素面積を縮小することは、利用可能な信号容量および感度を低下させ得る。信号容量を低下させることは、ダイナミックレンジ、すなわち大きな明るさの範囲を有してシーンからすべての有用な情報を同時に捕捉するカメラの能力を低下させることになる。撮像システムのダイナミックレンジを画素自体のそれよりも広げるための様々な方法がある。しかしそれらのすべては何らかの犠牲(例えば分解能またはフレームレートにおいて)を伴い、極端な場合には、問題になる望ましくないアーチファクトを導入または強調させ得る。あるいは、感度を低下させることは、結果としてシーンのより暗い領域を満足な信号レベルにもたらしめ、より大きな光パワーが必要になり得る。F値を小さくすることでも感度の低下を補償することもできるが、空間歪みおよび焦点深度の減少の代償を伴う。

【 0 0 1 2 】

[0025]撮像センサ技術においてCMOSイメージセンサは、それらの統合および操作のより高い容易性、より優れたまたは同等の画像品質、より広い用途、およびより低いコストのために、内視鏡などの最新のカメラ用途において、従来のCCD撮像素子を広く置き換えてきている。しかしCMOSセンサは、最適な結果を得るためには、考慮されるべきいくつかの望ましくない特性をもたらす。

【 0 0 1 3 】

[0026]イメージセンサは、画像情報をデジタルデータに変換するために必要な回路を含むことができ、センサチップ自体に組み込まれた様々なレベルのデジタル処理を有することができる。デジタル処理は、増幅器の挙動における変動から生じ得るCMOSセンサの非理想性を補正する目的の基本的アルゴリズムから、標準のsRGB色空間でのビデオデータを生成する(オンチップカメラ)全面的な画像信号処理(ISP)チェーンまでの範囲に及ぶ。

【 0 0 1 4 】

[0027]所与のカメラシステムに対するセンサの望ましい複雑さの程度は、いくつかの要因によって決定することができ、イメージセンサのために利用可能な物理的スペースが、その1つとなり得る。最も極端な機能的に最小のCMOSセンサは、基本的な画素配列、ならびにアナログデータをチップから外に駆動するためのシリアル化およびバッファリング回路のみをもつことになる。画素を動作させかつ読み出すために必要なすべてのタイミング信号は、外部的に供給され得る。制御信号を外部的に供給する必要性は、そうでなければ光を集めるためにより有効に使われ得る、大幅な占有面積を消費する、多くのパッドを追加することになり得る。したがって、電気的通信接続の必要性のため、画素配列の近くで機能を最小にすることが、使用する面積を最小にすることには必ずしもならない。

【 0 0 1 5 】

[0028]サポート回路が遠隔に配置される場合、および第2段がセンサからかなりの距離にある場合は、データをデジタル領域で送信することは、干渉ノイズおよび信号劣化の影響をほとんど受けないようにすることができるので、いっそう望ましいものとなる。導体の数を最小にすることは、複雑さおよびカメラ製造のコストを増大させることに加えて(スペースを消費する)センサ上のパッドの数を低減するので、強く望まれ得る。センサに

10

20

30

40

50

アナログ - デジタル変換を追加することが必要になり得るが、アナログ信号をバッファリングおよび送信することに関連する信号劣化を保証する必要がないことで、追加の面積はある程度相殺され得る。面積の消費の観点では、C I S 技術において利用可能な通常のフィーチャサイズを前提として、図 9 に見られるように、1 組の制御レジスタ、およびレジスタを制御する簡単なコマンドインターフェースを用いて、チップ上ですべての内部論理信号を発生することが好ましくなり得る。

【 0 0 1 6 】

[0029] 高度に制御された照明環境での、低減された画素数を用いた高精細度の撮像は、高いフレーム捕捉レートに関連した光源におけるフレームごとのパルス化されたカラー切り換え、および特別に設計された単色センサによって達成することができる。面積が縮小されたイメージセンサの画素は、色を認識しないので、実効的な空間分解能は、従来の単一センサカメラにおけるカラー（通常はベイヤーパターンでフィルタされる）のものより、かなり高くなる。それらはまた、消耗される入射光子がずっと少ないので、より高い量子効率を有することができる。さらにベイヤーをベースとする空間的色変調は、ベイヤーパターンに関連する色アーチファクトをばやけさせるために、単色の場合と比べて付随するオプティクスの M T F が低くなることが要求される。これは、カラーセンサによって実現することができる実際の空間分解能に、有害な影響を及ぼす。

【 0 0 1 7 】

[0030] この特定の開示はまた、イメージセンサが内視鏡の遠位端に存在することができる、内視鏡用途のためのシステムソリューションに関係し得る。最小面積センサをベースとするシステムを得る努力においては、明白な画素数の低減を超えて、本明細書で述べられるように、開発することができる他の設計の側面がある。特に、チップへの接続部（パッド）の数と共に、チップのデジタル部分の面積が最小化されるべきである。本開示は、このようなシステムの実現のためにこれらの目標を達成する新規な方法について述べる。これは、いくつかの新規な特徴を有する、フルカスタムの C M O S イメージセンサを設計するものである。

【 0 0 1 8 】

[0031] 本開示の実装形態は、以下でより詳しく述べられるように、例えば 1 つまたは複数のプロセッサおよびシステムメモリなどのコンピュータハードウェアを含む、専用または汎用コンピュータを備えるまたは利用することができる。本開示の範囲内の実装形態はまた、コンピュータ実行可能命令および/またはデータ構造を伝達するまたは記憶するための、物理的および他のコンピュータ可読媒体を含むことができる。このようなコンピュータ可読媒体は、汎用または専用コンピュータシステムによってアクセスすることができる、任意の利用可能な媒体とすることができる。コンピュータ実行可能命令を記憶するコンピュータ可読媒体は、コンピュータ記憶媒体（デバイス）である。コンピュータ実行可能命令を伝達するコンピュータ可読媒体は、伝送媒体である。したがって、例として非限定的に、本開示の実装形態は、少なくとも 2 つの明瞭に区別される種類のコンピュータ可読媒体、すなわちコンピュータ記憶媒体（デバイス）と伝送媒体とを備えることができる。

【 0 0 1 9 】

[0032] コンピュータ記憶媒体（デバイス）は、R A M、R O M、E E P R O M、C D - R O M、ソリッドステートドライブ（「S S D」）（例えば R A M に基づく）、フラッシュメモリ、相変化メモリ（「P C M」）、他のタイプのメモリ、他の光ディスク記憶装置、磁気ディスク記憶装置または他の磁気記憶装置、またはコンピュータ実行可能命令またはデータ構造の形での所望のプログラムコード手段を記憶するために用いることができ、汎用または専用コンピュータによってアクセスすることができる任意の他の媒体を含む。

【 0 0 2 0 】

[0033] 「ネットワーク」は、コンピュータシステムおよび/またはモジュールおよび/または他の電子デバイス間での電子データの移送を可能にする、1 つまたは複数のデータリンクとして定義することができる。情報がネットワークまたは他の通信接続（有線、

10

20

30

40

50

無線、または有線または無線の組み合わせのいずれか)を通してコンピュータに転送または供給される場合は、コンピュータは接続を適切に伝送媒体と見なす。伝送媒体は、コンピュータ実行可能命令またはデータ構造の形での所望のプログラムコード手段を伝達するために用いることができ、汎用または専用コンピュータによってアクセスすることができる。上記の組み合わせも、ネットワークおよび/またはデータリンクを含むことができる。上記の組み合わせも、コンピュータ可読媒体の範囲内に含まれるべきである。

【 0 0 2 1 】

[0034]さらに、様々なコンピュータシステム構成要素に到達するとすぐに、コンピュータ実行可能命令またはデータ構造の形でのプログラムコード手段は、自動的に伝送媒体からコンピュータ記憶媒体(デバイス)に転送され得る(または逆も同様である)。例えば、ネットワークまたはデータリンクを通して受け取られたコンピュータ実行可能命令またはデータ構造は、ネットワークインターフェースモジュール(例えば「NIC」)内のRAMにバッファリングことができ、次いで最終的にコンピュータシステムRAM、および/またはコンピュータシステムにおける揮発性の低いコンピュータ記憶媒体(デバイス)に転送することができる。RAMはまた、ソリッドステートドライブ(FusionIOなどの、SSDまたはPCIxベースのリアルタイムメモリ階層化ストレージ)を含むことができる。したがってコンピュータシステム構成要素に、伝送媒体も(さらには主として)利用する、コンピュータ記憶媒体(デバイス)を含み得ることが理解されるべきである。

10

【 0 0 2 2 】

[0035]コンピュータ実行可能命令は例えば、プロセッサにおいて実行されたときに、汎用コンピュータ、専用コンピュータ、または専用処理デバイスに、特定の機能または一群の機能を行わせる命令およびデータを備える。コンピュータ実行可能命令は、例えば2進値、アセンブリ言語などの中間フォーマット命令、さらにはソースコードとすることができる。本主題については構造的特徴および/または方法論的動作に固有の用語で述べてきたが、添付の「特許請求の範囲」において定義される本主題は、必ずしも述べられる特徴または上述の動作に限定されない場合があることが理解され得る。むしろ述べられる特徴および動作は、諸請求項を実現する例示の形として開示される。

20

【 0 0 2 3 】

[0036]当業者には、本開示はパーソナルコンピュータ、デスクトップコンピュータ、ラップトップコンピュータ、メッセージプロセッサ、ハンドヘルドデバイス、ハンドピース、カメラ制御ユニット、マルチプロセッサシステム、マイクロプロセッサベースまたはプログラム可能な民生用電子機器、ネットワークPC、ミニコンピュータ、メインフレームコンピュータ、携帯電話、PDA、タブレット、ページャ、ルータ、スイッチ、様々な記憶装置などを含む、多くのタイプのコンピュータシステム構成を有するネットワークコンピューティング環境において実施できることが理解され得る。本開示はまた、ネットワークを通してリンクされた(有線データリンク、無線データリンクのいずれかにより、または有線および無線データリンクの組み合わせにより)、ローカルおよびリモートコンピュータシステムの両方がタスクを実行する、分散システム環境において実施することができる。分散システム環境ではプログラムモジュールは、ローカルおよびリモートメモリ記憶装置の両方に配置することができる。

30

40

【 0 0 2 4 】

[0037]さらに適切な場合には、本明細書で述べられる機能は、ハードウェア、ソフトウェア、ファームウェア、デジタル構成要素、またはアナログ構成要素の1つまたは複数において行うことができる。例えば、1つまたは複数の特定用途向け集積回路(ASIC)およびプログラマブルゲートアレイ(PGA)を、本明細書で述べられるシステムおよび手順の1つまたは複数を実行するようにプログラムすることができる。以下の説明および特許請求の範囲の全体にわたって、特定のシステム構成要素を指すために、いくつかの用語が用いられる。当業者には理解されるように、構成要素は異なる名前と呼ぶことができる。本文書では、名前が異なるが機能は異なる構成要素は区別しないことが意図され

50

る。

【 0 0 2 5 】

[0038]イメージセンサは、オフセット較正の目的のために、特別な目的の、光学的に不感なまたは光学黒（OB）行（配列の上部および/または下部に）と、列（配列の右および/または左に）とを組み込むことができる。上部および下部OB行109と、左および右OB列107と共に、記録領域内の画素105を有する、イメージセンサ101の例示のレイアウトを図1Aに示すことができる。OB行109は、通常はOBクランプアルゴリズムのために、アナログ画素黒レベルを監視するために用いられる。OB行109はまた、通常は列固定パターンノイズまたはFPN（CFPN）を打ち消す目的のデジタルアルゴリズムによって用いられる。一実施形態ではガードリング111は、イメージセンサ101の周囲を取り囲むことができる。一方、OB列107は、通常はラインノイズを打ち消すための手段として、ラインオフセットを評価する目的を有する。ラインノイズは時間的なものとなり得るので、オフセットはフレームごとに各ラインに対して新たに算出されるべきである。

10

【 0 0 2 6 】

[0039]画素配列のサイズにおける全体的な縮小は、OB行109を取り除き、OBクランプアルゴリズムのために、OB行109の代わりにOB列107を用いることによって達成することができる（以下の考察を参照）。一実施形態では、CFPNを含むすべてのFPNタイプは、暗データのフレームを取得することによって打ち消すことができ、それによって専用のCFPN補正、およびその関連するOB行109の必要性をなくする。図1Bは、OB行は存在しないが代わりにOB列107を備える、まさにそのようなイメージセンサ101および画素配列105の一例を示す。

20

【 0 0 2 7 】

[0040]図1Cは、例示のコンピューティングデバイス100を示すブロック図とすることができる。コンピューティングデバイス100は、本明細書で述べられるようなものなどの、様々な手順を行うために用いることができる。コンピューティングデバイス100は、サーバ、クライアント、または任意の他のコンピューティング構成要素として機能することができる。コンピューティングデバイスは、本明細書で論じられる様々な監視機能を行うことができ、本明細書で述べられるアプリケーションプログラムなどの、1つまたは複数のアプリケーションプログラムを実行することができる。コンピューティングデバイス100は、デスクトップコンピュータ、ノートブックコンピュータ、サーバコンピュータ、ハンドヘルドコンピュータ、タブレットコンピュータなどの多種多様なコンピューティングデバイスの任意のものとするすることができる。

30

【 0 0 2 8 】

[0041]コンピューティングデバイス100は、1つまたは複数のプロセッサ102、1つまたは複数のメモリデバイス104、1つまたは複数のインターフェース106、1つまたは複数の大容量記憶装置108、1つまたは複数の入力/出力（I/O）デバイス110、およびディスプレイ装置130を含み、これらのすべてはバス112に結合される。プロセッサ102は、メモリデバイス104および/または大容量記憶装置108に記憶された命令を実行する、1つまたは複数のプロセッサまたはコントローラを含む。プロセッサ102はまた、キャッシュメモリなどの様々なタイプのコンピュータ可読媒体を含むことができる。

40

【 0 0 2 9 】

[0042]メモリデバイス104は、揮発性メモリ（例えばランダムアクセスメモリ（RAM）114）、および/または不揮発性メモリ（例えばリードオンリメモリ（ROM）116）などの様々なタイプのコンピュータ可読媒体を含む。メモリデバイス104はまた、フラッシュメモリなどの書き換え可能ROMを含むことができる。

【 0 0 3 0 】

[0043]大容量記憶装置108は、磁気テープ、磁気ディスク、光ディスク、固体メモリ（例えばフラッシュメモリ）などの様々なコンピュータ可読媒体を含む。図1Cに示され

50

るように、特定の大容量記憶装置は、ハードディスク装置 124 とすることができる。様々なコンピュータ可読媒体から読み出すおよび/またはそれらに書き込むことを可能にするために、大容量記憶装置 108 にはまた様々な装置を含むことができる。大容量記憶装置 108 は、リムーバブル媒体 126 および/または非リムーバブル媒体を含む。

【0031】

[0044] I/O デバイス 110 は、データおよび/または他の情報を、コンピューティングデバイス 100 に入力するまたはそれから取り出すことを可能にする様々なデバイスを含む。例示の I/O デバイス 110 は、カーソル制御デバイス、キーボード、キーパッド、マイク、モニタまたは他のディスプレイ装置、スピーカ、プリンタ、ネットワークインターフェースカード、モデム、レンズ、CCD または他の画像捕捉デバイスなどを含む。

10

【0032】

[0045] ディスプレイ装置 130 は、コンピューティングデバイス 100 の 1 人または複数のユーザに情報を表示することができる、任意のタイプのデバイスを含む。ディスプレイ装置 130 の例は、モニタ、ディスプレイ端末、ビデオ投影装置などを含む。

【0033】

[0046] また画素配列 135 を含むことができ、これはシステム内の他の回路に対して遠隔に動作することができる。

【0034】

[0047] インターフェース 106 は、コンピューティングデバイス 100 が、他のシステム、デバイス、またはコンピューティング環境と対話することを可能にする様々なインターフェースを含む。例示のインターフェース 106 は、ローカルエリアネットワーク (LAN)、広域ネットワーク (WAN)、無線ネットワーク、およびインターネットへのインターフェースなどの、任意の数の種々のネットワークインターフェース 120 を含むことができる。他のインターフェースは、ユーザインターフェース 118 および周辺装置インターフェース 122 を含む。インターフェース 106 はまた、1 つまたは複数のユーザインターフェース要素 118 を含むことができる。インターフェース 106 はまた、プリンタ、ポインティングデバイス (マウス、トラックパッドなど)、キーボードなどのためのインターフェースなどの 1 つまたは複数の周辺インターフェースを含むことができる。

20

【0035】

[0048] バス 112 は、プロセッサ 102、メモリデバイス 104、インターフェース 106、大容量記憶装置 108、および I/O デバイス 110 が互いに、ならびにバス 112 に結合された他のデバイスまたは構成要素と、通信することを可能にする。バス 112 は、システムバス、PCI バス、IEEE 1394 バス、USB バスなどの、いくつかのタイプのバス構造の 1 つまたは複数を表す。

30

【0036】

[0049] 例示の目的のために本明細書では、プログラムおよび他の実行可能プログラムコンポーネントは個別のブロックとして示されるが、このようなプログラムおよびコンポーネントは、様々な時点においてコンピューティングデバイス 100 の異なる記憶構成要素内に存在することができる、プロセッサ 102 によって実行されることが理解され得る。あるいは、本明細書で述べられるシステムおよび手順は、ハードウェアにおいてまたは、ハードウェア、ソフトウェア、および/またはファームウェアの組み合わせにおいて実現することができる。例えば、本明細書で述べられるシステムおよび手順の 1 つまたは複数を実行するオン・ザ・フライで、またはシステムの初期化の前に実行するように、1 つまたは複数の特定用途向け集積回路 (ASIC) をプログラムすることができる。

40

【0037】

[0050] OB 列の数は、スペースの制約に応じて、典型的には 100 以上となり得る。利用可能な OB が多いほど、ラインオフセット精度は高くすることができる。精度が高いことは、補正後のラインノイズが少ないことを意味する。通常は図 2 に示されるように、各ラインに対して、すべての利用可能な物理 OB が読み出されることになる。必要な数の物理 OB 画素を有する代わりに、(所与の一定の精度目標に対して)、より少ない数の物理

50

画素が実装され、水平読み出しプロセス時にそれらが複数回、再サンプルされれば、さらなる配列サイズの縮小の程度を達成することができる。この手法は、図3に示される。

【0038】

[0051] デジタイザの出力に存在する生のCMOSイメージセンサデータは、理想とは遠いものとなり得る。多くの場合、画素の水平行を読み出す最適の順序は、配列内の実際の物理的順序とは同じにならない。また生のデータは通常は、読み出しアーキテクチャの性質も反映する、望ましくないアーチファクトを示し、これは低い明るさおよびそれに対応する高いゲインの状況において非常に顕著となる。これらの読み出しアーチファクトは通常は、水平読み出しプロセスに関連する回路リセットの結果として生じ得る、列ごとのオフセットの変動および時間的ラインノイズから生じる、列FPNを含み得る。

10

【0039】

[0052] 画素内のフォトダイオードによって発生され得るある程度の暗信号が、CMOSセンサのもう1つの性質となり得る。この電流から生じる積分された信号の大きさは、露出時間および温度の両方に依存する。この暗信号は、光信号と区別できない場合があるので、その変化は、アナログ領域における信号ペDESTALの変化となる。ADCの利用可能なダイナミックレンジを十分に活用するためには、暗信号をサンプルし、それに対して調整することが重要となり得る。図4は、これがCMOSセンサにおいて通常どのように行うことができるかを示す。OB画素からのデータは、オンチップロジック内で平均化され、目標デジタル黒レベルと比較することができる。黒レベルをできるだけ目標に近づけるために、入力オフセット電圧に対して連続的な調整が行われる。これは黒クランプ、またはOBクランププロセスと呼ぶことができる。

20

【0040】

[0053] 大部分の市販のセンサは、黒クランプおよびデジタルノイズ補正を行うために、チップ上にロジックを組み込んでいる。しかしこのロジックは、最小面積センサを有するカメラシステムを開発するための努力においては、センサ上に存在する必要なく、これらの補正を画像信号処理チェーン(ISP)に移動することは意味がある。これは、補正は多数の利用可能なゲートおよびRAMと共に、FPGAまたはASIC内に存在すればリソース制限となる度合いが低いので、全体のシステム性能に関して、実際には最終的に利点を有する。

【0041】

30

[0054] 図5は、どのようにしてOBクランプロジックをセンサから(センサ補正アルゴリズムと共に)移動できるかを示す。この場合は、OBクランプロジックからのアナログ調整についての情報は、そのコマンドインターフェースを通じて、命令によってセンサに送信することができる。

【0042】

[0055] 図6は、最小面積センサを組み込んだシステムとの関連において開発された、ISPのフロントエンドの例示の実装形態を示す。この例ではセンサ上に、それぞれ偶数および奇数番号の列を変換し、2つの差動ポート上にシリアルデータを送信する、2つのデジタイザがある。

【0043】

40

[0056] 逆シリアル化に続いて、第1のプロセスは、各ポートに対するラインを適切な順序に再構成することに関係するものとして行うことができる。黒クランプおよびラインノイズ補正に対処する、次の2つの補正ブロックは、共にデータ経路に固有であり、すなわち2つのチェーンは別々に扱われることになる。

【0044】

[0057] 黒クランプ：図7の流れ図は、典型的に、従来型のチップ上のCMOS撮像システム内でOBクランプロジックがどのように動作するかの一例として行うことができる。典型的には、複数のOB行から、フレームごとに行われる複数のサンプルおよびアナログ調整があり、一方、OB行画素はデジタル読み出し経路内にある。先に論じられたように、最小面積センサのために、OB画素の数は必要な最小に削減されるべきであり、これはOB

50

行を除去し、OB列を用いて黒クランプおよびラインノイズを較正することによって達成することができる。図8Aおよび8Bの流れ図は、これを達成する方法の概略を示す。基本的な概念は、フレーム全体に対して1組の測定され、補正されないラインオフセットを累積し、最終の推定を用いて黒クランプ調整を行うものとして行うことができる。一方、それぞれの個々のラインオフセット推定は、個々のラインにデジタル調整を行うために、後のプロセスに供給することができる。

【0045】

[0058]黒クランプレベルの調整は、センサ上のDACまたはチャージポンプを用いて、DC電圧 ($V_{black\ clamp}$) を制御することによって行うことができる。ADCに入る画素電圧オフセットは、例えばフォトダイオード内の暗電流により変動し、したがってDACは、デジタル領域における黒オフセットを評価することによって定期的に調整される必要がある。

10

【0046】

[0059]正常に挙動しない個々のOB画素は、黒オフセット測定の品質を大幅に悪化させる場合があり、したがってそれらに対処することが非常に重要となり得る。各OB画素に対して、当該の画素およびその4つの隣接のものを含む、5つからなるグループの中央値を取得することが、良好な手法となり得る。次いで最終のラインオフセット推定が、すべての中央値の平均として取得されることになる。始めと終わりにおいて統計量を失わないように、OBのサンプルの全体をバッファし、5つからなるサンプルを循環させるなどの、何らかの対策がなされるべきである。これはデータのパイプライン化を必要とし、結果として少なくとも行当たり、ADCチャンネル当たりのOBの総数に等しい遅延を生じる。

20

【0047】

[0060]偶数チャンネル(偶数-奇数の散在を有する2つのADCを仮定)に対する、ラインオフセット推定は、行番号を r として、

【0048】

【数1】

$$L_{r,even} = \frac{2 \cdot \sum_{i=0,2,4,\dots}^{N_{OB}-2} \mu_i}{N_{OB}}$$

30

【0049】

[0061]ここで N_{OB} は行当たりのOB画素の総数とすることができ、 μ_i はOB画素 i に対する中央値とすることができ、ラインオフセットは次のように算出される。

【0050】

【数2】

$$\mu_0 = \text{中央値} [x_{(N_{OB}-4)}, x_{(N_{OB}-2)}, x_0, x_2, x_4]$$

$$\mu_2 = \text{中央値} [x_{(N_{OB}-2)}, x_0, x_2, x_4, x_6]$$

$$\mu_4 = \text{中央値} [x_0, x_2, x_4, x_6, x_8]$$

...

$$\mu_{(N_{OB}-2)} = \text{中央値} [x_{(N_{OB}-6)}, x_{(N_{OB}-4)}, x_{(N_{OB}-2)}, x_0, x_2]$$

40

【0051】

[0062]同様に奇数チャンネル(偶数-奇数の散在を有する2つのADCを仮定)に対する、ラインオフセット推定は、行番号を r として、

【0052】

50

【数3】

$$L_{r, \text{odd}} = \frac{2 \cdot \sum_{i=1,3,5,\dots}^{N_{\text{OB}}-1} \mu_i}{N_{\text{OB}}}$$

【0053】

ただし、

【0054】

【数4】

10

$$\mu_1 = \text{中央値} [x_{(N_{\text{OB}}-3)}, x_{(N_{\text{OB}}-1)}, x_1, x_3, x_5]$$

$$\mu_3 = \text{中央値} [x_{(N_{\text{OB}}-1)}, x_1, x_3, x_5, x_7]$$

$$\mu_5 = \text{中央値} [x_1, x_3, x_5, x_7, x_9]$$

...

$$\mu_{(N_{\text{OB}}-1)} = \text{中央値} [x_{(N_{\text{OB}}-5)}, x_{(N_{\text{OB}}-3)}, x_{(N_{\text{OB}}-1)}, x_1, x_3]$$

【0055】

20

[0063] 全体的なフレーム黒レベルを取得するためには、すべてのラインオフセットを累積して、単純指数平滑法 (SES) を用いて全体的な黒レベルを算出することが、良好な手法となり得る。SES を用いることの利点は、フレームの終わりに向かって行は最終の黒推定により大きな影響をもち得ることであり、これはサブフレームのタイムスケール上で生じる黒オフセットの変化に対処するために望ましくなり得る。

【0056】

[0064] SES においては移動推定は、サンプルが利用可能となるたびに、増分的に調整することができる。都合のよいようにサンプルは、前回の推定に加えられる前に、2進数 (2^q) で除算することができる。結果を正規化するために、前回の推定は毎回初めに ($2^q - 1$) / 2^q で乗算することができる。高い q の値は、結果として安定なシナリオにおいて時間にわたる、より高い統計的精度を生じる。低い q の値は、急速な変化に対して、補正をより反動的にすることができる。 q は、調整可能なパラメータとして利用できるようにすべきである。

30

【0057】

【数5】

$$k_r = L_r \quad (r = 0)$$

$$k_r = \frac{1}{2^q} L_r + \frac{(2^q - 1)}{2^q} k_{(r-1)} \quad (r > 0)$$

40

【0058】

ただし、 k_r は行 r の後の黒レベル推定とすることができ、 L_r は行 r に対するラインオフセット推定とすることができる。黒クランプ DAC に対してどうすべきかについての決定は、配列内の最後の行が加えられた後に行うことができる。

【0059】

[0065] 黒クランプアルゴリズムは目標黒レベルを必要となり、これは調整可能なパラメータとして供給され得る。当該のチャンネルのためのセンサ上の黒クランプ DAC は、観測された黒推定が目標より高いか低いかに応じて、押し上げられまたは押し下げられることになる。押し上げる大きさは、黒オフセットが目標に近いことを条件として、例えば最小

50

単位すなわちDACの1カウントとすることができる。黒レベルが目標から大きく離れている場合は、より大きな比例的な押し上げを行うことができ、図8Aを参照されたい。アルゴリズムは、黒クランプDACカウントとセンサADCカウントの間の対応性の粗い較正、および出力黒レベルに対するDAC調整の方向性を知ることが必要となる。

【0060】

[0066]ラインノイズ補正：「ラインノイズ」は、画素の水平のオフセットにおける確率的な、時間的変動を指す。複数の発生源があり得るが、画素の行が読み出されるたびにリセットされる、アナログ要素から生じるリセットノイズと考えることができる。これは時間的なものであり、新しい補正はフレームごとに、新しいラインのたびに算出されるべきである。ADC入力における増幅段は最後のアナログ要素となり得るので、ラインノイズは、現象論的にADCチャンネルごとに独立に現れ得ると考える妥当な理由があり得る。したがって、各ADC（チャンネル）を別々に補正することが最適な手法となり得る。

10

【0061】

[0067]ラインオフセット推定のために用いられるOB画素のサンプルは、補正が適用されるサンプルとは別のものとなり得るので（およびサンプル統計は有限であるので）、ラインノイズを完全に除去することは不可能となり得る。すべてのノイズがガウス分布であると仮定すると、補正後のラインノイズは、OB画素内に存在する画素時間的ノイズから生じる、ラインオフセット推定の不確かさにほぼ等しくなり得る。

【0062】

【数6】

20

$$\sigma_{L,post} \approx \frac{\sigma_p}{\sqrt{N_{OB}}}$$

【0063】

ただし、 $\sigma_{L,post}$ は補正後の時間的ラインノイズ、 σ_p はOB画素時間的ノイズ、 N_{OB} はOB画素の数とすることができる。ラインノイズ補正はまた、主としてOB画素内に存在する画素FPNの結果として、空間的ラインノイズ成分を導入する。

【0064】

【数7】

30

$$FPN_{L,post} \approx \frac{FPN_p}{\sqrt{N_{OB}}}$$

【0065】

このアーチファクトは、チェーンにおいて後に、FPN補正によって除去され得る。シミュレーションでは、時間的ラインノイズが目につかないようにするためには、大きさが画素時間的ノイズの約1/10未満となるべきであることが示された。この基準は、ライン当たり、少なくとも100個のOB画素が必要となることを示す。

【0066】

40

[0068]光学的に観測される（クリア）画素に対するラインノイズ補正の適用：

$$x'_i = x_i - L + B$$

ただし、Lは「黒クランプ」モジュールからポートされた、現在のラインに対するラインオフセット推定、およびBは黒クランプ目標レベルとすることができる。

【0067】

[0069]全ライン再結合：これは単に2つのデータチャンネルを全ラインに組み合わせるのである。これらは、最終的なクリア画素の順序が、配列内の正しい順序を反映するようにインターリーブされる必要がある。

【0068】

[0070]FPN補正：CMOSイメージセンサは複数のノイズ源を有し、その大きさおよ

50

び外観は一連の物理条件に依存する。コヒーレントな成分を有しない純粋なポワソンまたはガウス分布時間的ノイズ（例えばショットノイズ、またはソースフォロウ $1/f$ 読み出しノイズ）は、極めて自然なノイズに見える。すべての他の感知し得るノイズタイプは、同じ振幅に対してずっと大きな程度に画像品質を劣化させ得る。空間的ノイズ（FPN）は特に顕著となる場合があり、CMOSセンサは本質的に少なくとも2つの発生源、すなわち画素FPNおよび列FPNを有する。画素FPNは、主として画素ごとのフォトダイオード漏洩電流（暗信号）の変動（DSNU）による。この発生源は、接合温度（ T_j ）に指数関数的に依存し、露出時間に線形的に依存し得る。列FPNは、読み出しアーキテクチャの結果となる場合があり、同じ列内からの画素が共通のアナログ読み出し要素を通じて通される。

10

【0069】

[0071]通常はオンチップデジタルFPN補正は、列FPN成分のみに対処するものであり、列当たり1つのオフセット補正レジスタを必要とする。このような補正の精度は、通常は列当たりおよそ20ビットであり、これは 1920×1080 の配列に対して約5kBのRAMとなる。デジタルセンサ補正からISPへの移動の利点の1つは、RAMの容易な入手性である。これは任意の行、列、または画素ごとの成分も相殺する、包括的なFPN補正の可能性をもたらす。これは、それぞれの新しい暗フレームサンプルを、物理画素ごとをベースに、移動オフセット推定を調整するために用いることができる単純指数平滑法（SES）によって達成することができる。

【0070】

20

[0072]プログラマブルデジタルゲイン：図6の最後のブロックは、プログラマブルデジタル増幅器に対応する。CMOS iSoCは通常は、非常に細かい増分を有するデジタルプログラマブルゲイン段が装備される。これは、通常はゲインおよび露出時間を変調する自動露出プロセスを容易にするためである。

【0071】

[0073]デジタル増幅器は、センサADCのレンジをISPのレンジにそろえるために用いることができる（例えば11ビットADCから12ビットISPに対して2倍する）。小さな大きさのデジタルゲインはまた、ADCのフルレンジにおいて明瞭になる、デジタルラインノイズおよびFPN補正の跡を整形するために用いることができる。

【0072】

30

[0074]構成レジスタアドレスROMの最小化：従来のCMOSイメージセンサは、どのようにセンサが動作するかを制御する目的のために、多くの書き込み可能なレジスタを組み込んでいる。それらは通常は、例えば画素収集および読み出しサイクル、増幅器オフセットおよびゲインなどのための、バイアス電圧および電流、タイミングパラメータを調整するためのDAC設定を組み込む。典型的には8ビットまたは16ビットのデータを含む各レジスタに、特定の8ビットまたは16ビットのアドレスを割り当てるのが通常の慣例となり得る。

【0073】

[0075]よりスペースを節約する手法は、大量の制御RAMを単一の長いレジスタに組み合わせるものである。極端な場合では、すべてのパラメータを単一のレジスタに置くことができ、アドレスROMは必要ない。しかし制御レジスタに書き込むのは時間がかかり、通常のビデオ用途は、フレームごとをベースとして少数の動作パラメータ（露出時間など）の変化を伴うものなので、この解決策は非常に実用的とはなり得ない。最も実用的な解決策は、機能的に関係するパラメータの組を少数の長いレジスタ内に連結することによってもたらされ得る。例えば10個のレジスタ（4つのアドレスビットを要する）をもつことと、1個をもつこととで示唆されるスペースの違いは、無視できる程度となり得る。特に、高いレート（例えばフレームごと）で周期的に書き込まれるすべてのパラメータが、書き込むのに必要な時間を最小に保つために、専用のレジスタ（フレームレジスタ）内に一緒に属するようにすることは意味がある。このようなパラメータは、露出時間、ゲイン、増分オフセット調整、および連続した高品質ビデオを維持するために必要なその他のも

40

50

のを含む。デジタルデータ経路ロジックが、前述のようにチップから移動された場合は、黒クランプ電圧調整データも、やはりフレームごとに更新されるべきであるので、このようなレジスタに属する。一実装形態では、この構成フェーズの間にレジスタに書き込むことができ、したがって全体のフレームタイミングに対する、フレームレジスタ書き込みのタイミングは、カメラによって注意深く制御されるべきである。

【 0 0 7 4 】

[0076]パラメータのレジスタグループ化の他の例は、アナログ電流、アナログ電圧、画素タイミング、垂直タイミング、センサコマンド（リセットその他）などを含み得る。図9に、特定の最小面積センサに対するレジスタの構成を示すことができる。「コマンド」レジスタは、チップリセット、およびそれより下に示される他のレジスタに対するロードなどの、トップレベル事象指向1ビットコマンドのために用いることができる。2線式プロトコルアドレスデコーダは、到来する2線式プロトコルデータをどのシフトレジスタに向けて方向付けるかを決定する。「フォーマット」レジスタにロードするためには、例えば外部コントローラは、フォーマットレジスタに関連付けられたアドレスを有するコマンドを送出する。これは、データのストリームをフォーマットレジスタのシフトレジスタ内に置く。次いでデータをラッチするために、特定の「ロードフォーマット」ビットがセットされた状態でフォローアップコマンドを、コマンドレジスタに送送することができる。複数の制御レジスタが用いられ得ることが理解されるであろう。制御レジスタは、シフトレジスタによってロードすることができるデジタルラッチとすることができる。シフトレジスタの長さは任意とすることができる。一実施形態では複数の制御レジスタの大部分は、数十ビットを含むシフトレジスタを用いてロードすることができる。一実施形態では複数の制御レジスタの大部分は、数百ビットを含むシフトレジスタを用いてロードすることができる。一実施形態では複数の制御レジスタの大部分は、数千ビットを含むシフトレジスタを用いてロードすることができる。一実施形態ではシフトレジスタは、シリアル、2線式プロトコルを用いてロードすることができる。一実施形態ではシフトレジスタの1つは、例えば積分時間および黒クランプオフセット調整などの、フレームごとのパラメータ変化に対して専用とすることができる。

【 0 0 7 5 】

[0077]図10は、センサが内視鏡ユニットの遠位端に組み込まれた、内視鏡用途のための最小面積センサの一実施形態に対する全体のブロック図を示す。

【 0 0 7 6 】

[0078]図11Aおよび11Bは、本開示の教示および原理による、3次元画像を生成するための複数の画素配列を有する、モノリシックセンサ2900の一実装形態のそれぞれ斜視図および側面図を示す。このような一実装形態は、3次元画像捕捉のために望ましく、2つの画素配列2902および2904は、使用時にオフセットされ得る。他の実装形態では、第1の画素配列2902および第2の画素配列2904は、電磁放射の所定の範囲の波長を受け取るための専用とすることができる。第1の画素配列は、第2の画素配列とは異なる範囲の波長の電磁放射に専用となる。

【 0 0 7 7 】

[0079]図12Aおよび12Bは、複数の基板上に構築された撮像センサ3000の一実装形態のそれぞれ斜視図および側面図を示す。図示のように、画素配列を形成する複数の画素列3004は第1の基板3002上に配置され、複数の回路列3008は第2の基板3006上に配置される。図にはまた、画素の1つの列と、その関連するまたは対応する回路の列との間の電氣的接続および通信が示される。一実装形態では、他のやり方ではその画素配列およびサポート回路を単一のモノリシック基板/チップ上に有して製造されるイメージセンサは、サポート回路のすべてまたは大部分から分離された画素配列を有することができる。本開示は少なくとも2つの基板/チップを用いることができ、それらは3次元積層技術を用いて一緒に積層されることになる。2つの基板/チップの第1のもの3002は、イメージCMOSプロセスを用いて処理することができる。第1の基板/チップ3002は、全く画素配列のみ、または限られた回路に取り囲まれた画素配列から構成

10

20

30

40

50

され得る。第2のまたは後続の基板/チップ3006は、任意のプロセスを用いて処理することができ、イメージCMOSプロセスからのものである必要はない。第2の基板/チップ3006は、非限定的に、基板/チップ上の非常に限られたスペースまたは面積内に多様なおよびいくつかの機能を統合するための高密度デジタルプロセス、または例えば精密なアナログ機能を集積するためのアナログプロセス、または無線能力を実装するためのRFプロセス、またはMEMS（微小電気機械システム）デバイスを統合するためのMEMSとすることができる。イメージCMOS基板/チップ3002は、任意の3次元技法を用いて、第2のまたは後続の基板/チップ3006と積層することができる。第2の基板/チップ3006は、他のやり方では周辺回路として第1のイメージCMOSチップ3002内に実装されることになり（モノリシック基板/チップ上に実装される場合）したがって増加された全体のシステム面積を有することになる、回路のほとんどまたは大部分を、画素配列サイズを一定に保ちながら、かつ最大限まで最適化されて、サポートすることができる。2つの基板/チップの間の電氣的接続は相互接続部3003および3005を通して行うことができ、これはワイヤーボンディング、パンプ、および/またはTSV（シリコン貫通ビア）とすることができる。

10

【0078】

[0080]図13Aおよび13Bは、3次元画像を生成するための複数の画素配列を有する、撮像センサ3100の一実装形態のそれぞれ斜視図および側面図を示す。3次元イメージセンサは、複数の基板上に構築することができ、複数の画素配列および他の関連する回路を備えることができ、第1の画素配列を形成する複数の画素列3104a、および第2の画素配列を形成する複数の画素列3104bは、それぞれの基板3102aおよび3102b上にそれぞれ配置され、複数の回路列3108aおよび3108bは別の基板3106上に配置される。また列画素と、関連するまたは対応する回路の列との間の電氣的接続および通信が示される。

20

【0079】

[0081]本開示の教示および原理は、本開示の範囲から逸脱せずに、再使用可能装置プラットフォーム、限定使用装置プラットフォーム、リポーザブル使用装置プラットフォーム、または単回使用/使い捨て装置プラットフォームにおいて使用され得ることが理解されるであろう。再使用可能装置プラットフォームにおいては、装置の洗浄および殺菌はエンドユーザが責任をもつことが理解されるであろう。限定使用装置プラットフォームにおいては、装置は動作不能になる前に、ある指定された回数使用することができる。通常の新しい装置は消毒されて届けられ、追加使用は、エンドユーザが追加使用の前に洗浄および殺菌する必要がある。リポーザブル使用装置プラットフォームにおいては、新しいユニットより安いコストでの追加使用のために、装置すなわち単回使用装置を再処理（例えば洗浄、パッケージング、および殺菌）することができる。単回使用/使い捨て装置プラットフォームにおいては、装置は無菌で手術室に供給され、捨てられる前に1回だけ使用される。

30

【0080】

[0082]閉じられた光環境において使用するための内視鏡の一実施形態は、内視鏡本体であって、手持ち構造体と、本体の第1の端部に内腔基部によって取り付けられた内腔と、本体の内腔基部と反対側の内腔の先端部とを形成する、内視鏡本体と、先端部の最も遠位の部分に配置することができるレンズと、内腔の先端部近くに配置することができる撮像センサであって、電磁放射を検出するための画素の配列であって、画素配列は、前記画素配列からの出力を校正するためのアクティブ画素および光学黒画素を有することができ、光学黒画素は、画素配列内でアクティブ画素に隣接した列に構成することができる、画素の配列と、画素配列によって発生されるデータを送信するための転送ポートと、アナログ画素サンプルをデジタル数に変換するためのデジタイザと、画素配列によって発生されるデータに対するオフセット制御をもたらすための黒クランプ回路と、黒クランプ回路を制御するための、メモリに記憶することができるプロセスと、撮像センサと、内視鏡本体内の撮像センサおよび制御ユニットとは遠隔に配置され得る画像信号処理回路との間の電氣

40

50

的通信をもたらすことができる電氣的接続部とを備える、撮像センサとを備えることができる。

【 0 0 8 1 】

[0083]周辺光が不足した環境におけるデジタル撮像のためのシステムの一実施形態は、電磁放射を検出するための撮像センサであって、前記画素配列からの出力を較正するためのアクティブ画素および光学黒画素を有する、画素配列であって、光学黒画素は、画素配列内でアクティブ画素に隣接した列に構成することができる、画素配列と、画素配列によって発生されるデータを送信するための転送ポートと、アナログ画素サンプルをデジタル数に変換するためのデジタイザと、画素配列によって発生されるデータに対するオフセット制御をもたらすための黒クランプ回路と、黒クランプ回路を制御するための、システムのメモリに記憶することができるプロセスとをさらに備える、撮像センサと、周辺光が不足した環境にアクセスするための内視鏡と、前記内視鏡に取り付けられたハンドピースであって、前記ハンドピースを操ることによって前記内視鏡を操作することができる、ハンドピースと、プロセッサを備える制御ユニットであって、撮像センサと電氣的に通信することができる、制御ユニットと、ハンドピースと制御ユニットを電氣的に接続する接続ケーブルと、を備えることができる。

10

【 0 0 8 2 】

[0084]さらに本開示の教示および原理は、赤外線（ I R ） 、 紫外線（ U V ） 、 および X 線などの可視および非可視スペクトルを含む電磁エネルギーのあらゆる波長を含むことができる。

20

【 0 0 8 3 】

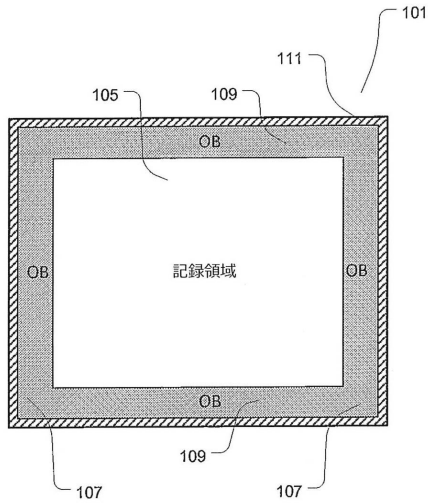
[0085]上記の説明は、例示および説明のために示されたものである。これは網羅的であること、または開示された正確な形に本開示を限定することを意図するものではない。上記の教示に照らして、多くの変更形態および変形形態が可能である。さらに、上述の代替実装形態のいずれかまたはすべては、本開示のさらなる複合実装形態を形成するために望まれる任意の組み合わせにおいて用いられ得ることが留意されるべきである。

【 0 0 8 4 】

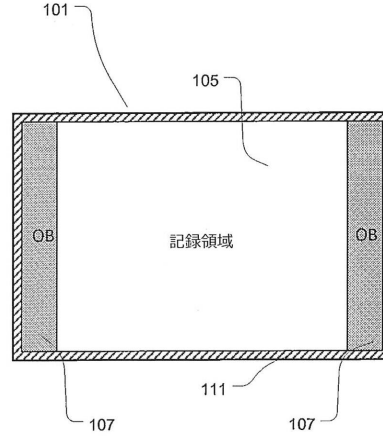
[0086]さらに、本開示の特定の実装形態が説明され例示されたが、本開示は、そのように説明され例示された特定の形または構成に限定されるものではない。本開示の範囲は、本明細書に添付された特許請求の範囲、将来提出される特許請求、および異なる出願、およびそれらの等価なものによって定義されるものである。

30

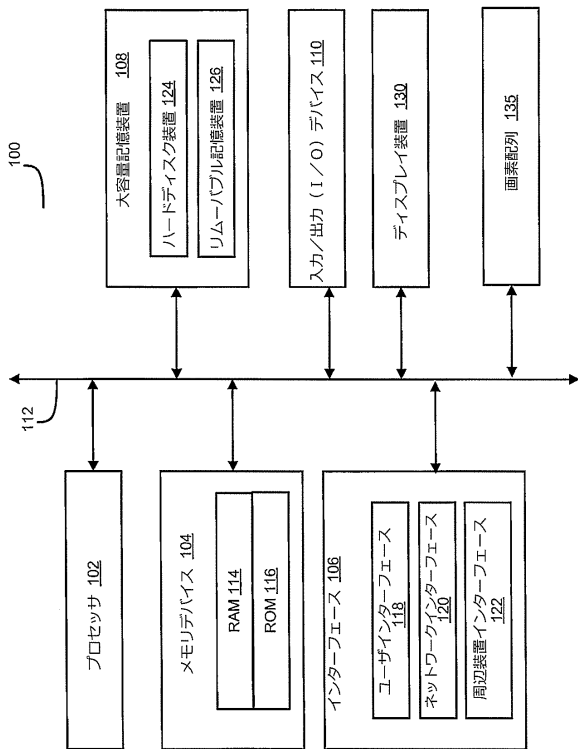
【図1A】



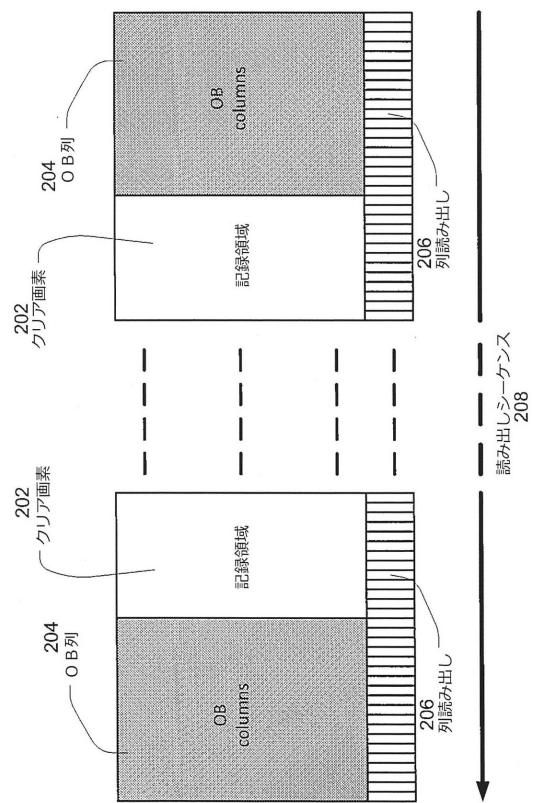
【図1B】



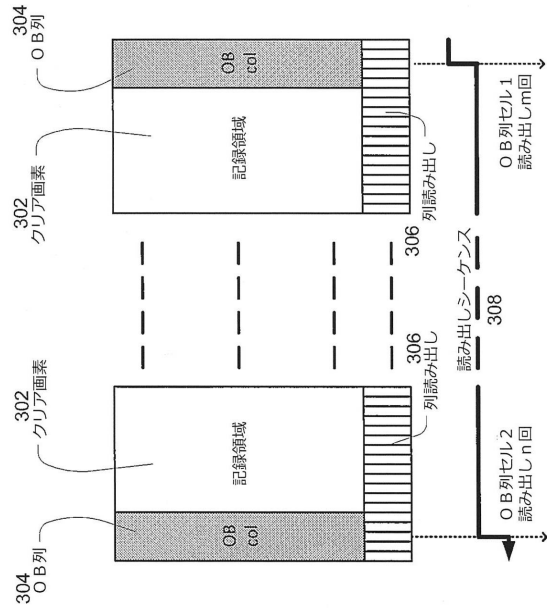
【図1C】



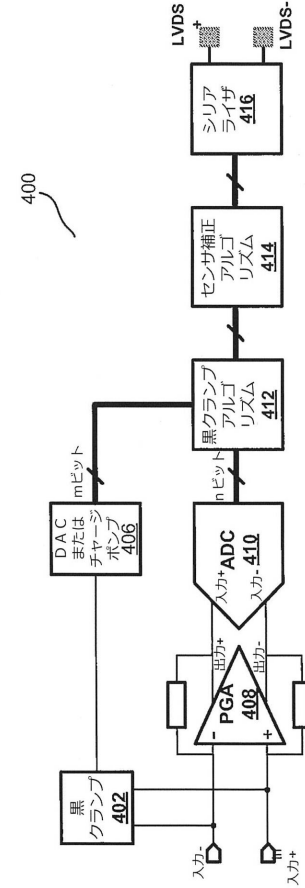
【図2】



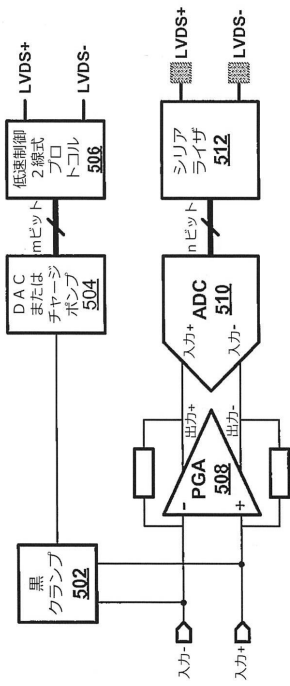
【図3】



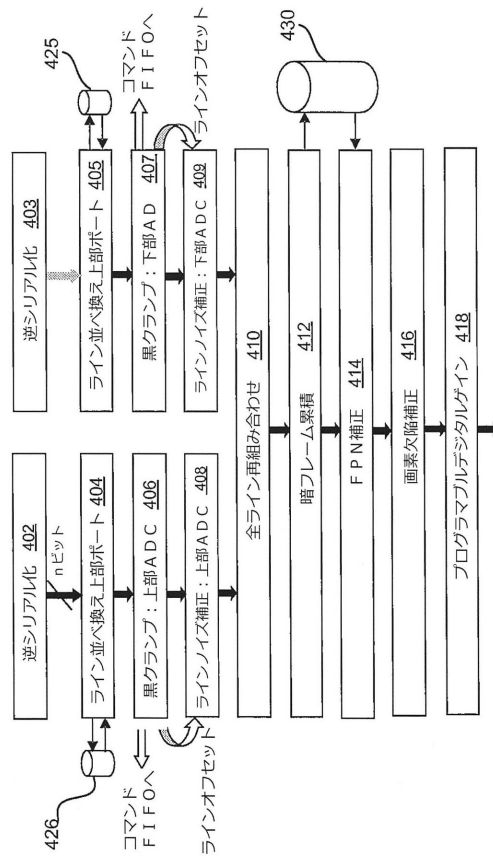
【図4】



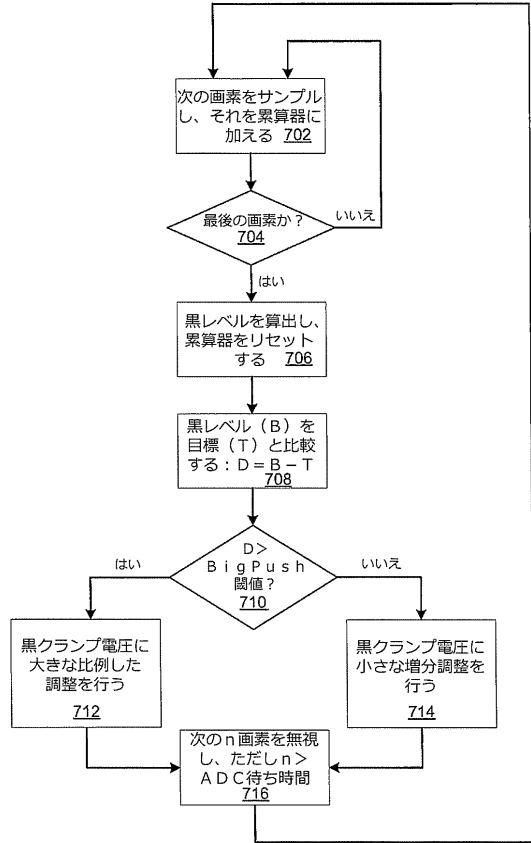
【図5】



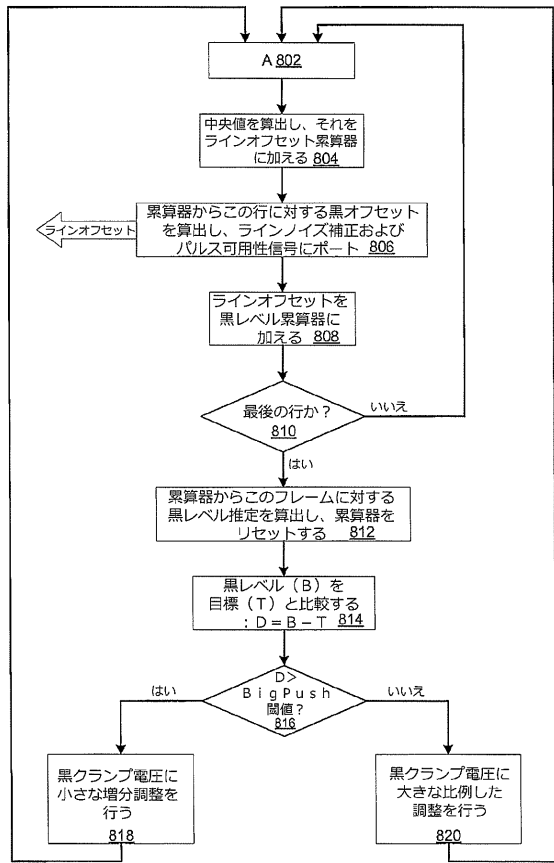
【図6】



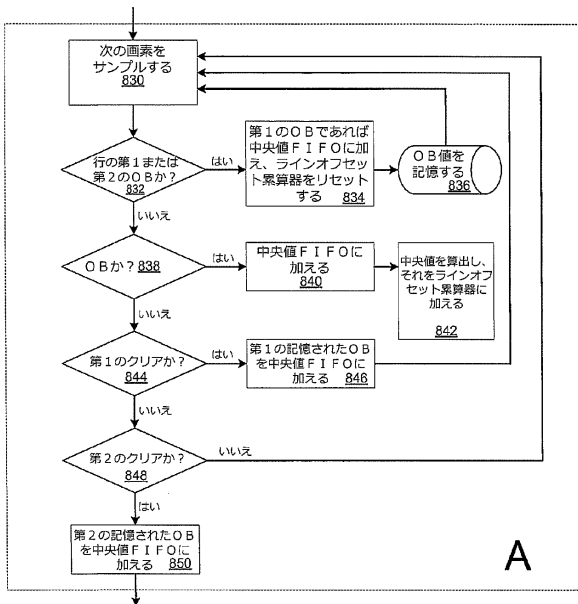
【図7】



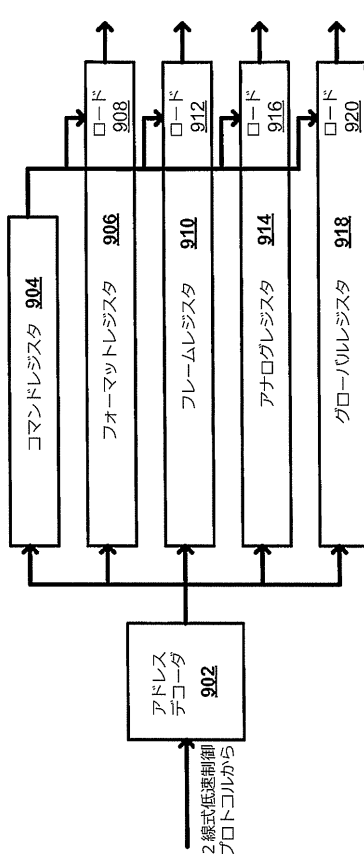
【図8A】



【図8B】



【図9】



フロントページの続き

- (72)発明者 ブランカート, ロラン
アメリカ合衆国カリフォルニア州91362, ウエストレイク・ビレッジ, グレート・スモーキー
・コート 2776
- (72)発明者 リチャードソン, ジョン
アメリカ合衆国カリフォルニア州91302, カラバサ, レンクレスト・ドライブ 22907

審査官 梅本 達雄

- (56)参考文献 特開2012-030004(JP, A)
特開2009-005329(JP, A)
特開2007-214772(JP, A)
特開2004-241490(JP, A)
特開2007-043433(JP, A)
特開2005-176187(JP, A)
特開平09-074572(JP, A)
特開2010-200109(JP, A)
特開2011-114733(JP, A)
特開2009-100380(JP, A)
特開平05-268534(JP, A)
特開平09-140664(JP, A)
特開2011-124928(JP, A)
特開平02-301261(JP, A)

(58)調査した分野(Int.Cl., DB名)

H04N 5/3745
A61B 1/04
H04N 5/361
H04N 5/365
H04N 5/374