



(12)发明专利

(10)授权公告号 CN 103456793 B

(45)授权公告日 2018.06.22

(21)申请号 201310009134.5

(22)申请日 2013.01.10

(65)同一申请的已公布的文献号
申请公布号 CN 103456793 A

(43)申请公布日 2013.12.18

(30)优先权数据
10-2012-0059605 2012.06.04 KR

(73)专利权人 三星显示有限公司
地址 韩国京畿道

(72)发明人 李制勋 宋俊昊 吕伦钟 郑华棟

(74)专利代理机构 北京市柳沈律师事务所
11105
代理人 张波

(51)Int.Cl.

H01L 29/786(2006.01)

H01L 29/08(2006.01)

H01L 27/12(2006.01)

H01L 21/02(2006.01)

H01L 21/28(2006.01)

H01L 21/308(2006.01)

H01L 21/77(2017.01)

(56)对比文件

CN 101764064 A, 2010.06.30,

CN 101764064 A, 2010.06.30,

CN 1607639 A, 2005.04.20,

US 5637512 A, 1997.06.10,

CN 101894760 A, 2010.11.24,

审查员 梁庆然

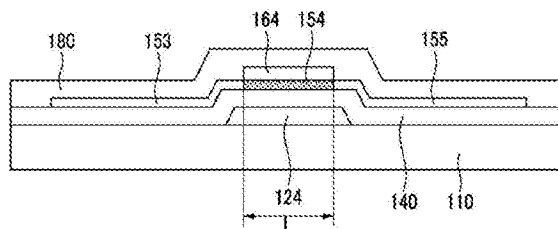
权利要求书2页 说明书15页 附图16页

(54)发明名称

薄膜晶体管、薄膜晶体管阵列面板及其制造方法

(57)摘要

本发明提供了薄膜晶体管、薄膜晶体管阵列面板及其制造方法。根据本发明的示例性实施例的薄膜晶体管包括：栅电极；栅极绝缘层，位于栅电极上或位于栅电极下；沟道区域，与栅电极交叠，栅极绝缘层插设在沟道区域与栅电极之间；以及源极区域和漏极区域，相对于沟道区域彼此面对，位于与沟道区域相同的层中，并且连接到沟道区域，其中沟道区域、源极区域和漏极区域包括氧化物半导体，其中源极区域和漏极区域的载流子浓度大于沟道区域的载流子浓度。



1. 一种薄膜晶体管,包括:
 - 栅线和连接到所述栅线的栅电极;
 - 栅极绝缘层,位于所述栅电极上或位于所述栅电极下;
 - 沟道区域,与所述栅电极交叠,所述栅极绝缘层插设在所述沟道区域与所述栅电极之间;
 - 源极区域和漏极区域,相对于所述沟道区域彼此面对,位于与所述沟道区域相同的层中,并且连接到所述沟道区域;
 - 线形蚀刻停止物和连接到所述线形蚀刻停止物的蚀刻停止物,所述蚀刻停止物交叠所述沟道区域;以及
 - 数据线,延伸为与所述栅线交叉,
 - 其中所述沟道区域、所述源极区域和所述漏极区域包括氧化物半导体,
 - 其中所述源极区域和所述漏极区域的载流子浓度大于所述沟道区域的载流子浓度,和
 - 其中在俯视图中所述线形蚀刻停止物平行于所述栅线延伸、交叠所述栅线、以及与所述数据线交叉。
2. 如权利要求1所述的薄膜晶体管,其中所述源极区域和所述漏极区域包括被还原的氧化物半导体。
3. 如权利要求2所述的薄膜晶体管,其中所述源极区域和所述漏极区域还包括氟(F)、氢(H)和硫(S)中的至少一种。
4. 如权利要求3所述的薄膜晶体管,其中包括在所述源极区域和所述漏极区域中的氟(F)、氢(H)和硫(S)中的至少一种的浓度等于或大于 10^{15} 单位/ cm^3 。
5. 如权利要求4所述的薄膜晶体管,其中所述沟道区域的载流子浓度小于 10^{18} 单位/ cm^3 ,所述源极区域和所述漏极区域的载流子浓度等于或大于 10^{18} 单位/ cm^3 。
6. 如权利要求5所述的薄膜晶体管,还包括:
 - 连接到所述源极区域的源极电极以及连接到所述漏极区域的漏极电极。
7. 如权利要求6所述的薄膜晶体管,
 - 其中所述蚀刻停止物与所述源极区域和所述漏极区域实质上不交叠。
8. 如权利要求7所述的薄膜晶体管,其中所述蚀刻停止物的边缘边界和所述栅电极的边缘边界实质上对准。
9. 如权利要求8所述的薄膜晶体管,还包括:
 - 钝化层,位于所述沟道区域、所述源极区域和所述漏极区域上;以及
 - 上栅电极,位于所述钝化层上并且与所述沟道区域交叠。
10. 如权利要求5所述的薄膜晶体管,其中
 - 所述栅极绝缘层和所述栅电极位于所述沟道区域上,以及
 - 所述栅电极的边缘边界、所述栅极绝缘层的边缘边界和所述沟道区域的边缘边界实质上对准。
11. 一种制造薄膜晶体管阵列面板的方法,该方法包括:
 - 在绝缘基板上形成栅线和连接到所述栅线的栅电极;
 - 在所述栅电极上形成栅极绝缘层;
 - 在所述栅极绝缘层上形成半导体图案;

形成蚀刻停止物和连接到所述蚀刻停止物的线形蚀刻停止物,所述蚀刻停止物在所述半导体图案上与所述半导体图案交叉和交叠;

处理所述半导体图案的暴露部分,从而在所述半导体图案的暴露部分中形成源极区域和漏极区域;以及

形成延伸为与所述栅线交叉的数据线,

其中所述源极区域和所述漏极区域的载流子浓度大于沟道区域的载流子浓度,所述沟道区域是所述半导体图案的被所述蚀刻停止物覆盖的部分,和

其中在俯视图中所述线形蚀刻停止物平行于所述栅线延伸、交叠所述栅线、以及与所述数据线交叉。

12. 如权利要求11所述的方法,其中处理所述半导体图案包括:还原所述半导体图案。

13. 如权利要求12所述的方法,其中处理所述半导体图案包括:通过使用包括四氟甲烷(CF₄)、三氟化氮(NF₃)、六氟化硫(SF₆)和甲烷(CH₄)中的至少一种的气体使所述半导体图案掺杂有氟(F)、氢(H)和硫(S)中的至少一种。

14. 一种制造薄膜晶体管阵列面板的方法,该方法包括:

在绝缘基板上形成遮光图案;

在所述遮光图案和所述绝缘基板上形成缓冲层;

在交叠所述遮光图案的所述缓冲层上形成包括氧化物半导体的半导体图案;

在所述半导体图案上沉积绝缘材料以形成绝缘材料层;

在所述绝缘材料层上形成栅电极;

通过利用所述栅电极作为蚀刻掩模来图案化所述绝缘材料层,以形成栅极绝缘层并且暴露所述半导体图案的一部分;以及

处理所述半导体图案的暴露部分,以形成被所述栅电极覆盖的沟道区域以及形成相对于所述沟道区域彼此面对的源极区域和漏极区域,

其中所述源极区域和所述漏极区域的载流子浓度大于所述沟道区域的载流子浓度,

其中处理所述半导体图案的暴露部分包括:通过使用包括四氟甲烷(CF₄)、三氟化氮(NF₃)、六氟化硫(SF₆)和甲烷(CH₄)中的至少一种的气体使所述半导体图案的暴露部分掺杂有氟(F)、氢(H)和硫(S)中的至少一种。

薄膜晶体管、薄膜晶体管阵列面板及其制造方法

技术领域

[0001] 本发明涉及一种薄膜晶体管、薄膜晶体管阵列面板及其制造方法。

背景技术

[0002] 薄膜晶体管(TFT)已经被用于诸如平板显示器的各种电子设备中。例如,薄膜晶体管已经被用作平板显示器诸如液晶显示器(LCD)、有机发光二极管(OLED)显示器和电泳显示器的开关元件或驱动元件。

[0003] 通常,薄膜晶体管包括:栅电极,连接到传输扫描信号的栅线;源极电极,连接到数据线,该数据线传输施加到像素电极的信号;漏极电极,面对源极电极;以及半导体,电连接到源极电极和漏极电极。

[0004] 为了更高的TFT性能,由半导体薄膜制造晶体管是决定薄膜晶体管的特性的重要因素。半导体通常包括硅(Si)。硅可根据结晶类型而分为非晶硅和多晶硅,其中非晶硅具有简单的制造工艺,但具有低电荷迁移率,使得利用非晶硅制造高性能薄膜晶体管存在限制,而多晶硅具有高电荷迁移率,但会需要结晶化多晶硅的复杂的额外工艺,从而增加了制造时间和成本。

[0005] 为了补偿非晶硅和多晶硅的弱点和益处,已经尝试各种途径来制造利用氧化物半导体的薄膜晶体管,氧化物半导体具有比非晶硅更高的电子迁移率、高开/关比和高均匀性,但具有比多晶硅更低的成本。

[0006] 然而,如果在薄膜晶体管的栅电极与源极电极或漏极电极之间产生寄生电容,尽管有以上各种途径,薄膜晶体管诸如开关元件的特性仍会恶化。

[0007] 在此背景技术部分公开的以上信息仅用于增强对本发明背景的理解,因此它可以包含不构成对于本领域的普通技术人员而言在本国内已经知晓的现有技术的信息。

发明内容

[0008] 本发明涉及改善包括氧化物半导体的薄膜晶体管的特性。此外,本发明涉及减少包括薄膜晶体管的薄膜晶体管阵列面板中由寄生电容引起的反冲电压和信号延迟。

[0009] 本发明的示例性实施例提供一种薄膜晶体管。该薄膜晶体管包括栅电极。该晶体管还包括位于栅电极上或位于栅电极下的栅极绝缘层。该晶体管包括与栅电极交叠的沟道区域,栅极绝缘层插设在沟道区域与栅电极之间。该晶体管包括:源极区域和漏极区域,相对于沟道区域彼此面对,设置在与沟道区域相同的层中,并且连接到沟道区域,其中沟道区域、源极区域和漏极区域包括氧化物半导体,其中源极区域和漏极区域的载流子浓度大于沟道区域的载流子浓度。

[0010] 本发明的示例性实施例提供一种制造薄膜晶体管阵列面板的方法。该方法包括在绝缘基板上形成栅电极。该方法还包括在栅电极上沉积栅极绝缘层。该方法包括在栅极绝缘层上形成半导体图案。该方法包括在半导体图案上形成与半导体图案交叉和交叠的蚀刻停止物。该方法包括处理半导体图案的暴露部分,从而在半导体的暴露部分中形成源极区

域和漏极区域,其中源极区域和漏极区域的载流子浓度大于沟道区域的载流子浓度,沟道区域是半导体图案的被蚀刻停止物覆盖的部分。

[0011] 本发明的示范性实施例提供一种制造薄膜晶体管阵列面板的方法。该方法包括在绝缘基板上形成包括氧化物半导体的半导体图案。该方法包括在半导体图案上沉积绝缘材料以形成绝缘材料层。该方法还包括在绝缘材料层上形成栅电极。该方法包括通过利用栅电极作为蚀刻掩模来图案化绝缘材料层,以形成栅极绝缘层并且暴露半导体图案的一部分。该方法包括处理半导体图案的暴露部分,以形成被栅电极覆盖的沟道区域以及形成关于沟道区域彼此面对的源极区域和漏极区域,其中源极区域和漏极区域的载流子浓度大于沟道区域的载流子浓度。

[0012] 根据本发明的示范性实施例,可以减小薄膜晶体管的栅电极与半导体层的源极区域或漏极区域之间的寄生电容,并且可以改善薄膜晶体管的特性。此外,在包括该薄膜晶体管的薄膜晶体管阵列面板中,可以减小反冲电压,并且可以减小信号延迟和变形。

[0013] 应理解,以上一般性描述和下面的详细描述是示例性和说明性的,并且旨在提供对所要保护的发明的进一步说明。

附图说明

[0014] 图1是根据本发明的示范性实施例的薄膜晶体管阵列面板的截面图;

[0015] 图2A是根据本发明的示范性实施例的薄膜晶体管阵列面板的截面图;

[0016] 图2B是图2A所示的薄膜晶体管阵列面板的俯视平面图;

[0017] 图3A是根据本发明的示范性实施例的薄膜晶体管阵列面板的截面图;

[0018] 图3B是图3A所示的薄膜晶体管阵列面板的俯视平面图;

[0019] 图4A是根据本发明的示范性实施例的薄膜晶体管阵列面板的截面图;

[0020] 图4B是图4A所示的薄膜晶体管阵列面板的俯视平面图;

[0021] 图5(a)-(e)是依次示出根据本发明的示范性实施例的薄膜晶体管阵列面板的制造方法的截面图;

[0022] 图6是根据本发明的示范性实施例的薄膜晶体管阵列面板的截面图;

[0023] 图7是图6所示的薄膜晶体管阵列面板的俯视平面图;

[0024] 图8(a)-(f)是依次示出根据本发明的示范性实施例的薄膜晶体管阵列面板的制造方法的截面图;

[0025] 图9是根据本发明的示范性实施例的薄膜晶体管阵列面板的截面图;

[0026] 图10是图9所示的薄膜晶体管阵列面板的俯视平面图;

[0027] 图11(a)-(f)是依次示出根据本发明的示范性实施例的图9和图10所示的薄膜晶体管阵列面板的制造方法的截面图;

[0028] 图12是根据本发明的示范性实施例的薄膜晶体管阵列面板的截面图;

[0029] 图13(a)-(b)是根据本发明的示范性实施例的薄膜晶体管阵列面板的截面图(a)和俯视平面图(b);

[0030] 图14至图19是示出根据本发明的示范性实施例的图13(a)-(b)所示的薄膜晶体管阵列面板的示范性制造工艺的截面图;

[0031] 图20是根据本发明的示范性实施例的薄膜晶体管阵列面板的截面图;

[0032] 图21至图28是依次示出根据本发明的示例性实施例的图20所示的薄膜晶体管阵列面板的示例性制造工艺的截面图；

[0033] 图29和图30是用于制造根据本发明的示例性实施例的薄膜晶体管阵列面板的工艺流程图。

具体实施方式

[0034] 在下文将参照附图更充分地描述本发明，附图中示出了本发明的示例性实施例。如本领域技术人员将理解的，所描述的实施例可以以各种不同的方式修改，而都不背离本发明的精神或范围。

[0035] 在附图中，为清晰起见，层、膜、面板和区域的厚度可被夸大。相似的附图标记在说明书始终指代相似的元件。将理解，当称一个元件诸如层、膜、区域或基板在另一元件“上”时，它可以直接在另一元件上，或者还可以存在中间元件。相反，当称一个元件“直接在”另一元件“上”时，不存在中间元件或层。

[0036] 将理解，当称一元件或层在另一元件或层“上”或“连接到”另一元件或层时，它可以直接在另一元件或层上或者直接连接到另一元件或层，或者可以存在中间元件或层。相反，当称一元件或层“直接”在另一元件或层“上”或者“直接连接到”另一元件或层时，不存在中间元件或层。将理解，为了本公开的目的，“X、Y和Z中的至少一个”可以解释为仅X、仅Y、仅Z、或X、Y和Z的两个或更多项的任何组合（例如，YYZ、XYY、YZ、ZZ）。

[0037] 图1是根据本发明的示例性实施例的薄膜晶体管阵列面板的截面图。

[0038] 包括栅电极124的栅线121可以位于基板110上，基板110包括诸如塑料或玻璃的绝缘材料。栅线121(图2B)可以传输栅极信号，其包括栅极导通电压 V_{on} 和栅极截止电压 V_{off} 。

[0039] 栅线121可以由以下材料制成，诸如铝(Al)或铝合金的铝基金属、银(Ag)或合金的银基金属、铜(Cu)或铜合金的铜基金属、钼(Mo)或钼合金的钼基金属、铬(Cr)、钽(Ta)和钛(Ti)。在示例中，栅线121可以由多层结构制成，该多层结构包括具有不同物理性质的至少两个导电层。

[0040] 栅极绝缘层140可以形成在栅线121上。栅极绝缘层140可以包括诸如硅氧化物(SiO_x)、硅氮化物(SiN_x)或硅氮氧化物($SiON$)的绝缘材料。栅极绝缘层140可以通过溅射方法形成。

[0041] 包括沟道区域154、源极区域153和漏极区域155的半导体层可以形成在栅极绝缘层140上。

[0042] 沟道区域154与栅电极124交叠。沟道区域154与源极区域153或漏极区域155之间的边界可以与栅电极124的边缘边界实质上对准，或者可以位于栅电极124的边缘边界的内侧或外侧。例如，沟道区域154的边缘边界与栅电极124的边缘边界实质上对准的特性可以改善薄膜晶体管的特性并且可以防止薄膜晶体管阵列面板中的信号延迟。

[0043] 沟道区域154可以包括氧化物半导体。诸如金属氧化物半导体的氧化物半导体可以由诸如锌(Zn)、铟(In)、镓(Ga)、锡(Sn)和钛(Ti)的金属的氧化物或诸如锌(Zn)、铟(In)、镓(Ga)、锡(Sn)和钛(Ti)的金属及其氧化物组合形成。例如，氧化物半导体材料可以包括锌氧化物(ZnO)、锌锡氧化物(ZTO)、铟锌氧化物(ZIO)、铟氧化物(InO)、钛氧化物(TiO)、铟镓锌氧化物(IGZO)和铟锌锡氧化物(IZTO)中的至少一种。

[0044] 源极区域153和漏极区域155相对于沟道区域154位于两侧并且彼此分离。通过配置,源极区域153和漏极区域155可以与栅电极124交叠。可选地,例如,源极电极153和漏极区域155可以与栅电极124不交叠。

[0045] 源极区域153和漏极区域155物理地连接到沟道区域154并且电连接到沟道区域154。

[0046] 在一些示例中,源极区域153和漏极区域155包括形成沟道区域154的氧化物半导体,但是源极区域153和漏极区域155的载流子浓度可以不同于沟道区域154的载流子浓度。例如,当沟道区域154的载流子浓度小于 10^{18} 单位/ cm^3 时,源极区域153和漏极区域155的载流子浓度等于或大于 10^{18} 单位/ cm^3 。作为示例性实施例,载流子浓度的梯度可以形成在源极区域153或漏极区域155与沟道区域154之间的边界中。

[0047] 根据本发明的示例性实施例,源极区域153和漏极区域155可以包括形成沟道区域154的氧化物半导体以及被还原的氧化物半导体。例如,源极区域153和漏极区域155可以包括氧化物半导体以及氟(F)、氢(H)和硫(S)中的至少一种。在此示例中,包括在源极区域153和漏极区域155中的氟(F)、氢(H)和硫(S)中的至少一种的浓度可以等于或大于 10^{15} 单位/ cm^3 。氟(F)、氢(H)和硫(S)中的至少一种的浓度的梯度可以形成在源极区域153或漏极区域155与沟道区域154之间的边界中。

[0048] 源极区域153和漏极区域155可以通过由等离子体处理还原形成沟道区域154的氧化物半导体而形成。例如,氧化物半导体可以利用腔室中包括氟(F)、氢(H)和硫(S)中的至少一种的气体而掺杂有氟(F)、氢(H)和硫(S)中的至少一种,从而形成根据本发明的示例性实施例的源极区域153和漏极区域155。

[0049] 氧化物半导体可以是n型半导体,使得掺杂有氟(F)、氢(H)和硫(S)中的至少一种的源极区域153和漏极区域155变为n+层。在此示例中,源极区域153和漏极区域155用作电极与半导体层之间的欧姆接触。

[0050] 根据示例性实施例,源极区域153和漏极区域155可以用作具有导电性的源极电极和漏极电极。

[0051] 蚀刻停止物(称作蚀刻防止层)164可以形成在沟道区域154上。蚀刻停止物164的右和左边缘边界可以与沟道区域154的右和左边缘边界实质上对准。因而,蚀刻停止物164可以与源极区域153或漏极区域155实质上不交叠。

[0052] 蚀刻停止物164可以覆盖沟道区域154的沟道,使得在后续工艺中可以防止由蚀刻剂对薄膜晶体管的沟道的损伤。例如,蚀刻停止物164能够防止杂质诸如氢(H)从位于沟道区域154上的钝化层180的绝缘层或外部扩散到沟道区域154,从而防止沟道区域154的特性改变。

[0053] 在一些示例中,蚀刻停止物164的厚度可以等于或小于约 3000\AA ,蚀刻停止物164可以由包括 SiO_x 、 SiN_x 、 SiOC_x 和 SiON_x 中的至少一种材料的无机层形成,或者由包括有机材料或聚合物有机材料的有机层形成。

[0054] 当源极区域153和漏极区域155起到源极电极和漏极电极的作用时,栅电极124以及半导体层的源极区域153和漏极区域155与沟道区域154一起形成薄膜晶体管(TFT),该薄膜晶体管的沟道可以形成在沟道区域154中。

[0055] 薄膜晶体管的沟道长度L可以由源极区域153与漏极区域155之间的距离(也就是,

沟道区域154的水平方向宽度)来限定。此外,薄膜晶体管的沟道宽度(未示出)可以由源极区域153或漏极区域155与沟道区域154之间的边界的长度来限定。根据本发明的示例性实施例,薄膜晶体管的沟道长度L取决于蚀刻停止物164的水平方向宽度,当通过光刻工艺形成蚀刻停止物164时,沟道长度L可以减小至曝光器(light exposer)的曝光极限。例如,当曝光器的曝光极限为约 $3\mu\text{m}$ 时,薄膜晶体管的沟道长度(L)可以减小至约 $3\mu\text{m}$,使得薄膜晶体管的迁移率可以提高,由此改善薄膜晶体管的特性。

[0056] 此外,根据本发明的示例性实施例,薄膜晶体管的沟道长度L与蚀刻停止物164的水平方向宽度大致相同,使得薄膜晶体管的沟道长度L可以通过控制蚀刻停止物164的水平方向宽度来控制。因而,对于栅电极124的边缘边界,沟道区域154与源极区域153或漏极区域155之间的边界的位置可以确定。考虑到沟道区域154与源极区域153或漏极区域155之间的边界与栅电极124的边缘边界实质上对准或位于其外侧,源极区域153和漏极区域155与栅电极124实质上不交叠,使得栅电极124与源极区域153或漏极区域155之间的寄生电容可以被显著地减小。因而,在薄膜晶体管阵列面板中,可以减小由栅电极124与源极区域153或漏极区域155之间的寄生电容引起的反冲电压以及信号延迟或变形。因而,可以降低功耗,可以进一步减小诸如数据线的信号传输布线(未示出)的厚度,以及可以增大布线材料选择的自由度。

[0057] 钝化层180位于源极区域153、漏极区域155和蚀刻停止物164上。钝化层180可以由绝缘材料诸如硅氧化物(SiO_x)、硅氮化物(SiN_x)、硅氮氧化物(SiON)和掺氟的硅氧化物(SiOF)制成。

[0058] 图2A是根据本发明的示例性实施例的薄膜晶体管阵列面板的截面图,图2B是图2A所示的薄膜晶体管阵列面板的俯视平面图,图3A是根据本发明的示例性实施例的薄膜晶体管阵列面板的截面图,图3B是图3A所示的薄膜晶体管阵列面板的俯视平面图。

[0059] 图2A和图2B所示的示例性实施例可以与图1所示的示例性实施例的大部分相同,然而还可以包括连接到源极区域153的数据线171以及连接到漏极区域155的像素电极191。

[0060] 数据线171可以传输数据信号,与栅线121交叉,同时与栅线121绝缘。数据线171电连接到源极区域153。

[0061] 参照图2A和图2B,例如,数据线171直接接触源极区域153以电连接到源极区域153。

[0062] 在此示例中,数据线171可以位于钝化层180下面。此外,数据线171可以包括朝向源极区域153突出的突起(未示出),该突起可以接触源极区域153。

[0063] 参照图3A和图3B,数据线171可以通过桥88电连接到源极区域153。在此示例中,数据线171可以设置在钝化层180下面,钝化层180可以包括暴露数据线171的接触孔187以及暴露源极区域153的接触孔188。桥88可以通过接触孔187和188而电连接数据线171和源极区域153。数据线171可以设置在栅极绝缘层140与钝化层180之间,并且可以设置在钝化层180上。当数据线171设置在钝化层180下面时,桥88可以形成在与像素电极191相同的层中并且利用与像素电极191相同的材料形成。

[0064] 像素电极191位于钝化层180上并且可以由透明导电材料诸如ITO和IZO制成。像素电极191可以通过钝化层180的接触孔185电连接到漏极区域155。像素电极191接收来自漏极区域155的数据电压,从而显示图像。

[0065] 当根据本发明的示例性实施例的薄膜晶体管阵列面板被包括在液晶显示器中时,像素电极191与相对电极(未示出)一起形成对液晶层(未示出)的电场以控制液晶分子的排列方向,从而显示图像。当根据本发明的示例性实施例的薄膜晶体管阵列面板被包括在有机发光器件中时,发射层(未示出)位于像素电极191与相对电极(未示出)之间,从而形成发光二极管(LED)。

[0066] 在本发明的一些示例性实施例中,不需要数据线171或像素电极191直接接触薄膜晶体管的沟道区域154。因而,在数据线171和像素电极191与沟道区域154之间可以以某种方式提供一距离,使得可以防止数据线171的金属成分扩散到沟道区域154中,特别当数据线171包括诸如铜(Cu)的金属时。因而,可以防止薄膜晶体管的特性恶化。

[0067] 图4A是根据本发明的示例性实施例的薄膜晶体管阵列面板的截面图,图4B是图4A所示的薄膜晶体管阵列面板的俯视平面图。

[0068] 图4A和图4B所示的示例性实施例可以与图1的示例性实施例大部分相同,然而还可以包括源极区域153上的源极电极173、漏极区域155上的漏极电极175以及电连接到漏极电极175的像素电极191。在此示例中,源极电极173直接接触源极区域153以电连接到源极区域153,漏极电极175直接接触漏极区域155以电连接到漏极区域155。

[0069] 如果通过诸如等离子体处理的方法还原氧化物半导体区域以形成源极区域153和漏极区域155,掺杂有氟(F)、氢(H)和硫(S)中的至少一种的源极区域153和漏极区域155变成n⁺层,使得源极区域153和漏极区域155可以用作源极电极173和漏极电极175与沟道区域154之间的欧姆接触。

[0070] 在图4A中,例如,源极电极173和漏极电极175可以比源极区域153和漏极区域155更厚。在另一示例性实施例中,源极电极173和漏极电极175可以具有与源极区域153和漏极区域155相等的厚度或者比源极区域153和漏极区域155更薄的厚度。

[0071] 源极电极173传输数据信号并且连接到数据线171。例如,源极电极173可以是数据线171的一部分突出的一部分,如图4B示例性示出的。作为另一示例,源极电极173可以与数据线171分离地形成并且可以连接到数据线171,类似于图3A和图3B的布置。

[0072] 像素电极191可以位于钝化层180上并且可以由透明导电材料诸如ITO和IZO形成。像素电极191通过钝化层180的接触孔185电连接到漏极电极175。像素电极191接收来自漏极电极175的数据电压,从而控制图像的显示。

[0073] 源极电极173和漏极电极175可以由以下材料制成,诸如铝(Al)或铝合金的铝基金属、银(Ag)或银合金的银基金属、铜(Cu)或铜合金的铜基金属、钼(Mo)或钼合金的钼基金属、铬(Cr)、钽(Ta)和钛(Ti)。例如,作为钼合金,有Mo-Nb和Mo-Ti。源极电极173和漏极电极175可以由透明导电材料诸如ITO、IZO和AZO制成。源极电极173和漏极电极175可以由多层结构制成,该多层结构包括至少两个导电层(未示出)。例如,源极电极173和漏极电极175可以具有Mo/Al/Mo、Mo/Al、Mo/Cu、CuMn/Cu或Ti/Cu的多层结构。

[0074] 在本示例性实施例中,不需要源极电极173和漏极电极175接触沟道区域154。因而,在源极电极173和漏极电极175与沟道区域154之间可以以某种方式提供一距离,使得可以防止源极电极173和漏极电极175的金属成分扩散到沟道区域154中,特别当源极电极173和漏极电极175包括诸如铜(Cu)的金属时。因而,可以防止薄膜晶体管的特性恶化。

[0075] 图5(a)-(e)是依次示出根据本发明的示例性实施例的薄膜晶体管阵列面板的制

造方法的截面图。

[0076] 在本示例性实施例中,图4A和图4B所示的薄膜晶体管阵列面板作为示例被描述,然而不限于此,根据本发明的示例性实施例的制造方法可以同样地应用到各种不同的示例性实施例。

[0077] 参照图5(a),导电材料诸如金属材料被沉积和图案化在由玻璃或塑料制成的绝缘基板110上以形成栅电极124。

[0078] 包括绝缘材料诸如硅氧化物(SiO_x)、硅氮化物(SiN_x)或硅氮氧化物(SiON)的栅极绝缘层140沉积在栅电极124上。

[0079] 由氧化物半导体材料诸如锌氧化物(ZnO)、锌锡氧化物(ZTO)、镉锌氧化物(ZIO)、铟氧化物(InO)、钛氧化物(TiO)、铟镓锌氧化物(IGZO)和铟锌锡氧化物(IZTO)制成的半导体层(未示出)被涂覆在栅极绝缘层140上,然后感光膜诸如光致抗蚀剂被涂覆和曝光以形成感光膜图案51。

[0080] 通过利用感光膜图案51作为掩模来蚀刻半导体层以形成半导体图案150。

[0081] 参照图5(b),感光膜图案51被去除,蚀刻停止物164形成在半导体图案150上。蚀刻停止物164与栅电极124交叠,并且与半导体图案150的中心部分交叉以与其交叠,半导体图案150的没有被蚀刻停止物164覆盖的部分定位为彼此分离而使蚀刻停止物164插设在其间。蚀刻停止物164可以通过由化学气相沉积(CVD)或溅射方法沉积包括 SiO_x 、 SiN_x 、 SiOC_x 和 SiON_x 中的至少一种材料的无机层或包括有机材料或聚合物有机材料的有机层并且通过光工艺图案化而形成。在此示例中,可以使用干蚀刻方法,并且可以使用具有不蚀刻半导体图案150的蚀刻速率的蚀刻气体。

[0082] 参照图5(c),半导体图案150的被蚀刻停止物164暴露的部分被处理以形成源极区域153和漏极区域155。此外,半导体图案150的被蚀刻停止物164覆盖的部分变成沟道区域154。因而,栅电极124、源极区域153和漏极区域155与沟道区域154一起形成薄膜晶体管。

[0083] 作为处理半导体图案150的暴露部分的方法,例如,有在腔室中在还原气氛下的热处理以及等离子体处理,该等离子体处理利用气体等离子体,诸如氢(H_2)、氦(He)、磷化氢(PH_3)、氨(NH_3)、硅烷(SiH_4)、甲烷(CH_4)、乙炔(C_2H_2)、乙硼烷(B_2H_6)、二氧化碳(CO_2)、锗烷(GeH_4)、硒化氢(H_2Se)、硫化氢(H_2S)、氩(Ar)、氮(N_2)、氧化氮(N_2O)和三氟甲烷(CHF_3)。

[0084] 具体地,根据本发明的示例性实施例,通过使用包括四氟甲烷(CF_4)、三氟化氮(NF_3)、六氟化硫(SF_6)和甲烷(CH_4)中的至少一种的气体使半导体图案150的暴露部分被氟(F)、氢(H)和硫(S)中的至少一种掺杂或还原的方法被使用。因而,如上所述,包括氟(F)、氢(H)和硫(S)中的至少一种的源极区域153和漏极区域155可以与沟道区域154的氧化物半导体一起形成。在此示例中,掺杂到源极区域153和漏极区域155的氟(F)、氢(H)和硫(S)中的至少一种的浓度可以等于或大于约 10^{15} 单位/ cm^3 。

[0085] 参照图5(d),源极电极173和漏极电极175可以进一步形成在源极区域153和漏极区域155上。

[0086] 参照图5(e),绝缘材料被涂覆在源极电极173和漏极电极175、源极区域153和漏极区域155、以及蚀刻停止物164上以形成钝化层180。钝化层180被图案化以形成暴露漏极电极175的接触孔185。

[0087] 如图2A、图2B、图3A、图3B、图4A和图4B所示,电连接到漏极电极175或漏极区域155

的像素电极191可以形成在钝化层180上。

[0088] 在通过根据本发明的示例性实施例的制造方法制造的薄膜晶体管中,蚀刻停止物164的宽度在曝光极限上受到控制,使得半导体层的源极区域153和漏极区域155可以形成成为与栅电极124实质上不交叠,从而减小栅电极124与源极区域153或漏极区域155之间的寄生电容并且改善薄膜晶体管的作为开关元件的开/关特性。此外,可以降低薄膜晶体管的功耗,可以减小信号传输布线的厚度,以及可以增加布线材料选择的自由度。

[0089] 此外,薄膜晶体管的沟道长度L可以减小至曝光器的曝光极限,使得迁移率可以得到提高,从而改善薄膜晶体管的特性。

[0090] 与上述示例性实施例相同的构成元件使用相同的附图标记,而相同的描述可以省略,以避免使本发明不必要地模糊。

[0091] 图6是根据本发明的示例性实施例的薄膜晶体管阵列面板的截面图,图7是图6所示的薄膜晶体管阵列面板的俯视平面图。

[0092] 本示例性实施例与根据图2A至图4B所示的示例性实施例的薄膜晶体管阵列面板的大部分相同,除了平行于栅线121延伸并且连接到蚀刻停止物164的线形蚀刻停止物161。

[0093] 包括蚀刻停止物164的线形蚀刻停止物161的边缘边界可以与包括栅电极124的栅线121的边缘边界对准,或者可以位于栅线121的边缘边界的内侧或外侧。例如,包括蚀刻停止物164的线形蚀刻停止物161的平面形状可以与包括栅电极124的栅线121的平面形状实质上相同或相似。

[0094] 沟道区域154被蚀刻停止物164覆盖,而沟道区域154的边缘边界(例如,沟道区域154与源极区域153或漏极区域155之间的边界)可以与蚀刻停止物164的边缘边界实质上对准或者位于蚀刻停止物164的边缘边界的略微内侧。

[0095] 根据本示例性实施例,可以最小化栅电极124与源极区域153或漏极区域155交叠的面积,使得可以显著地减小栅电极124与源极区域153或漏极区域155之间的寄生电容。

[0096] 图8(a)-(f)是依次示出根据本发明的示例性实施例的薄膜晶体管阵列面板的制造方法的截面图。

[0097] 参照图8(a),导电材料诸如金属被沉积和图案化在由玻璃或塑料制成的绝缘基板110上以形成栅电极124。

[0098] 包括绝缘材料诸如硅氧化物(SiO_x)、硅氮化物(SiN_x)或硅氮氧化物(SiON)的栅极绝缘层140沉积在栅电极124上。

[0099] 包括氧化物半导体材料的半导体图案150形成在栅极绝缘层140上,并且通过化学气相沉积(CVD)或溅射方法沉积包括 SiO_x 、 SiN_x 和 SiON_x 中的至少一种材料的无机层或者包括有机材料或聚合物有机材料的有机层,以形成蚀刻停止层160。

[0100] 感光膜50诸如光致抗蚀剂被涂覆在蚀刻停止层160上,并且从绝缘基板110的后侧(底侧)照射光。在此示例中,感光膜50具有正感光性,使得其曝光部分被去除。因此,感光膜50的没有被不透明的栅电极124覆盖的部分被曝光,从而被去除。

[0101] 参照图8(b),感光膜50的曝光部分被去除,以形成相应于栅电极124的感光膜图案52。在此示例中,感光膜图案52的边缘边界可以与栅电极124的边缘边界对准,并且可以位于栅电极124的边缘边界的略微内侧或外侧。这可以由各种设计因素诸如在曝光器中使用的光的波长或者使光穿过的材料的种类来确定。

[0102] 参照图8(c),蚀刻停止层160通过利用感光膜图案52作为掩模而被蚀刻,以形成与半导体图案150交叉并且覆盖半导体图案150的蚀刻停止物164。然后,感光膜图案52可以被去除。

[0103] 参照图8(d),半导体图案150的没有被蚀刻停止物164覆盖并且暴露的两个部分被利用离子掺杂,以形成具有导电性的源极区域153和漏极区域155。半导体图案150的被蚀刻停止物164覆盖的部分变成沟道区域154。因而,栅电极124、源极区域153和漏极区域155与沟道区域154一起形成薄膜晶体管。

[0104] 处理半导体图案150的暴露部分的方法与上述示例性实施例的方法相同,从而可以省略详细描述。

[0105] 参照图8(e),源极电极173和漏极电极175可以进一步形成在源极区域153和漏极区域155上。

[0106] 参照图8(f),绝缘材料被涂覆在源极电极173和漏极电极175、源极区域153和漏极区域155、以及蚀刻停止物164上以形成钝化层180。钝化层180被图案化以形成暴露漏极电极175的接触孔185,并且如图6和图7所示,电连接到漏极电极175或漏极区域155的像素电极191可以形成在钝化层180上。

[0107] 图9是根据本发明的示例性实施例的薄膜晶体管阵列面板的截面图,图10是图9所示的薄膜晶体管阵列面板的俯视平面图。

[0108] 本示例性实施例与根据图2A至图4B所示的示例性实施例的薄膜晶体管阵列面板的大部分相同,除了钝化层180上的面对栅电极124的上栅电极194之外。上栅电极194可以包括与像素电极191相同的材料,并且可以与像素电极191同时形成。

[0109] 参照图10,上栅电极194接触栅线121以电连接到栅线121,从而接收来自栅线121的栅极信号。在此示例中,钝化层180和栅极绝缘层140具有暴露栅线121的接触孔184,上栅电极194可以通过接触孔184连接到栅线121。上栅电极194的水平方向宽度可以等于或小于沟道区域154的水平方向宽度。

[0110] 图11(a)-(f)是依次示出根据本发明的示例性实施例的图9和图10所示的薄膜晶体管阵列面板的制造方法的截面图。

[0111] 根据本示例性实施例的薄膜晶体管的制造方法与根据图8(a)-(f)所示的示例性实施例的薄膜晶体管的制造方法的大部分相同,从而可以省略详细描述。然而,参照图11(f),当利用透明导电材料诸如ITO和IZO形成像素电极191时,可以同时形成位于沟道区域154上的上栅电极194。

[0112] 参照图12,将描述根据本发明的示例性实施例的薄膜晶体管和薄膜晶体管阵列面板。

[0113] 图12是根据本发明的示例性实施例的薄膜晶体管阵列面板的截面图。

[0114] 参照图12,本示例性实施例与根据图4A和4B所示的示例性实施例的薄膜晶体管阵列面板的大部分相同,然而源极电极173和漏极电极175的部分可以不直接接触源极区域153和漏极区域155,并且可以位于钝化层180上。在此示例中,钝化层180具有暴露源极区域153的接触孔183以及暴露漏极区域155的接触孔185,源极电极173和漏极电极175可以通过钝化层180的接触孔183和185分别电连接到源极区域153和漏极区域155。

[0115] 图13(a)-(b)是根据本发明的示例性实施例的薄膜晶体管阵列面板的截面图(a)

和俯视平面图(b)。

[0116] 参照图13(a),遮光膜70可以位于绝缘基板110上。遮光膜70防止光到达后续沉积的氧化物半导体,使得可以防止氧化物半导体的作为半导体的特性丧失。因而,遮光膜70由不透射光(其波长带不应到达氧化物半导体)的材料制成。遮光膜70可以由有机绝缘材料、无机绝缘材料或导电材料诸如金属制成,并且可以形成为单层或多层。然而,遮光膜70可以通过配置而省略。例如,当不在绝缘基板110下面照射光时,例如,当薄膜晶体管用于有机发光器件时,可以省略遮光膜70。

[0117] 缓冲层120可以位于遮光膜70上。缓冲层120可以包括绝缘氧化物,诸如硅氧化物(SiO_x)、铝氧化物(Al_2O_3)、铪氧化物(HfO_3)和钇氧化物(Y_2O_3)。缓冲层120防止来自绝缘基板110的杂质流入到后续沉积的半导体中,从而保护半导体并改善半导体的界面特性。

[0118] 包括沟道区域154、源极区域153和漏极区域155的半导体层位于缓冲层120上。当存在遮光膜70时,沟道区域154可以被遮光膜70覆盖。沟道区域154、源极区域153和漏极区域155的描述与以上示例性实施例的相同,从而省略详细描述。

[0119] 特别地,源极区域153和漏极区域155包括与形成沟道区域154的氧化物半导体相同的材料,然而,源极区域153和漏极区域155的载流子浓度不同于沟道区域154的载流子浓度。例如,当沟道区域154的载流子浓度小于约 10^{18} 单位/ cm^3 时,源极区域153和漏极区域155的载流子浓度等于或大于约 10^{18} 单位/ cm^3 。载流子浓度的梯度形成在源极区域153或漏极区域155与沟道区域154之间的边界中。

[0120] 根据本发明的示例性实施例,源极区域153和漏极区域155可以包括氧化物半导体,并且可以掺杂有氟(F)、氢(H)和硫(S)中的至少一种。在此示例中,包括在源极区域153和漏极区域155中的氟(F)、氢(H)和硫(S)中的至少一种的浓度等于或大于约 10^{15} 单位/ cm^3 。氟(F)、氢(H)和硫(S)中的至少一种的浓度的梯度形成在源极区域153或漏极区域155与沟道区域154之间的边界中。

[0121] 栅极绝缘层142位于沟道区域154上。栅极绝缘层142可以覆盖沟道区域154。此外,栅极绝缘层142可以通过配置而与源极区域153或漏极区域155实质上不交叠。

[0122] 栅极绝缘层142可以形成为单层或至少两层的多层。当栅极绝缘层142为单层时,栅极绝缘层142可以包括绝缘氧化物,诸如硅氧化物(SiO_x)、铝氧化物(Al_2O_3)、铪氧化物(HfO_3)和钇氧化物(Y_2O_3)。栅极绝缘层142可以改善沟道区域154的界面特性,并且可以防止杂质渗透到沟道区域154中。

[0123] 当栅极绝缘层142为多层时,栅极绝缘层142可以包括图13(a)所示的下层142a和上层142b。下层142a包括绝缘氧化物,诸如硅氧化物(SiO_x)、铝氧化物(Al_2O_3)、铪氧化物(HfO_3)和钇氧化物(Y_2O_3),使得可以改善沟道区域154的界面特性并且可以防止杂质渗透到沟道区域154中。上层142b可以由各种绝缘材料诸如硅氮化物(SiN_x)和硅氧化物(SiO_x)制成。

[0124] 栅电极124位于栅极绝缘层142上。栅电极124的边缘边界和栅极绝缘层142的边缘边界布置为实质上对准。

[0125] 参照图13(a)和图13(b),栅电极124包括与沟道区域154交叠的部分,而沟道区域154被栅电极124覆盖。源极区域153和漏极区域155相对于栅电极124位于沟道区域154的两侧,源极区域153和漏极区域155可以与栅电极124实质上不交叠。因而,可以减小栅电极124

与源极区域153之间的寄生电容或者栅电极124与漏极区域155之间的寄生电容。

[0126] 根据本发明的示例性实施例,沟道区域154与源极区域153之间的边界或者沟道区域154与漏极区域155之间的边界可以与栅电极124和栅极绝缘层142的边缘边界实质上对准。然而,沟道区域154与源极区域153或漏极区域155之间的边界可以定位为比栅电极124和栅极绝缘层142的边缘边界略微更向内。

[0127] 栅电极124、源极区域153和漏极区域155与沟道区域154一起形成薄膜晶体管,该薄膜晶体管的沟道形成在沟道区域154中。

[0128] 钝化层180位于栅电极124、源极区域153、漏极区域155和缓冲层120上。钝化层180可以包括暴露源极区域153的接触孔183和暴露漏极区域155的接触孔185。

[0129] 源极电极173和漏极电极175可以位于钝化层180上。源极电极173通过钝化层180的接触孔183电连接到薄膜晶体管的源极区域153,漏极电极175通过钝化层180的接触孔185电连接到薄膜晶体管的漏极区域155。

[0130] 与此不同,例如,由有机材料制成的有机层(未示出)或滤色器(未示出)可以进一步位于钝化层180上,而源极电极173和漏极电极175可以进一步位于其上。

[0131] 图14至图19是依次示出根据本发明的示例性实施例的图13(a)-(b)所示的薄膜晶体管阵列面板的制造方法的截面图。

[0132] 参照图14,由有机绝缘材料、无机绝缘材料或导电材料诸如金属制成的遮光膜70形成在由玻璃或塑料制成的绝缘基板110上。遮光膜70的形成可以通过配置而省略。

[0133] 参照图14,由包括氧化物诸如硅氧化物(SiO_x)、铝氧化物(Al_2O_3)、钪氧化物(HfO_3)和钇氧化物(Y_2O_3)的绝缘材料制成的缓冲层120通过化学气相沉积(CVD)方法形成在遮光膜70上。缓冲层120的厚度在从约500Å至约1μm的范围内,但不限于此。

[0134] 由氧化物半导体材料诸如锌氧化物(ZnO)、锌锡氧化物(ZTO)、镉锌氧化物(ZIO)、铟氧化物(InO)、钛氧化物(TiO)、铟镓锌氧化物(IGZO)和铟锌锡氧化物(IZTO)制成的半导体层被涂覆在缓冲层120上,然后感光膜诸如光致抗蚀剂被涂覆在半导体层上。接着,感光膜被曝光以形成感光膜图案53。感光膜图案53可以与遮光膜70的至少一部分交叠。

[0135] 半导体层通过使用感光膜图案53作为掩模而被蚀刻,以形成半导体图案150。然后,感光膜图案53可以被去除。

[0136] 如图15所示,栅极绝缘层140形成在半导体图案150和缓冲层120上。栅极绝缘层140可以形成为包括硅氧化物(SiO_x)的绝缘氧化物的单层,或者如图5(a)-(e)所示,可以形成为包括下层140a和上层140b的多层,下层140a包括诸如硅氧化物(SiO_x)的绝缘氧化物,上层140b包括绝缘材料。栅极绝缘层140的厚度可以在从约1000Å至约5000Å的范围内,但不限于此。

[0137] 参照图16,导电材料诸如金属沉积在栅极绝缘层140上并被图案化以形成栅电极124。栅电极124形成为横跨半导体图案150的中心部分,使得半导体图案150的位于栅电极124与半导体图案150的交叠部分的两侧的两个部分不被栅电极124覆盖。

[0138] 参照图17,栅极绝缘层140通过使用栅电极124作为蚀刻掩模而被图案化以形成栅极绝缘层142。栅极绝缘层142可以由单层制成,或者包括具有绝缘氧化物的下层142a以及具有绝缘材料的上层142b。

[0139] 因而,栅电极124和栅极绝缘层142可以具有实质上相同的平面形状。此外,半导体

图案150的没有被栅电极124覆盖的两个部分被暴露。

[0140] 参照图18,半导体图案150的两个暴露部分被处理,从而形成具有导电性的源极区域153和漏极区域155。半导体图案150的处理方法与以上示例性实施例的相同,因此省略详细描述。

[0141] 具体地,根据本发明的示例性实施例,通过使用包括四氟甲烷(CF₄)、三氟化氮(NF₃)、六氟化硫(SF₆)和甲烷(CH₄)中的至少一种的气体使半导体图案150的暴露部分被氟(F)、氢(H)和硫(S)中的至少一种掺杂或还原的方法被使用。掺杂到源极区域153和漏极区域155的氟(F)、氢(H)和硫(S)中的至少一种的浓度可以等于或大于约10¹⁵单位/cm³,并且氟(F)、氢(H)和硫(S)中的至少一种的浓度的梯度可以形成在源极区域153或漏极区域155与沟道区域154之间的边界中。

[0142] 此外,半导体图案150的被绝缘层142覆盖并且没有被还原的部分变成沟道区域154。因而,栅电极124、源极区域153和漏极区域155与沟道区域154一起形成薄膜晶体管。

[0143] 参照图19,绝缘材料被涂覆在栅电极124、源极区域153、漏极区域155和缓冲层120上以形成钝化层180。接着,钝化层180被图案化以形成暴露源极区域153的接触孔183以及暴露漏极区域155的接触孔185。

[0144] 最后,如图13(a)-(b)所示,源极电极173和漏极电极175可以形成在钝化层180上。

[0145] 在根据本发明的示例性实施例的薄膜晶体管中,源极区域153和漏极区域155与栅电极124实质上不交叠,使得可以显著地减小栅电极124与源极区域153或漏极区域155之间的寄生电容。因而,可以改善薄膜晶体管的作为开关元件的开/关特性。

[0146] 图20是根据本发明的示例性实施例的薄膜晶体管阵列面板的截面图。

[0147] 参照图20,遮光膜70和传输数据信号的数据线115可以位于绝缘基板110上。数据线115可以由金属的导电材料诸如铝(Al)、银(Ag)、铜(Cu)、钼(Mo)、铬(Cr)、钽(Ta)和钛(Ti)或其合金制成。

[0148] 缓冲层120位于遮光膜70和数据线115上,并且沟道区域154、源极区域153和漏极区域155位于缓冲层120上。

[0149] 沟道区域154可以包括氧化物半导体材料。当存在遮光膜70时,沟道区域154可以被遮光膜70覆盖。

[0150] 源极区域153和漏极区域155相对于沟道区域154位于两侧以彼此面对,并且彼此分离。此外,源极区域153和漏极区域155连接到沟道区域154。对上述示例性实施例的沟道区域154、源极区域153和漏极区域155的描述可以同样应用到本示例性实施例。

[0151] 栅极绝缘层142位于沟道区域154上。栅极绝缘层142可以覆盖沟道区域154。此外,栅极绝缘层142可以与源极区域153或漏极区域155几乎不交叠。

[0152] 栅电极124位于栅极绝缘层142上。栅电极124的边缘边界和栅极绝缘层142的边缘边界可以布置为实质上对准。

[0153] 栅电极124包括与沟道区域154交叠的部分,沟道区域154被栅电极124覆盖。源极区域153和漏极区域155相对于栅电极124位于沟道区域154的两侧,源极区域153和漏极区域155可以与栅电极124实质上不交叠。因而,可以实质上减小栅电极124与源极区域153之间的寄生电容或栅电极124与漏极区域155之间的寄生电容。

[0154] 钝化层180a位于栅电极124、源极区域153、漏极区域155和缓冲层120上,有机层

180b可以进一步位于钝化层180a上。

[0155] 有机层180b可以包括有机绝缘材料或滤色器材料。有机层180b的表面可以是平坦的。

[0156] 钝化层180a和有机层180b具有暴露源极区域153的接触孔183以及暴露漏极区域155的接触孔185。此外,缓冲层120、钝化层180a和有机层180b可以具有暴露数据线115的接触孔181。

[0157] 源极电极173和漏极电极175可以位于有机层180b上。源极电极173可以通过接触孔183电连接到源极区域153,漏极电极175可以通过接触孔185电连接到漏极区域155。此外,源极电极173可以通过接触孔181连接到数据线115。因而,源极电极133可以接收来自数据线115的数据信号。而且,漏极电极175可以形成像素电极,从而控制图像显示,或者可以连接到额外的像素电极(未示出)。

[0158] 接着,将参照图21至图28以及图20来描述根据本发明的示例性实施例的图20所示的薄膜晶体管阵列面板的制造方法。

[0159] 图21至图28是依次示出根据本发明的示例性实施例的图20所示的薄膜晶体管阵列面板的制造方法的截面图。

[0160] 首先,参照图21,由有机绝缘材料、无机绝缘材料或者导电材料诸如金属制成的遮光膜70形成在绝缘基板110上。遮光膜70的形成可以通过配置而省略。

[0161] 金属被沉积和图案化在绝缘基板110上以形成数据线115。遮光膜70和数据线115的形成次序可以交换。

[0162] 参照图22,缓冲层120、半导体材料层159、绝缘材料层149和栅极层129依次沉积在遮光膜70和数据线115上。

[0163] 半导体材料层159可以通过沉积氧化物半导体材料诸如锌氧化物(ZnO)、锌锡氧化物(ZTO)、镉锌氧化物(ZIO)、镉氧化物(InO)、钛氧化物(TiO)、镉镓锌氧化物(IGZO)和镉锌锡氧化物(IZTO)而形成。

[0164] 绝缘材料层149可以由包括绝缘氧化物诸如硅氧化物(SiO_x)的绝缘材料形成。

[0165] 栅极层129可以通过沉积导电材料诸如铝(Al)形成。

[0166] 光致抗蚀剂的感光膜被涂覆在栅极层129上并且被曝光以形成感光膜图案54。如图22所示,感光膜图案54包括具有相对薄的厚度的第一部分54a以及具有相对厚的厚度的第二部分54b。感光膜图案54的第一部分54a可以位于与遮光膜70交叠的部分处。此外,相对于第一部分54a彼此分离并且彼此面对的一对第二部分54b连接到感光膜图案54的第一部分54a的两侧。

[0167] 感光膜图案54可以通过由包括透反区域(transflective region)的光掩模(未示出)曝光而形成。例如,用于形成感光膜图案54的光掩模可以包括透射光的透射区域、不透射光的遮光区域以及光被部分地透射的透反区域。透反区域可以通过使用狭缝或半透明层而形成。

[0168] 如果通过包括透反区域的光掩模进行曝光,在使用负感光膜的情形下,对应于光掩模的透射区域的部分被光照射,使得感光膜保留,从而形成具有厚的厚度的第一部分54a,对应于光掩模的遮光区域的部分没有被光照射,使得感光膜被去除,对应于光掩模的透反区域的部分被光部分地照射,从而形成具有相对薄的厚度的第二部分54b。在使用正感

光膜的情形下,以上情形颠倒,然而对应于光掩模的透反区域的部分仍然被部分地照射,从而形成感光膜图案54的第二部分54b。

[0169] 参照图23,栅极层129和绝缘材料层149通过使用感光膜图案54作为蚀刻掩模而被依次蚀刻。例如,栅极层129可以通过湿蚀刻方法而被蚀刻,绝缘材料层149可以通过干蚀刻方法而被蚀刻。因而,具有相同平面形状的栅极图案122和绝缘图案141可以形成在感光膜图案54下。半导体材料层159的没有被感光膜图案54覆盖的部分可以被暴露。

[0170] 参照图24,半导体材料层159的暴露部分通过使用栅极图案122和绝缘图案141作为蚀刻掩模而被去除,以形成半导体图案150。半导体图案150可以具有与栅极图案122和绝缘图案141相同的平面形状。

[0171] 参照图25,感光膜图案54通过使用氧等离子体的灰化法被整个地蚀刻,以通过减小厚度而去除第二部分54b。因而,具有减小的厚度的第一部分54a保留,从而形成感光膜图案55。

[0172] 参照图26,栅极图案122和绝缘图案141通过使用感光膜图案55作为蚀刻掩模而被依次蚀刻。因而,半导体图案150的没有被感光膜图案55覆盖的部分被暴露,并且形成栅电极124和栅极绝缘层142。半导体图案150的暴露部分相对于半导体图案150的被感光膜图案55覆盖的部分位于两侧。

[0173] 参照图27,半导体图案150经受还原处理以形成具有导电性的源极区域153和漏极区域155。还原处理与以上示例性实施例的相同,从而省略详细描述。

[0174] 此外,半导体图案150的被栅极绝缘层142覆盖的部分没有被还原,从而形成沟道区域154。栅电极124、源极区域153和漏极区域155与沟道区域154一起形成薄膜晶体管。

[0175] 参照图28,在去除感光膜图案55之后,绝缘材料被涂覆在栅电极124、源极区域153、漏极区域155和缓冲层120上以形成钝化层180a。有机绝缘材料可以被涂覆在钝化层180a上以额外地形成有机层180b。

[0176] 如图20所示,钝化层180a和有机层180b可以被图案化以形成接触孔183、185和181,然后源极电极173和漏极电极175可以形成在有机层180b上。

[0177] 如上所述,根据本发明的示例性实施例,薄膜晶体管的栅电极124与源极区域153或漏极区域155几乎不交叠或略微交叠,使得栅电极124与源极区域153之间的寄生电容或者栅电极124与漏极区域155之间的寄生电容可以非常小。因而,可以提高薄膜晶体管的导通电流和迁移率,并且可以改善薄膜晶体管作为开关元件的开/关特性。因此,在采用这种薄膜晶体管的显示装置中可以减小RC延迟。因而,制造成本可以通过在减小驱动信号布线的厚度时获得的余量而减小。此外,薄膜晶体管自身的特性优良,使得可以减小薄膜晶体管的尺寸并且可以获得用于形成微小沟道的余量。

[0178] 根据示例性实施例,图29是用于制造薄膜晶体管阵列面板的工艺的流程图。在步骤201中,在绝缘基板上形成栅电极。在步骤203中,在栅电极上沉积栅极绝缘层。在栅极绝缘层上形成半导体图案(步骤205)。在步骤207中,在半导体图案上形成蚀刻停止物,该蚀刻停止物与半导体图案交叉和交叠。在步骤209中,通过处理半导体图案的被蚀刻停止物暴露的部分而形成源极区域和漏极区域,从而形成沟道区域。源极区域和漏极区域的载流子浓度大于沟道区域的载流子浓度。

[0179] 根据示例性实施例,图30是用于制造薄膜晶体管阵列面板的工艺的流程图。在步

骤301中,在绝缘基板上形成包括氧化物半导体的半导体图案。在步骤303中,在半导体图案上沉积绝缘材料以形成绝缘材料层。经步骤305,在绝缘材料层上形成栅电极。在步骤307中,通过使用栅电极作为蚀刻掩模来图案化绝缘材料层,以形成栅极绝缘层并且暴露半导体图案的一部分。在步骤309中,半导体图案的暴露部分被处理,以形成被栅电极覆盖的沟道区域并且形成相对于沟道区域彼此面对的源极区域和漏极区域,其中源极区域和漏极区域的载流子浓度大于沟道区域的载流子浓度。

[0180] 以上工艺在应用于制造显示面板的制造工艺中时,能够通过改善薄膜晶体管的电流迁移率而提供优良的开关元件。此外,这些工艺能够解决薄膜晶体管的RC延迟。

[0181] 尽管已经结合目前认为可行的示例性实施例描述了本发明,但是将理解,本发明不限于所公开的实施例,而是相反的,本发明旨在涵盖包括在随附权利要求书的精神和范围内的各种修改和等同布置。

[0182] 对于本领域技术人员将是明显的,可以在本发明中进行各种修改和变化,而不背离本发明的精神或范围。因此,本发明旨在涵盖本发明的落在权利要求书及其等同物的范围内的修改和变化。

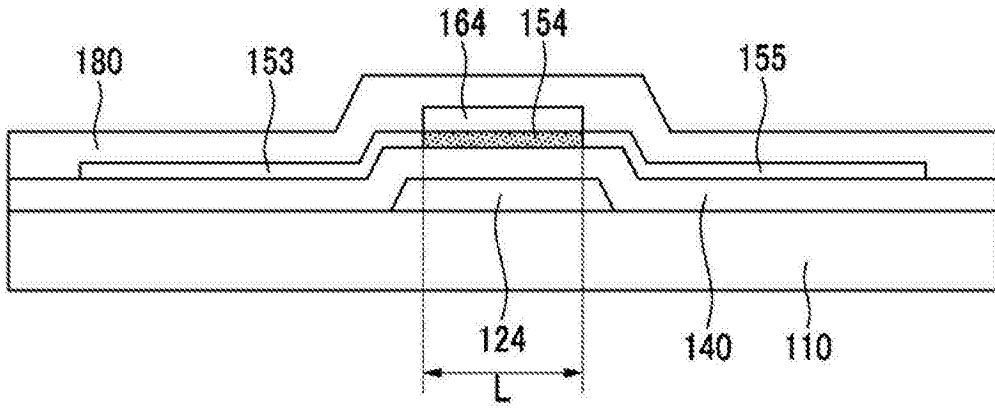


图1

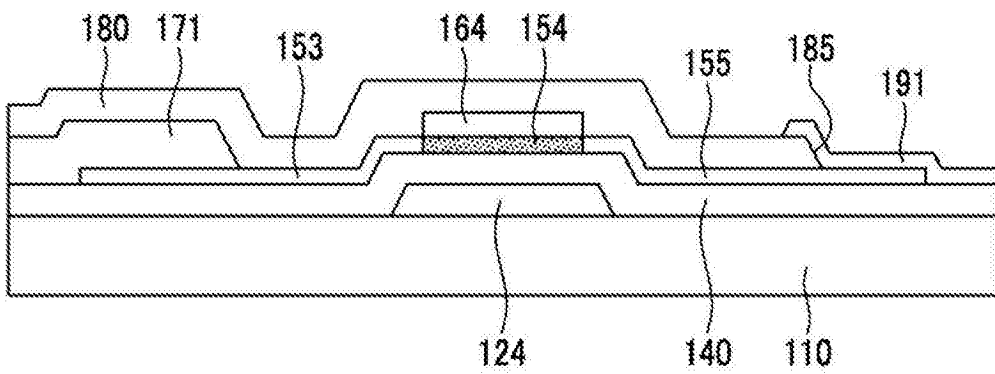


图2A

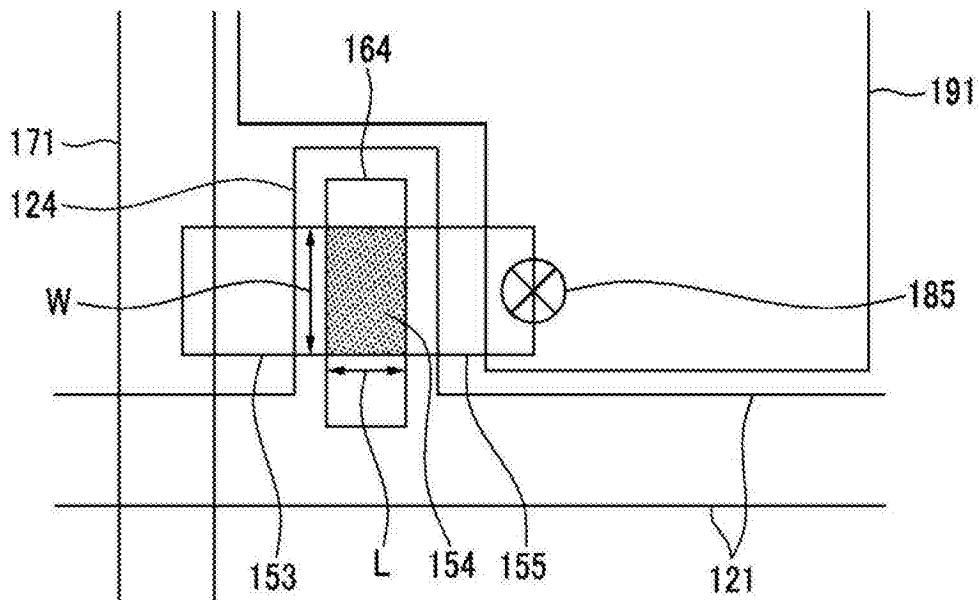


图2B

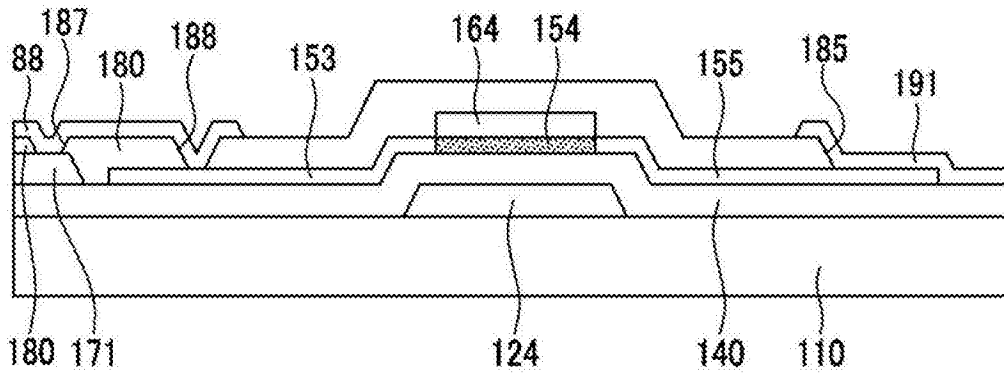


图3A

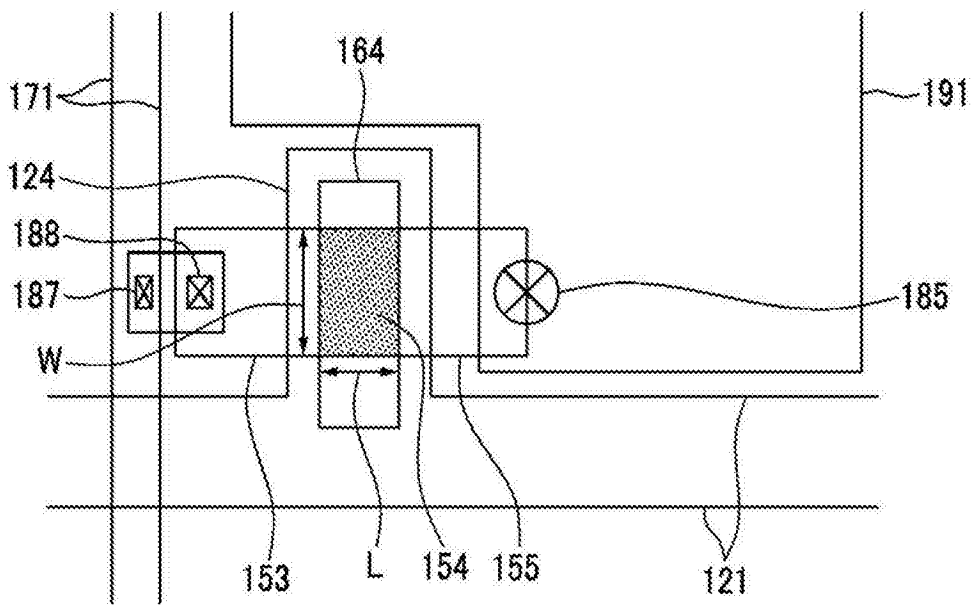


图3B

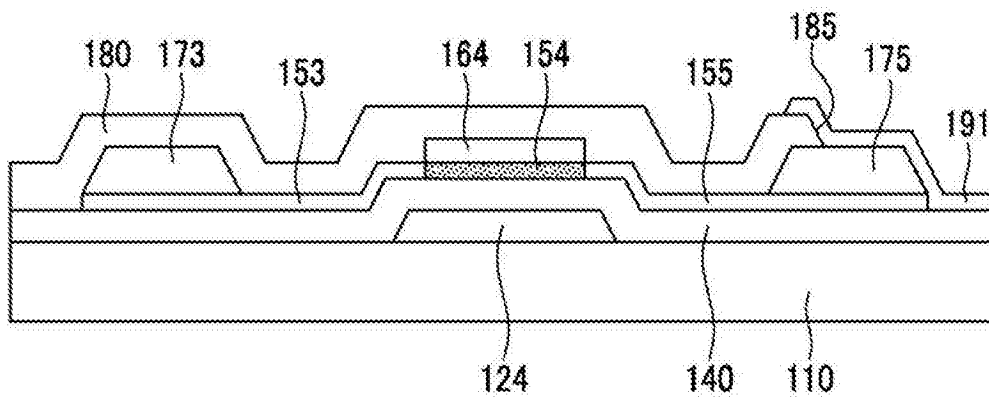


图4A

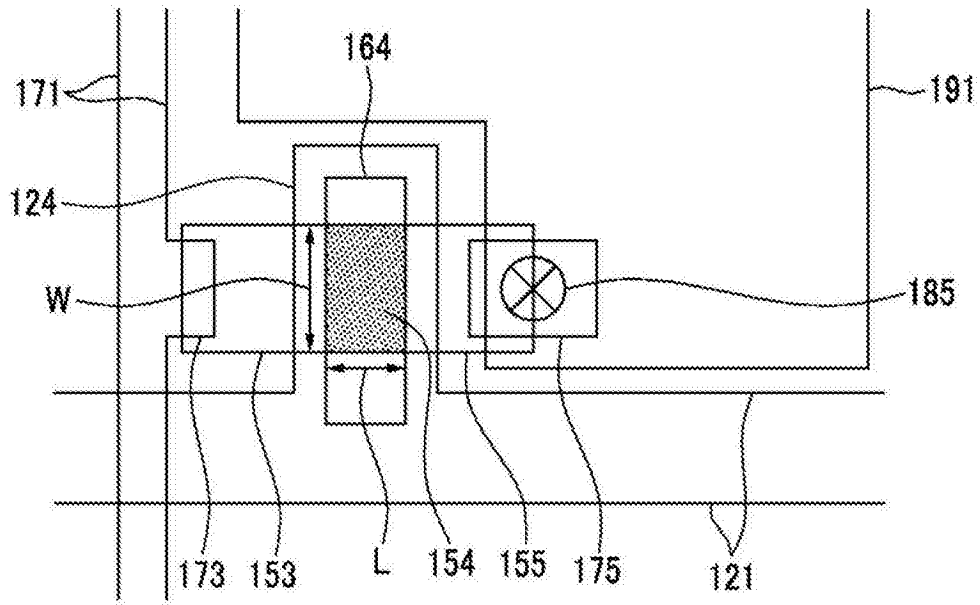


图4B

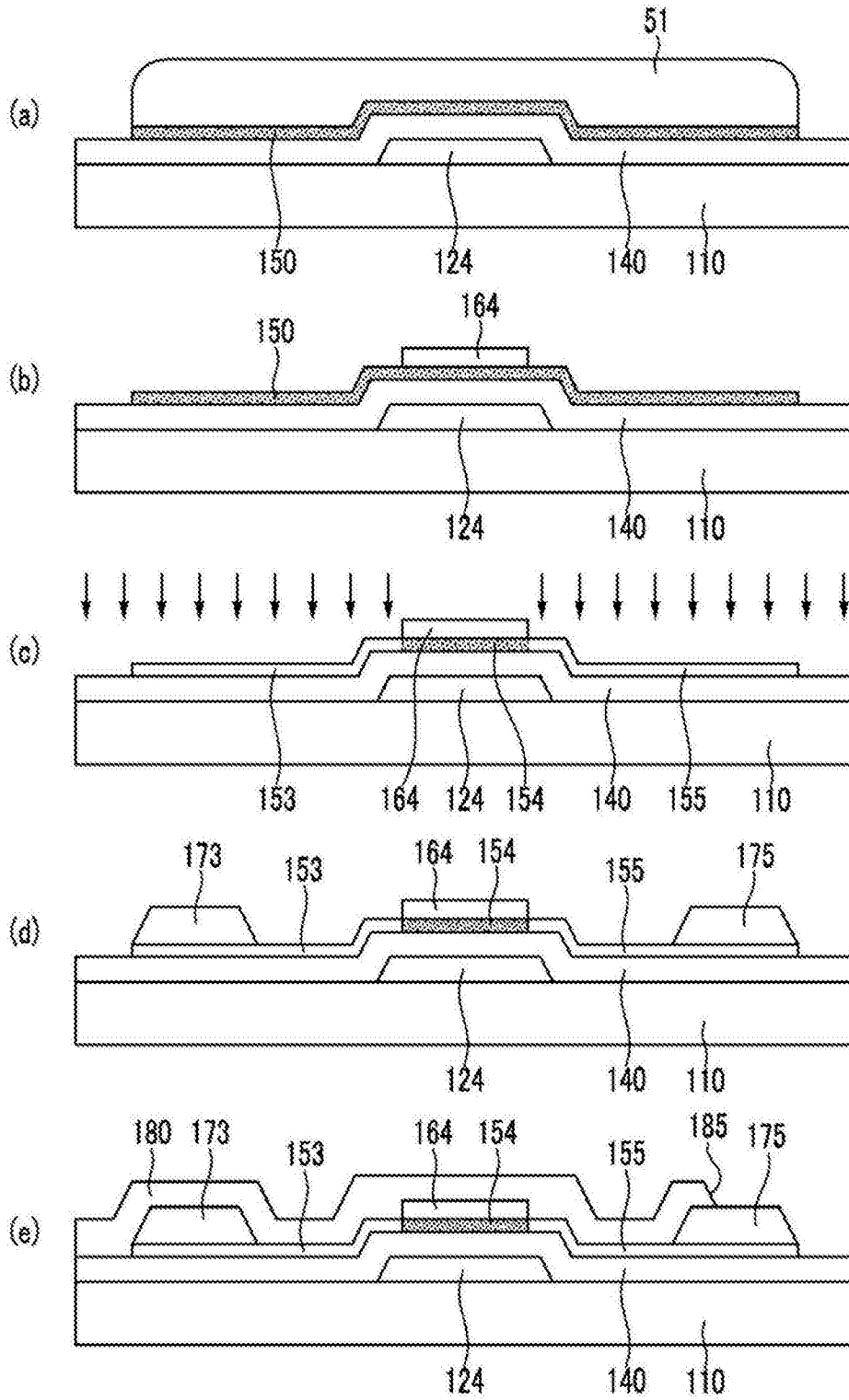


图5

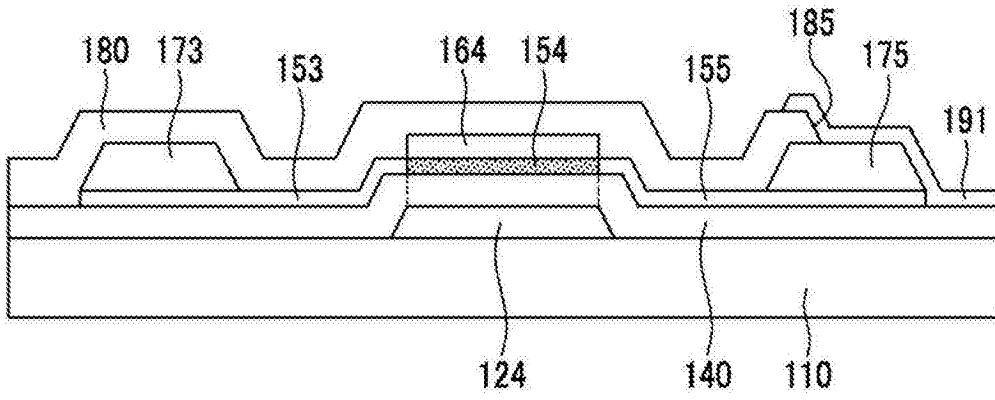


图6

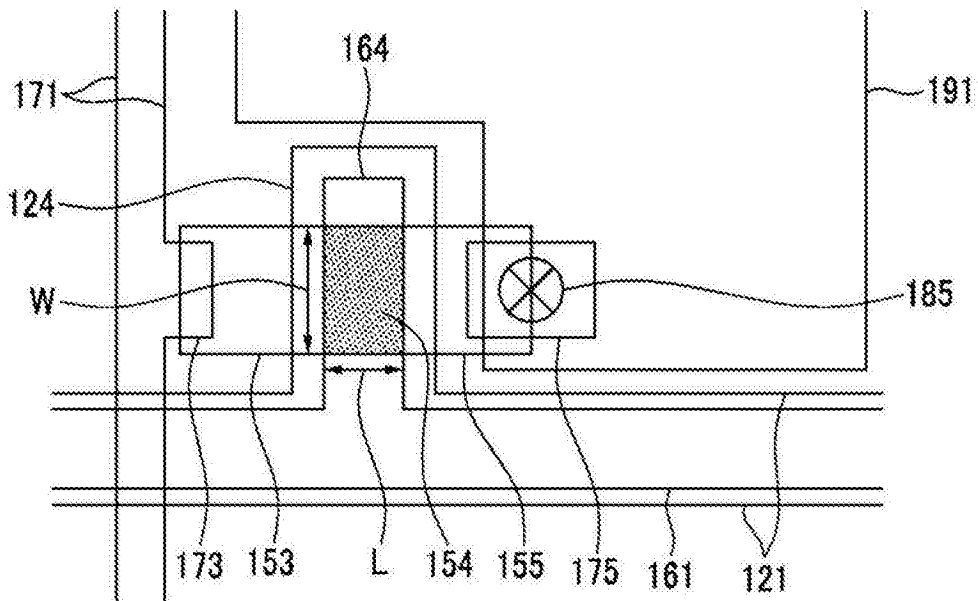


图7

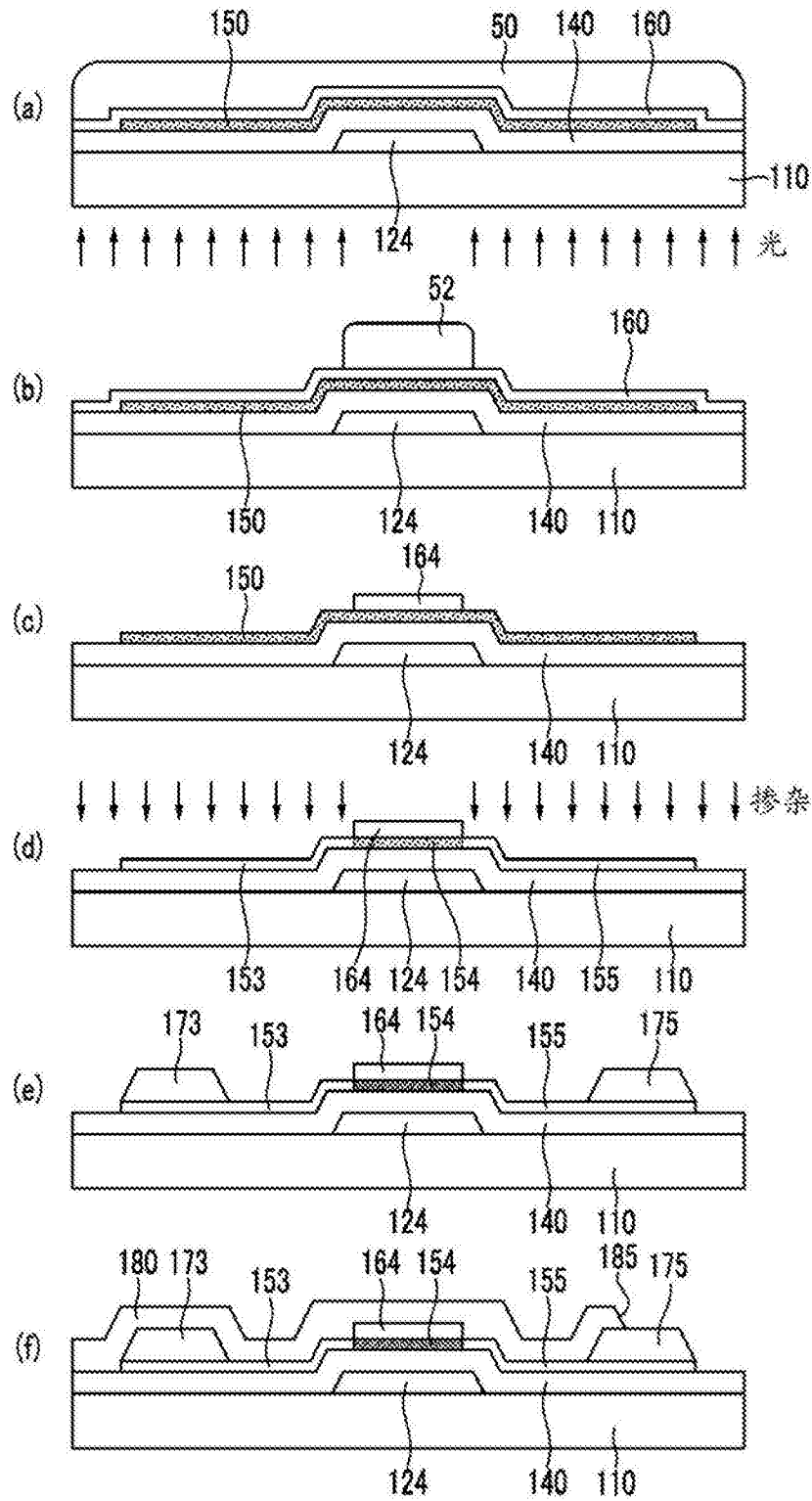


图8

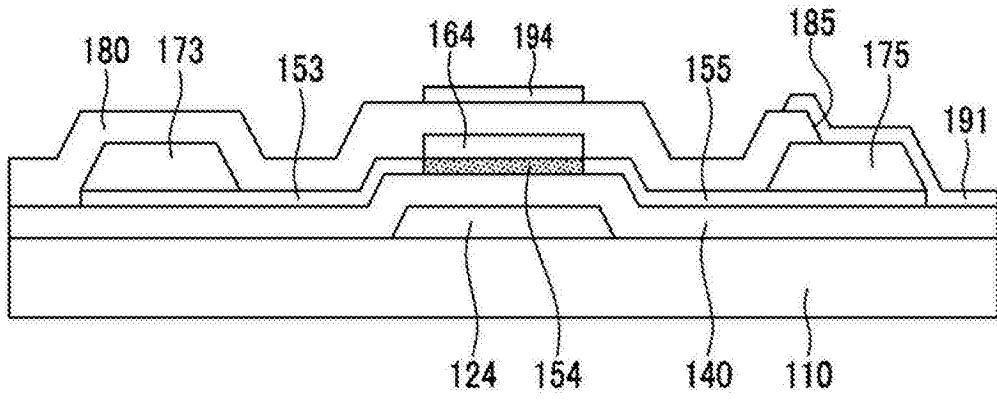


图9

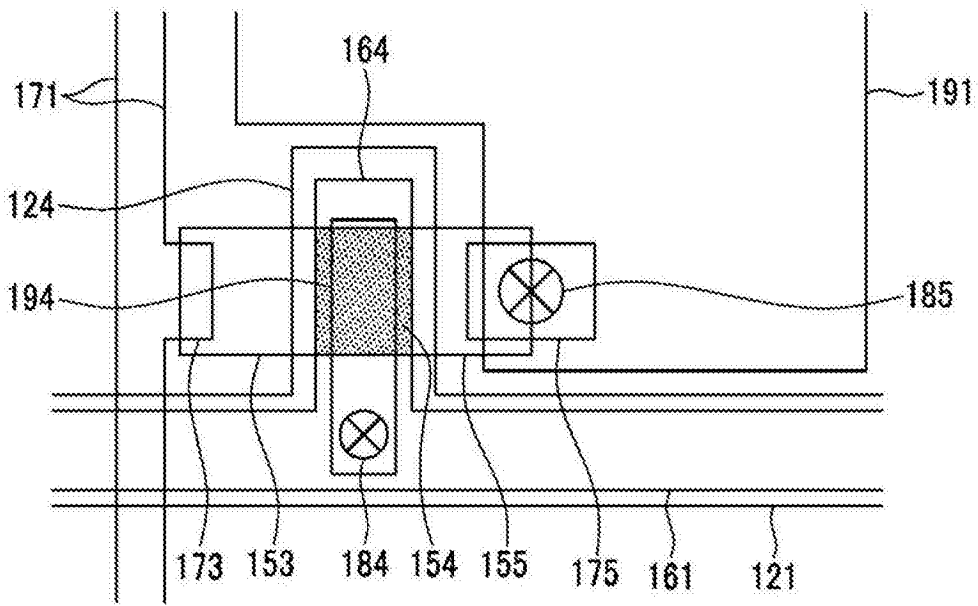


图10

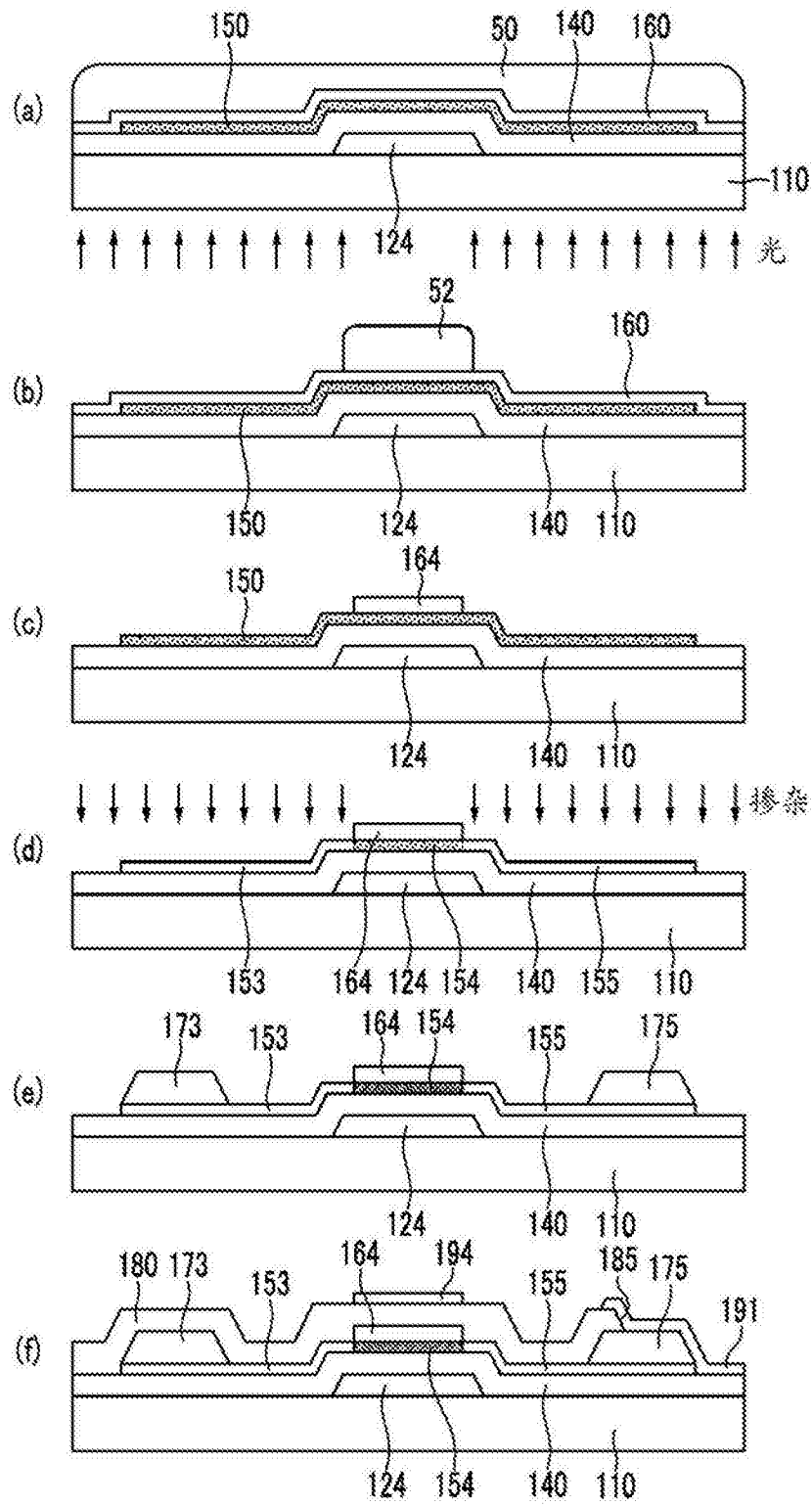


图11

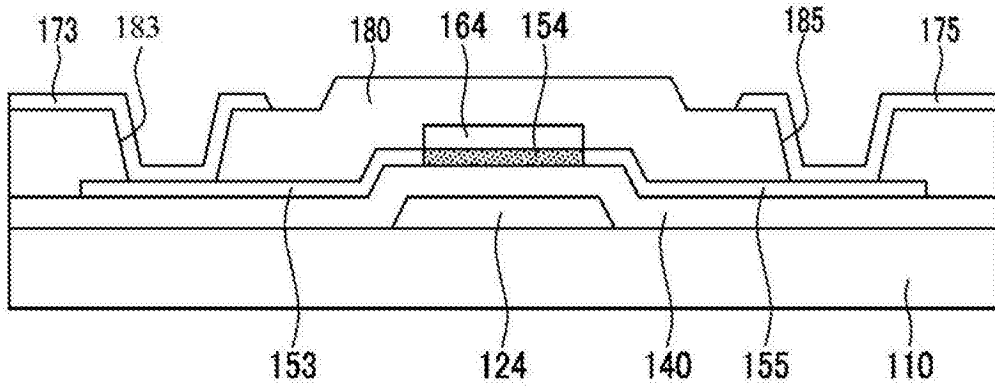
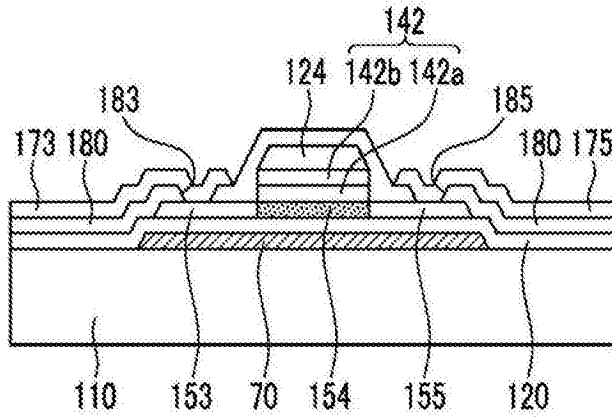


图12

(a)



(b)

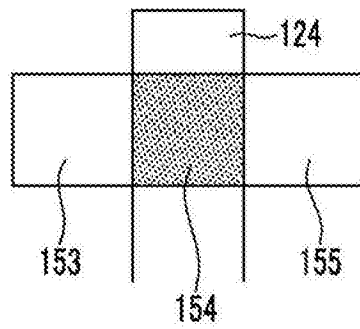


图13

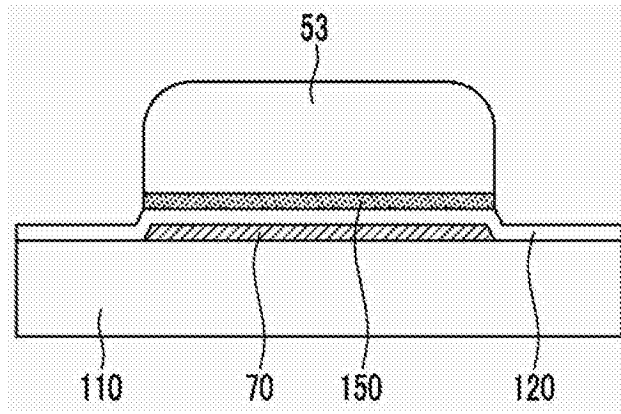


图14

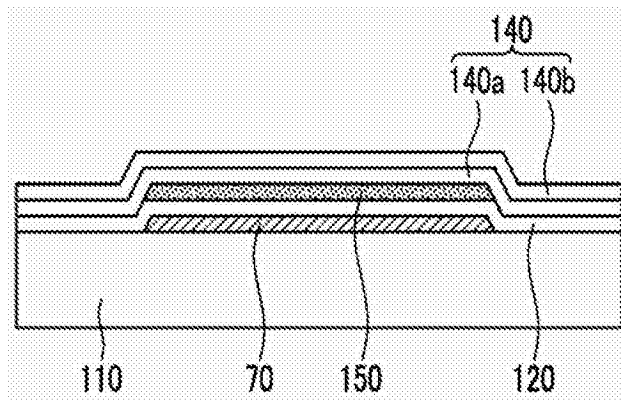


图15

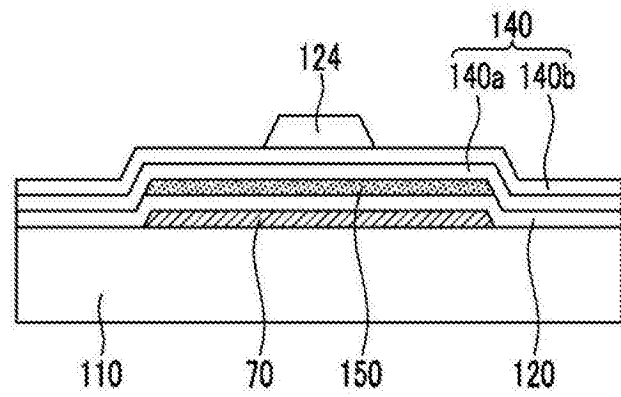


图16

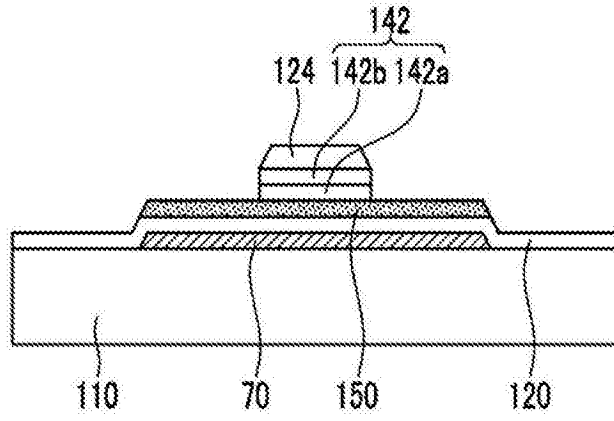


图17

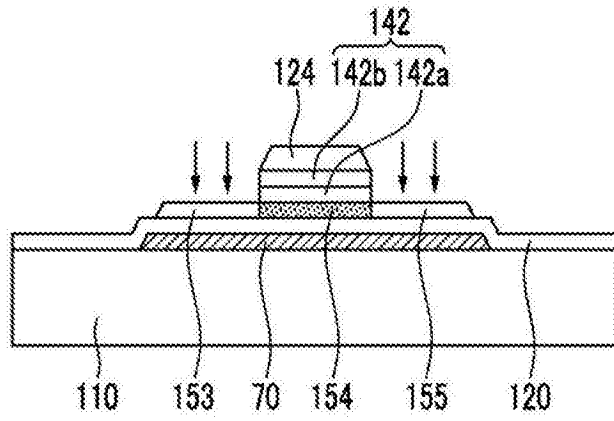


图18

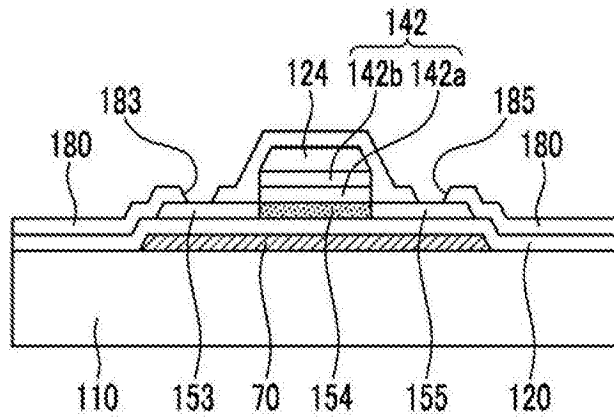


图19

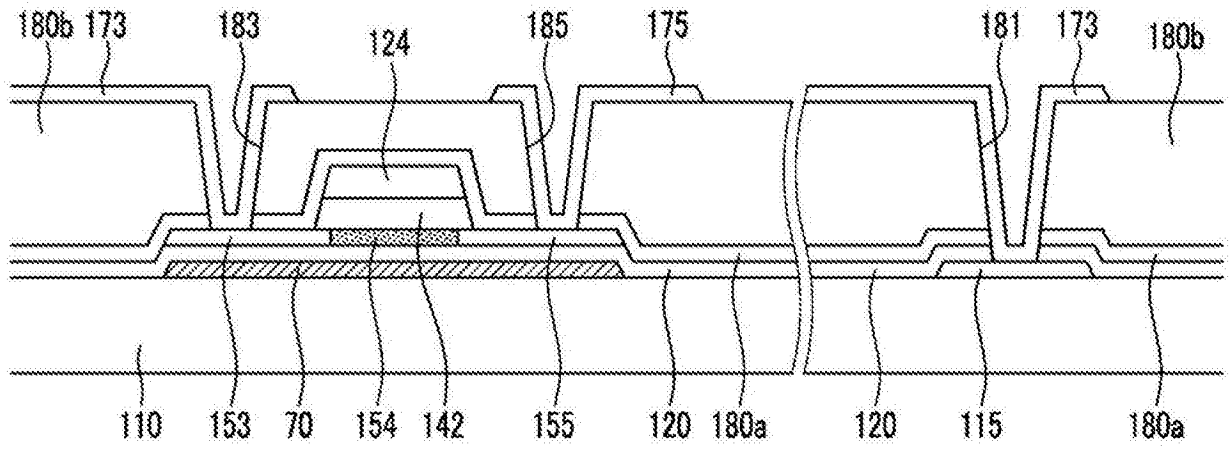


图20

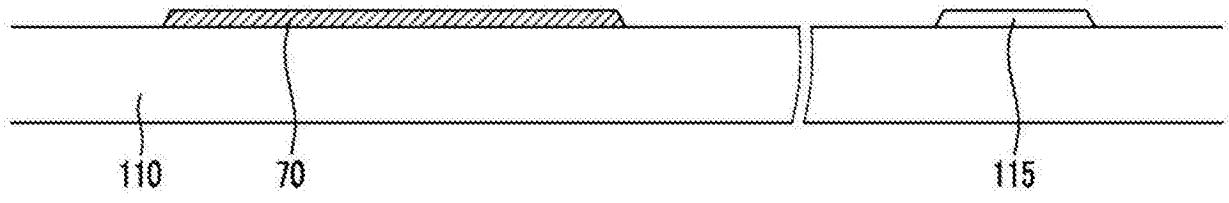


图21

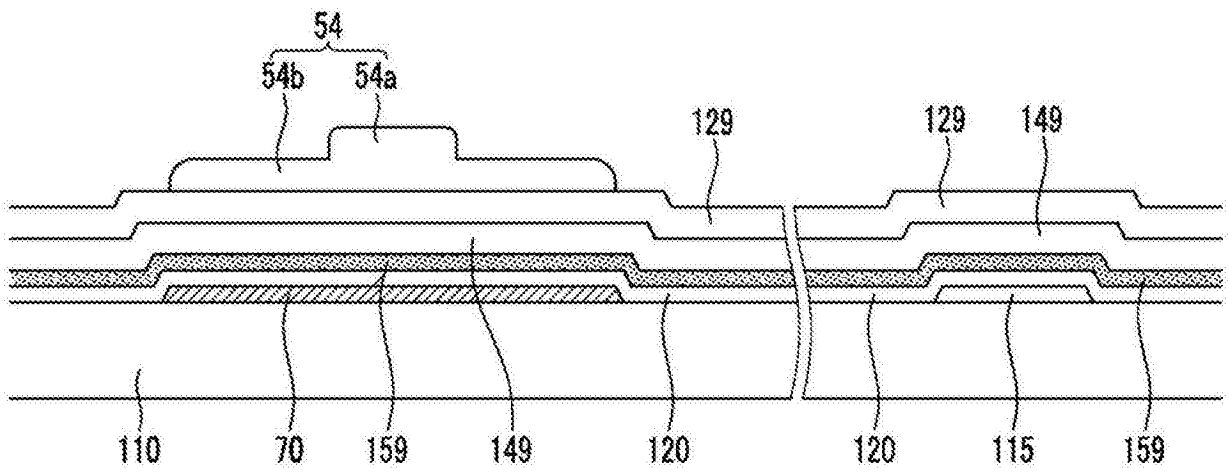


图22

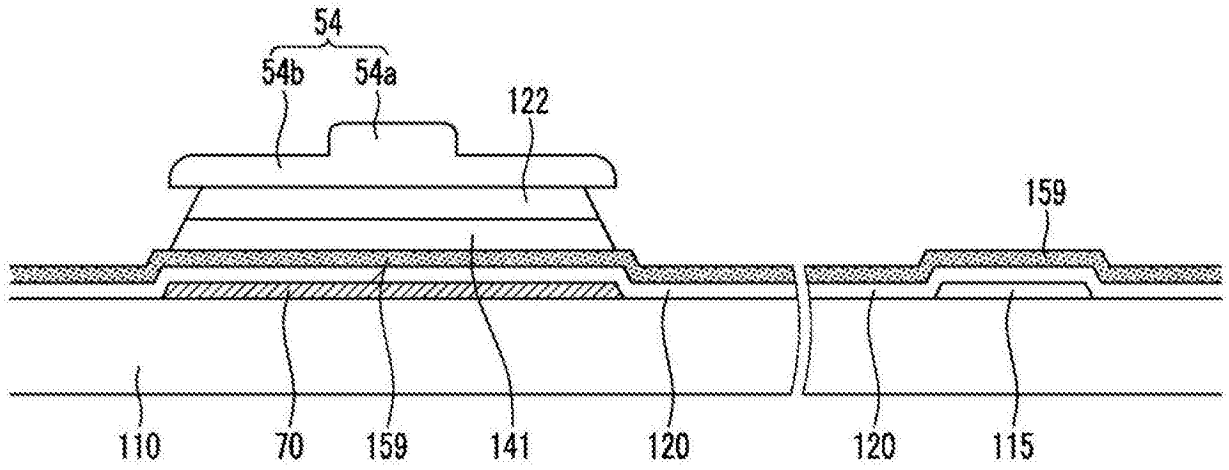


图23

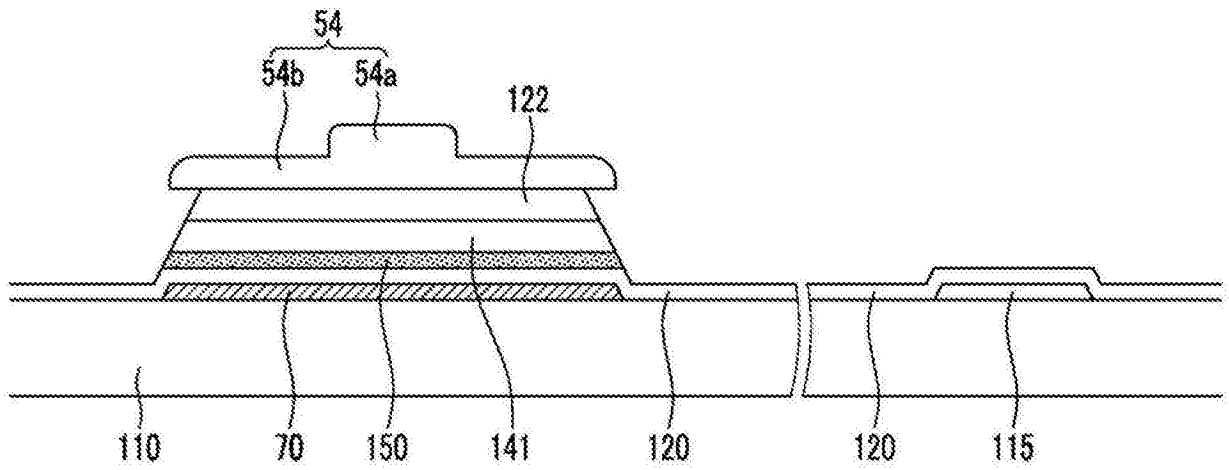


图24

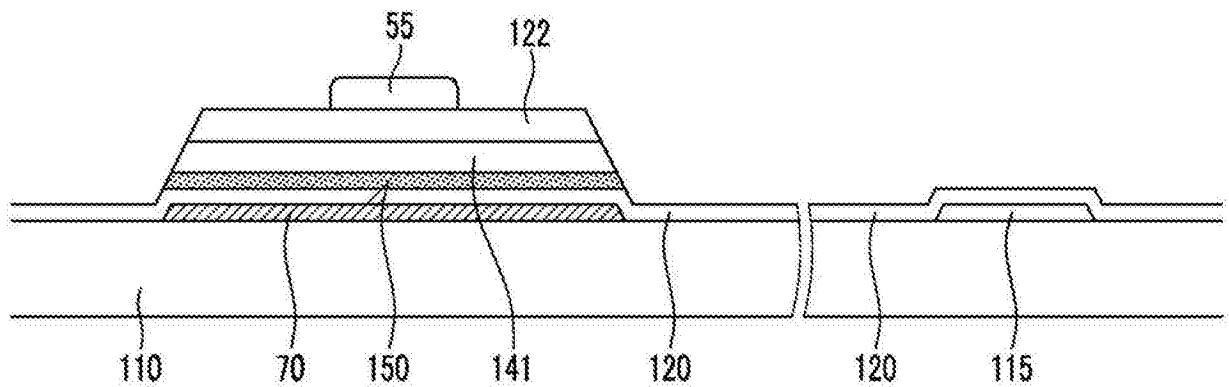


图25

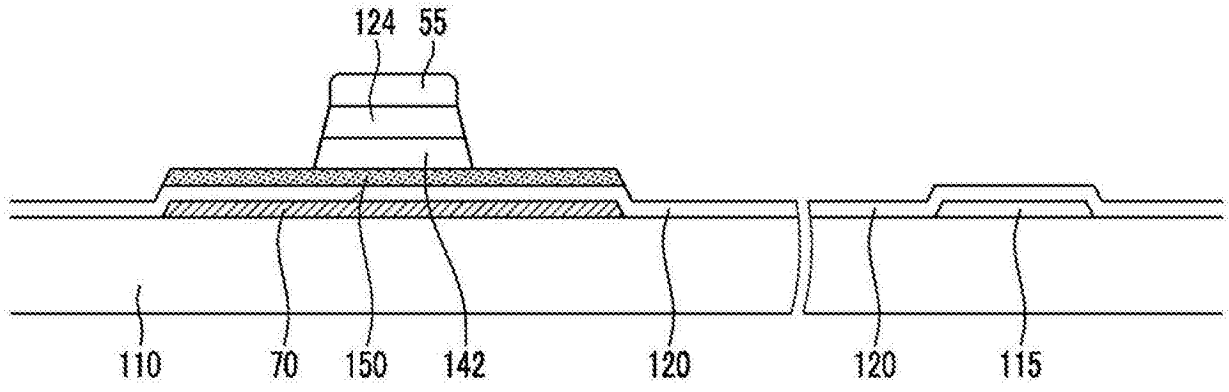


图26

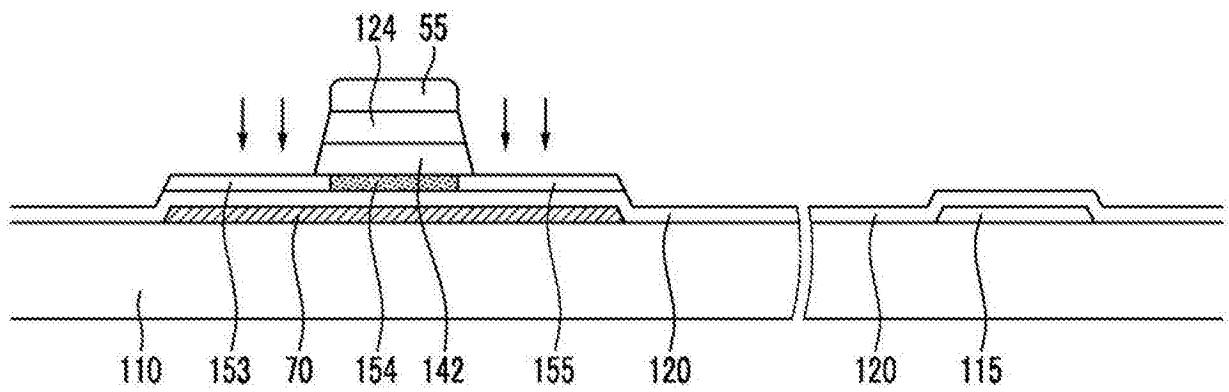


图27

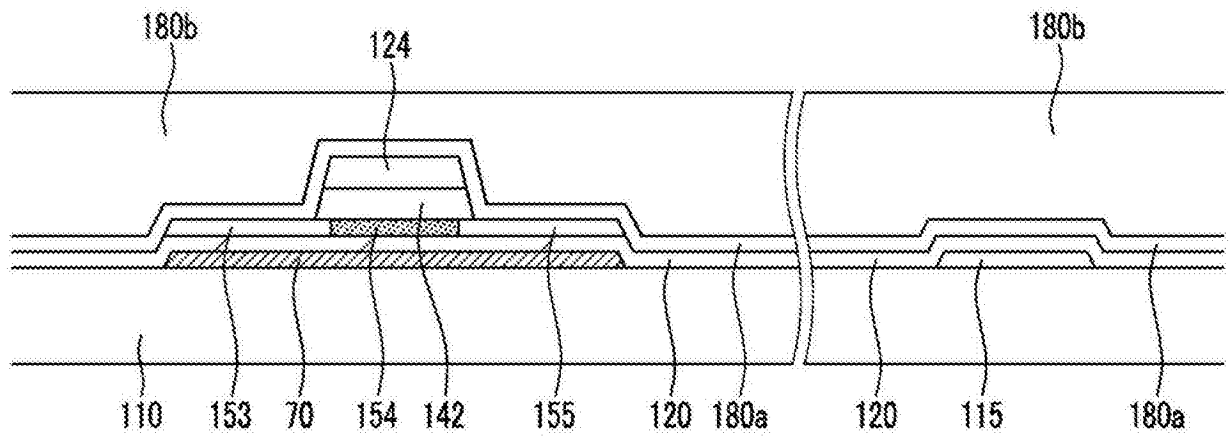


图28

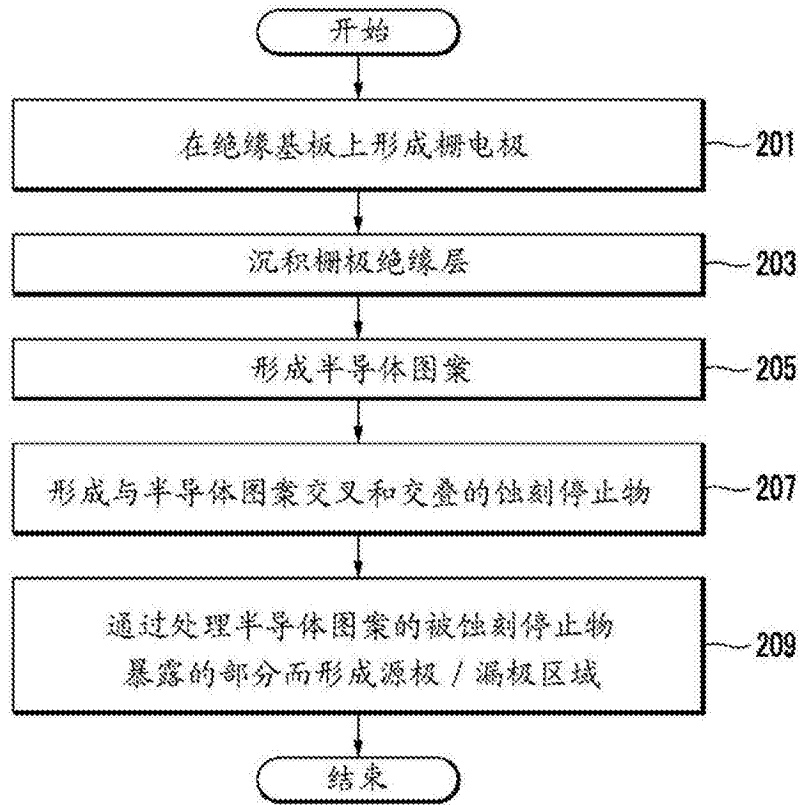


图29

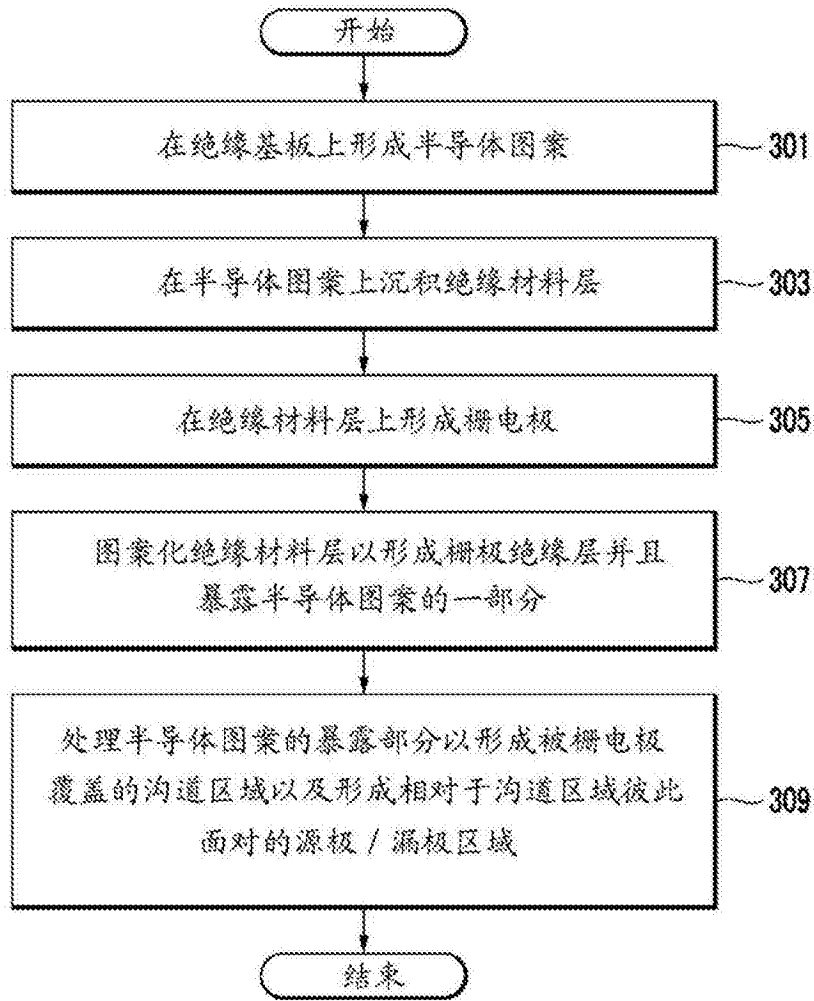


图30