

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4910576号
(P4910576)

(45) 発行日 平成24年4月4日(2012.4.4)

(24) 登録日 平成24年1月27日(2012.1.27)

(51) Int.Cl. F I
HO4N 7/32 (2006.01) HO4N 7/137 Z

請求項の数 1 (全 21 頁)

<p>(21) 出願番号 特願2006-238537 (P2006-238537)</p> <p>(22) 出願日 平成18年9月4日(2006.9.4)</p> <p>(65) 公開番号 特開2008-61156 (P2008-61156A)</p> <p>(43) 公開日 平成20年3月13日(2008.3.13)</p> <p>審査請求日 平成21年5月19日(2009.5.19)</p> <p>前置審査</p>	<p>(73) 特許権者 000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番1号</p> <p>(74) 代理人 100092174 弁理士 平戸 哲夫</p> <p>(72) 発明者 渡部 康弘 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内</p> <p>審査官 古市 徹</p>
---	---

最終頁に続く

(54) 【発明の名称】 動画像処理装置

(57) 【特許請求の範囲】

【請求項1】

複数のデコード処理部又は複数のエンコード処理部を備える動画像処理装置であって、前記複数のデコード処理部又は前記複数のエンコード処理部に共有されるプリフェッチメモリを備え、

前記複数のデコード処理部又は前記複数のエンコード処理部は、トップフィールドとボトムフィールドで構成される処理画面に対し、

参照画を全て共通とするトップフィールドとボトムフィールドについては、該トップフィールドと該ボトムフィールドを並行に処理し、

参照画を共通としない又は参照画の一部を共通とするトップフィールド及びボトムフィールドについては、該トップフィールド及び該ボトムフィールドの処理画面内の上下に隣接するマクロブロックライン又はマクロブロックペアラインを並行に処理すること

を特徴とする動画像処理装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、外部メモリが記憶する参照画の一部をプリフェッチして記憶するためのプリフェッチメモリを備える動画像処理装置に関する。

【背景技術】

【0002】

MPEG (Moving Picture Experts Group) などの動画画像圧縮方式を用いたデコーダ又はエンコーダでは、外部メモリに参照画を格納しておき、復号過程又は符号化過程において外部メモリが記憶する参照画内の矩形領域を読み出す必要があるが、処理によっては、外部メモリ内の同一参照画領域に複数回の読み出しアクセスを行う必要があり、これが外部メモリとの間のデータ転送量増大の一因になっている。

【0003】

そこで、外部メモリ内の同一参照画領域に複数回の読み出しアクセスを行うことを避ける方法として、デコーダ又はエンコーダにプリフェッチメモリを搭載し、外部メモリが記憶する参照画の一部分を更新可能にプリフェッチメモリに記憶し、デコーダ又はエンコーダは、必要とする参照画像をプリフェッチメモリから読み出すという方法が考えられる。このようにすると、外部メモリとの間のデータ転送量を削減することができる。

10

【0004】

図11は第1従来例のMPEGエンコーダを外部メモリとともに示す図である。図11中、1は第1従来例のMPEGエンコーダであり、画像信号をMPEG方式で圧縮符号化してMPEGストリームを作成するものである。2はMPEGエンコーダ1が動きベクトル算出のために参照する参照画を記憶する外部メモリである。

【0005】

また、MPEGエンコーダ1において、3、4はMPEGストリームの作成に必要な演算処理を行うエンコード処理部であり、エンコード処理部3は画面の上半分のスライスを担当し、エンコード処理部4は画面の下半分のスライスを担当するものとされている。

20

【0006】

5はエンコード処理部3に対応して設けられたプリフェッチメモリであり、外部メモリ2が記憶する参照画の上半分のスライスの一部分をプリフェッチして記憶するために使用されるものである。6はエンコード処理部4に対応して設けられたプリフェッチメモリであり、外部メモリ2が記憶する参照画の下半分のスライスの一部分をプリフェッチして記憶するために使用されるものである。

【0007】

第1従来例のMPEGエンコーダ1においては、エンコード処理部3は、動きベクトル算出のためにプリフェッチメモリ5が記憶する画像内の矩形領域を使用する場合には、プリフェッチメモリ5に対して矩形領域の読み出し要求(以下、矩形読み出し要求という場合がある。)を発行することになる。また、エンコード処理部4は、動きベクトル算出のためにプリフェッチメモリ6が記憶する画像内の矩形領域を使用する場合には、プリフェッチメモリ6に対して矩形読み出し要求を発行することになる。

30

【0008】

図12はプリフェッチメモリ5、6がプリフェッチするプリフェッチ領域を具体的に説明するための図であり、図12(A)はプリフェッチメモリ5、6が担当する参照画内の領域を示し、図12(B)はプリフェッチメモリ5、6がプリフェッチするプリフェッチ領域の遷移の様子を示している。

【0009】

図12中、10は外部メモリ2が記憶する参照画、MBL0~MBL15は参照画10のマクロブロックラインである。プリフェッチメモリ5は、参照画10のマクロブロックラインMBL0~MBL7までの8マクロブロックラインからなるスライスSL0を担当し、スライスSL0内の連続する3マクロブロックラインがプリフェッチ領域11とされる。

40

【0010】

また、プリフェッチメモリ6は、参照画10のマクロブロックラインMBL8~MBL15までの8マクロブロックラインからなるスライスSL1を担当し、スライスSL1内の連続する3マクロブロックラインをプリフェッチ領域12とされる。

【0011】

また、図12(B)において、(b1)は処理画面内のエンコード処理部3が処理する

50

マクロブロックラインの遷移、(b2)は処理画面内のエンコード処理部4が処理するマクロブロックラインの遷移、(b3)はプリフェッチメモリ5がスライスSL0からプリフェッチするプリフェッチ領域11の遷移、(b4)はプリフェッチメモリ6がスライスSL1からプリフェッチするプリフェッチ領域12の遷移を示している。

【0012】

即ち、第1従来例のMPEGエンコーダ1においては、エンコード処理部3がマクロブロックラインMBL0を処理する場合には、エンコード処理部4はマクロブロックラインMBL8を処理する。この場合、プリフェッチメモリ5がプリフェッチするプリフェッチ領域11はマクロブロックラインMBL0~MBL2とされ、プリフェッチメモリ6がプリフェッチするプリフェッチ領域12はマクロブロックラインMBL8~MBL10とされる。

10

【0013】

次に、エンコード処理部3がマクロブロックラインMBL1を処理する場合には、エンコード処理部4はマクロブロックラインMBL9を処理する。この場合、プリフェッチメモリ5がプリフェッチするプリフェッチ領域11はマクロブロックラインMBL0~MBL2とされ、プリフェッチメモリ6がプリフェッチするプリフェッチ領域12はマクロブロックラインMBL8~MBL10とされる。

【0014】

次に、エンコード処理部3がマクロブロックラインMBL2を処理する場合には、エンコード処理部4はマクロブロックラインMBL10を処理する。この場合、プリフェッチメモリ5がプリフェッチするプリフェッチ領域11は、1マクロブロックライン分だけ下方向にシフトし、マクロブロックラインMBL1~MBL3とされる。また、プリフェッチメモリ6のプリフェッチ領域12は、1マクロブロックライン分だけ下方向にシフトし、マクロブロックラインMBL9~MBL11とされる。

20

【0015】

その後、エンコード処理部3が1マクロブロックラインの処理を終了するごとに、プリフェッチメモリ5がプリフェッチするプリフェッチ領域11は、1マクロブロックライン分だけ下方向にシフトする。また、エンコード処理部4が1マクロブロックラインの処理を終了するごとに、プリフェッチメモリ6がプリフェッチするプリフェッチ領域12は、1マクロブロックライン分だけ下方向にシフトする。

30

【0016】

そして、エンコード処理部3がマクロブロックラインMBL5を処理する場合には、エンコード処理部4はマクロブロックラインMBL13を処理する。この場合、プリフェッチメモリ5がプリフェッチするプリフェッチ領域11は、マクロブロックラインMBL4~MBL6とされ、プリフェッチメモリ6がプリフェッチするプリフェッチ領域12は、マクロブロックラインMBL12~MBL14とされる。

【0017】

次に、エンコード処理部3がマクロブロックラインMBL6を処理する場合には、エンコード処理部4はマクロブロックラインMBL14を処理する。この場合、プリフェッチメモリ5がプリフェッチするプリフェッチ領域11は、マクロブロックラインMBL5~MBL7とされ、プリフェッチメモリ6がプリフェッチするプリフェッチ領域12は、マクロブロックラインMBL13~MBL15とされる。

40

【0018】

次に、エンコード処理部3がマクロブロックラインMBL7を処理する場合には、エンコード処理部4はマクロブロックラインMBL15を処理する。この場合、プリフェッチメモリ5がプリフェッチするプリフェッチ領域11は、マクロブロックラインMBL5~MBL7とされ、プリフェッチメモリ6がプリフェッチするプリフェッチ領域12は、マクロブロックラインMBL13~MBL15とされる。

【0019】

図13はプリフェッチメモリ5、6にプリフェッチされることが望ましい参照画10内

50

のプリフェッチ領域を説明するための図である。図 1 3 中、1 5 はエンコード処理部 3 が現在処理しているマクロブロックと同じ位置の参照画 1 0 内のマクロブロック、1 6 はエンコード処理部 4 が現在処理しているマクロブロックと同じ位置の参照画 1 0 内のマクロブロックを示している。

【 0 0 2 0 】

ここで、エンコード処理部 3、4 で行われる動きベクトル算出は、ブロックマッチング法により行われるのが一般的である。ブロックマッチング法は、参照画内の探索領域中から、処理マクロブロックと最も近い画像を探す方法であり、図 1 3 中、1 7 はエンコード処理部 3 がマクロブロック 1 5 と同じ位置の処理画面内のマクロブロックを処理する場合に探索する探索領域、1 8 はエンコード処理部 4 がマクロブロック 1 6 と同じ位置の処理画面内のマクロブロックを探索する探索領域を示している。

10

【 0 0 2 1 】

ブロックマッチング処理を行うためには、エンコード処理部 3 は、探索領域 1 7 の画像データを読み出す必要があるため、エンコード処理部 3 用のプリフェッチメモリ 5 がプリフェッチするプリフェッチ領域 1 1 には探索領域 1 7 の全てが含まれていることが望ましいし、また、エンコード処理部 4 は、探索領域 1 8 の画像データを読み出す必要があるため、エンコード処理部 4 用のプリフェッチメモリ 6 がプリフェッチするプリフェッチ領域 1 2 には探索領域 1 8 の全てが含まれていることが望ましい。

【 0 0 2 2 】

図 1 4 は第 2 従来例の M P E G エンコーダを外部メモリとともに示す図である。図 1 4 中、2 0 は第 2 従来例の M P E G エンコーダ、2 1、2 2 は M P E G エンコーダ 2 0 が動きベクトル算出のために参照する参照画を格納するための外部メモリであり、外部メモリ 2 1 には参照画の偶数ラインが割り当てられ、外部メモリ 2 2 には参照画の奇数ラインが割り当てられる。

20

【 0 0 2 3 】

また、M P E G エンコーダ 2 0 において、2 3 は M P E G ストリームの作成に必要な演算処理を行うエンコード処理部、2 4 は外部メモリ 2 1 が記憶する参照画の偶数ラインの一部分をプリフェッチして記憶するためのプリフェッチメモリ、2 5 は外部メモリ 2 2 が記憶する参照画の奇数ラインの一部分をプリフェッチして記憶するためのプリフェッチメモリである。

30

【 0 0 2 4 】

第 2 従来例の M P E G エンコーダ 2 0 においては、エンコード処理部 2 3 は、動きベクトル算出のために必要とする参照画内の矩形領域のうち、プリフェッチメモリ 2 4 が記憶する奇数ライン部分については、プリフェッチメモリ 2 4 に矩形読み出し要求を発行し、プリフェッチメモリ 2 5 が記憶する偶数ライン部分については、プリフェッチメモリ 2 5 に矩形読み出し要求を発行することになる。

【 0 0 2 5 】

図 1 5 は第 2 従来例の M P E G エンコーダ 2 0 におけるプリフェッチメモリ 2 4、2 5 からの読み出し動作を具体的に説明するための図である。図 1 5 中、3 0 は参照画であり、3 1 は参照画 3 0 内の偶数ライン L 0、L 2、...、L 2 5 4 部分の参照画、3 2 は参照画 3 0 内の奇数ライン L 1、L 3、...、L 2 5 5 部分の参照画であり、参照画 3 1 は外部メモリ 2 1 に格納され、参照画 3 2 は外部メモリ 2 2 に格納される。

40

【 0 0 2 6 】

この例では、参照画 3 0 内のライン L 6 4 ~ L 1 2 7 がプリフェッチ領域 3 3 とされ、プリフェッチ領域 3 3 内の偶数ライン L 6 4、L 6 6、...、L 1 2 6 の部分は、プリフェッチ領域 3 4 としてプリフェッチメモリ 2 4 にプリフェッチされ、プリフェッチ領域 3 3 内の奇数ライン L 6 5、L 6 7、...、L 1 2 7 の部分は、プリフェッチ領域 3 5 としてプリフェッチメモリ 2 5 にプリフェッチされる。

【 0 0 2 7 】

ここで、エンコード処理部 2 3 が参照画 3 0 内の矩形領域 3 6 を必要とする場合には、

50

エンコード処理部 23 は、矩形領域 36 内の偶数ライン部分 37 については、プリフェッチメモリ 24 に矩形読み出し要求を発行し、矩形領域 36 内の奇数ライン部分 38 については、プリフェッチメモリ 25 に矩形読み出し要求を発行することになる。

【0028】

この結果、矩形領域 36 内の偶数ライン部分 37 の画像データについては、プリフェッチメモリ 24 から読み出されてエンコード処理部 23 に転送され、矩形領域 36 内の奇数ライン部分 38 の画像データについては、プリフェッチメモリ 25 から読み出されてエンコード処理部 23 に転送される。

【特許文献 1】特開 2005 - 102144 号公報

【特許文献 2】特開 2006 - 31480 号公報

10

【発明の開示】

【発明が解決しようとする課題】

【0029】

第 1 従来例の M P E G エンコーダ 1 においては、エンコード処理部 3、4 に対応させてプリフェッチメモリ 5、6 を設けているので、エンコード処理部 3、4 が必要とする探索領域の合計縦サイズは、それぞれが必要とする探索領域の縦サイズの 2 倍となり、プリフェッチメモリ 5、6 がプリフェッチするプリフェッチ領域の合計縦サイズは、それぞれがプリフェッチするプリフェッチ領域の縦サイズの 2 倍となる。このため、プリフェッチメモリ 5、6 の合計記憶容量が大きくなり、外部メモリ 2 とプリフェッチメモリ 5、6 との間のデータ転送量が増大してしまうという問題点があった。

20

【0030】

また、第 2 従来例の M P E G エンコーダ 20 においては、外部メモリ 21、22 に対応させてプリフェッチメモリ 24、25 を設け、プリフェッチメモリ 24 には参照画 30 内のプリフェッチ領域内の偶数ラインの一部を記憶し、プリフェッチメモリ 25 には参照画 30 内のプリフェッチ領域内の奇数ラインの一部を記憶するようにしているので、エンコード処理部 23 は、プリフェッチメモリ 24、25 に対して別々に矩形読み出し要求を発行しなければならず、画像データ読み出し効率が悪いという問題点があった。

【0031】

本発明は、かかる点に鑑み、外部メモリとプリフェッチメモリとの間のデータ転送量の削減を図ることができるようにした動画像処理装置を提供することを第 1 の目的とし、プリフェッチメモリからの画像データ読み出しの効率化を図ることができるようにした動画像処理装置を提供することを第 2 の目的とする。

30

【課題を解決するための手段】

【0032】

本発明中、第 1 発明は、複数のデコード処理部又は複数のエンコード処理部を備える動画像処理装置であって、前記複数のデコード処理部又は前記複数のエンコード処理部に共有されるプリフェッチメモリを備えるというものである。

【0033】

本発明中、第 2 発明は、デコード処理部又はエンコード処理部を備え、参照画を分割して格納する複数の外部メモリを使用する動画像処理装置であって、前記参照画の一部をプリフェッチして記憶するプリフェッチメモリとして前記複数の外部メモリに共有されるプリフェッチメモリを備えるものである。

40

【発明の効果】

【0034】

本発明中、第 1 発明においては、複数のデコード処理部又は複数のエンコード処理部に共有されるプリフェッチメモリを備えるとしているが、この場合、複数のデコード処理部又は複数のエンコード処理部に、例えば、処理画面内の上下に隣接するマクロブロックライン又はマクロブロックペアラインを並行処理させることができる。

【0035】

このようにする場合には、複数のデコード処理部の各々の参照領域の縦サイズ又は複数

50

のエンコード処理部の各々の探索領域の縦サイズを従来のように複数のデコード処理部の各々又は複数のエンコード処理部の各々に対応させて複数のプリフェッチメモリを設ける場合と同様にしても、参照領域又は探索領域の縦サイズを従来のように複数のプリフェッチメモリを設けるようにした場合の参照領域又は探索領域の合計縦サイズよりも小さくすることができる。

【0036】

したがって、プリフェッチメモリにプリフェッチさせるプリフェッチ領域の縦サイズを従来のように複数のプリフェッチメモリを設けるようにした場合のプリフェッチ領域の合計縦サイズよりも小さくすることができ、プリフェッチメモリに要求される記憶容量を従来のように複数のプリフェッチメモリを設けるようにした場合の合計記憶容量よりも小さくすることができる。

10

【0037】

また、複数のデコード処理部又は複数のエンコード処理部に、例えば、参照画を共通とする所定の複数処理画面を並行処理させることもできる。このようにする場合には、所定の複数処理画面が必要とする共通の参照画の一部を別々にプリフェッチする必要はなく、外部メモリとプリフェッチメモリとの間のデータ転送量を削減することができる。

【0038】

本発明中、第2発明においては、参照画を分割して格納する複数の外部メモリを使用する場合であっても、プリフェッチメモリとして複数の外部メモリで共有されるプリフェッチメモリを備えるとしているので、デコード処理部又はエンコード処理部は、従来例のように複数のプリフェッチメモリに対して別々に矩形読み出し要求を発行する必要はなく、共有されるプリフェッチメモリに対して矩形読み出し要求を発行すれば足りる。したがって、プリフェッチメモリからの画像データ読み出しの効率化を図ることができる。

20

【発明を実施するための最良の形態】

【0039】

(第1発明の動画像処理装置の一実施形態)

図1は第1発明の動画像処理装置の一実施形態であるMPEGエンコーダを外部メモリとともに示す図である。図1中、40は第1発明の動画像処理装置の一実施形態であるMPEGエンコーダであり、画像信号をMPEG方式で圧縮符号化してMPEGストリームを作成するものである。41はMPEGエンコーダ40が動きベクトル算出のために参照する参照画を格納するための外部メモリである。

30

【0040】

また、MPEGエンコーダ40において、42、43はMPEGストリームの作成に必要な演算処理を行うエンコード処理部である。これらエンコード処理部42、43は、上下に隣接したマクロブロックラインを並列処理するか、又は、参照画を共通とする複数の画面を並列処理するか、又は、上下に隣接したマクロブロックラインの並列処理と、参照画を共通とする複数の画面の並列処理とを切り替えて行うものである。

【0041】

また、44は外部メモリ41が記憶する参照画の一部をプリフェッチして記憶するプリフェッチメモリ、45はエンコード処理部42が発行したプリフェッチメモリ44への矩形読み出し要求の転送とエンコード処理部43が発行したプリフェッチメモリ44への矩形読み出し要求の転送を調停する調停部である。

40

【0042】

エンコード処理部42、43は、プリフェッチメモリ44が記憶する画像内の矩形領域を参照画像として使用する場合には、それぞれ、矩形読み出し要求を調停部45に対して発行することになる。この矩形読み出し要求には、読み出し対象の矩形領域の位置情報及びサイズ情報などが含まれる。

【0043】

図2はエンコード処理部42、43が上下に隣接したマクロブロックラインを並列処理する場合にプリフェッチメモリ44にプリフェッチされることが望ましい参照画内のプリ

50

フェッチ領域を説明するための図である。図 2 中、50 は外部メモリ 41 が記憶する参照画、51 はエンコード処理部 42 が現在処理しているマクロブロックと同じ位置の参照画 50 内のマクロブロック、52 はエンコード処理部 43 が現在処理しているマクロブロックと同じ位置の参照画 50 内のマクロブロックを示している。

【0044】

また、53 はエンコード処理部 42 がマクロブロック 51 と同じ位置の処理画面内のマクロブロックについてのブロックマッチング処理のために探索する探索領域、54 はエンコード処理部 43 がマクロブロック 52 と同じ位置の処理画面内のマクロブロックについてのブロックマッチング処理のために探索する探索領域を示している。

【0045】

ここで、エンコード処理部 42、43 による探索領域 53、54 の縦サイズを、図 13 に示すように、第 1 従来例の MPEG エンコーダ 1 が備えるエンコード処理部 3、4 の場合と同様に 3 マクロブロック分とすると、エンコード処理部 42、43 は、上下に隣接したマクロブロックラインを並行処理するので、エンコード処理部 42、43 が探索する探索領域 53、54 は、縦サイズを 4 マクロブロック分とする領域に含まれることになる。

【0046】

そこで、例えば、エンコード処理部 42 がマクロブロックライン MBL4 を処理し、エンコード処理部 43 がマクロブロックライン MBL5 を処理する場合には、エンコード処理部 42 の探索領域 53 の縦領域はマクロブロックライン MBL3 ~ MBL5 部分であり、エンコード処理部 43 の探索領域 54 の縦領域はマクロブロックライン MBL4 ~ MBL6 部分である。したがって、この場合には、プリフェッチメモリ 44 がプリフェッチすべきプリフェッチ領域 55 は、マクロブロックライン MBL3 ~ MBL6 の 4 マクロブロックラインということになる。

【0047】

即ち、エンコード処理部 42、43 が上下に隣接したマクロブロックラインを並列処理する場合には、エンコード処理部 42、43 の探索領域 53、54 の縦サイズがそれぞれ 3 マクロブロックライン分であっても、プリフェッチメモリ 44 がプリフェッチすべきプリフェッチ領域 55 の縦サイズは、エンコード処理部 42、43 の探索領域 53、54 の縦サイズの 2 倍である 6 マクロブロックライン分ではなく、「エンコード処理部 42、43 の探索領域 53、54 の縦サイズの 2 倍 - 」である 4 マクロブロックライン分で足りる。

【0048】

図 3 はエンコード処理部 42、43 が上下に隣接したマクロブロックラインを並列処理する場合にプリフェッチメモリ 44 がプリフェッチするプリフェッチ領域の具体例を説明するための図であり、図 3 (A) はエンコード処理部 42 が処理するマクロブロックラインの遷移、図 3 (B) はエンコード処理部 43 が処理するマクロブロックラインの遷移、図 3 (C) はプリフェッチメモリ 44 がプリフェッチする参照画 50 内のプリフェッチ領域 55 の遷移を示している。

【0049】

即ち、エンコード処理部 42、43 が上下に隣接したマクロブロックラインを並列処理する場合には、図 3 (A) に示すように、エンコード処理部 42 がマクロブロックライン MBL0 を処理し、エンコード処理部 43 がマクロブロックライン MBL1 を処理する場合には、プリフェッチメモリ 44 がプリフェッチするプリフェッチ領域 55 は、例えば、マクロブロックライン MBL0 ~ MBL3 とされる。

【0050】

次に、エンコード処理部 42 がマクロブロックライン MBL2 を処理し、エンコード処理部 43 がマクロブロックライン MBL3 を処理する場合には、プリフェッチメモリ 44 がプリフェッチするプリフェッチ領域 55 は、例えば、マクロブロックライン MBL1 ~ MBL4 とされる。

【0051】

10

20

30

40

50

次に、エンコード処理部 4 2 がマクロブロックライン M B L 4 を処理し、エンコード処理部 4 3 がマクロブロックライン M B L 5 を処理する場合には、プリフェッチメモリ 4 4 がプリフェッチするプリフェッチ領域 5 5 は、例えば、マクロブロックライン M B L 3 ~ M B L 6 とされる。

【 0 0 5 2 】

その後、エンコード処理部 4 2、4 3 が 1 マクロブロックラインの処理を終了するごとに、プリフェッチメモリ 4 4 がプリフェッチするプリフェッチ領域 5 5 は、2 マクロブロックライン分だけ下方向にシフトする。そして、エンコード処理部 4 2 がマクロブロックライン M B L 1 0 を処理し、エンコード処理部 4 3 がマクロブロックライン M B L 1 1 を処理する場合には、プリフェッチメモリ 4 4 がプリフェッチするプリフェッチ領域 5 5 は、例えば、マクロブロックライン M B L 9 ~ M B L 1 2 とされる。

10

【 0 0 5 3 】

次に、エンコード処理部 4 2 がマクロブロックライン M B L 1 2 を処理し、エンコード処理部 4 3 がマクロブロックライン M B L 1 3 を処理する場合には、プリフェッチメモリ 4 4 がプリフェッチするプリフェッチ領域 5 5 は、例えば、マクロブロックライン M B L 1 1 ~ M B L 1 4 とされる。

【 0 0 5 4 】

次に、エンコード処理部 4 2 がマクロブロックライン M B L 1 4 を処理し、エンコード処理部 4 3 がマクロブロックライン M B L 1 5 を処理する場合には、プリフェッチメモリ 4 4 がプリフェッチするプリフェッチ領域 5 5 は、例えば、マクロブロックライン M B L 1 2 ~ M B L 1 5 とされる。

20

【 0 0 5 5 】

図 4 はフィールド構造の M P E G ストリームの一部分を示す図である。フィールド構造の画像信号を符号化する場合において、P フィールド画面を符号化する場合には、必要とする参照画は 2 枚である。例えば、 P_{n+3} トップフィールド画面を符号化する場合には、 P_n トップフィールド及び P_n ボトムフィールドの復号画面が参照され、 P_{n+3} ボトムフィールド画面を符号化する場合には、 P_{n+3} トップフィールド及び P_n ボトムフィールドの復号画面が参照される。なお、図 4 及び図 5 では、トップを (T)、ボトムを (B) で示している。

【 0 0 5 6 】

30

また、 P_{n+6} トップフィールド画面を符号化する場合には、 P_{n+3} トップフィールド及び P_{n+3} ボトムフィールドの復号画面が参照され、 P_{n+6} ボトムフィールド画面を符号化する場合には、 P_{n+6} トップフィールド及び P_{n+3} ボトムフィールドの復号画面が参照される。

【 0 0 5 7 】

これに対して、B フィールド画面を符号化する場合には、必要とする参照画は 4 枚である。例えば、 B_{n+1} トップフィールド画面、 B_{n+1} ボトムフィールド画面、 B_{n+2} トップフィールド画面及び B_{n+2} ボトムフィールド画面を符号化する場合には、 P_{n+3} トップフィールド、 P_n トップフィールド、 P_{n+3} ボトムフィールド及び P_n ボトムフィールドの復号画面が参照される。

【 0 0 5 8 】

40

図 5 は図 4 に示す P_{n+3} トップ/ボトム、 B_{n+1} トップ/ボトム、 B_{n+2} トップ/ボトム及び P_{n+6} トップ/ボトムの各フィールド画面を符号化する場合に適用して好適な処理領域のエンコード処理部 4 2、4 3 への第 1 の割り当て方法及びプリフェッチメモリ 4 4 にプリフェッチさせるプリフェッチ領域を示す図である。この第 1 の割り当て方法は、エンコード処理部 4 2、4 3 は、画面によらず、上下に隣接したマクロブロックラインを並列処理する場合である。

【 0 0 5 9 】

即ち、第 1 の割り当て方法では、エンコード処理部 4 2 には、 P_{n+3} トップフィールド画面、 P_{n+3} ボトムフィールド画面、 B_{n+1} トップフィールド画面、 B_{n+1} ボトムフィールド画面、 B_{n+2} トップフィールド画面、 B_{n+2} ボトムフィールド画面、 P_{n+6} トップフィー

50

ルド画面及び P_{n+6} ボトムフィールド画面の各偶数マクロブロックラインが割り当てられる。

【 0 0 6 0 】

また、エンコード処理部 4 3 には、 P_{n+3} トップフィールド画面、 P_{n+3} ボトムフィールド画面、 B_{n+1} トップフィールド画面、 B_{n+1} ボトムフィールド画面、 B_{n+2} トップフィールド画面、 B_{n+2} ボトムフィールド画面、 P_{n+6} トップフィールド画面及び P_{n+6} ボトムフィールド画面の各奇数マクロブロックラインが割り当てられる。

【 0 0 6 1 】

そして、エンコード処理部 4 2 による P_{n+3} トップフィールド画面の偶数マクロブロックラインの符号化処理と、エンコード処理部 4 3 による P_{n+3} トップフィールド画面の奇数マクロブロックラインの符号化処理とが並行して実行される。この場合、プリフェッチメモリ 4 4 には P_n トップフィールド及び P_n ボトムフィールドの各復号画面の一部が記憶される。

10

【 0 0 6 2 】

次に、エンコード処理部 4 2 による P_{n+3} ボトムフィールド画面の偶数マクロブロックラインの符号化処理と、エンコード処理部 4 3 による P_{n+3} ボトムフィールド画面の奇数マクロブロックラインの符号化処理とが並行して実行される。この場合、プリフェッチメモリ 4 4 には P_{n+3} トップフィールド及び P_n ボトムフィールドの各復号画面の一部が記憶される。

【 0 0 6 3 】

次に、エンコード処理部 4 2 による B_{n+1} トップフィールド画面の偶数マクロブロックラインの符号化処理と、エンコード処理部 4 3 による B_{n+1} トップフィールド画面の奇数マクロブロックラインの符号化処理とが並行して実行される。この場合、プリフェッチメモリ 4 4 には P_n トップフィールド、 P_n ボトムフィールド、 P_{n+3} トップフィールド及び P_{n+3} ボトムフィールドの各復号画面の一部が記憶される。

20

【 0 0 6 4 】

次に、エンコード処理部 4 2 による B_{n+1} ボトムフィールド画面の偶数マクロブロックラインの符号化処理と、エンコード処理部 4 3 による B_{n+1} ボトムフィールド画面の奇数マクロブロックラインの符号化処理とが並行して実行される。この場合、プリフェッチメモリ 4 4 には P_n トップフィールド、 P_n ボトムフィールド、 P_{n+3} トップフィールド及び P_{n+3} ボトムフィールドの各復号画面の一部が記憶される。

30

【 0 0 6 5 】

次に、エンコード処理部 4 2 による B_{n+2} トップフィールド画面の偶数マクロブロックラインの符号化処理と、エンコード処理部 4 3 による B_{n+2} トップフィールド画面の奇数マクロブロックラインの符号化処理とが並行して実行される。この場合、プリフェッチメモリ 4 4 には P_n トップフィールド、 P_n ボトムフィールド、 P_{n+3} トップフィールド及び P_{n+3} ボトムフィールドの各復号画面の一部が記憶される。

【 0 0 6 6 】

次に、エンコード処理部 4 2 による B_{n+2} ボトムフィールド画面の偶数マクロブロックラインの符号化処理と、エンコード処理部 4 3 による B_{n+2} ボトムフィールド画面の奇数マクロブロックラインの符号化処理とが並行して実行される。この場合、プリフェッチメモリ 4 4 には P_n トップフィールド、 P_n ボトムフィールド、 P_{n+3} トップフィールド及び P_{n+3} ボトムフィールドの各復号画面の一部が記憶される。

40

【 0 0 6 7 】

次に、エンコード処理部 4 2 による P_{n+6} トップフィールド画面の偶数マクロブロックラインの符号化処理と、エンコード処理部 4 3 による P_{n+6} トップフィールド画面の奇数マクロブロックラインの符号化処理とが並行して実行される。この場合、プリフェッチメモリ 4 4 には P_{n+3} トップフィールド及び P_{n+3} ボトムフィールドの各復号画面の一部が記憶される。

【 0 0 6 8 】

50

次に、エンコード処理部 4 2 による P_{n+6} ボトムフィールド画面の偶数マクロブロックラインの符号化処理と、エンコード処理部 4 3 による P_{n+6} ボトムフィールド画面の奇数マクロブロックラインの符号化処理とが並行して実行される。この場合、プリフェッチメモリ 4 4 には P_{n+6} トップフィールド及び P_{n+3} ボトムフィールドの各復号画面の一部が記憶される。

【 0 0 6 9 】

図 6 は図 4 に示す B_{n+1} トップ/ボトム各フィールドを図 5 に示す第 1 の割り当て方法を使用して符号化する場合におけるエンコード処理部 4 2、4 3 の処理領域の遷移とプリフェッチメモリ 4 4 がプリフェッチするプリフェッチ領域の遷移を示す図である。

【 0 0 7 0 】

図 6 (A) はエンコード処理部 4 2 が処理するマクロブロックラインの遷移、図 6 (B) はエンコード処理部 4 3 が処理するマクロブロックラインの遷移、図 6 (C) はプリフェッチメモリ 4 4 がプリフェッチする P_n トップフィールド参照画のプリフェッチ領域の遷移、図 6 (D) はプリフェッチメモリ 4 4 がプリフェッチする P_n ボトムフィールド参照画のプリフェッチ領域の遷移を示している。

【 0 0 7 1 】

なお、6 0 は P_n トップフィールド参照画、6 1 はプリフェッチメモリ 4 4 がプリフェッチする P_n トップフィールド参照画 6 0 内のプリフェッチ領域、6 2 は P_n ボトムフィールド参照画、6 3 はプリフェッチメモリ 4 4 がプリフェッチする P_n ボトムフィールド参照画 6 2 内のプリフェッチ領域である。

【 0 0 7 2 】

また、図 6 では、プリフェッチメモリ 4 4 がプリフェッチする P_{n+3} トップフィールド参照画のプリフェッチ領域の遷移及び P_{n+3} ボトムフィールド参照画のプリフェッチ領域の遷移は、図示を省略しているが、それぞれ図 6 (C) 及び図 6 (D) に示す場合と同様である。

【 0 0 7 3 】

図 7 は図 4 に示す P_{n+3} トップ/ボトム、 B_{n+1} トップ/ボトム、 B_{n+2} トップ/ボトム及び P_{n+6} トップ/ボトムの各フィールド画面を符号化する場合に適用して好適な処理領域のエンコード処理部 4 2、4 3 への第 2 の割り当て方法及びプリフェッチメモリ 4 4 にプリフェッチさせるプリフェッチ領域を示す図である。

【 0 0 7 4 】

この第 2 の割り当て方法は、エンコード処理部 4 2、4 3 に、上下に隣接したマクロブロックラインの並列処理と、参照画を共通とする複数の画面の並列処理とを切り替えて行わせるというものであり、具体的には、 P_{n+3} トップ/ボトム及び P_{n+6} トップ/ボトムの各フィールド画面を符号化する場合には、エンコード処理部 4 2、4 3 に上下に隣接したマクロブロックラインの並列処理を行わせ、 B_{n+1} トップ/ボトム及び B_{n+2} トップ/ボトムの各フィールド画面を符号化する場合には、エンコード処理部 4 2、4 3 にトップフィールド画面とボトムフィールド画面の並列処理を行わせるというものである。

【 0 0 7 5 】

即ち、第 2 の割り当て方法では、エンコード処理部 4 2 には、 P_{n+3} トップフィールド画面の偶数マクロブロックライン、 P_{n+3} ボトムフィールド画面の偶数マクロブロックライン、 B_{n+1} トップフィールド画面、 B_{n+2} トップフィールド画面、 P_{n+6} トップフィールド画面の偶数マクロブロックライン及び P_{n+6} ボトムフィールド画面の偶数マクロブロックラインが割り当てられる。

【 0 0 7 6 】

また、エンコード処理部 4 3 には、 P_{n+3} トップフィールド画面の奇数マクロブロックライン、 P_{n+3} ボトムフィールド画面の奇数マクロブロックライン、 B_{n+1} ボトムフィールド画面、 B_{n+2} ボトムフィールド画面、 P_{n+6} トップフィールド画面の奇数マクロブロックライン及び P_{n+6} ボトムフィールド画面の奇数マクロブロックラインが割り当てられる。

【 0 0 7 7 】

10

20

30

40

50

そして、エンコード処理部 4 2 による P_{n+3} トップフィールド画面の偶数マクロブロックラインの符号化処理と、エンコード処理部 4 3 による P_{n+3} トップフィールド画面の奇数マクロブロックラインの符号化処理とが並行して実行される。この場合、プリフェッチメモリ 4 4 には P_n トップフィールド及び P_n ボトムフィールドの各復号画面の一部が記憶される。

【 0 0 7 8 】

次に、エンコード処理部 4 2 による P_{n+3} ボトムフィールド画面の偶数マクロブロックラインの符号化処理と、エンコード処理部 4 3 による P_{n+3} ボトムフィールド画面の奇数マクロブロックラインの符号化処理とが並行して実行される。この場合、プリフェッチメモリ 4 4 には P_{n+3} トップフィールド及び P_n ボトムフィールドの各復号画面の一部が記憶される。

10

【 0 0 7 9 】

次に、エンコード処理部 4 2 による B_{n+1} トップフィールド画面の符号化処理と、エンコード処理部 4 3 による B_{n+1} ボトムフィールド画面の符号化処理とが並行して実行される。この場合、プリフェッチメモリ 4 4 には P_n トップフィールド、 P_n ボトムフィールド、 P_{n+3} トップフィールド及び P_{n+3} ボトムフィールドの各復号画面の一部が記憶される。

【 0 0 8 0 】

次に、エンコード処理部 4 2 による B_{n+2} トップフィールド画面の符号化処理と、エンコード処理部 4 3 による B_{n+2} ボトムフィールド画面の符号化処理とが並行して実行される。この場合、プリフェッチメモリ 4 4 には P_n トップフィールド、 P_n ボトムフィールド、 P_{n+3} トップフィールド及び P_{n+3} ボトムフィールドの各復号画面の一部が記憶される。

20

【 0 0 8 1 】

次に、エンコード処理部 4 2 による P_{n+6} トップフィールド画面の偶数マクロブロックラインの符号化処理と、エンコード処理部 4 3 による P_{n+6} トップフィールド画面の奇数マクロブロックラインの符号化処理とが並行して実行される。この場合、プリフェッチメモリ 4 4 には P_{n+3} トップフィールド及び P_{n+3} ボトムフィールドの各復号画面の一部が記憶される。

【 0 0 8 2 】

次に、エンコード処理部 4 2 による P_{n+6} ボトムフィールド画面の偶数マクロブロックラインの符号化処理と、エンコード処理部 4 3 による P_{n+6} ボトムフィールド画面の奇数マクロブロックラインの符号化処理とが並行して実行される。この場合、プリフェッチメモリ 4 4 には P_{n+6} トップフィールド及び P_{n+3} ボトムフィールドの各復号画面の一部が記憶される。

30

【 0 0 8 3 】

図 8 は図 4 に示す B_{n+1} トップ/ボトム各フィールドを図 7 に示す第 2 の割り当て方法を使用して符号化する場合におけるエンコード処理部 4 2、4 3 の処理領域の遷移とプリフェッチメモリ 4 4 がプリフェッチするプリフェッチ領域の遷移を示す図である。

【 0 0 8 4 】

図 8 (A) はエンコード処理部 4 2 が処理するマクロブロックラインの遷移、図 8 (B) はエンコード処理部 4 3 が処理するマクロブロックラインの遷移、図 8 (C) はプリフェッチメモリ 4 4 がプリフェッチする P_n トップフィールド参照画のプリフェッチ領域の遷移、図 8 (D) はプリフェッチメモリ 4 4 がプリフェッチする P_n ボトムフィールド参照画のプリフェッチ領域の遷移を示している。

40

【 0 0 8 5 】

なお、6 5 は P_n トップフィールド参照画、6 6 はプリフェッチメモリ 4 4 がプリフェッチする P_n トップフィールド参照画 6 5 内のプリフェッチ領域、6 7 は P_n ボトムフィールド参照画、6 8 はプリフェッチメモリ 4 4 がプリフェッチする P_n ボトムフィールド参照画 6 7 内のプリフェッチ領域である。

50

【 0 0 8 6 】

また、図 8 では、プリフェッチメモリ 4 4 がプリフェッチする P_{n+3} トップフィールド参照画のプリフェッチ領域の遷移及び P_{n+3} ボトムフィールド参照画のプリフェッチ領域の遷移は、図示を省略しているが、それぞれ図 8 (C) 及び図 8 (D) に示す場合と同様である。

【 0 0 8 7 】

ここで、図 5 に示す処理領域のエンコード処理部 4 2、4 3 への第 1 の割り当て方法の場合には、 B_{n+1} トップフィールド画面と B_{n+1} ボトムフィールド画面を符号化処理する場合、これらの符号化処理を並行して実行していないので、 B_{n+1} トップフィールド画面を符号化処理する場合と B_{n+1} ボトムフィールド画面を符号化処理する場合のそれぞれの場合にプリフェッチが必要であり、合計 2 回のプリフェッチが必要である。 B_{n+2} トップフィールド画面及び B_{n+2} ボトムフィールド画面を符号化する場合も同様である。

10

【 0 0 8 8 】

これに対して、図 7 に示す処理領域のエンコード処理部 4 2、4 3 への第 2 の割り当て方法の場合には、 B_{n+1} トップフィールド画面の符号化処理と B_{n+1} ボトムフィールド画面の符号化処理は並行して実行されるので、プリフェッチは 1 回で済む。この結果、外部メモリ 4 1 からプリフェッチメモリ 4 4 にプリフェッチするデータ量は、2 分の 1 で済むことになる。 B_{n+2} トップフィールド画面及び B_{n+2} ボトムフィールド画面を符号化する場合も同様である。

20

【 0 0 8 9 】

以上のように、第 1 発明の動画像処理装置の一実施形態である M P E G エンコーダ 4 0 においては、エンコード処理部 4 2、4 3 は、プリフェッチメモリ 4 4 を共有するとしているが、この場合、エンコード処理部 4 2、4 3 に、例えば、処理画面内の上下に隣接するマクロブロックラインを並行処理させることができる。

【 0 0 9 0 】

このようにする場合には、エンコード処理部 4 2、4 3 の各々の探索領域の縦サイズを図 1 1 に示す第 1 従来例の M P E G エンコーダ 1 のようにエンコード処理部 3、4 の各々に対応させてプリフェッチメモリ 5、6 を設ける場合と同様にしても、探索領域の縦サイズを第 1 従来例の M P E G エンコーダ 1 のように 2 個のプリフェッチメモリ 5、6 を設けるようにした場合の探索領域の合計縦サイズよりも小さくすることができる。

30

【 0 0 9 1 】

したがって、プリフェッチメモリ 4 4 にプリフェッチさせるプリフェッチ領域の縦サイズを第 1 従来例の M P E G エンコーダ 1 のように 2 個のプリフェッチメモリ 5、6 を設けるようにした場合のプリフェッチ領域の合計縦サイズよりも小さくすることができ、プリフェッチメモリ 4 4 に要求される記憶容量を第 1 従来例の M P E G エンコーダ 1 のように 2 個のプリフェッチメモリ 5、6 を設けるようにした場合の合計記憶容量よりも小さくし、外部メモリ 4 1 とプリフェッチメモリ 4 4 との間のデータ転送量を削減することができる。

【 0 0 9 2 】

なお、H. 2 6 4 / A V C の M B A F F (macroblock-adaptive frame/field coding) による符号化を行う場合には、エンコード処理部 4 2 は画面の偶数マクロブロックペアラインを担当し、エンコード処理部 4 3 は画面の奇数マクロブロックペアラインを担当し、これらエンコード処理部 4 2、4 3 は、上下に隣接したマクロブロックペアラインを並列処理するようにしても良い。

40

【 0 0 9 3 】

また、第 1 発明の動画像処理装置の一実施形態である M P E G エンコーダ 4 0 においては、エンコード処理部 4 2、4 3 に、参照画を共通とする所定の複数処理画面を並行処理させることもできる。例えば、図 7 に示すように、 B_{n+1} トップ / ボトム及び B_{n+2} トップ / ボトムの各フィールド画面を符号化する場合、エンコード処理部 4 2、4 3 にトップフィールド画面とボトムフィールド画面の並列処理を行わせることができる。このようにす

50

る場合にも、外部メモリとプリフェッチメモリとの間のデータ転送量を削減することができる。

【0094】

また、第1発明の動画像処理装置の一実施形態では、第1発明の動画像処理装置をMPEGエンコーダに適用した場合について説明したが、第1発明の動画像処理装置は、MPEGデコーダにも適用することができ、この場合、エンコード処理部42、43の代わりに、2個のデコード処理部を備えることになる。

【0095】

(第2発明の動画像処理装置の一実施形態)

図9は第2発明の動画像処理装置の一実施形態であるMPEGエンコーダを外部メモリとともに示す図である。図9中、70は第2発明の動画像処理装置の一実施形態であるMPEGエンコーダ、71、72はMPEGエンコーダ70が動きベクトル算出のために参照する参照画を格納するための外部メモリであり、外部メモリ71には参照画の偶数ラインが割り当てられ、外部メモリ72には参照画の奇数ラインが割り当てられる。

10

【0096】

また、MPEGエンコーダ70において、73はMPEGストリームの作成に必要な演算処理を行うエンコード処理部、74は外部メモリ71、72が記憶する参照画の一部分をプリフェッチして記憶するために使用されるプリフェッチメモリである。

【0097】

エンコード処理部73は、動きベクトル算出のためにプリフェッチメモリ74が記憶する画像内の矩形領域を使用する場合には、プリフェッチメモリ74に対して矩形読み出し要求を発行することになる。この矩形読み出し要求には、読み出し対象の矩形領域の位置情報及びサイズ情報などが含まれる。

20

【0098】

図10はプリフェッチメモリ74からの読み出し動作を具体的に説明するための図である。図10中、80は参照画であり、81は参照画80内の偶数ラインL0、L2、...、L254部分の参照画、82は参照画80内の奇数ラインL1、L3、...、L255部分の参照画であり、参照画81は外部メモリ71に格納され、参照画82は外部メモリ72に格納される。

【0099】

この例では、参照画80内のラインL64~L127がプリフェッチ領域83とされており、プリフェッチ領域83内の偶数ラインL64、L66、...、L126の部分は、プリフェッチ領域84としてプリフェッチメモリ74にプリフェッチされ、プリフェッチ領域83内の奇数ラインL65、L67、...、L127の部分は、プリフェッチ領域85としてプリフェッチメモリ74にプリフェッチされている。

30

【0100】

したがって、プリフェッチメモリ74には、参照画80内のラインL64~L127が記憶される。この結果、エンコード処理部73が参照画80内の矩形領域86を必要とする場合には、エンコード処理部73は、矩形領域86を要求する矩形読み出し要求をプリフェッチメモリ74に発行することになり、矩形領域86の画像データは、プリフェッチメモリ74から読み出されてエンコード処理部73に転送される。なお、87は矩形領域86内の偶数ライン部分、88は矩形領域86内の奇数ライン部分である。

40

【0101】

ここで、図14に示す従来のMPEGエンコーダ20においては、1個のエンコード処理部23に対して2個のプリフェッチメモリ24、25を設け、プリフェッチメモリ24には参照画30内のプリフェッチ領域内の偶数ラインの一部分を記憶させ、プリフェッチメモリ25には参照画30内のプリフェッチ領域内の奇数ラインの一部分を記憶させるようにしているので、エンコード処理部23は、プリフェッチメモリ24、25に対して別々に矩形読み出し要求を発行しなければならない、読み出し効率が悪いという問題点があった。

50

【 0 1 0 2 】

これに対して、第2発明の動画像処理装置の一実施形態であるMPEGエンコーダ70によれば、参照画の一部をプリフェッチして記憶するプリフェッチメモリとして1個のプリフェッチメモリ44を備えるとしているので、参照画を振り分けて記憶する2個の外部メモリ71、72を使用する場合であっても、エンコード処理部73は、図14に示す第2従来例のMPEGエンコーダ20のように2個のプリフェッチメモリ24、25を備える場合のように2個の矩形読み出し要求を発行する必要はなく、1個のプリフェッチメモリ44に対して矩形読み出し要求を発行すれば足りる。したがって、プリフェッチメモリ44からの画像データ読み出しの効率化を図ることができる。

【 0 1 0 3 】

また、第2発明の動画像処理装置の一実施形態では、第2発明の動画像処理装置をMPEGエンコーダに適用した場合について説明したが、第2発明の動画像処理装置は、MPEGデコーダにも適用することができ、この場合、図14に示すエンコード処理部23の代わりに、デコード処理部を備えることになる。

【 0 1 0 4 】

なお、H.264/AVCのMBAFFによる符号化を行う場合には、外部メモリ71には参照画の偶数マクロブロックペアラインを割り当て、外部メモリ72には参照画の奇数マクロブロックペアラインを割り当てるようにしても良い。

【 0 1 0 5 】

ここで、本発明の動画像処理装置を整理すると、本発明の動画像処理装置には、少なくとも、以下の動画像処理装置が含まれる。

【 0 1 0 6 】

(付記1)複数のデコード処理部又は複数のエンコード処理部を備える動画像処理装置であって、前記複数のデコード処理部又は前記複数のエンコード処理部に共有されるプリフェッチメモリを備えることを特徴とする動画像処理装置。

【 0 1 0 7 】

(付記2)前記複数のデコード処理部又は前記複数のエンコード処理部は、処理画面内の上下に隣接するマクロブロックライン又はマクロブロックペアラインを並行処理することを特徴とする付記1に記載の動画像処理装置。

【 0 1 0 8 】

(付記3)前記複数のデコード処理部又は前記複数のエンコード処理部は、参照画を共通とする所定の複数処理画面を並行処理することを特徴とする付記1に記載の動画像処理装置。

【 0 1 0 9 】

(付記4)前記複数のデコード処理部又は前記複数のエンコード処理部は、処理画面内の上下に隣接するマクロブロックライン又はマクロブロックペアラインの並行処理と、参照画を共通とする所定の複数処理画面の並行処理とを切り替えて行うことを特徴とする付記1に記載の動画像処理装置。

【 0 1 1 0 】

(付記5)前記複数のデコード処理部又は前記複数のエンコード処理部は、2個のデコード処理部又は2個のエンコード処理部であり、前記所定の複数処理画面は、同一フレームのトップフィールド画面とボトムフィールド画面であることを特徴とする付記3又は付記4に記載の動画像処理装置。

【 0 1 1 1 】

(付記5)デコード処理部又はエンコード処理部を備え、参照画を分割して格納する複数の外部メモリを使用する動画像処理装置であって、前記参照画の一部をプリフェッチして記憶するプリフェッチメモリとして前記複数の外部メモリに共有されるプリフェッチメモリを備えることを特徴とする動画像処理装置。

【 0 1 1 2 】

(付記6)前記複数の外部メモリは、第1の外部メモリ及び第2の外部メモリであり、

10

20

30

40

50

前記第1の外部メモリには、前記参照画の偶数ライン部分が格納され、前記第2の外部メモリには、前記参照画の奇数ライン部分が格納されることを特徴とする付記5に記載の動画像処理装置。

【図面の簡単な説明】

【0113】

【図1】第1発明の動画像処理装置の一実施形態であるMPEGエンコーダを外部メモリとともに示す図である。

【図2】第1発明の動画像処理装置の一実施形態において、2個のエンコード処理部が上下に隣接したマクロブロックラインを並列処理する場合にプリフェッチメモリにプリフェッチされることが望ましい参照画内のプリフェッチ領域を説明するための図である。

10

【図3】第1発明の動画像処理装置の一実施形態において、2個のエンコード処理部が上下に隣接したマクロブロックラインを並列処理する場合にプリフェッチメモリがプリフェッチするプリフェッチ領域の具体例を説明するための図である。

【図4】フィールド構造のMPEGストリームの一部分を示す図である。

【図5】図4に示す P_{n+3} トップ/ボトム、 B_{n+1} トップ/ボトム、 B_{n+2} トップ/ボトム及び P_{n+6} トップ/ボトムの各フィールド画面を符号化する場合に適用して好適な処理領域の2個のエンコード処理部への第1の割り当て方法及びプリフェッチメモリにプリフェッチさせるプリフェッチ領域を示す図である。

【図6】図4に示す B_{n+1} トップ/ボトムの各フィールドを図5に示す第1の割り当て方法を使用して符号化する場合における2個のエンコード処理部の処理領域の遷移とプリフェッチメモリがプリフェッチするプリフェッチ領域の遷移を示す図である。

20

【図7】図4に示す P_{n+3} トップ/ボトム、 B_{n+1} トップ/ボトム、 B_{n+2} トップ/ボトム及び P_{n+6} トップ/ボトムの各フィールド画面を符号化する場合に適用して好適な処理領域の2個のエンコード処理部への第2の割り当て方法及びプリフェッチメモリ44にプリフェッチさせるプリフェッチ領域を示す図である。

【図8】図4に示す B_{n+1} トップ/ボトムの各フィールドを図7に示す第2の割り当て方法を使用して符号化する場合における2個のエンコード処理部の処理領域とプリフェッチメモリ44がプリフェッチするプリフェッチ領域の遷移を示す図である。

【図9】第2発明の動画像処理装置の一実施形態であるMPEGエンコーダを外部メモリとともに示す図である。

30

【図10】第2発明の動画像処理装置の一実施形態であるMPEGエンコーダが備えるプリフェッチメモリからの読み出し動作を具体的に説明するための図である。

【図11】第1従来例のMPEGエンコーダを外部メモリとともに示す図である。

【図12】第1従来例のMPEGエンコーダが備えるプリフェッチメモリがプリフェッチするプリフェッチ領域を具体的に説明するための図である。

【図13】第1従来例のMPEGエンコーダが備えるプリフェッチメモリにプリフェッチされることが望ましい参照画内のプリフェッチ領域を説明するための図である。

【図14】第2従来例のMPEGエンコーダを外部メモリとともに示す図である。

【図15】第2従来例のMPEGエンコーダにおけるプリフェッチメモリからの読み出し動作を具体的に説明するための図である。

40

【符号の説明】

【0114】

1 ... 第1従来例のMPEGエンコーダ

2 ... 外部メモリ

3、4 ... エンコード処理部

5、6 ... プリフェッチメモリ

10 ... 参照画

11、12 ... プリフェッチ領域

15、16 ... マクロブロック

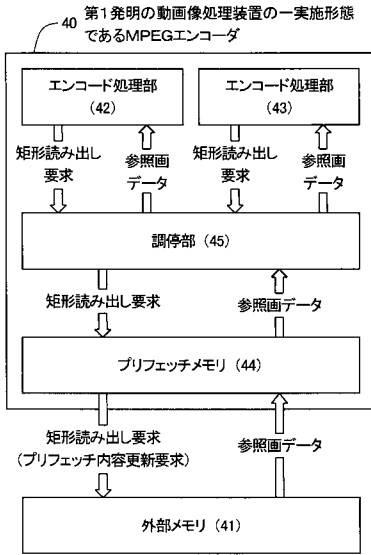
17、18 ... 探索領域

50

2 0 ... 第 2 従来例の M P E G エンコーダ	
2 1、2 2 ... 外部メモリ	
2 3 ... エンコード処理部	
2 4、2 5 ... プリフェッチメモリ	
3 0 ~ 3 2 ... 参照画	
3 3 ~ 3 5 ... プリフェッチ領域	
3 6 ~ 3 8 ... 矩形領域	
4 0 ... 第 1 発明の動画像処理装置の一実施形態である M P E G エンコーダ	
4 1 ... 外部メモリ	
4 2、4 3 ... エンコード処理部	10
4 4 ... プリフェッチメモリ	
4 5 ... 調停部	
5 0 ... 参照画	
5 1、5 2 ... マクロブロック	
5 3、5 4 ... 探索領域	
5 5 ... プリフェッチ領域	
6 0 ... P _n トップフィールド参照画	
6 1 ... プリフェッチ領域	
6 2 ... P _n ボトムフィールド参照画	
6 3 ... プリフェッチ領域	20
6 5 ... P _n トップフィールド参照画	
6 6 ... プリフェッチ領域	
6 7 ... P _n ボトムフィールド参照画	
6 8 ... プリフェッチ領域	
7 0 ... 第 2 発明の動画像処理装置の一実施形態である M P E G エンコーダ	
7 1、7 2 ... 外部メモリ	
7 3 ... エンコード処理部	
7 4 ... プリフェッチ領域	
8 0 ~ 8 2 ... 参照画	
8 3 ~ 8 5 ... プリフェッチ領域	30
8 6 ~ 8 8 ... 矩形領域	

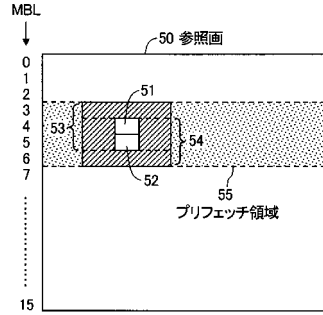
【図1】

第1発明の動画処理装置の一実施形態であるMPEGエンコーダを外部メモリとともに示す図



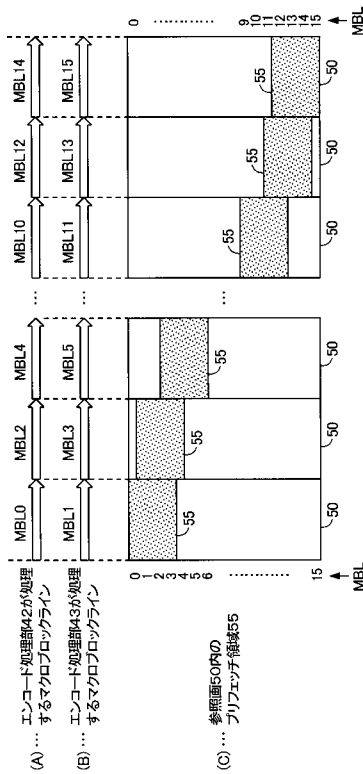
【図2】

エンコード処理部42、43が上下に隣接したマクロブロックラインを並列処理する場合にプリフェッチメモリ44にプリフェッチされることが望ましい参照画内のプリフェッチ領域を説明するための図



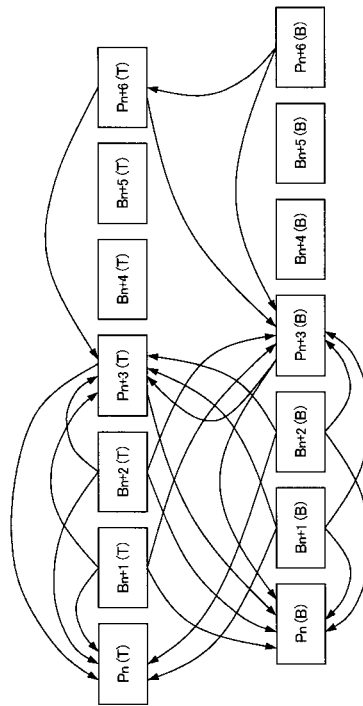
【図3】

エンコード処理部42、43が上下に隣接したマクロブロックラインを並列処理する場合にプリフェッチメモリ44がプリフェッチするプリフェッチ領域の具体例を説明するための図



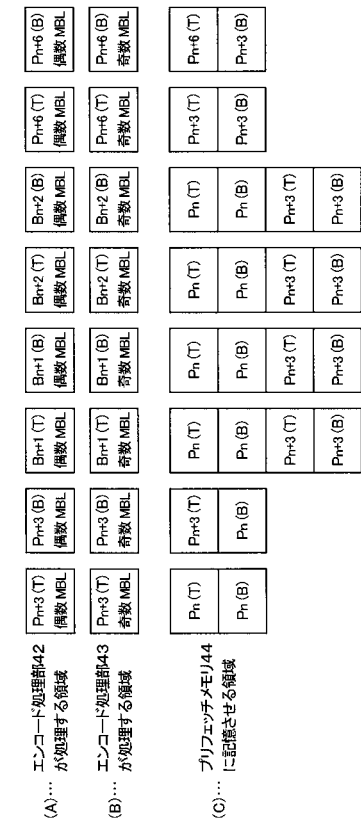
【図4】

フィールド構造のMPEGストリームの一部を示す図



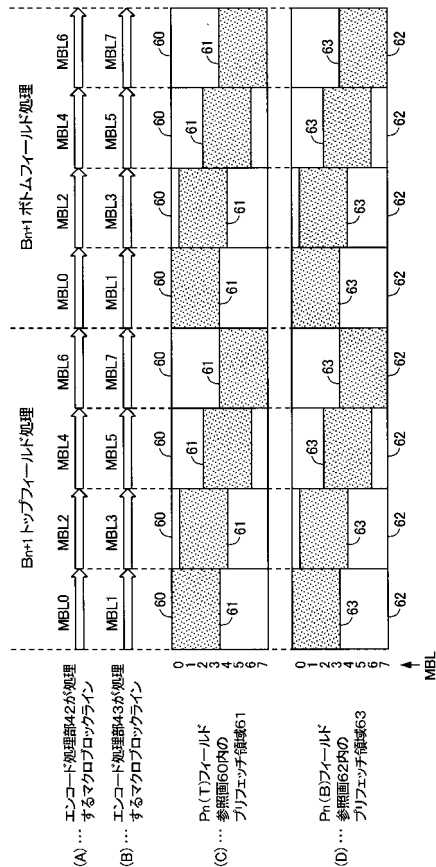
【 図 5 】

図4に示すPrr3トップ/ボトム、Brr1トップ/ボトム、Brr2トップ/ボトム及びPrr6トップ/ボトムの各フィールド画面を符号化する場合に適用して好適な処理領域のエンコード処理部42、43への第1の割り当て方法及びプリファETCHメモリ44にプリファETCHさせるプリファETCH領域を示す図



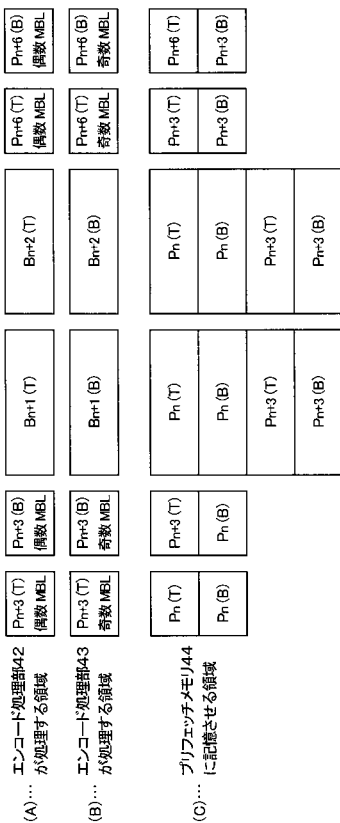
【 図 6 】

図4に示すBrr1トップ/ボトムの各フィールドを第1の割り当て方法を使用して符号化する場合におけるエンコード処理部42、43の処理領域の遷移とプリファETCHメモリ44がプリファETCHするプリファETCH領域の遷移を示す図



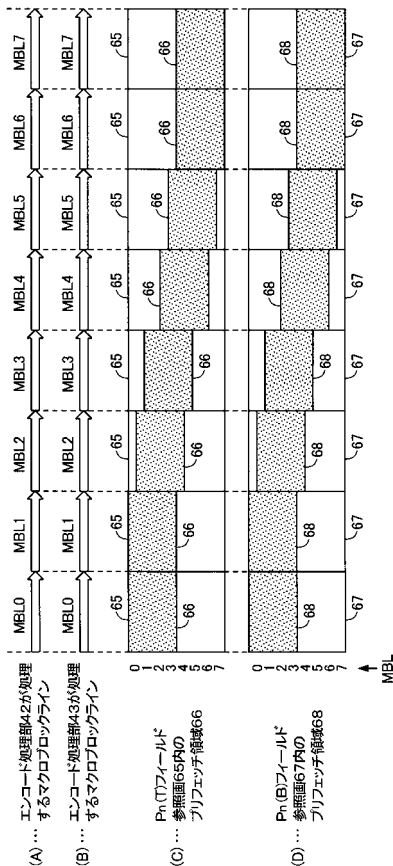
【 図 7 】

図4に示すPrr3トップ/ボトム、Brr1トップ/ボトム、Brr2トップ/ボトム及びPrr6トップ/ボトムの各フィールド画面を符号化する場合に適用して好適な処理領域のエンコード処理部42、43への第2の割り当て方法及びプリファETCHメモリ44にプリファETCHさせるプリファETCH領域を示す図



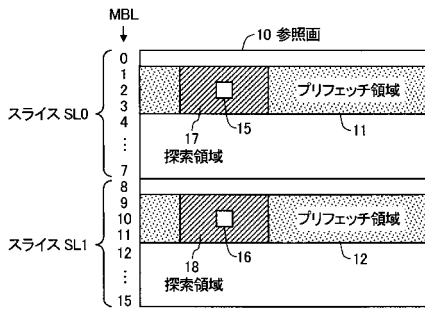
【 図 8 】

図4に示すBrr1トップ/ボトムの各フィールドを第2の割り当て方法を使用して符号化する場合におけるエンコード処理部42、43の処理領域の遷移とプリファETCHメモリ44がプリファETCHするプリファETCH領域の遷移を示す図



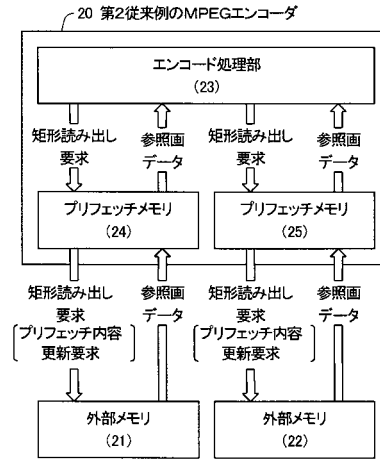
【図 13】

プリフェッチメモリ5、6にプリフェッチされることが望ましい参照画10内のプリフェッチ領域を説明するための図



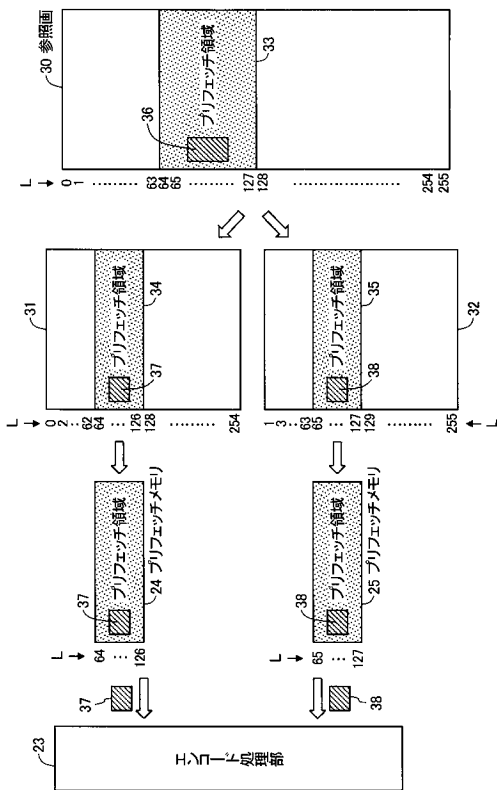
【図 14】

第2従来例のMPEGエンコーダを外部メモリとともに示す図



【図 15】

プリフェッチメモリ24、25からの読み出し動作を具体的に説明するための図



フロントページの続き

- (56)参考文献 特表2009-505549(JP,A)
特開2006-031480(JP,A)
特開平04-045684(JP,A)
特開2006-042143(JP,A)
特開2006-041898(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04N 7/24 - 7/68