



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 101 47 138 B4 2009.01.22**

(12)

Patentschrift

(21) Aktenzeichen: **101 47 138.6**
 (22) Anmeldetag: **25.09.2001**
 (43) Offenlegungstag: **24.04.2003**
 (45) Veröffentlichungstag
 der Patenterteilung: **22.01.2009**

(51) Int Cl.⁸: **G11C 29/24 (2006.01)**

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(73) Patentinhaber:
Qimonda AG, 81739 München, DE

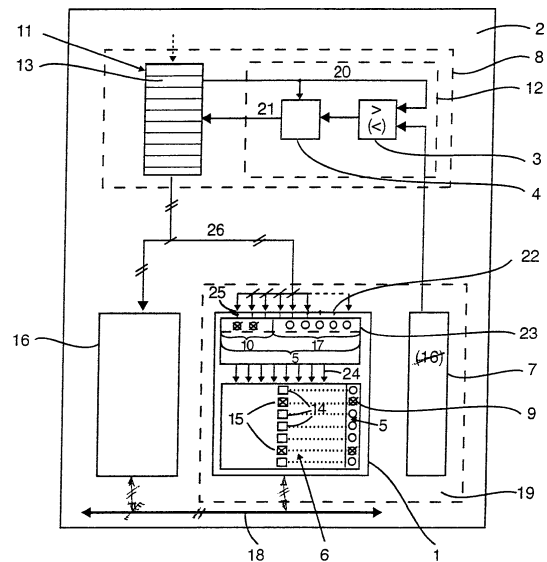
(74) Vertreter:
Müller - Hoffmann & Partner Patentanwälte, 81667 München

(72) Erfinder:
Ruf, Wolfgang, 86316 Friedberg, DE; Benedix, Alexander, 81379 München, DE; Dueregger, Reinhard, 85586 Poing, DE

(56) Für die Beurteilung der Patentfähigkeit in Betracht gezogene Druckschriften:
US 61 63 490 A
US 58 35 430 A
US 49 39 694 A

(54) Bezeichnung: **Verfahren zur Integration von imperfekten Halbleiterspeichereinrichtungen in Datenverarbeitungsvorrichtungen**

(57) Hauptanspruch: Verfahren zur Integration mindestens einer imperfekten Halbleiterspeichereinrichtung (1) mit funktionstüchtigen (14) und fehlerhaften (15) Speicherzellen in eine Datenverarbeitungsvorrichtung (2), wobei der Halbleiterspeichereinrichtung (1) ein Arbeitsadressenbereich (5) zugeordnet ist, bei dem durch einen programmierbaren Adressdekoder (23) in der Halbleiterspeichereinrichtung (1) die funktionsfähigen Speicherzellen (14) so sortiert werden, dass im Arbeitsadressenbereich (5) jeweils mindestens ein durchgängig fehlerfreier Adressenbereich (17) und mindestens ein Fehleradressenbereich (10) entsteht; eine Information über den Fehleradressenbereich (10) in einem Fehlerspeicher (7) abgelegt wird; eine Befehlsbearbeitungseinheit (8) der Datenverarbeitungsvorrichtung (2) eine Pipeline-Struktur (11) und eine Adressenbearbeitungseinheit (12) aufweist und durch die Adressenbearbeitungseinheit (12) vor einem Zugriff auf eine Adresse im Arbeitsadressenbereich (5) die in einem durch die Pipeline-Struktur (11) geschobenen Steuerbefehl (13) enthaltene Zugriffsadresse (20) daraufhin geprüft wird, ob die Zugriffsadresse (20) im Fehleradressenbereich (10) liegt; und bei Vorliegen eines solchen Zugriffs die Zugriffsadresse (20) in eine Ersatzadresse (21) umkodiert wird, bevor der Steuerbefehl...



Beschreibung

[0001] Die Erfindung betrifft ein Verfahren zur Integration mindestens einer funktionsfähige und fehlerhafte Speicherzellen aufweisenden (im Folgenden imperfekten) Halbleiterspeichereinrichtung in eine Datenverarbeitungsvorrichtung, sowie eine Halbleiterspeichereinrichtung zur Verwendung in einem solchen Verfahren.

[0002] Bei der Herstellung heute gängiger Halbleiterspeichereinrichtungen führt die große Anzahl einzelner Speicherzellen in der Halbleiterspeichereinrichtung in Verbindung mit einem anspruchsvollen Fertigungsprozess zu hohen Ausbeuteverlusten.

[0003] Den Ausbeuteverlusten wird heute mit verschiedenen Redundanzkonzepten begegnet, mit denen nach Außen eine fehlerfreie Halbleiterspeichereinrichtung emuliert wird, etwa durch redundante Speicherzellen, die über optisch oder elektrisch programmierbare Verbindungseinrichtungen (Fuses, Antifuses) fehlerhafte Speicherzellen ersetzen.

[0004] Redundanzkonzepte, die auf optisch programmierbaren Verbindungseinrichtungen beruhen, sind bisher nur auf Wafer Ebene einsetzbar. Die Wirkung bleibt auf den Ersatz auf Wafer Ebene identifizierbarer fehlerhafter Speicherzellen beschränkt.

[0005] Redundanzkonzepten mit elektrisch programmierbaren Verbindungseinrichtungen steht ein erhöhter Fertigungsaufwand entgegen, wenn zum Beispiel Fertigungsschritte außerhalb oder zusätzlich zu einem Standardfertigungsprozess der Halbleiterspeichereinrichtung notwendig sind.

[0006] Die gängigen Redundanzkonzepte sind in ihrer Wirkung immer beschränkt, da in der Halbleiterspeichereinrichtung nur begrenzter Platz für redundante Speicherzellen und für zum Aktivieren der redundanten Speicherzellen benötigte Verbindungs- und Logikeinrichtungen zur Verfügung steht. Sie reichen nicht aus, wenn die Anzahl der fehlerhaften Speicherzellen sehr groß ist oder die fehlerhaften Speicherzellen in ungünstig gebündelten Gruppierungen auftreten.

[0007] Zudem steigt mit steigender Inanspruchnahme von Redundanzstrukturen die Wahrscheinlichkeit, dass diese selbst Fehler aufweisen.

[0008] Insgesamt bleibt die Wirkung bisheriger Redundanzkonzepte beschränkt. Sie erhöhen die Fertigungsausbeute nur unzureichend, obwohl die absolute Anzahl fehlerhafter Speicherzellen im Verhältnis zur Gesamtzahl der in der Halbleiterspeichereinrichtung befindlichen Speicherzellen gering ist.

[0009] Eine anhaltend steigende Integration mit ei-

ner sich weiter erhöhenden Gesamtzahl von Speicherzellen pro Halbleiterspeichereinrichtung und zunehmend komplexere Fertigungsprozesse lassen eine weiter sinkende Fertigungsausbeute an nach außen fehlerfreien Halbleiterspeichereinrichtungen erwarten.

[0010] Bei der Fertigung nach Außen fehlerfrei erscheinender Halbleiterspeichereinrichtungen fallen in großer Zahl nahezu fehlerfreie (im Folgenden imperfekte) Halbleiterspeichereinrichtungen mit einer im Verhältnis zur Gesamtzahl der Speicherzellen sehr geringen Zahl von fehlerhaften, irreparablen Speicherzellen an. Da gängige Datenverarbeitungsvorrichtungen, die Halbleiterspeichereinrichtungen nutzen, bisher immer fehlerfreie Halbleiterspeichereinrichtungen voraussetzen, sind solche imperfekten Halbleiterspeichereinrichtungen gegenwärtig unbrauchbar.

[0011] Aus der US 4,939,694 ist ein Speichersystem bekannt, bei dem mit Hilfe einer Fehlerkorrekturereinheit im Betrieb einer Datenverarbeitungsvorrichtung jeder Speicherzugriff auf dessen Gültigkeit überprüft und gegebenenfalls korrigiert wird. Dabei wird unter Verwendung eines Adresseninterpreters ein Zugriff auf als dauerhaft fehlerhaft erkannte Speicherzellen verhindert, indem ein Speicherzugriff auf eine Adresse einer als defekt erkannten Speicherzelle auf die Adresse einer funktionstüchtigen Speicherzelle umkodiert wird. Der Adresseninterpret greift dabei bei jedem Speicherzugriff auf eine Ersatzadressentabelle zurück.

[0012] Gemäß einem in der US 5,835,430 beschriebenen Verfahren wird der Adressenbereich eines elektrisch programmierbaren Halbleiterspeicherelements in Blöcke gegliedert und jedem Block eine Statusinformation innerhalb des Halbleiterbauelements zugeordnet. Die Statusinformation wird innerhalb einer Tabelle in einer Weise sortiert, dass nach außen hin ein zusammenhängender, fortlaufend adressierbarer fehlerfreier Speicherbereich entsteht.

[0013] Die US 6,163,490 bezieht sich auf eine Halbleiterspeichereinrichtung bzw. auf ein Speichermodul, bei dem Adressenabschnitte mit solchen Adressen, die fehlerhaften Speicherzellen zugeordnet sind, an das Ende des Adressenbereichs umkodiert werden. Eine imperfekte Halbleiterspeichereinrichtung, weist in der Folge einen zusammenhängenden Adressenbereich fehlerfreier Speicherzellen auf und wirkt nach außen wie eine fehlerfreie perfekte Halbleiterspeichereinrichtung bzw. ein fehlerfreies Speichermodul mit reduziertem Adressenbereich.

[0014] Es ist daher Aufgabe der Erfindung, ein Verfahren zur Verfügung zu stellen, mit dem Halbleiterspeichereinrichtungen, die fehlerhafte und nicht durch funktionsfähige Speicherzellen vollständig er-

setzbare Speicherzellen aufweisen, in Datenverarbeitungsvorrichtungen integriert werden können. Es ist ebenfalls Aufgabe der Erfindung eine Anordnung auf einer Halbleiterspeichereinrichtung zur Verfügung zu stellen, mittels der die Halbleiterspeichereinrichtung für ein solches Verfahren ertüchtigt werden kann.

[0015] Diese Aufgabe wird bei einem Verfahren der eingangs genannten Art durch die im Patentanspruch 1 angegebenen Merkmale gelöst. Eine Halbleiterspeichereinrichtung, die ein solches Verfahren ermöglicht, ist im Patentanspruch 4 angegeben. Vorteilhafte Weiterbildungen der Erfindung ergeben sich jeweils aus den Unteransprüchen.

[0016] Beim erfindungsgemäßen Verfahren zur Integration von fehlerbehafteten Halbleiterspeichereinrichtungen in Datenverarbeitungsvorrichtungen werden also in den Halbleiterspeichereinrichtungen, denen jeweils ein Arbeitsadressenbereich zugeordnet ist, Adressen fehlerhafter Speicherzellen ermittelt und als Fehleradressen in einem nichtflüchtigen Fehlerspeicher abgelegt.

[0017] Anschließend werden die Halbleiterspeichereinrichtungen und der Fehlerspeicher in die Datenverarbeitungsvorrichtung eingebaut. Die Datenverarbeitungsvorrichtung liest aus dem Fehlerspeicher die Fehleradressen aus. In der Folge wird vor jedem Zugriff der Datenverarbeitungsvorrichtung in den Arbeitsadressenbereich der Halbleiterspeichereinrichtung durch eine Ablaufsteuerung in der Datenverarbeitungsvorrichtung geprüft, ob ein Zugriff auf eine der Fehleradressen bevorsteht. Steht ein solcher Zugriff bevor, wird er in geeigneter Weise auf eine Ersatzadresse umkodiert, bevor der eigentliche Speicherzugriff erfolgt. Das Umkodieren von bevorstehenden Zugriffen auf Fehleradressen zu Ersatzadressen kann in der Datenverarbeitungsvorrichtung über verschiedene Mechanismen erfolgen, etwa über eine Fail-Table oder mittels Interrupt.

[0018] Es wird ausgenutzt, dass gängige Datenverarbeitungsvorrichtungen Befehlsbearbeitungseinheiten mit Pipeline-Strukturen aufweisen.

[0019] Dabei steht in der Pipeline-Struktur der Befehlsbearbeitungseinheit der Datenverarbeitungsvorrichtung eine Gruppe aufeinander folgender Steuerbefehle an, wobei der gerade an einem Kopfende der Pipeline stehende Steuerbefehl ausgeführt wird und die in der Pipeline folgenden Steuerbefehle bereits einer Vorbearbeitung unterworfen werden, etwa durch eine branch processing unit (BPU).

[0020] In ähnlicher Weise werden gemäß dem erfindungsgemäßen Verfahren Teile der Steuerbefehle, die Adressen im Arbeitsadressenbereich der Halbleiterspeichereinrichtung enthalten, durch eine Adres-

senbearbeitungseinheit innerhalb der Befehlsbearbeitungseinheit geprüft und bearbeitet.

[0021] Dabei kann die Prüfung beispielsweise für alle Fehleradressen gleichzeitig mit parallel geschalteten Komparatoreinrichtungen erfolgen, deren Vergleichsregister zuvor mit den Fehleradressen geladen werden.

[0022] Mit steigender Zahl von fehlerhaften Speicherzellen steigt bei dieser Realisierung der Aufwand für die Prüfung einer Adresse aus der Befehlsbearbeitungseinheit gegen alle Fehleradressen.

[0023] In vorteilhafter Weise wird der Aufwand an dieser Stelle, also die Anzahl der Vergleiche, beschränkt, indem innerhalb des Arbeitsadressenbereichs der Halbleiterspeichereinrichtung mindestens ein durchgängig fehlerfreier (im Folgenden linearisierter) Adressenbereich und außerhalb der fehlerfreien Adressenbereiche mindestens ein Fehleradressenbereich geschaffen wird.

[0024] Je nach Anordnung der Halbleiterspeichereinrichtungen (seriell oder parallel) ist dann für eine Halbleiterspeichereinrichtung bzw. eine Gruppe von Halbleiterspeichereinrichtungen nur noch bestenfalls ein Vergleichsvorgang notwendig, um zu prüfen, ob die Adresse des Speicherzugriffs innerhalb oder außerhalb eines Fehleradressenbereichs der Halbleiterspeichereinrichtung liegt. Ein Abstand (Offset) der Adresse des Zugriffs zu einer untersten Adresse eines Fehleradressenbereichs der Halbleiterspeichereinrichtung kann dann als Zeiger in einen Ersatzspeicherraum dienen, der an anderer Stelle in Abhängigkeit von einem Gesamtfehleradressenbereich in der Datenverarbeitungsvorrichtung zu diesem Zweck reserviert wird.

[0025] Sind die Halbleiterspeichereinrichtungen DRAMs (dynamic random access memories) und auf Speichermodulen angeordnet, dann werden die Fehleradressen bevorzugterweise in dem auf dem Speichermodul befindlichen EEPROM (electrically erasable programmable read only memory) abgelegt.

[0026] Es kann aber auch in der Halbleiterspeichereinrichtung selbst ein nichtflüchtiger Speicherbereich zur Aufnahme der Fehleradressen geschaffen werden, entweder im Adressenbereich der Halbleiterspeichereinrichtung oder etwa in einem über einen speziellen Mode zugänglichen, nichtflüchtigen Registersatz der Halbleiterspeichereinrichtung.

[0027] Sollen in einer imperfekten Halbleiterspeichereinrichtung durchgängig fehlerfreie, linearisierte Adressenbereiche geschaffen werden, dann ist dazu ein programmierbarer Adressdecoder erforderlich, der es ermöglicht, interne, mit den Speicherzellen verbundene Adressenleitungen in geeigneter Weise

mit externen, mit Anschlusseinrichtungen der Halbleiterspeichereinrichtung verbundenen, Adressenleitungen zu verknüpfen.

[0028] Diese Verknüpfung kann durch eine Variation gängiger Redundanzkonzepte dadurch erfolgen, dass aus einem Vorrat an redundanten Speicherzellen, sich durch fehlerhafte Speicherzellen ergebenden Lücken in einem Standardspeicherzellenfeld ausgehend von einer unteren Adresse aus aufgefüllt werden, soweit der Vorrat an redundanten Speicherzellen reicht. Der Unterschied zu bestehenden Redundanzkonzepten besteht dabei darin, dass eben nicht zwangsläufig jede fehlerhafte Speicherzelle ersetzt werden muss, um eine verkehrsfähige Halbleiterspeichereinrichtung zu erhalten, sondern die Halbleiterspeichereinrichtung eben in jedem Fall verkehrsfähig ist und dabei eine Speichergröße aufweist, die sich aus der obersten Adresse ergibt, bis zu der ein durchgängig fehlerfreier Adressenraum geschaffen wurde.

[0029] Nachteilig an einer solchen Konzeption eines programmierbaren Adressendekoders ist, dass entweder eine hohe Zahl an redundanten Speicherzellen vorgesehen werden oder eine relativ große Speichereinbuße in der Halbleiterspeichereinrichtung in Kauf genommen werden muss.

[0030] In seiner bevorzugten Ausführungsform kodiert der Adressendekoder das Standardspeicherzellenfeld in einer Weise um, dass Adressen defekter Speicherzellen durch funktionsfähige Speicherzellen aus dem Standardspeicherzellenfeld selbst ersetzt werden. Dabei wird bei der Programmierung des Adressendekoders dafür Sorge getragen, dass ein oder mehrere durchgängig fehlerfreie Adressenbereiche im Arbeitsadressenbereich der Halbleiterspeichereinrichtung entstehen. Im Unterschied zur ersten Lösung, bei der die Zahl von redundanten Speicherzellen und damit auch die Zahl ersetzbarer fehlerhafter Speicherzellen begrenzt ist, stehen bei dieser Lösung alle sich auf der Halbleiterspeichereinrichtung befindenden Speicherzellen für ein Umkodieren zur Verfügung. Nachteilig ist der gegenüber der ersten Lösung komplexer vorzusehende Adressendekoder.

[0031] Die Programmierung des Adressendekoders erfolgt in Abhängigkeit von während eines Prüfzyklus ermittelten Fehleradressen in bevorzugter Weise über optische Fuses und Antifuses als programmierbare Verbindungseinrichtungen. Diese Art der Programmierung ist mit den in der Halbleiterprozess-technik üblichen Mitteln in besonders zuverlässiger Weise realisierbar.

[0032] In besonders bevorzugter Weise werden dabei Fuses vorgesehen, die sich auch nach einem Hänsen der Halbleiterspeichereinrichtung programmieren lassen. In diesem Fall kann die Programmie-

rung des Adressendekoders am Ende von Zuverlässigkeitstests erfolgen oder verändert werden. Damit lässt sich die Gesamtausbeute an imperfekten Halbleiterspeichereinrichtungen mit durchgängig fehlerfreien Adressenbereichen erhöhen.

[0033] Ebenso ist eine Optimierung der Ausbeute bezüglich verschiedener Spezifikationsmerkmale möglich. Beispielsweise kann durch Ersatz von langsameren Speicherzellen durch schnellere Speicherzellen durch den programmierbaren Adressendekoder eine höhere Ausbeute an schneller spezifizierten Halbleiterspeichereinrichtungen erzielt werden.

[0034] Genauso ist es auf diese Weise möglich, durch Ersatz von Speicherzellen mit geringerer Retention Performance durch Speicherzellen höherer Retention Performance die Ausbeute an Halbleiterspeichereinrichtungen mit geringeren Refresh-Raten zu erhöhen.

[0035] Nachfolgend wird die Erfindung anhand der Zeichnungen näher erläutert, wobei für einander entsprechende Komponenten die gleichen Bezugszeichen verwendet werden. Zur Erhöhung der Übersichtlichkeit wurde die Darstellung auf für die Erläuterung der Erfindung wesentliche Komponenten beschränkt. Es zeigen:

[0036] [Fig. 1](#) eine schematische Darstellung des Verfahrens nach einem ersten Ausführungsbeispiel der Erfindung,

[0037] [Fig. 2](#) eine schematische Darstellung des Verfahrens nach einem zweiten Ausführungsbeispiel der Erfindung,

[0038] Anhand von [Fig. 1](#) wird das erfindungsgemäße Verfahren in einem Ausführungsbeispiel erläutert, wobei eine dargestellte Halbleiterspeichereinrichtung **1** in einer bevorzugten Ausführungsform der Erfindung vorliegt.

[0039] Die Halbleiterspeichereinrichtung **1** ist in eine Datenverarbeitungsvorrichtung **2** integriert. Das erfindungsgemäße Verfahren erfordert in der dargestellten Ausführungsform zudem eine Befehlsbearbeitungseinheit **8** mit einer Pipeline-Struktur **11** für auszuführende Steuerbefehle **13**. Die Steuerbefehle **13** werden durch die Pipeline-Struktur **11** geschoben, wobei sie vor ihre eigentlichen Ausführung bearbeitet werden können.

[0040] Die Halbleiterspeichereinrichtung **1** weist in einem einem Arbeitsadressenbereich **5** zugeordneten Standardspeicherzellenfeld **6** funktionsfähige Speicherzellen **14** und Fehleradressen **9** zugeordnete fehlerhafte Speicherzellen **15** auf. Dabei bezeichnet Speicherzelle im Folgenden eine gemeinsam adressierbare Gruppe von Speicherelementen.

[0041] Mit den Speicherzellen **14**, **15** sind interne Adressenleitungen **24** verbunden. Ein Steuer- und Adressenbus **26** der Datenverarbeitungsvorrichtung **2** ist mit Anschlusseinrichtungen **22** der Halbleiterspeichereinrichtung **1** verbunden. Innerhalb der Halbleiterspeichereinrichtung **1** führen externe Adressenleitungen **25** zu den Anschlusseinrichtungen **22**.

[0042] Im dargestellten Ausführungsbeispiel weist die Halbleiterspeichereinrichtung **1** einen programmierbaren Adressendekoder **23** auf. Der Adressendekoder **23** ordnet die internen Adressenleitungen **24** den externen Adressenleitungen **25** in einer Weise zu, dass innerhalb des Arbeitsadressenbereichs **5** der Halbleiterspeichereinrichtung **1** ein durchgängig fehlerfreier Adressenbereich **17** und ein Fehleradressenraum **10** entsteht.

[0043] Dabei kann der Fehleradressenraum **10** durchaus auch funktionsfähige Speicherzellen **14** enthalten, die sich etwa durch begrenzte Ressourcen des Adressendekoders **23** nicht zum durchgängig fehlerfreien Adressenbereich **17** hinzufügen lassen.

[0044] Zur vereinfachten Darstellung wird in der Figur lediglich ein einziger durchgängig funktionsfähiger Adressenbereich **17** gezeigt. Es sind aber auch, etwa bedingt durch begrenzte Ressourcen des Adressendekoders **23**, Lösungen mit mehreren jeweils durchgängig fehlerfreien Adressenbereichen **17** möglich.

[0045] Die Fehleradressen **9** oder die Fehleradressenbereiche **10** sind in einem Fehlerspeicher **7** nichtflüchtig abgelegt. In diesem Beispiel befindet sich der Fehlerspeicher **7** außerhalb der Halbleiterspeichereinrichtung **1** zusammen mit ihr auf einem Speichermodul **19**.

[0046] Ferner ist im Beispiel ein Ersatzspeicher **16** außerhalb der Halbleiterspeichereinrichtung **1** vorgesehen. Der Ersatzspeicher **16** kann sich aber auch in der Halbleiterspeichereinrichtung **1** selbst befinden. Der Ersatzspeicher **16** ist wie die Halbleiterspeichereinrichtung **1** an einen Datenbus **18** und den Steuer- und Adressenbus **26** angeschlossen.

[0047] Gemäß dem Ausführungsbeispiel für das erfindungsgemäße Verfahren weist die Halbleiterspeichereinrichtung **1** also fehlerhafte Speicherzellen **15** auf. Durch den programmierbaren Adressendekoder **23** werden funktionsfähige Speicherzellen **14** der Halbleiterspeichereinrichtung **1** so sortiert, dass für eine Adressierung über den Steuer- und Adressenbus **26** ein durchgängig fehlerfreier Adressenbereich **17** entsteht.

[0048] Die Information über den Fehleradressenbereich **10** wird am Ende eines Prüfzyklus für das Spei-

chermodul **19** in einem Fehlerspeicher **7** abgelegt.

[0049] Mit dem Inhalt des Fehlerspeichers **7** werden in einer Adressenbearbeitungseinheit **12** innerhalb der Befehlsbearbeitungseinheit **8** der Datenverarbeitungsvorrichtung **2** Vergleichsregister einer Komparatoreinrichtung **3** geladen.

[0050] Danach werden alle durch die Pipeline-Struktur **11** der Befehlsbearbeitungseinheit **8** geschobenen Steuerbefehle **13** daraufhin geprüft, ob die Steuerbefehle **13** Speicherzugriffe (Zugriffsadressen) **20** in den Arbeitsadressenbereich **5** der Halbleiterspeichereinrichtung **1** enthalten.

[0051] Liegt ein solcher Zugriff vor, dann wird die Zugriffsadresse **20** in der Komparatoreinrichtung **3** daraufhin geprüft, ob sie in einem Fehleradressenbereich **10** enthalten ist. Liegt die Zugriffsadresse **20** in einem Fehleradressenbereich **10**, so wird sie in der Folge in einer Umkodiereinrichtung **4** auf eine Ersatzadresse **21** umkodiert. Die Ersatzadresse **21** ersetzt in der Folge im Steuerbefehl **13** die Adresse **20**.

[0052] [Fig. 2](#) zeigt ein Speichermodul **19** mit vier Halbleiterspeichereinrichtungen **1a**, **1b**, **1c**, **1d**. Jede dieser Halbleiterspeichereinrichtungen **1a–1d** stellt für einen in diesem Beispiel insgesamt 64 bit breiten Datenbus **18** einen 16 bit breiten Datenbus **27a–27d** zur Verfügung.

[0053] Keine der auf 2^{28} Speicherstellen spezifizierten Halbleiterspeichereinrichtungen **1a–1d** weist tatsächlich den spezifizierten Adressenbereich auf. Tatsächlich weist die Halbleiterspeichereinrichtung **1a** einen um a, **1b** einen um b, **1c** einen um c und **1d** einen um d verringerten, aber hinsichtlich einer Adressierung über einen Steuer- und Adressenbus **26** jeweils durchgängig funktionsfähigen Adressenbereich **17a–17d** auf. Insgesamt kann bei $c > a > b > d$ nur ein Adressenbereich $2^{28}-c$ adressiert werden, da die vier Halbleiterspeichereinrichtungen **1a–1d** in diesem Beispiel parallel adressiert werden.

[0054] Der Wert für c oder $2^{28}-c$ kann in dem ebenfalls auf dem Speichermodul **19** befindlichen Fehlerspeicher **7** abgelegt werden.

[0055] Eine Ablaufsteuerung in der Datenverarbeitungsvorrichtung **1** liest diesen Wert aus und lädt damit eines von mehreren Vergleichsregistern einer Komparatoreinrichtung **3**, die in einer Pipeline-Struktur **11** einer Befehlsausführungseinheit **8** der Datenverarbeitungsvorrichtung **2** aufeinander folgende Steuerbefehle **13** hinsichtlich von in den Speicherbefehlen **13** enthaltenen Adressen überwacht.

Bezugszeichenliste

1	Halbleiterspeichereinrichtung
2	Datenverarbeitungsvorrichtung
3	Komparatoreinrichtung
4	Umkodiereinrichtung
5	Arbeitsadressenbereich
6	Standardspeicherzellenbereich
7	Fehlerspeicher
8	Befehlsbearbeitungseinheit
9	Fehleradresse
10	Fehleradressenbereich
11	Pipeline-Struktur
12	Adressenbearbeitungseinheit
13	Steuerbefehl
14	funktionsfähige Speicherzelle
15	fehlerhafte Speicherzelle
16	Ersatzspeicher
17	durchgängig fehlerfreier Adressenbereich
18	Datenbus
19	Speichermodul
20	(Zugriffs-)Adresse
21	Ersatzadresse
22	Anschlusseinrichtung
23	programmierbarer Adressendekoder
24	interne Adressenleitung
25	externe Adressenleitung
26	Steuer- und Adressenbus
27a–d	16-bit Datenbus
a	Anzahl der Adressen in einem Fehleradressenbereich der Halbleiterspeichereinrichtung 1a
b	Anzahl der Adressen in einem Fehleradressenbereich der Halbleiterspeichereinrichtung 1b
c	Anzahl der Adressen in einem Fehleradressenbereich der Halbleiterspeichereinrichtung 1c
d	Anzahl der Adressen in einem Fehleradressenbereich

Patentansprüche

1. Verfahren zur Integration mindestens einer imperfekten Halbleiterspeichereinrichtung (1) mit funktionsstüchtigen (14) und fehlerhaften (15) Speicherzellen in eine Datenverarbeitungsvorrichtung (2), wobei der Halbleiterspeichereinrichtung (1) ein Arbeitsadressenbereich (5) zugeordnet ist, bei dem durch einen programmierbaren Adressdekoder (23) in der Halbleiterspeichereinrichtung (1) die funktionsfähigen Speicherzellen (14) so sortiert werden, dass im Arbeitsadressenbereich (5) jeweils mindestens ein durchgängig fehlerfreier Adressenbereich (17) und mindestens ein Fehleradressenbereich (10) entsteht; eine Information über den Fehleradressenbereich (10) in einem Fehlerspeicher (7) abgelegt wird; eine Befehlsbearbeitungseinheit (8) der Datenverarbeitungsvorrichtung (2) eine Pipeline-Struktur (11)

und eine Adressenbearbeitungseinheit (12) aufweist und durch die Adressenbearbeitungseinheit (12) vor einem Zugriff auf eine Adresse im Arbeitsadressenbereich (5) die in einem durch die Pipeline-Struktur (11) geschobenen Steuerbefehl (13) enthaltene Zugriffsadresse (20) daraufhin geprüft wird, ob die Zugriffsadresse (20) im Fehleradressenbereich (10) liegt; und bei Vorliegen eines solchen Zugriffs die Zugriffsadresse (20) in eine Ersatzadresse (21) umkodiert wird, bevor der Steuerbefehl (13) ausgeführt wird.

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass jeweils mindestens eine Halbleiterspeichereinrichtung (1) auf einem nichtflüchtigen Speicherelement aufweisenden Speichermodul (19) vorgesehen wird, die Fehleradressenbereiche (10) im Verlauf eines Prüfzyklus des Speichermoduls (19) in der nichtflüchtigen Speichereinrichtung abgespeichert werden und diese als Fehlerspeicher (7) benutzt wird.

3. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass in der Halbleiterspeichereinrichtung (1) nichtflüchtige Speicherzellen als Fehlerspeicher (7) vorgesehen werden und die Fehleradressenbereiche (10) im Verlauf eines Prüfzyklus der Halbleiterspeichereinrichtung (1) in den nichtflüchtigen Speicherzellen abgespeichert werden.

4. Halbleiterspeichereinrichtung zur Verwendung in einem Verfahren nach einem der Ansprüche 1 bis 3 mit funktionsfähigen (14) und fehlerhaften (15) Speicherzellen, mit Anschlusseinrichtungen (22) verbundenen externen Adressenleitungen (25), mit den Speicherzellen (14, 15) verbundenen internen Adressenleitungen (24), einen programmierbaren Adressendekoder (23), der die internen Adressenleitungen (24) funktionsfähiger Speicherzellen (14) in einer Weise den externen Adressenleitungen (25) zuordnet, dass mindestens ein durchgängiger Adressenbereich (17) aus funktionsfähigen Speicherzellen (14) gebildet wird, nichtflüchtigen Speicherzellen als Fehlerspeicher (7) zur Speicherung der Fehleradressenbereiche; und einer Befehlsbearbeitungseinheit (8), die eine Pipeline-Struktur (11) und eine Adressenbearbeitungseinheit (12) aufweist, wobei durch die Adressenbearbeitungseinheit (12) eine in einem durch die Pipeline-Struktur (11) geschobenen Steuerbefehl (13) enthaltene Zugriffsadresse (20) daraufhin prüfbar ist, ob die Zugriffsadresse (20) im Fehleradressenbereich (10) liegt und, bei Vorliegen eines solchen Zugriffs, die Zugriffsadresse (20) vor Ausführung des Steuerbefehls (13) in die Ersatzadresse (21) umkodierbar ist.

5. Halbleiterspeichereinrichtung nach Anspruch

4, gekennzeichnet durch redundante Speicherzellen, deren interne Adressenleitungen (24) durch den programmierbaren Adressendekoder (23) auf die Adressen fehlerhafter Speicherzellen (15) im Arbeitsadressenbereich (5) eines Standardspeicherzellenfeldes (6) umkodierbar sind, so dass die Halbleiterspeichereinrichtung (1) mindestens einen durchgängigen Adressenbereich (17) mit funktionsfähigen Speicherzellen (14) aufweist.

6. Halbleiterspeichereinrichtung nach einem der Ansprüche 4 oder 5, dadurch gekennzeichnet, dass durch den programmierbaren Adressendekoder (23) fehlerhafte Speicherzellen (15) in einem Standardspeicherzellenfeld (6) durch funktionsfähige Speicherzellen (14) aus dem Standardspeicherzellenfeld (6) ersetzbar sind, so dass die Halbleiterspeichereinrichtung (1) mindestens einen durchgängigen Adressenbereich (17) mit funktionsfähigen Speicherzellen (14) aufweist.

7. Halbleiterspeichereinrichtung nach einem der Ansprüche 4 bis 6, gekennzeichnet durch optisch programmierbare Verbindungseinrichtungen, mittels derer der Adressendekoder (23) abhängig von einem Prüfergebnis, das die Fehleradressen (9) ermittelt, programmierbar ist.

8. Speichermodul mit

- einem Grundsubstrat
- auf dem Grundsubstrat ausgebildetem Steuer- und Adressenbus (26) und einem Datenbus (18) und
- mit an den Datenbus (18) und den Steuer- und Adressenbus (26) angeschlossenen Halbleiterspeichereinrichtungen (1)

dadurch gekennzeichnet,
dass die Halbleiterspeichereinrichtungen (1) als Halbleiterspeichereinrichtungen nach einem der Ansprüche 4 bis 7 ausgebildet sind.

Es folgen 2 Blatt Zeichnungen

Fig. 1

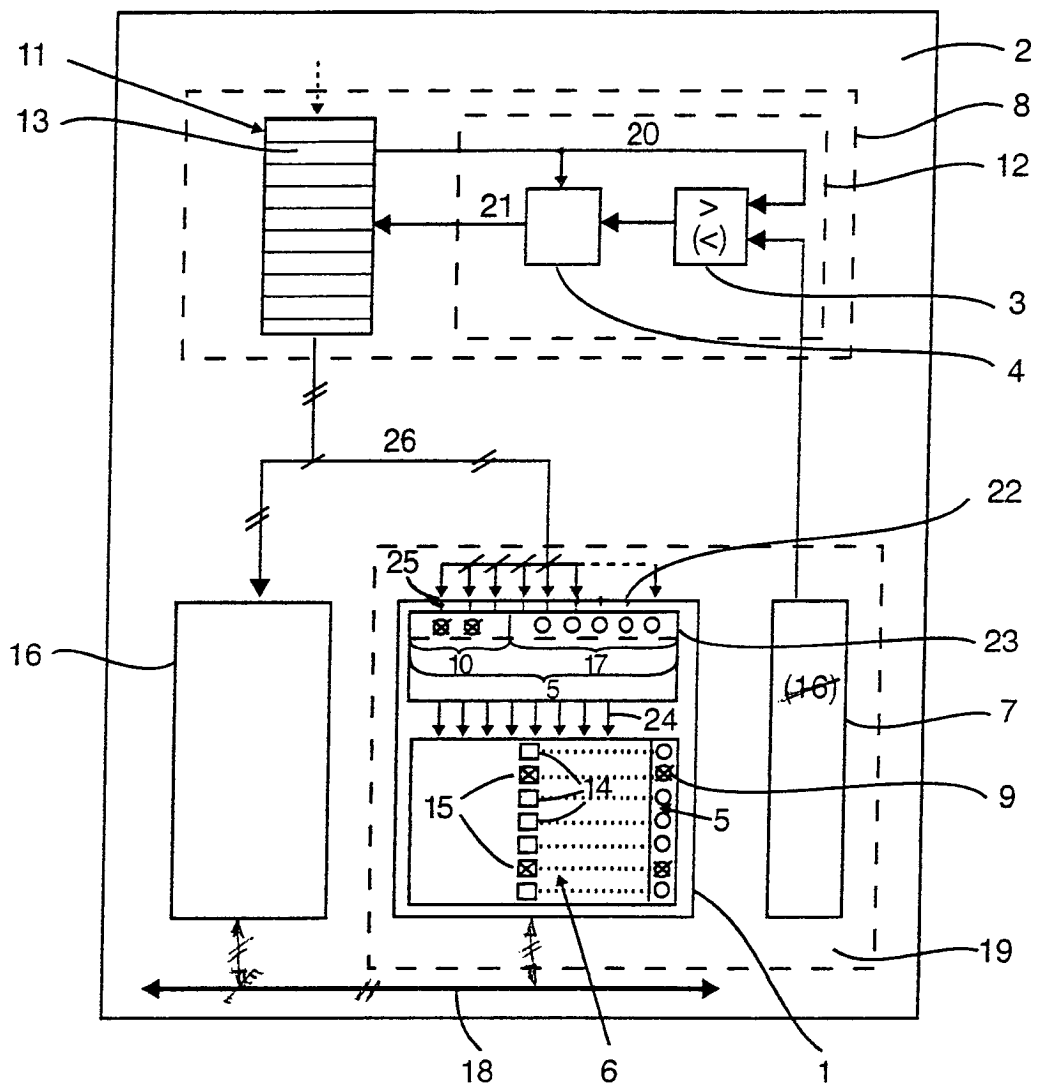


Fig. 2

