

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2004-509426
(P2004-509426A)

(43) 公表日 平成16年3月25日(2004.3.25)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
G 1 1 C 16/02	G 1 1 C 17/00 6 0 1 D	5 B O 2 5
G 1 1 C 16/06	G 1 1 C 17/00 6 3 1	
	G 1 1 C 17/00 6 1 1 G	
	G 1 1 C 17/00 6 1 3	
	G 1 1 C 17/00 6 3 3 A	
	審査請求 未請求 予備審査請求 有 (全 36 頁) 最終頁に続く	

(21) 出願番号 特願2002-507376 (P2002-507376)
 (86) (22) 出願日 平成13年6月15日 (2001.6.15)
 (85) 翻訳文提出日 平成14年12月11日 (2002.12.11)
 (86) 国際出願番号 PCT/US2001/019505
 (87) 国際公開番号 W02002/003388
 (87) 国際公開日 平成14年1月10日 (2002.1.10)
 (31) 優先権主張番号 09/608,454
 (32) 優先日 平成12年6月29日 (2000.6.29)
 (33) 優先権主張国 米国 (US)

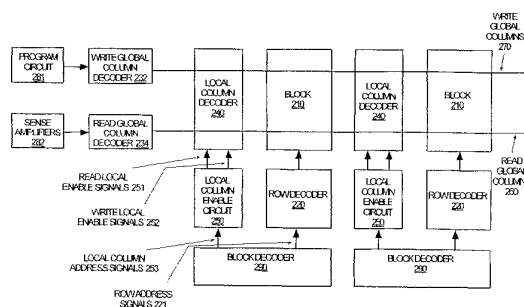
(71) 出願人 591003943
 インテル・コーポレーション
 アメリカ合衆国 95052 カリフォル
 ニア州・サンタクララ・ミッション カレ
 ッジ プーレバード・2200
 (74) 代理人 100091915
 弁理士 本城 雅則
 (74) 代理人 100099106
 弁理士 本城 吉子
 (72) 発明者 バウアー, マーク
 アメリカ合衆国 カリフォルニア州 95
 667 プレイサービル ヒデュン・レイ
 ク・ドライブ1420

最終頁に続く

(54) 【発明の名称】 ブロック・レベルの書き込み時読み取り方法および方法

(57) 【要約】

一実施例では、不揮発性メモリ装置の1ブロックを読み取るとともに不揮発性メモリ装置の別のブロックへの書き込みを行なう方法および装置が開示される。



【特許請求の範囲】

【請求項 1】

第 1 ブロックおよび第 2 ブロックを含み、他のブロックに書き込んでいる間に各ブロックを読み込むことが可能であるメモリ、
から構成されることを特徴とする不揮発性メモリ装置。

【請求項 2】

第 1 行デコーダおよび第 2 行デコーダを含み、各行デコーダは対応するブロックと関連付けられる、
ことを特徴とする請求項 1 記載の不揮発性メモリ装置。

【請求項 3】

前記メモリに関連するグローバル列デコーダをさらに含むことを特徴とする請求項 1 記載の不揮発性メモリ装置。

【請求項 4】

前記グローバル列デコーダおよび各ブロックに関連する 1 組の読み取りグローバル列ラインをさらに含むことを特徴とする請求項 3 記載の不揮発性メモリ装置。

【請求項 5】

前記グローバル列デコーダおよび各ブロックに関連する 1 組の書き込みグローバル列ラインをさらに含むことを特徴とする請求項 4 記載の不揮発性メモリ装置。

【請求項 6】

第 1 ローカル列デコーダおよび第 2 ローカル列デコーダを含み、各ローカル行デコーダは対応するブロックと関連付けられる、
ことを特徴とする請求項 5 記載の不揮発性メモリ装置。

【請求項 7】

第 1 ローカル列イネーブル回路および第 2 ローカル列イネーブル回路を含み、各ローカル列イネーブル回路は対応するローカル列デコーダと関連付けられる、
ことを特徴とする請求項 6 記載の不揮発性メモリ装置。

【請求項 8】

列読み取り信号は、前記グローバル列デコーダから、列読み取りアドレス信号の読み取りを可能にする対応するローカル列デコーダを通して、前記第 1 ブロックへ送られることを特徴とする請求項 7 記載の不揮発性メモリ装置。

【請求項 9】

列書き込み信号は、前記グローバル列デコーダから、列書き込み信号の読み取りを可能にする対応するローカル列デコーダを通して、前記第 2 ブロックへ送られ、前記グローバル列デコーダが読み取りモードおよび書き込みモードに同時に存在することを特徴とする請求項 8 記載の不揮発性メモリ装置。

【請求項 10】

不揮発性メモリの第 1 ブロックを読み取るとともに、前記不揮発性メモリの第 2 ブロックに書き込む方法において、

グローバル列デコーダから前記第 1 ブロックへ列読み取り信号を送る段階と、
前記グローバル列デコーダから前記第 2 ブロックへ列書き込み信号を送る段階と、
から構成されることを特徴とする方法。

【請求項 11】

前記第 1 ブロックに関連付けられた第 1 ローカル列デコーダが前記列読み取りアドレス信号の受け取りを可能とする段階をさらに含むことを特徴とする請求項 10 記載の方法。

【請求項 12】

前記第 2 ブロックに関連付けられた第 2 ローカル列デコーダが前記列書き込み信号の受け取りを可能とする段階をさらに含むことを特徴とする請求項 11 記載の方法。

【請求項 13】

前記列読み取り信号を前記第 1 ローカル列デコーダを通して前記第 1 ブロックへ送る段階をさらに含むことを特徴とする請求項 12 記載の方法。

10

20

30

40

50

【請求項 14】

前記列書き込み信号を前記第2ローカル列デコーダを通して前記第2ブロックへ送る段階をさらに含み、データが前記第1ブロックから読み取られるとともに、他のデータが前記第2ブロックへ同時に書き込まれることを特徴とする請求項13記載の方法。

【請求項 15】

不揮発性メモリの第2ブロックへ書き込んでいる間に、不揮発性メモリの第1ブロックへ読み取るための装置において、

列読み取り信号をグローバル列デコーダから前記第1ブロックへ送る手段と、列書き込み信号をグローバル列デコーダから前記第2ブロックへ送る手段と、から構成されることを特徴とする装置。

10

【請求項 16】

前記第1ブロックに関連付けられた第1ローカル列デコーダが前記列読み取り信号の受信を可能とする手段をさらに含むことを特徴とする請求項15記載の装置。

【請求項 17】

前記第2ブロックに関連付けられた第2ローカル列デコーダが前記列書き込み信号の受信を可能とする手段をさらに含むことを特徴とする請求項16記載の装置。

【請求項 18】

前記列読み取り信号を前記第1ローカル列デコーダを通して前記第1ブロックへ送る手段をさらに含むことを特徴とする請求項17記載の装置。

【請求項 19】

前記列書き込み信号を前記第2ローカル列デコーダを通して前記第2ブロックへ送る手段をさらに含むことを特徴とする請求項18記載の装置。

20

【請求項 20】

不揮発性メモリのセクションからデータを読み取る段階と、前記不揮発性メモリの前記セクションへデータを同時に書き込む段階と、から構成されることを特徴とする方法。

【請求項 21】

書き込みモードにおいて前記セクションのためのグローバル・デコーダを置く段階と、前記読み取りモードにおいて前記グローバル・デコーダを同時に置く段階と、から構成されることを特徴とする請求項20記載の方法。

30

【請求項 22】

コードを格納するための第1ブロック数を有するコード・パーティションと、データを格納するための第2ブロック数を有するデータ・パーティションと、を含み、各ブロックは、他のブロックが書き込まれている間に、読み取りが可能であることを特徴とする不揮発性メモリ。

【請求項 23】

前記コード・パーティション中の前記第1ブロック数が前記データ・パーティション中の前記第2ブロック数に未使用ブロックを含めるように再定義されることを特徴とする請求項22記載の不揮発性メモリ装置。

40

【請求項 24】

前記データ・パーティション中の前記第2ブロック数が前記データ・パーティション中の第1ブロック数に未使用ブロックを含めるように再定義されることを特徴とする請求項22記載の不揮発性メモリ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、一般に、フラッシュ・メモリに関し、さらに詳しくは、フラッシュ・メモリのパーティションに関する。

【0002】

50

【従来の技術】

図1は、ある従来技術のフラッシュ・メモリ装置100を示す。データが書き込まれるメモリ110は、それに関連する行(ロー)デコーダ160および列(コラム)デコーダ180を有する。行デコーダ160および列デコーダ180によって、メモリの行と列のアドレスを指定する。ユーザ・インターフェイス120は、フラッシュ・メモリ装置100を制御する。ユーザ・インターフェイス120は、メモリ110へのアクセスを制御するプロセッサとインターフェイスする。プロセッサは、ユーザ・インターフェイス120からフラッシュ・メモリのステータスを知る。ステータス・レジスタ130は、メモリ110の現在のステータス、すなわちプログラミング、読み取り、または消去を格納する。

【0003】

メモリは、セルの状態が電氣的に1からゼロに変化するときにプログラムされる。典型的なフラッシュ・メモリの従来技術では、この動作は単一セル(ビット)の分解能を有する。プログラミングは、高の正電圧をフラッシュ・セルのゲートおよびドレインに印加することによって典型的には達成される。メモリは、セルの状態をゼロから1へ電氣的に変更することにより消去される。典型的なフラッシュ・メモリの従来技術では、この動作は512Kセル(ブロック)の分解能を有し、負の電圧をゲートへそして正の電圧をソースへ印加することにより達成することができる。これら2つの動作、プログラミングおよび消去は、また書き込みとも呼ばれる。このように、書き込みは、プログラムおよび消去動作の双方を含み、セルの状態を電氣的に変更することによって実行される。

【0004】

センス増幅器140は、メモリ110と関連する。ある従来技術の実施例では、センス増幅器は、メモリ110への書き込みおよびメモリ110からの読み取り信号を増幅するために用いられる。16個の入力/出力(I/O)に分けられた行に対して、16個のセンス増幅器140は書き込みおよび読み取りのために用いられ、1個は各I/Oのために用いられる。チャージ・ポンプ150は、さらにフラッシュ・メモリ100に含められる。チャージ・ポンプ150は、メモリ110の読み取り、書き込み、および消去のために必要とされる電圧レベルを提供するために用いられる。一般的に、フラッシュ・メモリ装置の従来技術は、2つのパーティションを有し、パーティション毎に複数のブロックを有する。

【0005】

典型的には、ブロック群がパーティションを形成する。1つのパーティションはデータを格納するために用いられ、他のパーティションは、例えば、コードを格納するために用いられる。しかしながら、ユーザは、従来の同じパーティション内でメモリのあるブロックを読みながら同時にそのフラッシュ・メモリの他のブロックを書き込むことができない。

【0006】

従来のリード・ホワイル・ライト・メモリ(read while write memory)の他の欠点は、所定のパーティション中のブロック数が固定されていることである。例えば、もしあるパーティションがコードを格納するために用いられ、他のパーティションがデータを格納するために用いられ、そしてユーザがもしそのコードの格納仕様がなんであるかが判からないなら、そのコード用のパーティションは必要以上のブロックを含むことになる。その結果、メモリの一部が未使用となるであろう。供給業者または製造業者は、多くのパーティション部分を提供することによりこの浪費を減らすことができるが、しかしこれはまたコストを上昇させるラインの項目数量を増加させる。

【0007】

【詳細な説明】

ブロック・レベルのリード・ホワイル・ライト(書き込み時読み取り)のための方法および装置が説明される。ブロック・レベルのリード・ホワイル・ライトの利点は、フラッシュ・メモリ内の全てのブロックにおけるより効率的な利用である。製造業者は顧客のニーズに適合する多くの製品をサポートする必要はないので、製造業者にとってはコスト低減の余地もある。非常に多くの雑多な製品の在庫を維持する必要がない点に目に見えるコス

10

20

30

40

50

ト低減の余地がある。

【0008】

ブロック・レベルのリード・ホワイ・ライトの一実施例では、不揮発性メモリ装置は、第1ブロックおよび第2ブロックからなり、他のブロックが書き込まれている間に、各ブロックを読み取ることができる。その装置は、さらに第1行(row)および第2行を含む。各行デコーダは、対応するブロックに関連する。また、読み取りグローバル列デコーダ(read global column decoder)および書き込みグローバル列デコーダ(write global column decoder)はそのブロックと関連する。1組のグローバル列読み取りラインおよび1組のグローバル列書き込みラインは、対応するグローバル列デコーダおよび各ブロックと関連する。その装置は、さらに第1ローカル列デコーダおよび第2ローカル列デコーダを有していてもよい。各ローカル列デコーダは対応するブロックと関連する。第1ローカル列デコーダ・イネーブル回路および第2ローカル列デコーダ・イネーブル回路は、それらのローカル列デコーダと関連するが、またその装置に含まれていてもよい。各ローカル列デコーダは、読み取りグローバル列信号または書き込みグローバル列信号のいずれかを選択するためにイネーブルに(有効化)される。

10

【0009】

ブロック・レベルのリード・ホワイ・ライト・メモリの実施例が、図2に示される。そのメモリは、ブロック・アレイ210を有し、各ブロック210は一度に消去される最小数のセルである。ブロック210の共通ソース・ノードを共有し、それによってブロック中の全てのセルが同時に消去される。

20

【0010】

各メモリ・ブロック210は、メモリ・セクションを定義する。ローカル行デコーダ220は各ブロック210に関連付けられる。各ブロック210は、さらに書き込みグローバル列デコーダ232および読み取りグローバル列デコーダ234に関連付けられる。複数のブロックがグローバル列デコーダ232, 234を共有するため、グローバル列デコーダによって、メモリ内における各ブロック210のための別個の読み取りおよび書き込み列デコーダを複製する必要性がなくなる。

【0011】

フラッシュ・メモリにグローバル・デコーダを用いる利点は、領域を削減することである。各グローバル・デコーダは、ローカル・デコーダへの入力信号として用いられる信号を出力する。ローカル・デコーダは各ブロックへ提供されるのに対して、グローバル・デコーダはいくつかのブロック間で共有される。このように、グローバル列デコーダは、ブロック・レベルのリード・ホワイ・ライトを実現するために必要とされる集積回路チップ上の総面積を低減させる。

30

【0012】

図2に示される実施例では、各ブロック210はローカル列デコーダ240を有する。ローカル列デコーダ240は、グローバル列デコーダが複数のブロック間で共有されるときに生じることのある外乱状況(disturb situation)を防ぐために用いられる。外乱は、セルのゲート、ドレイン、ソースのノード上に高電圧をかけ、他のセルに書き込みを行っている間に発生する。外乱は、セル間の行、列およびソース信号を共有する結果である。過度な外乱時には、フラッシュ・メモリの状態を変更する。

40

【0013】

外乱の効果は、ローカル・デコーダを用いることによって低減することができる。ローカル・デコーダは、外乱時間を制限するためのブロック分離を提供する。例えば、ローカル列デコーダ240なしに、あるブロックに書き込みが行われ、他のブロックには高ドレイン電圧が印加される場合、他のブロックのメモリ特性に否定的なインパクトを与えるかもしれない。しかしながら、ローカル列デコーダを有し、ブロックに書き込みを行なう場合、ローカル列デコーダはグローバル列デコーダを書き込み中のブロックにのみ接続する。その他のブロックは高ドレイン電圧から遮断され、その結果それらの特性を向上させるこ

50

とになる。ローカル列デコーダ 240 は電気的な分離を提供し、その結果 1 つのブロックのみがグローバル列デコーダ 232 から書き込み信号を受ける。ある実施例では、ローカル列デコーダ 240 は、ブロック 210 中の各列に 2 つのトランジスタで形成され得る。

【0014】

読み取りアドレスは読み取られるべきワードのアドレスであり、書き込みアドレスは書き込まれるべきワードまたはブロックのアドレスである。所与のブロックが書き込みまたは読み取り中であるなら、ローカル列デコーダ 240 は、所与のブロック 210 のために、ローカル列イネーブル装置回路 250 からの信号によって有効化される。

【0015】

各グローバル列デコーダ 232, 234 は 1 組の信号ラインを有する。ラインの 1 組は、1 組のグローバル読み取りライン 260 であり、他は 1 組のグローバル書き込みライン 270 である。このように、グローバル列デコーダは、2 組のグローバル信号を提供し、1 つは読み込まれるべきブロックに対してであり、他は書き込まれるべきブロックに対してである。この 2 組のグローバル信号は、1 つのブロックからの読み取りを行なう一方、他のブロックへ書き込むために必要とされる。この 2 組のグローバル信号は、1 つのブロックからの読み取りを行なう一方、他のブロックへ書き込む利点を提供する。この 2 組のグローバル信号は、また単一のブロックを形成するリード・ホワイル・ライト解法を具備する利点を提供し、その結果コードとデータ・パーティションとの境界はフレキシブルになり、ブロック・レベルで変更が可能となる。

10

【0016】

読み取りグローバル列デコーダ 234 は、センス増幅回路 282 へ接続される。センス増幅器はセルをテストすることによりセルからデータを読み取り、そのセルが電流を流し、または導通しているかを判断する。書き込みグローバル列デコーダ 232 は、プログラム回路 281 へ接続される。プログラム回路は、メモリ・ブロック 210 のセルへ書き込むために必要とされる高電圧を提供する。

20

【0017】

各行デコーダ 220 および各ローカル列デコーダ 250 は、ブロック・デコーダ 290 からのアドレス信号を受信する。ブロック・デコーダ 290 は、書き込みアドレス信号を書き込まれるブロックへ、また読み取りアドレス信号を残りのブロックへ提供する。列イネーブル回路 250 はローカル列アドレス信号 253 をブロック・デコーダ 290 から受け取る。列イネーブル回路は、1 組の読み取りローカル信号ライン 251 および 1 組の書き込みローカル・イネーブル・ライン 252 を生成し、ローカル列デコーダが適切な信号をグローバル読み取りライン 260 またはグローバル書き込みライン 270 から受け取ることを可能にする。行デコーダ 220 は、行アドレス信号 221 をブロック・デコーダ 290 から受信する。

30

【0018】

図 2 に示された実施例は 2 つのブロックを有するが、別の実施例ではどのような数のブロックを含めてもよく、それ故あらゆる数のパーティションを含んでいてもよい。

【0019】

図 3 は、ブロック・デコーダ 290 の行アドレス生成部の実施例を示す。読み取りおよび書き込み行アドレス信号 291, 292 は、中央処理装置 (CPU) から受信され、マルチプレクサ 296 へ入力される。書き込みブロック・アドレス信号 294 は、ブロック検出回路 295 によって受け取られる。ブロック検出回路は、そのブロックに関連する特定のブロック・アドレスを検出するために設計されている。一致したブロック・アドレスが検出されると、ブロック検出器は高レベル信号を出力し、マルチプレクサに書き込み行アドレス信号を行アドレス信号出力 221 へ送信させる。一致するアドレスが検出されないと、その時読み取り行アドレス信号がその出力へ送信される。

40

【0020】

図 4 は、図 2 に示されたローカル列検出器の一部の実施例を示す。メモリ・ブロックが 1 k b i t 幅である行を有している場合、そのときローカル列デコーダは 1 k のローカル列

50

ラインを具備することになる。読み取りグローバル列デコーダが256のグローバル読み取りラインを有し、また書き込みグローバル列デコーダが256のグローバル書き込みラインを有する場合、そのとき1つのグローバル読み取りラインおよび1つのグローバル書き込みラインはローカル列デコーダで4つの対応するローカル列ラインと関連付けられるであろう。ローカル・イネーブル回路は4つのローカル列ラインの内の適切な1つを有効化し、適切な読み取りまたは書き込み信号を8つのローカル列イネーブル・ラインの1つを有効化することによりグローバル・ラインから受信する。

【0021】

ブロック・レベルのリード・ホワイル・ライトを達成するための方法は、不揮発性メモリの第1ブロックを読み取る一方で、不揮発性メモリの第2ブロックに書き込みを行なうことを含む。第1ブロックと関連付けられる第1ローカル列デコーダは、グローバル読み取りラインを選択するために有効化される。第2ブロックと関連付けられる第2ローカル列デコーダは、グローバル書き込みラインを選択するために有効化される。この方法は、グローバル列デコーダから第1ブロックへの列読み取り信号を送ること、およびグローバル列デコーダから第2ブロックへの列書き込み信号を送ることを含む。列読み取り信号は、第1ローカル列デコーダを通して第1ブロックへ送られる。列書き込み信号は、第2ローカル列デコーダから第2ブロックへ送られる。

10

【0022】

図5および図6は、ブロック・レベルのリード・ホワイル・ライト・メモリ装置の別の実施例を示す。メモリ610は、いくつかのセクション620を有する。各パーティション62nは、いくつかのブロック67n, 68nを具備する。ブロック・レベルのリード・ホワイル・ライトのために、プロセッサは、他のあらゆるブロックを読み込んでいる間にいかなるブロックを書き込むことができる。

20

【0023】

図6において、図5のコードとデータ・パーティションとの間の境界は、メモリの効率を向上させるためにブロック・レベルで再定義される。例えば、メモリの1つのブロックのみがコードを格納するために必要とされると、そのときこのコードはブロック671に格納することができる。図5のパーティション621における他のブロックは、図6に示されるように、パーティション722の一部と成る。このように、コードを含むパーティション721は、1つのメモリ・ブロック671を有するのみとなり、他のメモリ・ブロック681はパーティション722に、例えばデータを格納するために用いられることが可能となり、このようにメモリ610全体の効率を向上させることになる。

30

【0024】

ブロック・レベルのリード・ホワイル・ライト装置を有するフラッシュ・メモリ装置を用いる1つの例が、次に示される。第1ブロックは、データを格納するために用いられる。第2ブロックはコードを格納するために用いられてもよいが、そのコードはフラッシュ・メモリ装置を含む装置によって実行される。第3ブロックは、コードの更新を許容するために用いられる。このように、例として、コードが最新値から変更すると、新しいコードは第3ブロックに書き込まれるとともに、第2ブロック中の元のコードは、同時に、実行する。新しいコードが書き込まれ、照合されると、第3ブロックはそのコード用に使用されるパーティションとなる。このように、フラッシュ・メモリの継ぎ目のない更新が可能となる。ブロック・レベルのリード・ホワイル・ライト装置を有するフラッシュ・メモリ装置および方法の他の例は第1ブロックから実行されたコードを有するとともに、第2ブロック中のデータを更新する。このように、例として、コード実行がデータを更新する結果となるなら、これは継ぎ目なしに達成されることができる。

40

【0025】

以上の明細書において、本発明は特定の実施例に関連して説明された。しかしながら、様々な修正および変更が本発明のより広い精神および範囲から逸脱することなしにそれに対して成され得る。従って、明細書および図面は、限定的な意図よりもむしろ図式的であると考えられるべきである。本発明は、実施例や例示によって限定的であると考えられるべ

50

きではなく、むしろ請求項に従って解されるべきである。

【図面の簡単な説明】

【図 1】

従来のフラッシュ・メモリ装置を示す。

【図 2】

フレキシブル・リード・ホワイル・ライト・メモリの実施例を示す。

【図 3】

リード・ホワイル・ライト・メモリの他の実施例を示す。

【図 4】

グローバル・ビット・ラインを有効化することによりローカル・ビット・ラインを通して 10
読み取りまたは書き込みを行なう実施例を示す。

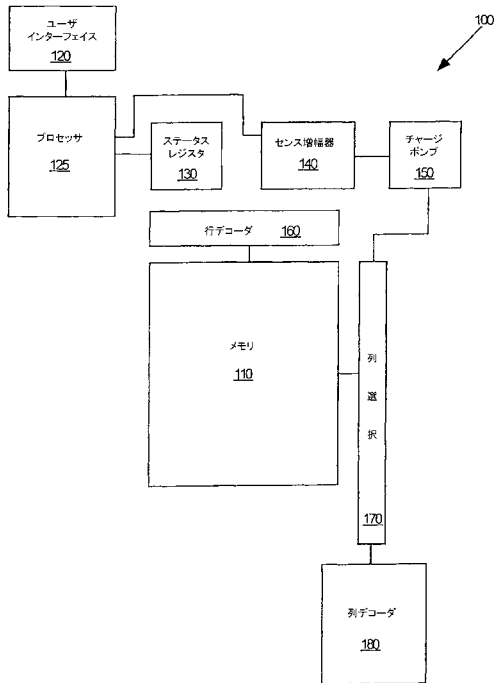
【図 5】

同じパーティション内のあるブロックを書き込んでいる間にそのパーティション内の別の
ブロックを読み取る実施例を示す。

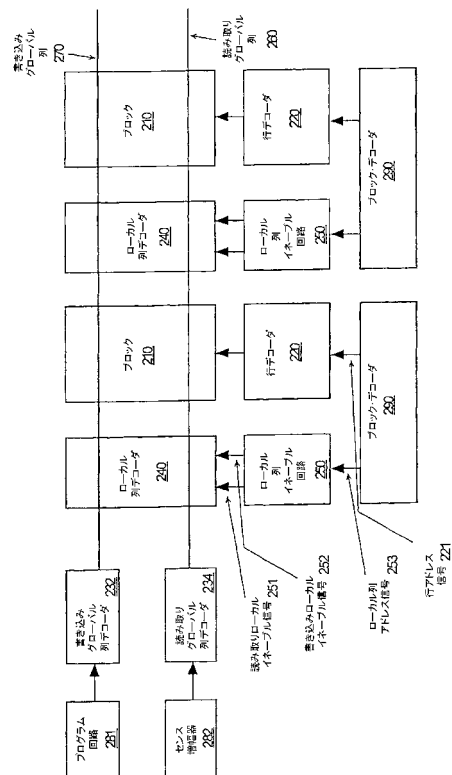
【図 6】

フレキシブルなブロックの分割の実施例を示す。

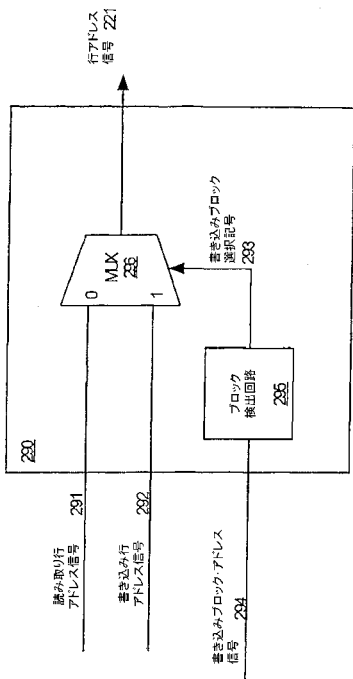
【図 1】



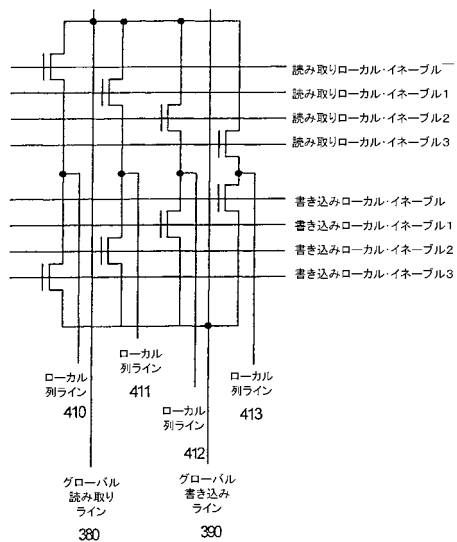
【図 2】



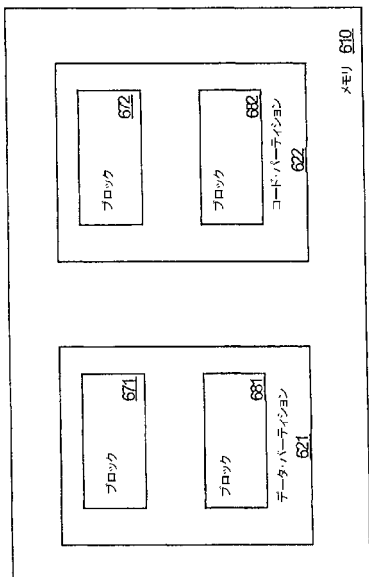
【 図 3 】



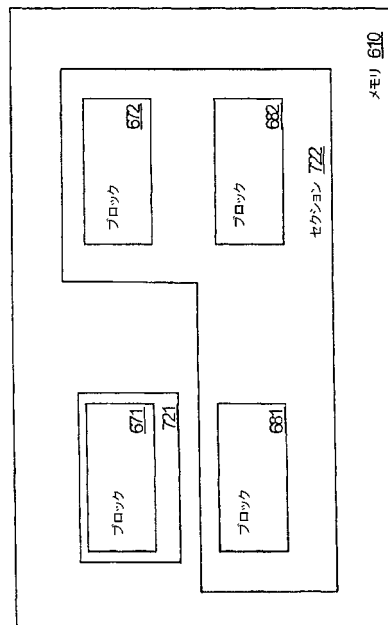
【 図 4 】



【 図 5 】



【 図 6 】



【国際公開パンフレット】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization
International Bureau



(43) International Publication Date
10 January 2002 (10.01.2002)

PCT

(10) International Publication Number
WO 02/03388 A2

- (51) International Patent Classification: G11C
- (21) International Application Number: PCT/US01/19505
- (22) International Filing Date: 15 June 2001 (15.06.2001)
- (25) Filing Language: English
- (26) Publication Language: English
- (30) Priority Data: 09/608,454 29 June 2000 (29.06.2000) US
- (71) Applicant (for all designated States except US): INTEL CORPORATION [US/US], 2200 Mission College Boulevard, Santa Clara, CA 95052 (US).
- (72) Inventors: and
- (75) Inventors/Applicants (for US only): BAUER, Mark [US/US]; 1420 Hidden Lake Drive, Placerville, CA 95667 (US); TEDROW, Kerry [US/US]; 1261 Hamburg Creek Court, Folsom, CA 95630 (US).
- (74) Agent: MALLIE, Michael, J., Blakely Sokoloff Taylor & Zafman, 7th Floor, 12400 Wilshire Boulevard, Los Angeles, CA 90025 (US).

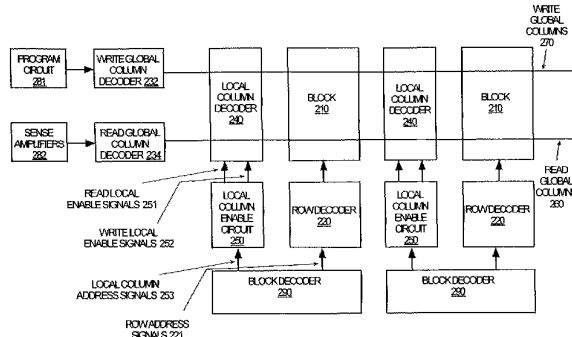
(81) Designated States (national): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EE, ES, FI, GB, GD, GE, GR, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZW.

(84) Designated States (regional): ARIPO patent (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZW), Eurasian patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), OAPI patent (BF, BJ, CF, CG, CI, CM, GA, GN, GW, ML, MR, NE, SN, TD, TG).

Published:
— without international search report and to be republished upon receipt of that report

For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.

(54) Title: BLOCK-LEVEL READ WHILE WRITE METHOD AND APPARATUS



(57) Abstract: In one embodiment, a method and apparatus for reading one block of a nonvolatile memory device while writing to another block of a nonvolatile memory device is disclosed.

WO 02/03388 A2

WO 02/03388

PCT/US01/19505

BLOCK-LEVEL READ WHILE WRITE METHOD AND APPARATUS**FIELD OF INVENTION**

The present invention relates to flash memory, and more specifically, to
5 partitioning of flash memory.

BACKGROUND OF THE INVENTION

Figure 1 illustrates one prior art flash memory device 100. The memory
110 into which data is written has a row decoder 160 and a column decoder 180
10 associated with it. The row decoder 160 and column decoder 180 permit
addressing the rows and columns of memory. A user interface 120 controls the
flash memory device 100. The user interface 120 interfaces with a processor that
controls access to the memory 110. The processor knows the status of the flash
memory from the user interface 120. A status register 130 stores the current
15 status -- programming, reading, or erasing -- of the memory 110.

The memory is programmed when a cell's state is electrically changed from
a one to a zero. In a typical prior art flash memory this operation has a resolution
of a single cell (bit). Programming is typically performed by applying high positive
voltage to the gate and drain of a flash cell. The memory is erased by electrically
20 changing a cell's state from a zero to a one. In a typical prior art flash memory
this operation has a resolution of 512K cells (block), and may be accomplished by
applying negative voltage to the gate and positive voltage to the source. These
two operations, programming and erasing, are also called writing. Thus, writing is

WO 02/03388

PCT/US01/19505

performed by electrically altering the state of a cell (or cells), including both program and erase operations.

Sense amplifiers 140 are associated with the memory 110. In one prior art implementation, the sense amplifiers are used to amplify signals for writing to and reading from the memory 110. For a row divided into sixteen input/outputs (I/Os), sixteen sense amplifiers 140 are used for writing and reading, one for each I/O. A charge pump 150 is further included in the flash memory 100. The charge pump 150 is used to provide the voltage levels needed for reading from, programming, and erasing the memory 110. Generally, prior art flash memory devices have two partitions with multiple blocks in each partition.

Typically, a group of blocks form a partition. One partition may be used to store data, and another partition may be used to store code, for example. However, a user can not write to one block of the flash memory while simultaneously reading another block of the memory within the same partition using the prior art read while write memory.

Another disadvantage of the traditional read while write memory is that the number of blocks within a given partition is fixed. For example, if one partition is used to store code, and another partition is used to store data, and if the user does not know what the storage requirements for the code will be, the partition for the code may contain more blocks than are necessary. Thus, a portion of the memory will be unused. The supplier or manufacturer can reduce this waste by providing many partition options, but this increases line-item count which also increases costs.

WO 02/03388

PCT/US01/19505

BRIEF DESCRIPTION OF THE DRAWINGS

The present invention is illustrated by way of example and not limitation in the figures of the accompanying drawings, in which like references indicate similar elements, and in which:

- 5 **Figure 1** shows a prior art flash memory device.
- Figure 2** shows an embodiment of a flexible read while write memory.
- Figure 3** shows another embodiment of reading while write memory.
- Figure 4** shows an embodiment of reading or writing through a local bit line by enabling a global bit line.
- 10 **Figure 5** shows an embodiment of reading to a block in one partition while writing to another block in the same partition.
- Figure 6** shows an embodiment of a flexible block partitioning.

WO 02/03388

PCT/US01/19505

DETAILED DESCRIPTION

A method and apparatus for block level read while write is described. An advantage of block level read while write is a more efficient use of all blocks within the flash memory. There is also a cost savings to the manufacturer, because the manufacturer does not have to support as many products to meet a customer's needs. There is a tangible cost savings in not having to keep an inventory of a large amount of different products.

In one embodiment of block level read while write, a nonvolatile memory device comprises a first block and a second block, where each block is able to be read while another block is written. The device may further include a first row decoder and a second row decoder. Each row decoder may be associated with a corresponding block. Also, a read global column decoder and a write global column decoder are associated with the blocks. A set of global column read lines and a set of global column write lines are associated with the corresponding global column decoders and each block. The device may further have a first local column decoder and a second local column decoder. Each local column decoder is associated with a corresponding block. A first local column decoder enable circuit and a second local column decoder enable circuit, associated with their corresponding local column decoders are also included in the device. Each local column decoder can be enabled to select either the read global column signal or the write global column signal.

An embodiment of the block level read while write memory is shown in **Figure 2**. The memory has block arrays 210, where each block 210 is the minimum number of cells that can be erased at one time. The cells of block 210

WO 02/03388

PCT/US01/19505

share a common source node, which requires all cells in the block to be erased simultaneously.

Each memory block 210 defines a memory section. A local row decoder 220 is associated with each block 210. Each block 210 is further associated with a write global column decoder 232 and a read global column decoder 234. The global column decoders eliminate the need for duplicating separate read and write column decoders for each block 210 within the memory, because multiple blocks share the global column decoders 232 and 234.

An advantage of using the global decoders in flash-memories is saving area. Each global decoder outputs signals which are used as input signals to the local decoder. A local decoder is provided for each block whereas the global decoder is shared between several blocks. Thus, the global column decoders reduce the amount of area on the integrated circuit chip needed to implement block level read while write.

For the embodiment shown in **Figure 2**, each block 210 has a local column decoder 240. The local column decoder 240 is needed to eliminate a disturb situation, which may arise when a global column decoder is shared among multiple blocks. A disturb occurs when subjecting a cell to high voltage on the gate, drain, or source node while writing to other cells. Disturbs are a consequence of sharing row, column and source signals between cells. Excessive disturb times will alter the state of the flash-cell.

The effects of disturbs can be reduced by using local decoders. The local decoder provides block isolation to limit disturb time. For example, without the local column decoder 240, when one block is written to, the other blocks will be

WO 02/03388

PCT/US01/19505

exposed to a high drain voltage, which may negatively impact the memory performance of the other blocks. However, with local column decoding, when a block is being written, the local column decoder will connect the global column decoder only with the block that is being written. The other blocks will be isolated
5 from the high drain voltage, thus improving their performance. The local column decoder 240 provides electrical isolation so that only one block receives the write signal from the write global column decoder 232. In one embodiment, the local column decoder 240 can be two transistors for each column in a given block 210.

A read address is the address of the word to be read, and a write address
10 is the address of the word or block to be written. If a given block is being written or read, the local column decoder 240 for the given block 210 is enabled by a signal from the local column enable device circuit 250.

Each global column decoder 232, 234 has a set of signal lines. One set of lines is a set of global read lines 260, and the other is a set of global write lines
15 270. Thus, the global column decoders can provide two sets of global signals, one for the block to be read, and the other for the block to be written. The two sets of global signals are needed to read from one block while writing to another block. The two sets of global signals provides the advantage of being able to read from one block while writing to another block. The two sets of global signals also
20 provide the advantage of having the read while write resolution comprise a single block, so that the boundary between code and data partitions is flexible and can change at the block level.

The read global column decoder 234 is connected to sense amplifiers circuit 282. The sense amplifiers read data from a cell by testing the cell to

WO 02/03388

PCT/US01/19505

determine if the cell draws current, or conducts. The write global column decoder 232 is connected to program circuit 281. The program circuit provides a high voltage needed to write to a cell of a memory block 210.

Each row decoder 220 and each local column enable circuit 250 receives
5 address signals from block decoder 290. Block decoder 290 provides write address signals to the block being written and read address signals to the remaining blocks. Column enable circuit 250 receives local column address signals 253 from block decoder 290. Column enable circuit generates a set of read local signal lines 251 and a set of write local enable lines 252, for enabling
10 the local column decoder to receive an appropriate signal from one of the global read lines 260 or global write lines 270. Row decoder 220 receives the row address signals 221 from block decoder 290.

Although the embodiment shown in **Figure 2** has two blocks, alternative
15 embodiments may include any number of blocks, and therefore, have any number of partitions.

Figure 3 shows an embodiment of the row address generation portion of block decoder 290. Read and write row address signals 291 and 292 are received from a central processing unit (CPU) and input into multiplexer 296. Write block address signals 294 are received by block detection circuit 295. The
20 block detection circuit is designed to detect the particular block address associated with its block. When the matching block address is detected the block detector outputs a high-level signal causing the multiplexer to transmit the write row address signals to row address signal output 221. If the matching address is not detected then the read row address signals are transmitted to the output.

WO 02/03388

PCT/US01/19505

Figure 4 shows an embodiment of a portion of the local column decoder shown in **Figure 2**. If a memory block has a row that is 1kbit wide, then the local column decoder will have 1k local column lines. If the read global column decoder has 256 global read lines and the write global column decoder has 256 global write lines, then one global read line and one global write line will be associated with four corresponding local column lines at the local column decoder. The local column enable circuit will enable the appropriate one of the four local column lines to receive the appropriate read or write signal from one of the global lines by enabling one of the eight local column enable lines.

A method for performing block-level read while write includes reading a first block of a nonvolatile memory while writing to a second block of a nonvolatile memory. A first local column decoder associated with the first block is enabled to select the global read lines. A second local column decoder associated with the second block is enabled to select the global write lines. The method includes sending a column read signal from a global column decoder to the first block, and sending a column write signal from a global column decoder to the second block. The column read signal is sent through the first local column decoder to the first block. The column write signal is sent through the second local column decoder to the second block.

Figures 5 and 6 show another embodiment of a block level read while write memory device. Memory 610 has several sections 620. Each partition 62n has several blocks 67n and 68n. For block-level read while write, a processor can write to any block while reading from any other block.

WO 02/03388

PCT/US01/19505

In **Figure 6** the boundary between the code and data partitions of **Figure 5** has been redefined at the block level in order to increase the efficiency of the memory. For example, if only one block of memory is needed to store code, then this code can be stored in block 671. The other block in partition 621 of **Figure 5** can become a part of partition 722, as shown in **Figure 6**. Thus, the partition 721 which contains the code will only have one memory block 671, and the other memory block 681 can be used to store data, for example, in partition 722, thus increasing the overall efficiency of memory 610.

One example of using a flash memory device having a block-level read while write apparatus is as follows. A first block may be used to store data. A second block may be used to store code that is executed by an apparatus that includes the flash memory device. The third block may be used to permit updating of the code. Thus, for example, if the code changes from an update, new code is written to the third block while the original code in the second block is concurrently executing. When the new code has been written and verified, the third block can become the partition used for the code. Thus, seamless updating of flash memory devices is possible. Another example of a flash memory device having a block-level read while write apparatus and method is having code executed from a first block, while updating data in a second block. Thus, for example, if the code execution results in an updating of data, this can be accomplished seamlessly.

In the foregoing specification, the invention has been described with reference to specific embodiments thereof. However, it is evident that various modifications and changes may be made thereto without departing from the

WO 02/03388

PCT/US01/19505

broader spirit and scope of the invention. The specification and drawings are, accordingly, to be regarded in an illustrative rather than a restrictive sense. The present invention should not be construed as limited by such embodiments and examples, but rather construed according to the following claims.

5

WO 02/03388

PCT/US01/19505

CLAIMS

What is claimed is:

1. A nonvolatile memory device comprising:
a memory including a first block and a second block, each block able to be
5 read while another block is written.
2. The device of claim 1 further comprising
a first row decoder and a second row decoder, each row decoder
associated with a corresponding block.
3. The device of claim 1 further comprising
10 a global column decoder associated with the memory.
4. The device of claim 3 further comprising
a set of read global column lines associated with the global column
decoder and each block.
5. The device of claim 4 further comprising
15 a set of write global column lines associated with the global column
decoder and each block.
6. The device of claim 5 further comprising

WO 02/03388

PCT/US01/19505

a first local column decoder a second local column decoder, each local column decoder associated with a corresponding block.

7. The device of claim 6 further comprising
a first local column enable circuit and a second local column enable circuit,
5 each local column enable circuit associated with a corresponding local column decoder.

8. The device of claim 7 wherein
a column read signal is sent from the global column decoder to the first
block through the corresponding local column decoder that is enabled to read the
10 column read address signal.

9. The device of claim 8 wherein
a column write signal is sent from the global column decoder to the second
block through the corresponding local column decoder that is enabled to read the
column write signal, such that the global column decoder is in the read mode and
15 the write mode simultaneously.

10. A method for reading a first block of a nonvolatile memory while writing to a
second block of the nonvolatile memory comprising:
sending a column read signal from a global column decoder to the first
block; and

WO 02/03388

PCT/US01/19505

sending a column write signal from the global column decoder to the second block.

11. The method of claim 10 further comprising
enabling a first local column decoder associated with the first block to
5 receive the column read address signal.
12. The method of claim 11 further comprising
enabling a second local column decoder associated with the second block
to receive the column write signal.
13. The method of claim 12 further comprising
10 sending the column read signal through the first local column decoder to
the first block.
14. The method of claim 13 further comprising
sending the column write signal through the second local column decoder
to the second block, such that data is read from the first block while other data is
15 simultaneously written to the second block.
15. An apparatus for reading a first block of a nonvolatile memory while writing
to a second block of a nonvolatile memory comprising:
means for sending a column read signal from a global column decoder to
the first block; and

WO 02/03388

PCT/US01/19505

means for sending a column write signal from the global column decoder to the second block.

16. The apparatus of claim 15 further comprising
means for enabling a first local column decoder associated with the first
5 block to receive the column read signal.

17. The apparatus of claim 16 further comprising
means for enabling a second local column decoder associated with the
second block to receive the column write signal.

18. The apparatus of claim 17 further comprising
10 means for sending the column read signal through the first local column
decoder to the first block.

19. The apparatus of claim 18 further comprising
means for sending the column write signal through the second local column
decoder to the second block.

15

15 20. A method comprising:
reading data from a section of a non-volatile memory; and
simultaneously writing data to the section of the non-volatile memory.

21. The method of claim 20 further comprising

WO 02/03388

PCT/US01/19505

placing a global decoder for the section in write mode; and
simultaneously placing the global decoder in the read mode.

22. A non-volatile memory device comprising:
a code partition to store code, said code partition having a first number of
5 blocks;
a data partition to store data, said data partition having a second number of
10 blocks; and
wherein each block is able to be read while another block is written.
23. The non-volatile memory device of claim 22 wherein the first number of
10 blocks in the code partition can be redefined to include unused blocks from the
second number of blocks in the data partition.
24. The non-volatile memory device of claim 22 wherein the second number of
blocks in the data partition can be redefined to include unused blocks from the first
number of blocks in the code partition.

15

WO 02/03388

PCT/US01/19505

1/6

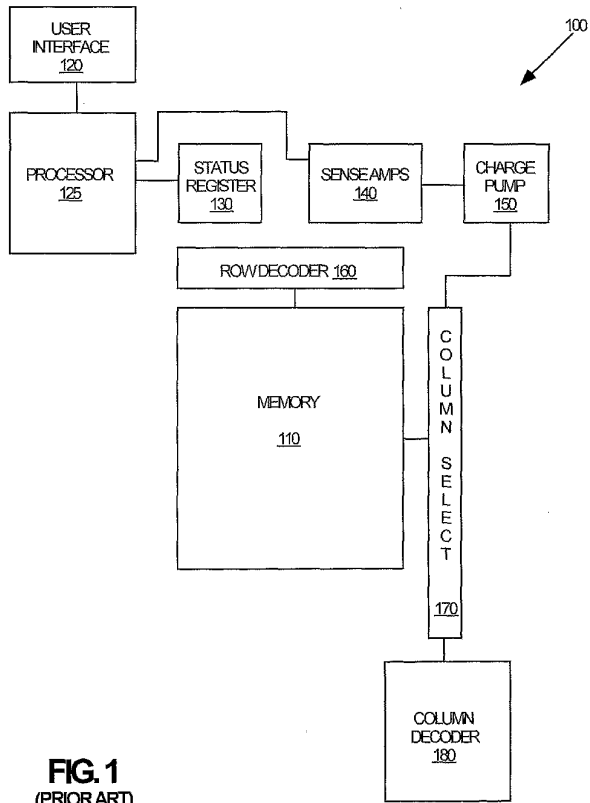


FIG. 1
(PRIOR ART)

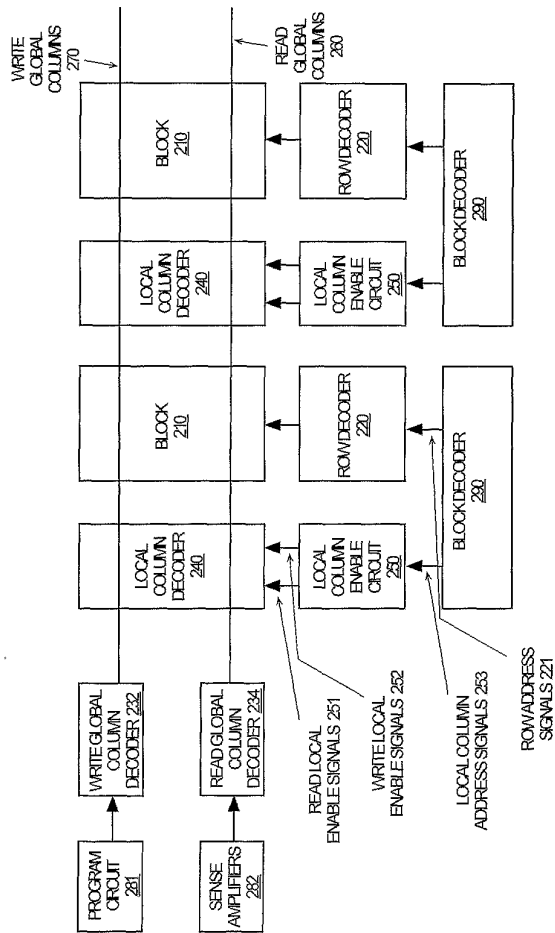


FIG. 2

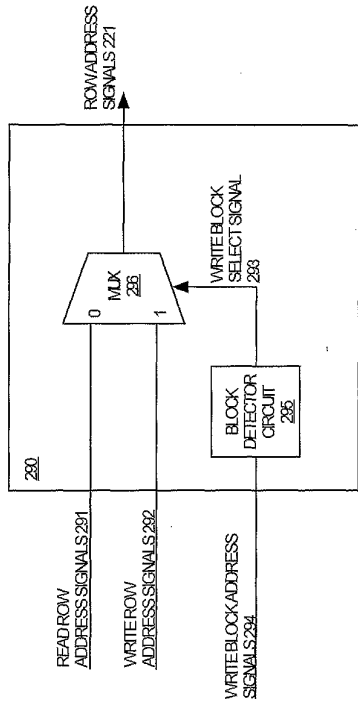


FIG. 3

4/6

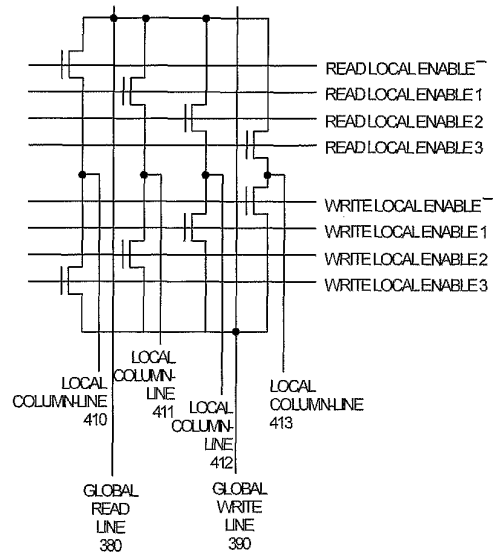


FIG. 4

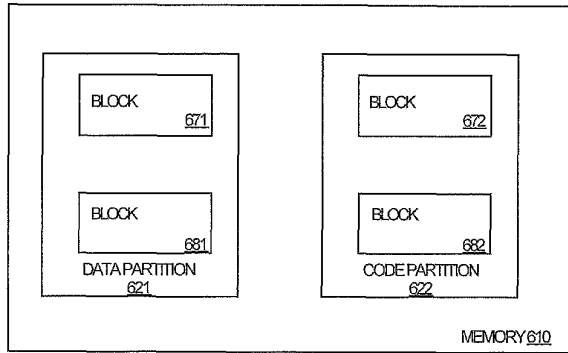


FIG. 5

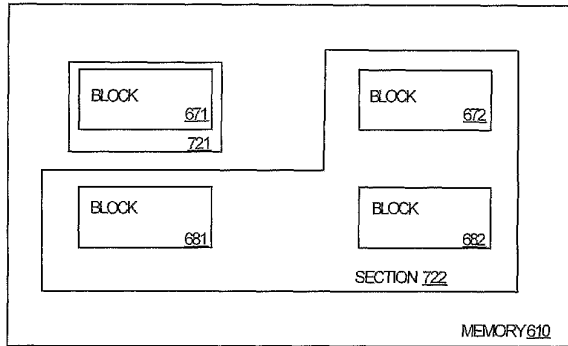


FIG. 6

【国際公開パンフレット(コレクトバージョン)】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization
International Bureau



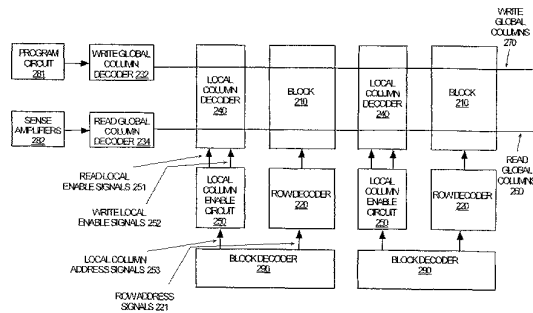
(43) International Publication Date
10 January 2002 (10.01.2002)

PCT

(10) International Publication Number
WO 02/03388 A3

- (51) International Patent Classification: G11C 16/08, 7/10
 - (21) International Application Number: PCT/US01/19505
 - (22) International Filing Date: 15 June 2001 (15.06.2001)
 - (25) Filing Language: English
 - (26) Publication Language: English
 - (30) Priority Data: 09/608,454 29 June 2000 (29.06.2000) US
 - (71) Applicant (for all designated States except US): INTEL CORPORATION [US/US]; 2200 Mission College Boulevard, Santa Clara, CA 95052 (US).
 - (72) Inventors; and
 - (75) Inventors/Applicants (for US only): BAUER, Mark [US/US]; 1420 Hidden Lake Drive, Placerville, CA 95667 (US); TEDROW, Kerry [US/US]; 1261 Humburg Creek Court, Folsom, CA 95630 (US).
 - (74) Agent: MALLIE, Michael, J.; Blakely Sokoloff Taylor & Zafman, 7th Floor, 12400 Wilshire Boulevard, Los Angeles, CA 90025 (US).
 - (81) Designated States (national): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EE, ES, FI, GB, GD, GE, GR, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZW.
 - (84) Designated States (regional): ARIPO patent (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZW), Eurasian patent (AM, AZ, BY, KG, KZ, MD, RU, TI, TM), European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), OAPI patent (BF, BJ, CF, CG, CI, CM, GA, GN, GW, ML, MR, NE, SN, TD, TG).
- Published: — with international search report
- (88) Date of publication of the international search report: 16 May 2002
- For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.

(54) Title: BLOCK-LEVEL READ WHILE WRITE METHOD AND APPARATUS



(57) Abstract: In one embodiment, a method and apparatus for reading one block of a nonvolatile memory device while writing to another block of a nonvolatile memory device is disclosed.



WO 02/03388 A3

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International Application No. PCT/US 01/19505
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 611C16/08 611C7/10		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) IPC 7 611C		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, PAJ, IBM-TDB		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 99 35650 A (HAZEN PETER K ;ALEXIS RANJEET (US); BROWN CHARLES W (US); INTEL CO) 15 July 1999 (1999-07-15)	1-3,20
Y	page 3, line 1 -page 6, line 34; figures 2,3	4,5
A		6-19,23, 24
Y	US 5 894 437 A (PELLEGRINI GIANFRANCO) 13 April 1999 (1999-04-13)	4,5
A	column 2, line 8 - line 40; figure 1	6-19
	-/--	
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents: *A* document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance: the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance: the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art *Z* document member of the same patent family		
Date of the actual completion of the international search 21 January 2002		Date of making of the international search report 30/01/2002
Name and mailing address of the ISA European Patent Office, P.B. 5018 Patristaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer Wolff, N

Form PCT/ISA210 (second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT

International Application No.
PCT/US 01/19505

C(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	<p>ABELE M: "SPEICHER FUER SIMULTANES LESEN UND SCHREIBEN" F & M FEINWERKTECHNIK MIKROTECHNIK MIKROELEKTRONIK, CARL HANSER GMBH & CO, DE, vol. 106, no. 11, November 1998 (1998-11), pages 802-804, XP000870902 ISSN: 0944-1018 page 802, column 3, line 24 -page 803, column 1, line 42; figure 2</p>	22
A	<p>US 5 847 998 A (VAN BUSKIRK MICHAEL A) 8 December 1998 (1998-12-08) column 2, line 10 - line 49; figure 3</p>	1-24
A	<p>US 5 867 430 A (CHANG CHUNG K ET AL) 2 February 1999 (1999-02-02) column 1, line 65 -column 2, line 45; figures 1,2</p>	1-24
A	<p>EP 0 745 995 A (SGS THOMSON MICROELECTRONICS) 4 December 1996 (1996-12-04) abstract; figures 1,2</p>	1-24

1

Form PCT/ISA/210 (continuation of second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT
 Information on patent family members

International Application No.
 PCT/US 01/19505

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
WO 9935650 A	15-07-1999	US 6088264 A	11-07-2000
		AU 1536899 A	26-07-1999
		DE 19882933 T0	18-01-2001
		GB 2347767 A	13-09-2000
		WO 9935650 A1	15-07-1999
US 5894437 A	13-04-1999	NONE	
US 5847998 A	08-12-1998	EP 0944906 A1	29-09-1999
		WO 9828749 A1	02-07-1998
US 5867430 A	02-02-1999	DE 69707502 D1	22-11-2001
		EP 0944907 A1	29-09-1999
		JP 2000509871 T	02-08-2000
		TW 421798 B	11-02-2001
		WO 9828750 A1	02-07-1998
EP 0745995 A	04-12-1996	EP 0745995 A1	04-12-1996
		DE 69520665 D1	17-05-2001
		DE 69520665 T2	30-08-2001
		JP 9106688 A	22-04-1997
		US 5748528 A	05-05-1998

フロントページの続き

(51) Int.Cl.⁷ F I テーマコード(参考)
G 1 1 C 17/00 6 3 4 A

(81) 指定国 AP(GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZW

(72) 発明者 テドロウ, ケリー

アメリカ合衆国 カリフォルニア州 9 5 6 3 0 フォルサム ハムバグ・クリーク・コート 1 2
6 1

Fターム(参考) 5B025 AD04 AD05 AD15 AE05