



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0061201
(43) 공개일자 2015년06월04일

(51) 국제특허분류(Int. Cl.)
H01L 29/78 (2006.01) H01L 21/336 (2006.01)
H01L 29/739 (2006.01)
(21) 출원번호 10-2013-0145004
(22) 출원일자 2013년11월27일
심사청구일자 없음

(71) 출원인
삼성전기주식회사
경기도 수원시 영통구 매영로 150 (매탄동)
(72) 발명자
박재훈
경기 수원시 영통구 매영로 150, (매탄동, 삼성전기)
송인혁
경기 수원시 영통구 매영로 150, (매탄동, 삼성전기)
(뒷면에 계속)
(74) 대리인
특허법인씨엔에스

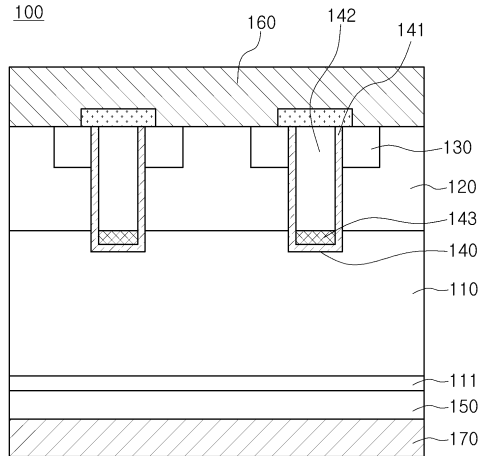
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 전력 반도체 소자 및 그 제조 방법

(57) 요약

본 개시에 따른 전력 반도체 소자는 제1 도전형의 제1 반도체 영역; 상기 제1 반도체 영역의 상부에 형성되는 제2 도전형의 제2 반도체 영역; 상기 제2 반도체 영역의 상부 내측에 형성되는 제1 도전형의 제3 반도체 영역; 상기 제3 반도체 영역으로부터 상기 제1 반도체 영역까지 관입하여 형성되며, 표면에 형성된 제1 절연층을 포함하는 트렌치 게이트; 및 상기 트렌치 게이트의 하부에 형성되는 제2 절연층을 포함할 수 있다.

대표도 - 도1



(72) 발명자

서동수

경기 수원시 영통구 매영로 150, (매탄동, 삼성전기)

오지연

경기 수원시 영통구 매영로 150, (매탄동, 삼성전기)

업기주

경기 수원시 영통구 매영로 150, (매탄동, 삼성전기)

명세서

청구범위

청구항 1

제1 도전형의 제1 반도체 영역;

상기 제1 반도체 영역의 상부에 형성되는 제2 도전형의 제2 반도체 영역;

상기 제2 반도체 영역의 상부 내측에 형성되는 제1 도전형의 제3 반도체 영역;

상기 제3 반도체 영역으로부터 상기 제1 반도체 영역까지 관입하여 형성되며, 표면에 형성된 제1 절연층을 포함하는 트렌치 게이트; 및

상기 트렌치 게이트의 하부에 형성되며, 유전율이 상기 제1 절연층의 유전율보다 낮은 제2 절연층;을 포함하는 전력 반도체 소자.

청구항 2

제1항에 있어서,

상기 제1 반도체 영역과 상기 제2 반도체 영역 사이에 형성되며, 상기 제1 반도체 영역의 불순물 농도보다 높은 불순물 농도를 갖는 제1 도전형의 제4 반도체 영역을 더 포함하는 전력 반도체 소자.

청구항 3

제2항에 있어서,

상기 제2 절연층은 상기 트렌치 게이트의 하부로부터 상기 제2 반도체 영역과 상기 제4 반도체 영역이 접하는 높이까지 형성되는 전력 반도체 소자.

청구항 4

제1항에 있어서,

상기 제2 절연층의 재료는 SiN인 전력 반도체 소자.

청구항 5

제1항에 있어서,

상기 제1 절연층의 커패시턴스를 C1이라하고, 상기 제2 절연층의 커패시턴스를 C2라 할 때,

상기 트렌치 게이트의 기생 커패시턴스는 $(C1 \times C2) / (C1 + C2)$ 를 만족하는 전력 반도체 소자.

청구항 6

제1항에 있어서,

상기 트렌치 게이트의 내부에 충전되는 도전성 물질을 더 포함하며,

상기 도전성 물질의 형성되는 깊이는 상기 제2 반도체 영역의 깊이와 같은 전력 반도체 소자.

청구항 7

제1 도전형의 제1 반도체 영역을 마련하는 단계;

상기 제1 반도체 영역의 상면을 식각하고, 제1 절연층을 형성한 후 하부에 상기 제1 절연층의 유전율보다 낮은 유전율을 갖는 제2 절연층을 형성시켜 트렌치 게이트를 마련하는 단계;

상기 제1 반도체 영역의 상부에 제2 도전형의 불순물을 주입하여 제2 도전형의 제2 반도체 영역을 형성하는 단계; 및

상기 제2 반도체 영역의 상부에 제1 도전형의 불순물을 주입하여 제1 도전형의 제3 반도체 영역을 형성하는 단계;를 포함하는 전력 반도체 소자의 제조 방법.

청구항 8

제7항에 있어서,

상기 트렌치 게이트를 마련하는 단계에서 상기 제1 반도체 영역의 상면을 식각하는 단계는,

상기 제1 반도체 영역을 식각하여 예비 트렌치를 형성하는 단계;

식각된 부분에 제1 도전형의 불순물을 주입하여 제4 반도체 영역을 형성하는 단계; 및

상기 예비 트렌치를 식각하는 단계;를 포함하여 수행되는 전력 반도체 소자의 제조 방법.

청구항 9

제8항에 있어서,

상기 제2 절연층은 상기 트렌치 게이트의 하부로부터 상기 제2 반도체 영역과 상기 제4 반도체 영역이 접하는 높이까지 형성되는 전력 반도체 소자의 제조 방법.

청구항 10

제7항에 있어서,

상기 제2 절연층의 재료는 SiN을 이용하여 형성되는 전력 반도체 소자의 제조 방법.

청구항 11

제7항에 있어서,

상기 제1 절연층의 커패시턴스를 C1이라하고, 상기 제2 절연층의 커패시턴스를 C2라 할 때,

상기 트렌치 게이트의 기생 커패시턴스는 $(C1 \times C2) / (C1 + C2)$ 를 만족하는 전력 반도체 소자의 제조 방법

청구항 12

제7항에 있어서,

상기 트렌치 게이트의 내부에 충전되는 도전성 물질을 더 포함하며,

상기 도전성 물질의 형성되는 깊이는 상기 제2 반도체 영역의 상면으로부터 상기 제2 반도체 영역이 형성되는

깊이와 같도록 형성되는 전력 반도체 소자의 제조 방법.

발명의 설명

기술 분야

[0001] 본 개시는 트랜치 게이트를 포함하는 전력 반도체 소자 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 절연 게이트 바이폴라 트랜지스터(IGBT; Insulated Gate Bipolar Transistor)란 게이트를 MOS(Metal Oxide Semiconductor)를 이용하여 제작하고, 후면에 p 형의 콜렉터층을 형성시킴으로써 바이폴라(bipolar)를 갖는 트랜지스터를 의미한다.

[0003] 종래 전력용 MOSFET(Metal Oxide Semiconductor Field Effect Transistor)이 개발된 이후, MOSFET은 고속의 스위칭 특성이 요구되는 영역에서 사용됐다.

[0004] 하지만 MOSFET은 구조적 한계로 인해 높은 전압이 요구되는 영역에서는 바이폴라 트랜지스터(bipolar transistor), 싸이리스터(thyristor), GTO(Gate Turn-off Thyristors) 등이 사용되어 왔었다.

[0005] IGBT는 낮은 순방향 손실과 빠른 스위칭 속도를 특징으로 하여, 기존의 싸이리스터(thyristor), 바이폴라 트랜지스터(bipolar transistor), MOSFET(Metal Oxide Semiconductor Field Effect Transistor) 등으로는 실현이 불가능하였던 분야를 대상으로 적용이 확대되어 가고 있는 추세이다.

[0006] 이러한 MOSFET 이나 IGBT와 같은 전력 반도체 소자에서 있어서, 트랜치 게이트를 갖는 경우에 채널을 형성하기 위해 상기 트랜치 게이트는 p형 바디 영역과 접하도록 형성된다.

[0007] 특히, 상기 트랜치 게이트가 상기 바디 영역을 관통하는 형상을 가지는 채널을 형성시킬만큼 충분한 깊이를 가지지 못하는 경우에는 전력 반도체 소자의 성능 및 신뢰성이 급격히 감소하게 된다.

[0008] 하지만, 상기 트랜치 게이트가 상기 바디 영역보다 깊이 형성되는 경우에는 상기 트랜치 게이트와 콜렉터 또는 드레인의 사이에서 기생 커패시턴스(Cgc)가 형성되어 전력 반도체 소자의 스위칭 성능을 감소시키는 원인이 된다.

[0009] 종래의 전력 반도체 소자의 경우, 기생 커패시턴스를 감소시키기 위하여, 트랜치 게이트에 형성되는 게이트 절연층을 SiO2를 이용하여 형성시키면서, 동시에 상기 게이트 절연층의 두께를 두껍게 하였다.

[0010] 하지만 게이트 절연층의 두께를 두껍게하는 경우, 붕소(Boron)의 석출 현상이 심화되어 Vth의 변화가 생기게 되는 등의 문제가 발생하게 된다.

[0011] 하기의 선행기술문헌에 기재된 특허문헌 1은 트랜치 게이트 하부의 절연층의 두께를 두껍게 하는 실시 예에 대하여 개시하고 있다.

선행기술문헌

특허문헌

[0012] (특허문헌 0001) 미국등록특허공보 제6,882,000호

발명의 내용

해결하려는 과제

[0013] 본 발명은 기생 커패시턴스를 감소시킬 수 있는 구조를 가지는 전력 반도체 소자 및 그의 제조 방법을 제공하고 자 한다.

과제의 해결 수단

[0014] 본 개시의 일 실시 예에 따른 전력 반도체 소자는 제1 도전형의 제1 반도체 영역; 상기 제1 반도체 영역의 상부에 형성되는 제2 도전형의 제2 반도체 영역; 상기 제2 반도체 영역의 상부 내측에 형성되는 제1 도전형의 제3 반도체 영역; 상기 제3 반도체 영역으로부터 상기 제1 반도체 영역까지 관입하여 형성되며, 표면에 형성된 제1 절연층을 포함하는 트렌치 게이트; 및 형성된 제1 절연층을 포함하는 트렌치 게이트; 및 상기 트렌치 게이트의 하부에 형성되며, 유전율이 상기 제1 절연층의 유전율보다 낮은 제2 절연층을 포함할 수 있다.

[0015] 일 실시 예에 있어서, 상기 제1 반도체 영역과 상기 제2 반도체 영역 사이에 형성되며, 상기 제1 반도체 영역의 불순물 농도보다 높은 불순물 농도를 갖는 제1 도전형의 제4 반도체 영역을 더 포함할 수 있다.

[0016] 일 실시 예에 있어서, 상기 제2 절연층은 상기 트렌치 게이트의 하부로부터 상기 제2 반도체 영역과 상기 제4 반도체 영역이 접하는 높이까지 형성될 수 있다.

[0017] 일 실시 예에 있어서, 상기 제2 절연층의 재료는 SiN일 수 있다.

[0018] 일 실시 예에 있어서, 상기 제1 절연층의 커패시턴스를 C1이라하고, 상기 제2 절연층의 커패시턴스를 C2라 할 때, 상기 트렌치 게이트의 기생 커패시턴스는 $(C1 \times C2) / (C1 + C2)$ 만족할 수 있다.

[0019] 일 실시 예에 있어서, 상기 트렌치 게이트의 내부에 충전되는 도전성 물질을 더 포함하며, 상기 도전성 물질의 형성되는 깊이는 상기 제2 반도체 영역의 깊이와 같을 수 있다.

[0020] 본 개시의 다른 실시 예에 따른 전력 반도체 소자의 제조 방법은 제1 도전형의 제1 반도체 영역을 마련하는 단계; 상기 제1 반도체 영역의 상면을 식각하고, 제1 절연층을 형성한 후 하부에 상기 제1 절연층의 유전율보다 낮은 유전율을 갖는 제2 절연층을 형성시켜 트렌치 게이트를 마련하는 단계; 상기 제1 반도체 영역의 상부에 제2 도전형의 불순물을 주입하여 제2 도전형의 제2 반도체 영역을 형성하는 단계; 및 상기 제2 반도체 영역의 상부에 제1 도전형의 불순물을 주입하여 제1 도전형의 제3 반도체 영역을 형성하는 단계;를 포함할 수 있다.

[0021] 다른 실시 예에 있어서, 상기 트렌치 게이트를 마련하는 단계에서 상기 제1 반도체 영역의 상면을 식각하는 단계는, 상기 제1 반도체 영역을 식각하여 예비 트렌치를 형성하는 단계; 식각된 부분에 제1 도전형의 불순물을 주입하여 제4 반도체 영역을 형성하는 단계; 및 상기 예비 트렌치를 식각하는 단계;를 포함하여 수행될 수 있다.

[0022] 다른 실시 예에 있어서, 상기 제2 절연층은 상기 트렌치 게이트의 하부로부터 상기 제2 반도체 영역과 상기 제4 반도체 영역이 접하는 높이까지 형성될 수 있다.

[0023] 다른 실시 예에 있어서, 상기 제2 절연층의 재료는 SiN을 이용하여 형성될 수 있다.

[0024] 다른 실시 예에 있어서, 상기 제1 절연층의 커패시턴스를 C1이라하고, 상기 제2 절연층의 커패시턴스를 C2라 할 때, 상기 트렌치 게이트의 기생 커패시턴스는 $(C1 \times C2) / (C1 + C2)$ 를 만족할 수 있다.

[0025] 다른 실시 예에 있어서, 상기 트렌치 게이트의 내부에 충전되는 도전성 물질을 더 포함하며, 상기 도전성 물질의 형성되는 깊이는 상기 제2 반도체 영역의 상면으로부터 상기 제2 반도체 영역이 형성되는 깊이와 같도록 형성될 수 있다.

발명의 효과

[0026] 본 개시의 일 실시 예에 따른 전력 반도체 소자는 트렌치 게이트의 하부에 형성되는 저 유전율 절연층을 포함함으로써, 기생 커패시턴스를 감소시킬 수 있다.

[0027] 기생 커패시턴스가 감소됨에 따라서, 일 실시 예에 따른 전력 반도체 소자가 스위칭 동작시에 발생할 수 있는 노이즈의 발생을 줄일 수 있으며, 스위칭 손실을 감소시킬 수 있다.

[0028] 본 개시의 다른 실시 예에 따른 전력 반도체 소자는 정공 축적 영역을 포함하여, 전도도 변조 현상을 발생시켜 전력 반도체 소자가 온(on) 동작하는 경우의 손실을 감소시킬 수 있다.

[0029] 또한, 트렌치 게이트의 하부로부터 바디 영역과 상기 정공 축적 영역이 접하는 높이까지 형성되는 저 유전율 절연층을 포함함으로써, 상기 정공 축적 영역으로 인해 발생하는 기생 커패시턴스를 감소시킬 수 있다.

[0030] 기생 커패시턴스가 감소됨에 따라서, 다른 실시 예에 따른 전력 반도체 소자가 스위칭 동작시에 발생할 수 있는 노이즈의 발생을 줄일 수 있으며, 스위칭 손실을 감소시킬 수 있다.

도면의 간단한 설명

[0031] 도 1은 본 개시의 일 실시 예에 따른 전력 반도체 소자의 개략적인 단면도를 도시한 것이다.

도 2는 정공 축적 영역을 포함하는 본 개시의 일 실시 예에 따른 전력 반도체 소자의 개략적인 단면도를 도시한 것이다.

도 3은 본 개시의 다른 실시 예에 따른 전력 반도체 소자의 플로우 차트를 개략적으로 도시한 것이다.

발명을 실시하기 위한 구체적인 내용

[0032] 후술하는 본 개시에 대한 상세한 설명은, 본 발명이 실시될 수 있는 특정 실시예를 예시로서 도시하는 첨부 도면을 참조한다.

[0033] 이들 실시예는 당업자가 본 발명을 실시할 수 있기에 충분하도록 상세히 설명된다.

[0034] 본 개시의 다양한 실시예는 서로 다르지만 상호 배타적일 필요는 없음이 이해되어야 한다.

[0035] 예를 들어, 여기에 기재되어 있는 특정 형상, 구조 및 특성은 일 실시예에 관련하여 본 발명의 정신 및 범위를 벗어나지 않으면서 다른 실시예로 구현될 수 있다.

[0036] 또한, 각각의 개시된 실시 예 내의 개별 구성요소의 위치 또는 배치는 본 발명의 정신 및 범위를 벗어나지 않으면서 변경될 수 있음이 이해되어야 한다.

[0037] 따라서, 후술하는 상세한 설명은 한정적인 의미로서 취하려는 것이 아니며, 본 개시의 범위는, 적절하게 설명된다면, 그 청구항들이 주장하는 것과 균등한 모든 범위와 더불어 첨부된 청구항에 의해서만 한정된다.

[0038] 도면에서 유사한 참조부호는 여러 측면에 걸쳐서 동일하거나 유사한 기능을 지칭한다.

[0039] 이하에서는, 본 개시가 속하는 기술분야에서 통상의 지식을 가진 자가 본 개시의 실시 예들을 용이하게 실시할 수 있도록 하기 위하여, 본 개시의 실시 예들에 관하여 첨부된 도면을 참조하여 상세히 설명하기로 한다.

[0040] 전력용 스위치는 전력용 MOSFET, IGBT, 여러 형태의 사이리스터 및 이와 유사한 것들 중 어느 하나에 의해 구현될 수 있다. 여기에 개시된 신규한 기술들 대부분은 IGBT를 기준으로 설명된다. 그러나 여기에서 개시된 여러 실시예들이 IGBT로 한정되는 것은 아니며, 예컨대 IGBT 외에도, 전력용 MOSFET와 여러 종류의 사이리스터를 포함하는 다른 형태의 전력용 스위치 기술에도 대부분 적용될 수 있다. 더욱이, 본 개시의 여러 실시 예들은 특정

p형 및 n형 영역을 포함하는 것으로 묘사된다. 그러나 여기에서 개시되는 여러 영역의 도전형이 반대인 소자에 대해서도 동일하게 적용될 수 있다는 것은 당연하다.

- [0041] 또한, 여기서 사용되는 n형, p형은 제1 도전형 또는 제2 도전형이라고 정의될 수 있다. 한편, 제1 도전형, 제2 도전형은 상이한 도전형을 의미한다.
- [0042] 또한, 일반적으로, '+'는 고농도로 도핑된 상태를 의미하고, '-'는 저농도로 도핑된 상태를 의미한다.
- [0043] 이하에서 명확한 설명을 위하여, 제1 도전형은 n형, 제2 도전형을 p형으로 표시하도록 하지만, 이에 제한되는 것은 아니다.
- [0044] 또한, 제1 반도체 영역은 드리프트 영역, 제2 반도체 영역은 바디 영역, 제3 반도체 영역은 에미터 영역으로 표시하도록 하지만, 이에 제한되는 것은 아니다.
- [0045] 또한, 제4 반도체 영역은 정공 축적 영역으로 표시하도록 하지만, 이에 제한되는 것은 아니다.
- [0046] 도 1은 본 개시의 일 실시 예에 따른 전력 반도체 소자(100)의 개략적인 단면도를 도시한 것이다.
- [0047] 본 발명의 일 실시 예에 따른 전력 반도체 소자(100)는 드리프트 영역(110), 바디 영역(120), 에미터 영역(130) 및 콜렉터 영역(150)으로 구성될 수 있다.
- [0048] 상기 드리프트 영역(110)은 n형의 불순물을 저농도로 주입하여 형성될 수 있다.
- [0049] 따라서 상기 드리프트 영역(110)은 소자의 내압을 유지하기 위해 비교적 두꺼운 두께를 가지게 된다.
- [0050] 상기 드리프트 영역(110)은 하부에 버퍼 영역(111)을 더 포함할 수 있다.
- [0051] 상기 버퍼 영역(111)은 n형의 불순물을 상기 드리프트 영역(110)의 후면에 주입하여 형성시킬 수 있다.
- [0052] 상기 버퍼 영역(111)은 소자의 공핍 영역이 확장될 때, 이를 저지하는 역할을 함으로써 소자의 내압을 유지하는 것에 도움을 준다.
- [0053] 따라서 상기 버퍼 영역(111)이 형성되는 경우에는 상기 드리프트 영역(110)의 두께를 얇게 할 수 있어, 전력 반도체 소자의 소형화를 가능케 할 수 있다.
- [0054] 상기 드리프트 영역(110)은 상부에 p형의 불순물을 주입하여 바디 영역(120)을 형성할 수 있다.
- [0055] 상기 바디 영역(120)은 전력 반도체 소자의 상부에서 내려다 보았을 때, 일방향으로 길게 형성될 수 있다.
- [0056] 예를 들어, 상기 바디 영역(120)은 스트라이프 형상을 가지고 형성될 수 있다.
- [0057] 상기 바디 영역(120)은 p형의 도전형을 가짐으로써 상기 드리프트 영역(110)과 pn 접합을 형성하게 된다.
- [0058] 상기 바디 영역(120)의 상면 내측에는 n형의 불순물을 고농도로 주입하여 에미터 영역(130)을 형성할 수 있다.
- [0059] 상기 에미터 영역(130)은 상기 바디 영역(120)에 분산되어 복수의 영역으로 형성될 수 있다.
- [0060] 상기 에미터 영역(130)으로부터 상기 바디 영역(120)을 관통하여 상기 드리프트 영역(110)까지 트렌치 게이트(140)가 형성될 수 있다.
- [0061] 즉, 상기 트렌치 게이트(140)은 상기 에미터 영역(130)으로부터 상기 드리프트 영역(110)의 일부까지 관입하도록 형성될 수 있다.
- [0062] 상기 트렌치 게이트(140)는 상기 드리프트 영역(110), 상기 바디 영역(120) 및 상기 에미터 영역(130)과 접하는 부분에 제1 절연층(141)이 형성될 수 있다.
- [0063] 상기 제1 절연층(141)은 실리콘 옥사이드(SiO₂)일 수 있으나, 이에 제한되는 것은 아니다.
- [0064] 상기 트렌치 게이트(140)의 내부에는 도전성 물질(142)이 충전될 수 있다.
- [0065] 상기 도전성 물질(142)은 폴리 실리콘(Poly-Si) 또는 금속일 수 있으나, 이에 제한되는 것 아니다.
- [0066] 상기 도전성 물질(142)은 게이트 전극(미도시)와 전기적으로 연결되어, 본 발명의 일 실시 예에 따른 전력 반도체 소자(100)의 동작을 지원할 수 있다.

체 소자(100)의 동작을 제어하게 된다.

- [0067] 상기 도전성 물질(142)에 양의 전압이 인가되는 경우, 상기 바디 영역(120)에 채널이 형성된다.
- [0068] 구체적으로, 상기 도전성 물질(142)에 양의 전압이 인가되는 경우, 상기 바디 영역(120)에 존재하는 전자가 상기 트랜치 게이트(140) 쪽으로 끌려오게 되는데, 전자가 상기 트랜치 게이트(140)에 모여서 채널이 형성되는 것이다.
- [0069] 즉, pn 접합으로 인해 전자와 정공이 재결합(recombination)되어 캐리어가 없는 공핍 영역에 상기 트랜치 게이트(140)가 전자를 끌어당겨 채널이 형성됨으로써 전류가 흐를 수 있게 된다.
- [0070] 상기 드리프트 영역(110)의 하부 또는 상기 버퍼 영역(111)의 하부에는 p형의 불순물을 주입하여 콜렉터 영역(150)을 형성시킬 수 있다.
- [0071] 전력 반도체 소자가 IGBT인 경우, 상기 콜렉터 영역(160)은 소자에 정공을 제공할 수 있다.
- [0072] 소수 캐리어(carrier)인 정공의 고농도 주입으로 인해 드리프트 영역에서의 전도도가 수십에서 수백 배 증가하는 전도도 변조(conductivity modulation)가 발생하게 된다.
- [0073] 전도도 변조로 인하여 드리프트 영역(110)에서의 저항 성분이 매우 작아지므로, 매우 큰 고압에서의 사용이 가능하다.
- [0074] 트랜치 게이트를 갖는 본 개시의 일 실시 예에 따른 전력 반도체 소자(100)의 경우에는 소자의 동작을 위해 상기 바디 영역(120)을 관통하도록 상기 트랜치 게이트(140)가 형성하게 된다.
- [0075] 하지만, 상기 바디 영역(120)을 기준으로 하여, 상기 드리프트 영역(110)에 연장 형성되는 상기 트랜치 게이트(140)는 게이트-콜렉터 사이의 기생 커패시턴스(Cgc)를 증가시키는 주 원인이 된다.
- [0076] 즉, 상기 트랜치 게이트(140)가 상기 드리프트 영역(110)에 연장 형성되는 경우, 상기 트랜치 게이트(140)의 내부에 형성되는 도전성 물질(142)에 양 전압이 인가되는 경우, 상기 바디 영역(110)뿐만 아니라 상기 드리프트 영역(110)의 전자도 상기 트랜치 게이트(140)쪽으로 끌려오게 된다.
- [0077] 이에 따라, 상기 드리프트 영역(110)과 상기 트랜치 게이트(140)가 접하는 부분에 끌려온 전자들이 상기 도전성 물질(142)에 영향을 미치게 되어, 상기 트랜치 게이트(140)에 인가된 전압이 흔들리게 된다.
- [0078] 상기 트랜치 게이트(140)에 인가된 전압이 흔들리는 경우에는 전력 반도체 소자(140)에서 노이즈가 발생하게 되어, 전력 반도체 소자의 신뢰성이 감소하게 된다.
- [0079] 기생 커패시턴스를 감소시키기 위하여, 본 개시의 일 실시 예에 따른 전력 반도체 소자(100)는 상기 트랜치 게이트(140)의 하부에 형성되는 제2 절연층(143)을 포함할 수 있다.
- [0080] 예를 들어, 상기 제2 절연층(143)은 상기 트랜치 게이트(140)의 하부로부터 상기 바디 영역(120)과 상기 드리프트 영역(110)이 접하는 높이까지 형성될 수 있다.
- [0081] 즉, 상기 제2 절연층(143)은 상기 트랜치 게이트(140)의 하부로부터 상기 바디 영역(120)과 상기 드리프트 영역(110)이 접하는 수평면까지 형성될 수 있다.
- [0082] 상기 트랜치 게이트(140)의 하부에 제2 절연층(143)이 형성되는 경우, 상기 드리프트 영역(110)에 연장 형성되는 상기 트랜치 게이트(140)의 하부의 기생 커패시턴스를 감소시킬 수 있다.
- [0083] 예를 들어, 상기 트랜치 게이트(140)의 하부에 제2 절연층(143)이 형성되는 경우, 상기 제1 절연층(141)과 상기 저유전율 절연층(143)은 직렬로 연결되는 커패시터와 같은 구성을 가지게 된다.
- [0084] 상기 제1 절연층(141)의 커패시턴스를 C1이라고 하고, 상기 제2 절연층(143)의 커패시턴스를 C2라 할 때, 상기 트랜치 게이트(140)의 기생 커패시턴스(Cgc)는 $(C1 \times C2) / (C1 + C2)$ 을 만족하게 된다.
- [0085] 따라서, 상기 제1 절연층(141)만 형성되어 있을 때보다 더 낮은 기생 커패시턴스를 가질 수 있다.
- [0086] 본 개시의 일 실시 예에 따른 전력 반도체 소자(100)는 제2 절연층(143)이 상기 트랜치 게이트(140)의 하부에 형성되어 있어, 기생 커패시턴스를 최소화할 수 있으며, 이에 따라 일 실시 예에 따른 전력 반도체 소자가 스위칭 동작시에 발생할 수 있는 노이즈의 발생을 줄일 수 있으며, 스위칭 손실을 감소시킬 수 있다.

- [0087] 상기 제2 절연층(143)은 SiN을 이용하여 형성될 수 있으며, 이에 제한되는 것은 아니다.
- [0088] 예를 들어, 상기 제1 절연층(141)이 SiO₂를 이용하여 형성되는 경우, 상기 제2 절연층(143)은 SiO₂보다 유전율이 낮은 물질을 이용하여 형성될 수 있다.
- [0089] 기생 커패시턴스를 더욱 줄이기 위하여, 상기 도전성 물질(142)는 상기 바디 영역(120)의 깊이와 같도록 형성될 수 있다.
- [0090] 예를 들어, 상기 도전성 물질(142)은 높이 방향으로 최하단부의 높이가 상기 드리프트 영역(110)과 상기 바디 영역(120)이 접하는 수평면과 동일한 높이를 가질 수 있다.
- [0091] 상기 도전성 물질(142)이 상기 바디 영역(120)의 깊이와 같게 형성됨으로써, 전력 반도체 소자의 온(on) 동작시에 상기 바디 영역(120)과 상기 트랜치 게이트(140)가 접하는 부분에 채널이 형성될 수 있다.
- [0092] 이와 동시에, 상기 드리프트 영역(110)과 상기 트랜치 게이트(140)가 접하는 부분에 대응하는 높이에는 상기 도전성 물질(142)이 형성되지 않아, 상기 트랜치 게이트(142)의 기생 커패시턴스를 최소화할 수 있다.
- [0093] 전력 반도체 소자가 MOSFET인 경우에는 상기 콜렉터 영역(160)은 n형의 도전형을 가질 수 있다.
- [0094] 상기 에미터 영역(130) 및 상기 바디 영역(120)의 노출된 상면에는 에미터 금속층(160)이 형성될 수 있으며, 상기 콜렉터 영역(150)의 하면에는 콜렉터 금속층(170)이 형성될 수 있다.
- [0095] 도 2는 정공 축적 영역(243)을 포함하는 본 개시의 일 실시 예에 따른 전력 반도체 소자(200)의 개략적인 단면도를 도시한 것이다.
- [0096] 본 개시의 일 실시 예에 따른 전력 반도체 소자(200)는 드리프트 영역(210)과 바디 영역(220)의 사이에 형성되며, 상기 드리프트 영역(210)보다 n형의 불순물 농도가 더 높은 정공 축적 영역(212)이 형성될 수 있다.
- [0097] 상기 정공 축적 영역(212)은 정공의 축적량을 크게 증가시킴으로써 전도도 변조 현상을 극대화시켜, 전력 반도체 소자의 온(on) 동작시의 손실을 감소시킬 수 있다.
- [0098] 기생 커패시턴스를 낮추기 위하여, 상기 트랜치 게이트(240)의 하부에 제2 절연층(243)이 형성될 수 있다.
- [0099] 상기 제2 절연층(243)은 상기 트랜치 게이트(240)의 하부로부터 상기 바디 영역과 상기 정공 축적 영역(212)이 접하는 높이까지 형성될 수 있다.
- [0100] 상기 정공 축적 영역(212)이 형성되는 경우, 상기 정공 축적 영역(212)에 모여있는 정공이 상기 트랜치 게이트(240)의 입력 신호에 영향을 미치게 된다.
- [0101] 즉, 상기 정공 축적 영역(212)으로 인해 트랜치 게이트(240)가 영향을 받고, 이로 인해 게이트 노이즈가 발생하게 된다.
- [0102] 이러한 게이트 노이즈는 전류의 안정적인 공급을 흔들리게 하며, 스위칭 주파수가 높은 경우에는 상기 게이트 노이즈로 인해 전류의 변동 폭이 매우 커지게 된다.
- [0103] 따라서 상기 제2 절연층(243)은 상기 트랜치 게이트(240)의 하부로부터 상기 바디 영역과 상기 정공 축적 영역(212)이 접하는 높이까지 형성함으로써, 상기 정공 축적 영역(212)로 인한 전도도 변조 효과를 극대화시키면서, 동시에 기생 커패시턴스를 최소화하여 노이즈를 최소화 할 수 있다.
- [0104] 도 2에 도시된 전력 반도체 소자(200)의 설명되지 않은 구성 요소는 도 1에 도시된 전력 반도체 소자(100)에 대응하는 구성과 동일하다.
- [0105] 도 3은 본 개시의 다른 실시 예에 따른 전력 반도체 소자의 플로우 차트를 개략적으로 도시한 것이다.
- [0106] 도 3을 참조하여 본 개시의 다른 실시 예에 따른 전력 반도체 소자의 제조 방법에 대해 살펴보면, 본 개시의 다른 실시 예에 따른 전력 반도체 소자의 제조 방법은 n형의 도전형의 드리프트 영역을 마련하는 단계(S110); 상

기 드리프트 영역의 상면을 식각하고, 제1 절연층을 형성한 후 하부에 제2 절연층을 형성시켜 트렌치 게이트를 마련하는 단계(S120); 상기 드리프트 영역의 상부에 p형의 불순물을 주입하여 바디 영역을 형성하는 단계(S130); 및 상기 바디 영역의 상부에 n형의 불순물을 주입하여 에미터 영역을 형성하는 단계(S140);를 포함할 수 있다.

- [0107] 먼저, n형의 도전형의 드리프트 영역을 마련하는 단계(S110)를 수행할 수 있다.
- [0108] 상기 드리프트 영역을 마련하는 단계(S110)은 에피택셜 방법을 이용하여 형성될 수 있으며, 저농도의 n형의 불순물 농도를 가지도록 수행될 수 있다.
- [0109] 상기 드리프트 영역이 형성된 후에, 상부에 트렌치 게이트를 형성하는 단계(S120)가 수행될 수 있다.
- [0110] 상기 트렌치 게이트를 형성하는 단계(S120)는 상기 드리프트 영역의 상부를 식각하는 단계, 표면에 제1 절연층을 형성시키는 단계, 상기 제1 절연층이 형성된 상기 트렌치 게이트의 하부에 제2 절연층을 형성하는 단계 및 내부에 도전성 물질을 충전하는 단계를 포함하여 수행될 수 있다.
- [0111] 기생 커패시턴스를 최소화하기 위하여, 상기 제2 절연층은 상기 트렌치 게이트의 하부로부터 상기 에미터 영역과 상기 드리프트 영역이 접하는 높이까지 형성될 수 있다.
- [0112] 또한, 기생 커패시턴스를 최소화하기 위하여, 상기 도전성 물질d1 형성되는 깊이는 상기 에미터 영역의 깊이와 같도록 형성될 수 있다.
- [0113] 상기 트렌치 게이트(140)의 하부에 제2 절연층(143)이 형성되는 경우, 상기 드리프트 영역(110)에 연장 형성되는 상기 트렌치 게이트(140)의 하부의 기생 커패시턴스를 감소시킬 수 있다.
- [0114] 예를 들어, 상기 트렌치 게이트(140)의 하부에 제2 절연층(143)이 형성되는 경우, 상기 제1 절연층(141)과 상기 저유전율 절연층(143)은 직렬로 연결되는 커패시터와 같은 구성을 가지게 된다.
- [0115] 상기 제1 절연층의 커패시턴스를 C1이라고 하고, 상기 제2 절연층(143)의 커패시턴스를 C2라 할 때, 상기 트렌치 게이트의 기생 커패시턴스(Cgc)는 $(C1 \times C2) / (C1 + C2)$ 을 만족하게 된다.
- [0116] 따라서, 상기 제1 절연층만 형성되어 있을 때보다 더 낮은 기생 커패시턴스를 가질 수 있다.
- [0117] 상기 트렌치 게이트를 형성하는 단계(S120)를 수행한 후에 상기 드리프트 영역의 상부에 p형의 불순물을 주입하여 바디 영역을 형성하는 단계(S130)를 수행할 수 있다.
- [0118] 그 후, 상기 바디 영역의 상부에 n형의 불순물을 주입하여 에미터 영역을 형성하는 단계(S140)를 수행할 수 있다.
- [0119] 상기 에미터 영역을 형성하는 단계(S140)는 상기 바디 영역의 상부에 마스크를 형성하고, 마스크가 형성되지 않은 부분에 n형의 불순물을 주입하여 수행될 수 있다.
- [0120] 상기 에미터 영역을 형성하는 단계(S140)를 수행한 후, 에미터 영역이 형성된 면에 에미터 전극을 형성할 수 있다.
- [0121] 에미터 전극이 형성된 후, 하부에 위치하는 드리프트 영역의 일부를 글라인딩 등의 방법으로 제거하여, 상기 드리프트 영역의 두께를 조절할 수 있다.
- [0122] 그 후, 하면에 필요에 따라 n형의 불순물을 주입하여 버퍼층을 형성할 수 있다.
- [0123] IGBT의 경우, 상기 드리프트 영역의 하부 또는 상기 버퍼층의 하부에 p형의 불순물을 주입하여 콜렉터 영역을 형성하고, 그 후에 콜렉터 영역의 하부에 콜렉터 금속층을 형성할 수 있다.
- [0124] MOSFET의 경우, 상기 드리프트 영역의 하부에 또는 상기 버퍼층의 하부에 p형의 불순물을 주입하지 않고, 그 하부에 콜렉터 금속층을 형성할 수 있다.

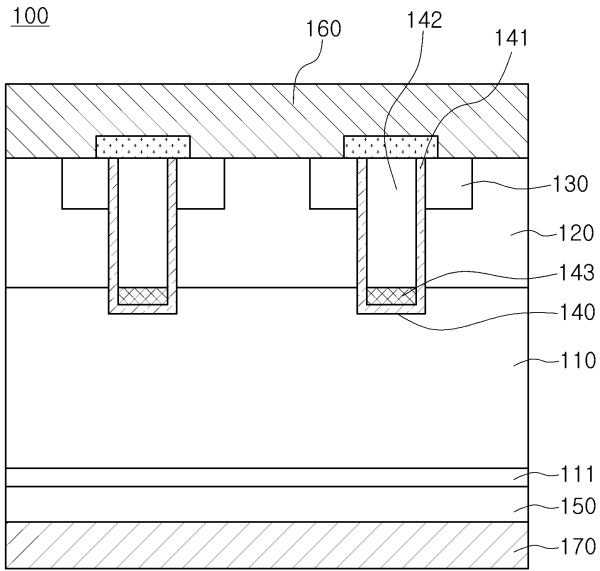
- [0125] 정공 축적 영역을 형성하기 위하여, 상기 트랜치 게이트를 마련하는 단계(S120)에서 상기 드리프트 영역의 상면을 식각하는 단계는, 상기 드리프트 영역을 식각하여 예비 트랜치를 형성하는 단계; 식각된 부분에 n의 불순물을 주입하여 정공 축적 영역을 형성하는 단계; 및 상기 예비 트랜치를 식각하는 단계;를 포함하여 수행될 수 있다.
- [0126] 상기 정공 축적 영역에 주입되는 n형의 불순물의 농도는 상기 드리프트 영역의 n형의 불순물 농도보다 높을 수 있다.
- [0127] 상기 정공 축적 영역의 n형의 불순물 농도가 높기 때문에, 소자의 온(on) 동작 시에 상기 정공 축적 영역의 하부에 정공이 축적되어 전도도 변조 현상이 극대화될 수 있다.
- [0128] n형의 불순물을 주입한 후, 열처리를 수행함으로써 n형의 불순물이 확산되어 정공 축적 영역이 형성될 수 있다.
- [0129] 또한, 열처리를 수행함으로써 n형의 불순물이 확산되어 상기 정공 축적 영역이 상기 바디 영역과 상기 드리프트 영역이 접하는 부분에 형성될 수 있다.
- [0130] 전력 반도체 소자의 온 동작 시에 손실을 낮추고, 기생 커패시턴스를 최소화하기 위하여, 상기 제2 절연층은 상기 트랜치 게이트의 하부로부터 상기 바디 영역과 상기 정공 축적 영역이 접하는 높이까지 형성될 수 있다.
- [0131] 이상에서 설명한 실시예들은 각 실시예가 독립적인 것이 아니며, 각 실시예를 병합하여 실시할 수 있다.
- [0132] 예를 들어, n형의 도전형과 p형의 도전형을 바꾸어 실시하는 경우도 본 개시의 기술적 사상에 포함될 수 있다.
- [0133] 이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고 후술하는 특허청구범위에 의해 결정되며, 본 개시의 구성은 본 개시의 기술적 사상을 벗어나지 않는 범위 내에서 그 구성을 다양하게 변경 및 개조할 수 있다는 것을 본 개시가 속하는 기술 분야에서 통상의 지식을 가진 자는 쉽게 알 수 있다.

부호의 설명

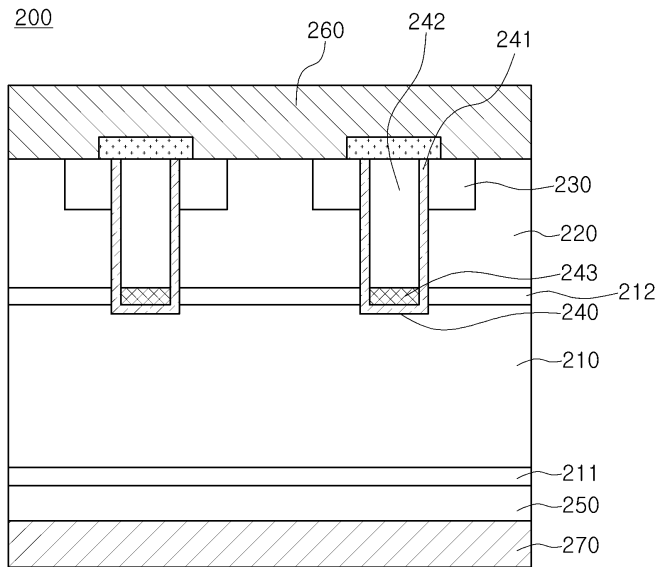
- [0134] 100, 200: 전력 반도체 소자
- 110, 210: 드리프트 영역
- 120, 220: 바디 영역
- 212: 정공 축적 영역
- 130, 230: 에미터 영역
- 140, 240: 트랜치 게이트
- 143, 243: 저 유전율 절연층

도면

도면1



도면2



도면3

