



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2015년08월31일  
(11) 등록번호 10-1548773  
(24) 등록일자 2015년08월25일

(51) 국제특허분류(Int. Cl.)  
H01G 4/228 (2006.01) H01G 4/12 (2006.01)  
H01G 4/30 (2006.01) H05K 1/18 (2006.01)  
(21) 출원번호 10-2011-0083482  
(22) 출원일자 2011년08월22일  
심사청구일자 2013년09월16일  
(65) 공개번호 10-2013-0021133  
(43) 공개일자 2013년03월05일  
(56) 선행기술조사문헌  
KR101058697 B1\*  
JP2009071106 A\*  
JP2010050263 A  
JP2000182888 A  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
삼성전기주식회사  
경기도 수원시 영통구 매영로 150 (매탄동)  
(72) 발명자  
안영규  
경기도 용인시 수지구 수지로113번길 15, LG2차빌  
리지 202동 403호 (성북동)  
이병화  
경기도 성남시 분당구 서현로 181, 한신아파트  
202동 904호 (이매동)  
(74) 대리인  
특허법인씨엔에스  
(뒷면에 계속)

전체 청구항 수 : 총 5 항

심사관 : 김상철

(54) 발명의 명칭 **적층 세라믹 커패시터의 회로 기판 실장 구조**

(57) 요약

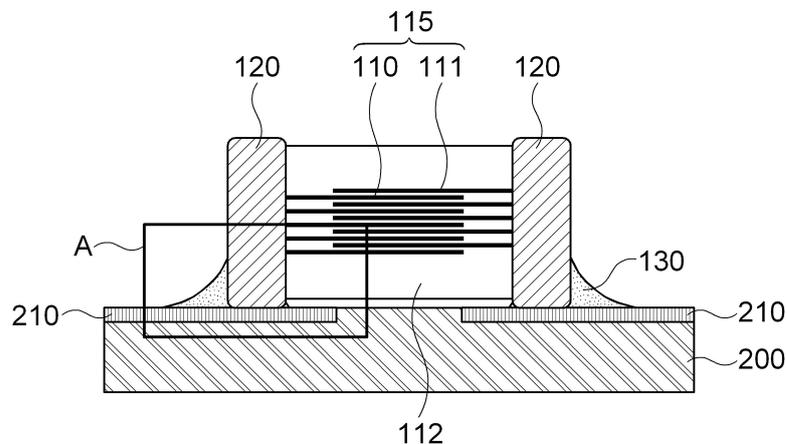
본 발명은 적층 세라믹 커패시터의 회로 기판 실장 구조에 관한 것이다.

본 발명의 적층 세라믹 커패시터의 회로 기판 실장 구조는 내부 전극이 형성된 유전체 시트가 적층되고, 상기 내부 전극과 병렬 접속되는 외부 단자 전극이 양단부에 형성된 적층 세라믹 커패시터의 회로 기판 실장 구조에 있어서,

상기 적층 세라믹 커패시터의 내부 전극과 회로 기판이 수평 방향이 되도록 배치되어 상기 외부 단자 전극과 회로 기판의 랜드가 도전재에 의해 접합되며, 상기 기판과 커패시터의 하면 사이의 간격(Ta)과 적층 세라믹 커패시터의 하부층 커버층 두께(Tc)의 합보다 상기 도전재의 접합 높이(ts)가 낮게 형성됨으로써, 진동 소음을 현저히 감소시킬 수 있는 작용효과가 발휘될 수 있다.

대표도 - 도1

100



(72) 발명자

**박민철**

경기도 광명시 광명로798번길 7 (광명동)

**박상수**

경기도 수원시 영통구 봉영로1517번길 30, 신나무  
실 613동 1702호 (영통동, 극동아파트)

**박동석**

서울특별시 성북구 장월로31길 26 (장위동)

---

**특허청구의 범위**

**청구항 1**

내부 전극이 형성된 유전체 시트가 적층되고, 상기 내부 전극과 병렬 접속되는 외부 단자 전극이 양단부에 형성된 적층 세라믹 커패시터의 회로 기판 실장 구조에 있어서,

상기 적층 세라믹 커패시터의 내부 전극과 회로 기판이 수평 방향이 되도록 배치되어 상기 외부 단자 전극과 회로 기판의 랜드가 도전재에 의해 접합되며, 상기 기판과 커패시터의 하면 사이의 간격(Ta)과 적층 세라믹 커패시터의 하부층 커버층 두께(Tc)의 합보다 상기 도전재의 접합 높이(Ts)가 낮게 형성되고,

상기 도전재의 접합 높이(Ts)는 상기 회로 기판 상면과 상기 적층 세라믹 커패시터의 하면 사이의 간격(Ta)보다 높게 형성된 적층 세라믹 커패시터의 회로 기판 실장 구조.

$$Ts < Ta + Tc, Ts > Ta$$

**청구항 2**

제1항에 있어서,

상기 적층 세라믹 커패시터는 수평방향으로 실장되도록 테이핑(taping)된 것으로 폭(W), 두께(T)가 동일, 유사한 것인, 적층 세라믹 커패시터의 회로 기판 실장 구조.

**청구항 3**

제1항 또는 제2항에 있어서,

상기 적층 세라믹 커패시터의 유전체층의 층수는 200층 이상인, 적층 세라믹 커패시터의 회로 기판 실장 구조.

**청구항 4**

제1항 또는 제2항에 있어서,

상기 적층 세라믹 커패시터의 유전체층의 유전체 두께는 3 $\mu$ m이하인, 적층 세라믹 커패시터의 회로 기판 실장 구조.

**청구항 5**

제1항 또는 제2항에 있어서,

상기 적층 세라믹 커패시터의 유전체층은 층수가 200층 이상이고, 유전체 두께는 3 $\mu$ m이하인, 적층 세라믹 커패시터의 회로 기판 실장 구조.

**청구항 6**

삭제

**명세서**

**기술분야**

본 발명은 적층 세라믹 커패시터의 회로기판 실장 구조에 관한 것으로서, 보다 자세하게는 회로 기판 상에 적층

[0001]

세라믹 커패시터를 수평 실장함에 있어 솔더의 도포높이가 커버층의 높이보다 작게 하여 적층 세라믹 커패시터의 진동 소음을 감소시킬 수 있도록 한 적층 세라믹 커패시터의 회로 기판 실장 구조에 관한 것이다.

**배경 기술**

- [0002] 일반적으로, 적층형 세라믹 커패시터(Multi-Layered Ceramic Capacitor: MLCC)는 이동통신 단말기, 노트북, 컴퓨터, 개인 휴대용 단말기(PDA) 등의 여러 전자제품의 인쇄회로기판에 장착되어 전기를 충전 또는 방전시키는 중요한 역할을 하는 칩 형태의 콘덴서로서, 그 사용 용도 및 용량에 따라 다양한 크기 및 적층형태를 취하고 있다.
- [0003] 또한, 적층형 세라믹 커패시터는 복수의 유전체층 사이에 다른 극성의 내부 전극이 교대로 적층된 구조를 갖는다.
- [0004] 이러한 적층형 세라믹 커패시터는 소형화가 가능하면서도 고용량이 보장되고, 실장이 용이하다는 장점으로 인하여 다양한 전자장치의 부품으로서 널리 사용되고 있다.
- [0005] 적층형 세라믹 커패시터의 적층체를 형성하는 세라믹 재료로서 유전율이 비교적 높은 티탄산바륨 등의 강유전체 재료가 일반적으로 이용되고 있는데, 이러한 강유전체 재료는 압전성 및 전왜성을 갖기 때문에, 이러한 강유전체 재료에 전계가 가해질 때에 응력 및 기계적 변형이 진동으로 나타나고, 적층 세라믹 커패시터의 단자 전극으로부터 기판측에 이러한 진동이 전달된다.
- [0006] 즉, 적층 세라믹 커패시터에 교류 전압이 가해진 경우에는, 적층 세라믹 커패시터의 소자 본체에 X, Y, Z의 각 방향을 따라 응력( $F_x$ ,  $F_t$ ,  $F_z$ )이 발생하고, 그것에 의해 진동이 발생하게 된다. 이 진동이 단자 전극으로부터 기판에 전달되어 이 기판 전체가 음향 방사면이 되고, 잡음이 되는 진동음을 발생시키게 된다.
- [0007] 이러한 진동음은 대개는 가청 진동수(20~20000Hz)의 진동음에 해당하는 것이고, 이러한 진동음은 사람에게 불쾌한 음역인 경우도 있는 바, 이에 대한 해결책이 필요하게 되었다.
- [0008] 최근, 상기와 같은 진동음으로 인한 문제점을 해결하기 위하여 적층 세라믹 커패시터의 외부 단자의 탄성적 변형에 의하여 진동을 방지하는 기술, 압전 및 전왜에 의해 발생하는 진동의 전파를 억제하여 잡음의 발생을 저감토록 하는 별도의 부품을 도입하는 기술, 기판의 진동을 억제하기 위하여 실장된 적층형 세라믹 커패시터의 주변에 기판홀을 형성하는 기술 등 다양한 기술들이 개시된 바 있으나, 별도의 공정이 필요하고, 공정의 복잡성에 비하여 충분한 진동 방지 효과가 얻어지지 않고 있는 실정이다.
- [0009] 한편, 적층 세라믹 커패시터에는 폭과 두께가 실질적으로 동일한 적층 세라믹 커패시터가 있으며, 폭과 두께가 실질적으로 동일한 적층 세라믹 커패시터의 경우, 인쇄 회로 기판에 적층 세라믹 커패시터를 실장할 때, 상기 적층 세라믹 커패시터의 외관으로부터 적층 세라믹 커패시터 내부 도체들의 방향성을 인식할 수 없기 때문에, 인쇄 회로 기판에 상기 적층 세라믹 커패시터들이 내부 도체들의 방향성과 무관하게 실장된다.
- [0010] 인쇄회로기판에 실장되는 상기 적층 세라믹 커패시터의 내부 도체들의 방향에 따라 적층 세라믹 커패시터의 특성의 차이가 발생하며, 특히 적층 세라믹 커패시터의 압전성에 의한 진동소음특성에 큰 차이를 보이게 된다.
- [0011] 특히, 최근 실험결과에 의하면, 상기 적층 세라믹 커패시터의 실장방향과 적층 세라믹 커패시터의 외부전극단자와 랜드를 연결하는 도전재의 양이 상호상관관계를 가지면서 상기 진동소음특성에 큰 영향을 미치는 것으로 밝혀졌다.
- [0012] 특히, 상기 적층 세라믹 커패시터의 내부 전극면이 인쇄 회로 기판면과 수평하도록 실장하고 상기 적층 세라믹 커패시터의 외부 전극 단자와 랜드를 연결하는 도전재와 외부 전극 단자의 접합높이 비율에 의해 적층 세라믹 커패시터의 진동소음을 현저히 감소시킬 수 있는 바, 이를 구현하기 위한 실장 구조가 필요한 실정이다.

**발명의 내용**

**해결하려는 과제**

- [0013] 따라서, 본 발명은 종래 적층 세라믹 커패시터의 실장 구조에서 제기되고 있는 제반 단점과 문제점을 해결하기 위하여 창안된 것으로서, 회로 기판 상에 적층 세라믹 커패시터를 수평 실장시 압전 현상에 의한 진동에 의해서

발생되는 소음을 적층 세라믹 커패시터의 외부 단자 전극에 접합되는 도전재(solder)의 도포 높이를 조절하여 감소시킬 수 있도록 한 적층 세라믹 커패시터의 회로기판 실장 구조가 제공됨에 발명의 목적이 있다.

**과제의 해결 수단**

[0014] 본 발명의 상기 목적은, 내부 전극이 형성된 유전체 시트가 적층되고, 상기 내부 전극과 병렬 접속되는 외부 단자 전극이 양단부에 형성된 적층 세라믹 커패시터의 회로 기판 실장 구조에 있어서, 상기 적층 세라믹 커패시터의 내부 전극과 회로 기판이 수평 방향이 되도록 배치되어 상기 외부 단자 전극과 회로 기판의 랜드가 도전재에 의해 접합되며, 상기 기판과 커패시터의 하면 사이의 간격(Ta)과 커패시터의 커버층 두께(Tc)의 합보다 상기 도전재의 접합 높이(Ts)가 낮게 형성된 적층 세라믹 커패시터의 회로 기판 실장 구조가 제공됨에 의해서 달성된다.

[0015] 여기서, 상기 적층 세라믹 커패시터는 릴(real)과 같은 포장체에 포장될 때 적층 세라믹 커패시터의 내부 전극이 회로 기판에 수평 방향으로 실장될 수 있도록 일방향으로 정렬하는 테이핑(taping)을 실시한 것으로, 폭(W)과 두께(T)가 동일, 유사한 것일 수 있다.

[0016] 여기에서, 적층 세라믹 커패시터의 폭과 두께의 동일이라 함은 물리적 동일이 아닌, 사회통념상 동일을 의미하며, 유사라고 함은  $0.75 \leq T / W \leq 1.25$  범위 내일 수 있다. 즉, 양단부에 외부 전극 단자가 형성된 직육면체 형태로 구성될 수 있다.

[0017] 한편, 적층 세라믹 커패시터의 내부전극 사이의 유전체의 층수가 많거나 그 유전체에 인가되는 전계가 클수록, 적층 세라믹 커패시터의 압전성에 의한 응력 및 기계적 변형이 커지게 되며, 특히 유전체 층수가 200층 이상 또는 유전체 두께가 3 $\mu$ m 이하에서 진동소음이 현저히 발생하게 된다.

[0018] 따라서, 여기에서 상기 적층 세라믹 커패시터의 유전체층의 층수는 200층 이상일 수 있고, 유전체층의 유전체 두께는 3 $\mu$ m이하일 수 있으며, 여기에서 상기 적층 세라믹 커패시터의 유전체층은 층수가 200층 이상이면서 동시에 유전체 두께는 3 $\mu$ m이하일 수 있다.

**발명의 효과**

[0019] 이상에서 설명한 바와 같이, 본 발명의 적층 세라믹 커패시터의 회로 기판 실장 구조는 적층 세라믹 커패시터를 회로 기판에 도전재를 이용하여 접합 고정할 때 적층 세라믹 커패시터의 외부 단자 전극과 회로 기판의 랜드 패턴을 접합하는 도전재의 접합 높이(Ts)를 회로 기판의 상면과 적층 세라믹 커패시터의 하면 사이의 간격(Ta)과 적층 세라믹 커패시터의 내부 전극이 형성된 유전체 시트의 상, 하부에 적층되는 커버층의 두께(Tc)의 합보다 낮은 접합 높이를 갖도록 함에 의해서 적층 세라믹 커패시터에서 발생한 진동이 기판으로 전달되는 것을 억제함으로써 소음 발생이 현저히 저감되는 효과가 있다.

**도면의 간단한 설명**

[0020] 도 1은 본 발명에 의해 적층 세라믹 커패시터가 회로기판에 실장된 형태의 단면도.  
 도 2는 도 1의 'A' 부분의 확대도.  
 도 3은 폭과 두께가 동일, 유사한 적층 세라믹 커패시터(a) 및 폭이 두께보다 큰 적층 세라믹 커패시터(b)를 나타낸 사시도.

**발명을 실시하기 위한 구체적인 내용**

[0021] 본 발명에 따른 적층 세라믹 커패시터의 회로기판 실장 구조의 상기 목적에 대한 기술적 구성을 비롯한 작용효과에 관한 사항은 본 발명의 바람직한 실시예가 도시된 도면을 참조한 아래의 상세한 설명을 통해 충분히 이해될 것이다.

[0022] 이에 앞서, 본 명세서 및 청구범위에 사용된 용어나 단어는 통상적이거나 사전적인 의미로 한정되어서는 아니며, 발명자는 그 자신의 발명을 가장 최선의 방법으로 설명하기 위해 용어의 개념을 적절하게 정의할 수 있다는

원칙에 입각하여 본 발명의 기술적 사상에 부합하는 의미와 개념으로 해석되어야만 한다.

- [0023] 따라서, 본 명세서에 기재된 실시예의 구성은 본 발명의 가장 바람직한 일 실시예에 불과할 뿐이고 본 발명의 기술적 사상을 모두 대변하는 것은 아니므로, 본 출원시점에 있어서 이들을 대체할 수 있는 다양한 균등물과 변형예들이 있을 수 있음을 이해하여야 한다.
- [0024] 도 1은 본 발명에 의해 적층 세라믹 커패시터가 회로기판에 실장된 형태의 단면도이고, 도 2는 도 1의 'A' 부분의 확대도이다.
- [0025] 도시된 바와 같이 본 발명의 적층 세라믹 커패시터의 회로기판 실장 구조는 내부 전극(111)이 형성된 유전체 시트(110)가 다수 적층되고, 상기 내부 전극(111)과 병렬 접속되는 외부 단자 전극(120)이 양단부에 형성된 적층 세라믹 커패시터(100)가 구비될 수 있다.
- [0026] 이와 같이 구성된 적층 세라믹 커패시터(100)는 회로 기판에 실장됨에 있어, 상기 회로 기판(200) 표면에 적층 세라믹 커패시터(100)가 실장되는 랜드(210)를 형성하고, 상기 적층 세라믹 커패시터(100)의 내부 전극(111)과 상기 회로 기판(200)이 수평 방향이 되도록 배치한 후, 상기 외부 단자 전극(120)과 랜드(210)를 도전재(130)를 이용하여 도전 접속하여 회로 기판(200) 상에 적층 세라믹 커패시터(100)가 전기적으로 연결되며 고정될 수 있도록 할 수 있다.
- [0027] 여기서, 도 2에 도시된 바와 같이 회로 기판(200)의 상면과 적층 세라믹 커패시터(100)의 하면 사이의 간격은 Ta로 정의하고, 적층 세라믹 커패시터(100)의 내부 전극(111)이 형성된 유전체 시트(110)의 상, 하부에 적층되는 커버층(112)의 두께를 Tc라 정의하며, 회로 기판(200)의 랜드(210) 상에 안착된 외부 단자 전극(120)의 외측에 언더-필 형상으로 도포된 도전재(130)의 접합 높이는 Ts로 정의한다.
- [0028] 이때, 상기 커버층(112)은 적층 세라믹 커패시터의 제작시 내부 전극(111)이 형성된 유전체 시트(110)의 상, 하부에 내부 전극이 형성되지 않은 유전체 시트를 다수 적층하여 형성된 부분을 지칭한다.
- [0029] 이와 더불어, 본 발명의 적층 세라믹 커패시터(100)는 회로 기판(200)의 랜드(210) 상에 적층 세라믹 커패시터(100)의 양단부에 형성된 외부 단자 전극(120)이 안착되어 도전재(130)에 의해 접합 고정될 때, 도전재의 접합 높이(Ts)를 회로 기판의 상면과 적층 세라믹 커패시터의 하면 사이의 간격(Ta)과 적층 세라믹 커패시터의 내부 전극이 형성된 유전체 시트의 상, 하부에 적층되는 커버층의 두께(Tc)의 합보다 낮은 접합 높이를 갖도록 함으로써, 적층 세라믹 커패시터에서 발생한 진동이 기판으로 전달되는 것을 억제하여 소음 발생이 감소되도록 할 수 있다.
- [0030] 아래 도시된 도 1과 도 2를 통해 본 발명에 채용되는 적층 세라믹 커패시터의 구조 및 적층 세라믹 커패시터가 회로 기판에 실장되는 구조를 좀 더 자세하게 설명한다.
- [0031] 도 1에 도시된 바와 같이, 적층 세라믹 커패시터(100)는, 유전체층(110)과 내부 전극(111)을 교대로 적층하여 이루어지는 소체(115)와, 소체(115)의 양 단부에서 내부 전극을 교대로 병렬로 접속하고 있는 한 쌍의 외부 전극(120)으로 구성될 수 있다.
- [0032] 또한, 상기 내부 전극(111)이 교대로 적층된 소체(115)의 상부와 하부에는 내부 전극이 형성되지 않은 유전체층으로 이루어진 커버층(112)이 더 형성될 수 있다.
- [0033] 상기 유전체층(110)은, 티탄산 바륨 등을 주성분으로 하는 강유전체 재료로 형성되어 있으며 티탄산 바륨 외에도 모든 강유전체 재료를 포함한다.
- [0034] 상기 내부 전극(111)은 금속 페이스트를 소결시킨 금속 박막으로 이루어지며, 금속 페이스트로서는, 예컨대 Ni, Pd, Ag-Pd, Cu와 같은 금속 재료를 주성분으로 하는 것이 사용되고 있다.
- [0035] 상기 외부 전극(120)도 Cu, Ni 등과 같은 금속 재료에 의하여 형성되며, 표면에는 땀납 흡윤성을 좋게 하기 위하여 땀납 도금이 실시되어 있다.
- [0036] 상기 회로 기판(200)의 표면에는 적층 세라믹 커패시터를 실장하기 위한 랜드(210)가 형성되고, 여기에서 상기 랜드(210)는 회로 기판(200)의 내부의 솔더레지스트가 노출되고 노출된 솔더레지스트 상면에 도전재(130)가 코팅되어 적층 세라믹 커패시터(100)를 접합하여 랜드(210) 상에 실장하기 위한 부위이다. 여기에서 회로 기판(200)은 다층 회로 기판, 단층 양면 프린트 기판 등이 사용될 수 있으며, 회로 기판(200)을 한정할 수 있는 특

별한 종류의 제한은 없다.

- [0037] 또한, 상기 적층 세라믹 커패시터(100)는 도 3에 도시된 바와 같이, 폭(W)과 두께(T)가 동일하거나 거의 비슷한 경우(도 3a)와 폭이 두께보다 큰 경우(도 3b)로 제작될 수 있는데, 후자의 경우 의도하지 않더라도 폭에 비해 두께가 얇아 육안으로 구별하여 수평 실장이 가능하지만, 전자의 경우에는 폭과 두께의 크기만으로는 육안으로 구별하기가 어려워 수평실장과 수직 실장이 무작위로 이루어지게 되는 바, 특히 상기 적층 세라믹 커패시터가 릴과 같은 포장체에 포장될 때 적층 세라믹 커패시터의 내부 전극이 회로 기판에 수평 수평방향으로 실장될 수 있도록 일방향으로 정렬하는 테이핑(taping)을 실시하고 폭(W)과 두께(T)가 동일, 유사한 적층 세라믹 커패시터의 경우, 수평실장시 진동에 의한 소음 저감 효과를 더욱 높일 수 있다. 여기에서 상기 적층 세라믹 커패시터의 폭, 두께의 동일, 유사라고 함은  $0.75 \leq T / W \leq 1.25$  범위 내일 수 있다.
- [0038] 상기 도전재(130)는 적층 세라믹 커패시터(100)와 회로 기판(200)을 고정시키기 위한 접합 수단인 동시에 적층 세라믹 커패시터(100)와 회로 기판(200) 사이의 진동 매개체로서의 역할을 하게 되는 데, 도전재(130)의 접합 높이 및 접합 면적이 작을수록 진동 매개체의 역할이 작아지게 되어 기판으로의 진동 전달이 저하될 수 있다.
- [0039] 특히, 적층 세라믹 커패시터의 수평 실장시에는 적층 세라믹 커패시터(100)의 압전성에 의해 가장자리 부분의 진동 중에 도전재(130)의 상면 진동의 전달이 도전재(130)의 접합 높이의 감소와 함께 급속히 저하되기 때문에, 수평방향으로 실장하는 경우에는 도전재(130)의 접합 높이에 따른 진동 소음의 감소폭이 매우 커진다.
- [0040] 반면 수직방향으로 실장하는 경우에는 상기의 효과가 발생하지 않으므로 도전재(130)의 접합 면적에 따른 진동 소음의 감소폭이 크지 않다.
- [0041] 따라서, 적층 세라믹 커패시터에 의한 소음을 저감하기 위해서는 적층 세라믹 커패시터(100)는 내부 전극(111)을 기준으로 회로 기판(200)과 수평방향이 되도록 실장하고, 외부 전극 단자(120)의 면적에 대한 도전재(130)의 접합 높이를 줄여 진동 전달을 감소시키는 것이 바람직하다.
- [0042] 도 3의 적층 세라믹 커패시터의 폭(W)과 길이(L)에 따라 적층 세라믹 커패시터의 크기에는 0603(L×W = 0.6mm × 0.3mm), 1005, 1608, 2012, 3216, 3225 등이 있으며, 3216 이상의 크기가 큰 적층 세라믹 커패시터의 경우, 적층 세라믹 커패시터의 외부 전극 단자(120)의 측면에 접합되는 도전재(130)의 접합 높이가 다소 낮아지더라도 랜드(210) 상에 도포되는 도전재(130)의 접합 면적이 충분하기 때문에 회로 기판(200)과 적층 세라믹 커패시터(100)의 고정력이 충분히 유지될 수 있다.
- [0043] 이때, 적층 세라믹 커패시터(100)의 진동 소음 감소 효과를 크게 하기 위해서는 도전재(130)의 접합 높이(Ts)를 회로 기판(200)의 상면과 적층 세라믹 커패시터(100)의 하면 사이의 간격(Ta)과 적층 세라믹 커패시터(100)의 내부 전극이 형성된 유전체 시트(110)의 상, 하부에 적층되는 커버층(112)의 두께(Tc)의 합보다 낮은 접합 높이를 갖도록 하는 것이 바람직하다.(Ts < Ta + Tc)
- [0044] 한편, 적층 세라믹 커패시터의 회로 기판(200) 실장 시 업계에서는 통상적으로 30dB 미만으로 진동 소음을 제한하고 있으며, 최근 전자제품의 박형화와 소형화 추세에 따라 25dB 까지의 진동 소음을 허용치로 규제하고 있다.
- [0045] 이에 대하여, 아래의 표 1에서와 같이 적층 세라믹 커패시터의 회로 기판 실장 구조에 있어서, 상기 적층 세라믹 커패시터(100)의 외부 단자 전극(120)과 회로 기판(200)의 랜드(210)와 접촉된 부분에 도포되는 도전재(130)의 접합 높이(Ts)가 회로 기판의 상면과 적층 세라믹 커패시터의 하면 사이의 간격(Ta)과 적층 세라믹 커패시터의 내부 전극이 형성된 유전체 시트의 상, 하부에 적층되는 커버층 두께(Tc)를 합한 높이(Ta + Tc) 이하로 구성될 때, 25dB 이하로 적층 세라믹 커패시터의 진동 소음이 관리될 수 있다.

표 1

$t_a$	$t_c$	$t_a+t_c$	$t_s$	진동음
52 um	43 um	95 um	212 um	29.2 dB
			120 um	28.7 dB
			90 um	<b>24.3 dB</b>
			75 um	<b>23.9 dB</b>
61 um	66 um	127 um	254 um	28.8 dB
			133 um	28.5 dB
			119 um	<b>23.2 dB</b>
			82 um	<b>22.4 dB</b>
56 um	94 um	150 um	242 um	28.9 dB
			179 um	27.4 dB
			128 um	<b>23.8 dB</b>
			84 um	<b>23.1 dB</b>

[0046]

[0047]

이때, 앞에서도 언급한 바와 같이 적층 세라믹 커패시터와 렌드를 접합하는 도전재의 접합 높이를 최소화할수록 진동 소음이 감소하는 것을 알 수 있으나, 외부 전극 단자(120) 측면의 도전재(130)의 접합 높이( $T_s$ )가 회로 기관(200) 상면과 적층 세라믹 커패시터(100)의 하면 사이의 간격( $T_a$ )과 같거나 낮게 형성될 경우에는 적층 세라믹 커패시터의 외부 단자 전극과 회로 기관의 렌드 간 접합력이 현저히 감소됨에 따라 접합 신뢰성이 저하될 수 있다.

[0048]

따라서, 상기 도전재의 접합 높이( $T_s$ )는 상기 회로 기관 상면과 상기 적층 세라믹 커패시터의 하면 사이의 간격( $T_a$ )보다 높게 형성됨이 바람직하다. ( $T_s > T_a$ )

[0049]

상기 도전재(130)는 회로 기관(200)과 적층 세라믹 커패시터 간 전기적 접속을 위하여 전기가 도통되는 재료로서, 특별히 제한이 없으나, 납납(solder)을 사용하는 것이 일반적이다.

[0050]

상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야에서 통상의 지식을 가진 자라면 하기의 특허청구범위에 기재되는 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

**부호의 설명**

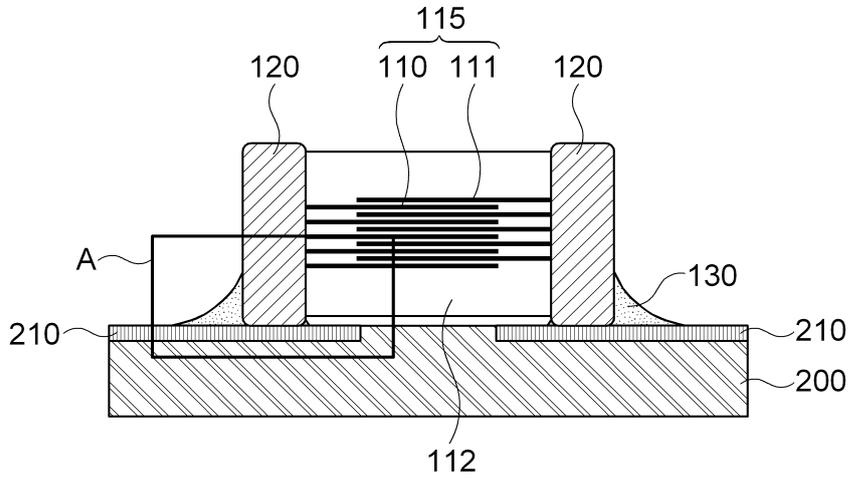
[0051]

- |                  |           |
|------------------|-----------|
| 100. 적층 세라믹 커패시터 | 110. 유전체층 |
| 111. 내부 전극       | 112. 커버층  |
| 120. 외부 단자 전극    | 130. 도전재  |
| 200. 회로 기관       | 210. 렌드   |

도면

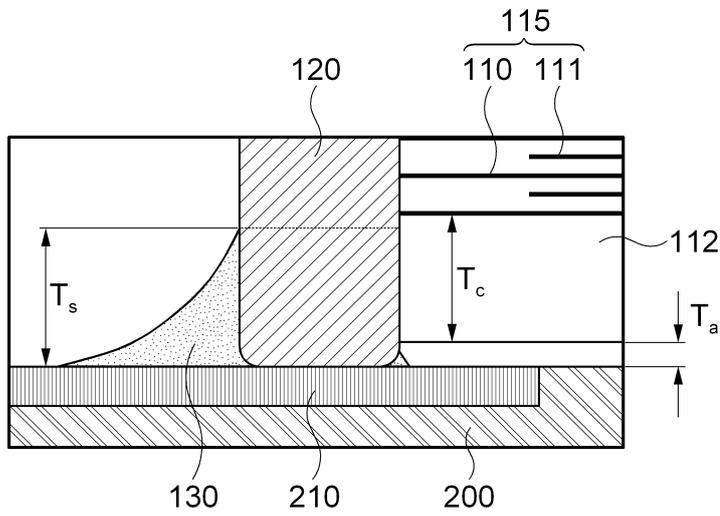
도면1

100



도면2

A



도면3

