



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I591628 B

(45)公告日：中華民國 106 (2017) 年 07 月 11 日

(21)申請案號：104117153

(22)申請日：中華民國 100 (2011) 年 01 月 25 日

(51)Int. Cl. : G11C11/405 (2006.01)

G11C11/4094(2006.01)

H01L27/108 (2006.01)

H01L27/115 (2006.01)

(30)優先權：2010/02/05 日本

2010-024886

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：河江大輔 KAWAE, DAISUKE (JP)

(74)代理人：林志剛

(56)參考文獻：

JP 63-268184A

JP 2002-269976A

JP 2007-103918A

JP 2009-212443A

US 6075720

US 6240010B1

US 6373745B2

審查人員：林宥榆

申請專利範圍項數：10 項 圖式數：17 共 91 頁

(54)名稱

半導體裝置及驅動半導體裝置之方法

SEMICONDUCTOR DEVICE AND METHOD OF DRIVING SEMICONDUCTOR DEVICE

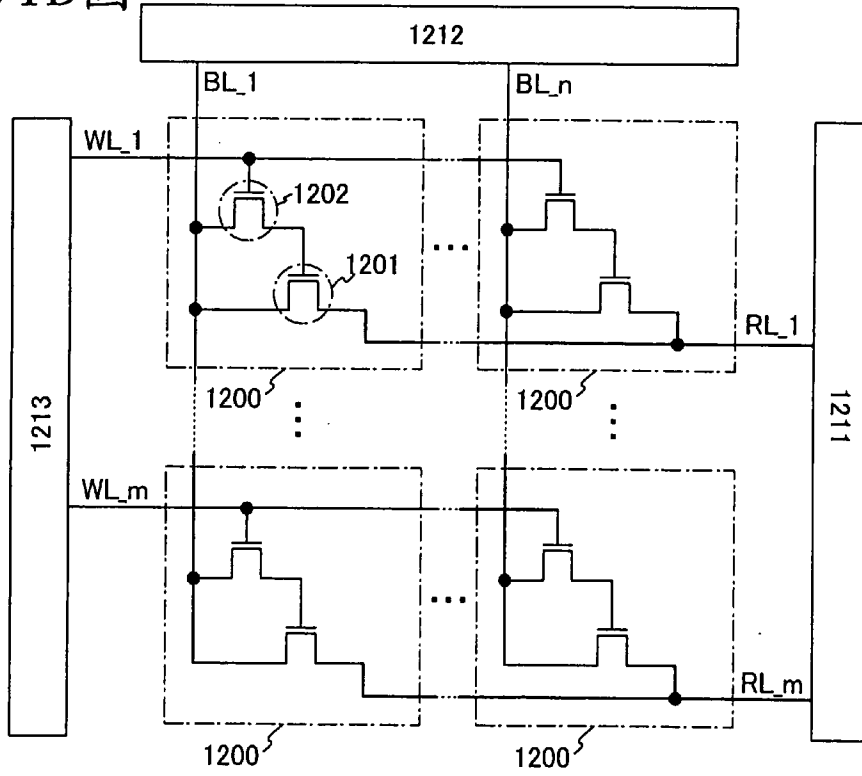
(57)摘要

藉由寫入電晶體及讀取電晶體共享一位元線來減少每單位記憶胞的佈線數量。寫入資料係藉由啟通寫入電晶體，以供應位元線的電位至寫入電晶體的源極電極及汲極電極之一和讀取電晶體的閘極電極電連接的節點，並接著關閉寫入電晶體以在節點中保持預定電荷量。讀取資料係藉由使用連接至讀取電晶體之源極電極及汲極電極之一的讀取信號線，以供應預定讀取電位至讀取信號線，並接著檢測位元線的電位。

The number of wirings per unit memory cell is reduced by sharing a bit line by a writing transistor and a reading transistor. Data is written by turning on the writing transistor so that a potential of the bit line is supplied to a node where one of a source electrode and a drain electrode of the writing transistor and a gate electrode of the reading transistor are electrically connected, and then turning off the writing transistor so that a predetermined amount of charge is held in the node. Data is read by using a reading signal line connected to one of a source electrode and a drain electrode of the reading transistor so that a predetermined reading potential is supplied to the reading signal line, and then detecting a potential of the bit line.

指定代表圖：

第1B圖



符號簡單說明：

1200 . . . 記憶胞

1211 . . . 驅動器電
路

1212 . . . 驅動器電
路

1213 . . . 驅動器電
路

公告本

發明摘要

※申請案號：104117153 (由100102655分割)

※申請日：100年01月25日

※IPC分類：G11C 11/405 (2006.01)

G11C 11/4094 (2006.01)

【發明名稱】(中文/英文)

H01L 27/108 (2006.01)

H01L 27/115 (2006.01)

半導體裝置及驅動半導體裝置之方法

Semiconductor device and method of driving semiconductor device

【中文】

藉由寫入電晶體及讀取電晶體共享一位元線來減少每單位記憶胞的佈線數量。寫入資料係藉由啓通寫入電晶體，以供應位元線的電位至寫入電晶體的源極電極及汲極電極之一和讀取電晶體的閘極電極電連接的節點，並接著關閉寫入電晶體以在節點中保持預定電荷量。讀取資料係藉由使用連接至讀取電晶體之源極電極及汲極電極之一的讀取信號線，以供應預定讀取電位至讀取信號線，並接著檢測位元線的電位。

【英文】

The number of wirings per unit memory cell is reduced by sharing a bit line by a writing transistor and a reading transistor. Data is written by turning on the writing transistor so that a potential of the bit line is supplied to a node where one of a source electrode and a drain electrode of the writing transistor and a gate electrode of the reading transistor are electrically connected, and then turning off the writing transistor so that a predetermined amount of charge is held in the node. Data is read by using a reading signal line connected to one of a source electrode and a drain electrode of the reading transistor so that a predetermined reading potential is supplied to the reading signal line, and then detecting a potential of the bit line.

【代表圖】

【本案指定代表圖】：第(1B)圖。

【本代表圖之符號簡單說明】：

1200：記憶胞

1211：驅動器電路

1212：驅動器電路

1213：驅動器電路

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：
無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置及驅動半導體裝置之方法

Semiconductor device and method of driving semiconductor device

【技術領域】

在此揭露的本發明有關於使用半導體元件之半導體裝置及驅動半導體裝置之方法。

【先前技術】

使用半導體元件的記憶體裝置廣泛分成兩種：當電源停止時喪失記憶體資料的揮發性記憶體裝置，以及當未供應電力時保持已儲存資料的非揮發性記憶體裝置。

揮發性記憶體裝置的典型範例為動態隨機存取記憶體(DRAM)。DRAM以選擇包括在記憶體元件中之電晶體並在電容器中保持電荷的方式儲存資料。

當從DRAM讀取資料時，根據上述原理喪失電容器中之電荷；因此，每當讀出資料時需要另一寫入操作。此外，包括在記憶體元件中之電晶體即使在不選擇電晶體時會有漏電流且電荷流入或流出電容器，所以資料(資訊)儲存時間很短。有鑑於此，在預定間隔需要另一寫入資料(更新操作)，且這難以充分減少耗電量。此外，由於電源停止時會喪失記憶體資料，需要使用磁性材料或光學材

料的另一記憶體裝置來長時間儲存資料。

揮發性記憶體裝置的另一範例為靜態隨機存取記憶體（SRAM）。SRAM 藉由使用諸如正反器的電路儲存記憶體資料且無需更新操作。這意味著 SRAM 比 DRAM 更具優勢。然而，因為使用了諸如正反器的電路增加每記憶體容量的成本。此外，如同在 DRAM 中般，當電源停止時喪失 SRAM 中之記憶體資料。

非揮發性記憶體裝置的一典型範例為快閃記憶體。快閃記憶體包括於電晶體中之在閘極電極與通道形成區域之間的浮置閘極，並藉由在浮置閘極中保持電荷來儲存資料。因此，快閃記憶體具有資料保持時間極長（幾乎永久）且不需要揮發性記憶體裝置所必要的更新操作（例如，專利文獻 1）。

然而，包括在記憶體元件中之閘極絕緣層會因在寫入時流動的穿隧電流而退化，所以記憶體在預定次數的寫入操作之後停止其之功能。為了減少此問題之不利影響，採用一種方法，其中等化記憶體元件之寫入操作的次數。然而，額外需要複雜的輔助電路來實現此方法。此外，採用這種方法不會解決壽命之根本問題。換言之，快閃記憶體不適合其中頻繁重寫資料的應用。

此外，在浮置閘極中保持電荷或移除電荷需要高電壓，且亦需要產生高電壓的電路。此外，保持或移除電荷會花上頗長的時間，且難以用較高速度執行寫入及抹除。

[引用]

[專利文獻]

[專利文獻 1] 日本公開專利申請案號 S57-105889

【發明內容】

有鑑於上述問題，所揭露之本發明的一實施例之一目的在於提供具有新穎結構的半導體裝置，其中即使當不供應電力時可儲存記憶體資料，且其中對於寫入次數無限制。

另一目的在於提供具有較高整合度及較高記憶體容量的半導體裝置。

另一目的在於提供具有穩定操作之高度可靠的半導體裝置。

另一目的在於提供能夠高速操作之半導體裝置。

另一目的在於提供消耗低功率的半導體裝置。

在此說明書中所揭露的本發明之一實施例達成上述目的至少一者。

本發明之一實施例為一種半導體裝置，包含非揮發性記憶胞、讀取信號線、位元線、及字線。非揮發性記憶胞包括讀取電晶體及包括氧化物半導體的寫入電晶體。在半導體裝置中，讀取電晶體之源極電極及汲極電極之一電連接至讀取信號線，且寫入電晶體之源極電極及汲極電極之一電連接至讀取電晶體的閘極電極。此外，讀取電晶體之源極電極及汲極電極之另一者及寫入電晶體之源極電極及

汲極電極之另一者電連接至位元線，且寫入電晶體的閘極電連接至字線。

本發明之另一實施例為一種半導體裝置，包含非揮發性記憶胞、第一佈線、第二佈線、及第三佈線。非揮發性記憶胞包括第一電晶體及第二電晶體。在半導體裝置中，第一電晶體之源極電極及汲極電極之一電連接至第一佈線，且第二電晶體之源極電極及汲極電極之一電連接至第一電晶體的汲極及電極。此外，第一電晶體之源極電極及汲極電極之另一者及第二電晶體之源極電極及汲極電極之另一者電連接至電連接至第二佈線，且第二電晶體之閘極電極電連接至第三佈線。

在任何半導體裝置中，使用包括氧化物半導體的電晶體作為寫入電晶體或第二電晶體，藉此更新操作的頻率可極低。

在任何半導體裝置中，寫入電晶體或第二電晶體之關閉狀態電流較佳低於讀取電晶體或第一電晶體的關閉狀態電流。

在任何半導體裝置中，第二電晶體較佳包括具有大於 3 eV 的能隙之材料。

在任何半導體裝置中，第一電晶體的切換率較佳高於第二電晶體的切換率。

在半導體裝置中，以下列方式執行資料寫入。當第一電晶體處於關閉狀態中時，啓通第二電晶體。透過第二電晶體，供應第二佈線的高位準電位或低位準電位至第二電

晶體的源極電極及汲極電極之一連接至第一電晶體的閘極電極的節點，且關閉第二電晶體，藉此在節點中保持預定電荷量。

在半導體裝置中，以下列方式讀取節點中保持之資料。當第二電晶體處於關閉狀態中時，供應電荷至第二佈線（此操作稱為預先充電）使第二佈線具有第二電位。接著，供應第一電位作為讀取電位至第一佈線，並檢測第二佈線之電位。

注意到在此說明書及之類中，非揮發性半導體裝置意指即使當不供電至其可儲存資料一給定時期或更久（ 1×10^4 秒或更久，較佳 1×10^6 秒或更久）的半導體裝置。

注意到在此說明書及之類中，諸如「上方」或「下方」的術語並非一定指一構件設在另一構件的「直接上方」或「直接下方」。例如，詞句「閘極電極在閘極絕緣層上方」不排除在閘極絕緣層與閘極電極之間有額外構件的情況。此外，諸如「上方」或「下方」的術語僅為了方便敘述而加以使用且可包括構件關係為顛倒的情況，除非另有所指。

另外，在此說明書及之類中，諸如「電極」或「佈線」的術語不限制構件的功能。例如，「電極」有時用為「佈線」之一部分，且反之亦然。此外，「電極」或「佈線」的術語可包括以積體方式形成複數「電極」或「佈線」的情況。

當例如使用相反極性的電晶體時或當電流流動方向在

電路操作中改變時，「源極」及「汲極」的功能有時可互換。因此，在此說明書中可相互取代術語「源極」及「汲極」。

此外，在此說明書及之類中，術語「電連接」包括構件經由「具有任何電功能的物體」連接之情況。對於「具有任何電功能的物體」無特別限制，只要可在經由該物體所連接的構件之間傳送並接收電信號。

「具有任何電功能的物體」之範例為如電晶體之切換元件、電阻器、電感器、電容器，及具有各式各樣的功能之元件，還有電極及佈線。

藉由本發明之一實施例，可減少半導體裝置的面積。因此，可提供具有較高整合度及較高記憶體容量的半導體裝置。

由於本發明之資料寫入無需高電壓，不會輕易發生諸如閘極絕緣層退化的問題；因此，大幅增加可重寫資料的次數，且大幅增加可靠度。

此外，根據電晶體的啓通狀態及關閉狀態寫入資料，並無需抹除資料的操作，藉此可實現高速操作。

使用包括氧化物半導體的電晶體作為記憶胞，藉此可儲存記憶體資料頗長的一段時間。換言之，可減少半導體裝置的耗電量，因為更新操作變得不必要或更新操作的頻率可為極低。此外，即使當不供應電力仍可長時間儲存記憶體資料。

藉由使用包括氧化物半導體之電晶體及可以高速操作

且包括非氧化物半導體之材料的電晶體的結合，可有利地實現需以高速操作之各種電路（諸如邏輯電路及驅動器電路）。

【圖式簡單說明】

第 1A 及 1B 圖為半導體裝置之電路圖。

第 2A 及 2B 圖為關於半導體裝置之操作的時序圖。

第 3 圖為半導體裝置之電路圖。

第 4A 及 4B 圖為半導體裝置之剖面圖及平面圖。

第 5A 至 5H 圖為關於半導體裝置之製造方法的剖面圖。

第 6A 至 6E 圖為關於半導體裝置之製造方法的剖面圖。

第 7A 及 7B 圖為半導體裝置之剖面圖及平面圖。

第 8A 至 8D 圖為關於半導體裝置之製造方法的剖面圖。

第 9A 及 9B 圖為半導體裝置之剖面圖及平面圖。

第 10A 至 10C 圖為關於半導體裝置之製造方法的剖面圖。

第 11A 及 11B 圖為半導體裝置之剖面圖及平面圖。

第 12A 至 12F 圖各繪示包括半導體裝置的電子裝置。

第 13 圖為顯示包括氧化物半導體之電晶體的特性之圖。

第 14 圖為用於評估包括氧化物半導體之電晶體的特性之電路圖。

第 15 圖為用於評估包括氧化物半導體之電晶體的特性之時序圖。

第 16 圖為顯示包括氧化物半導體之電晶體的特性之圖。

第 17 圖為顯示包括氧化物半導體之電晶體的特性之圖。

【實施方式】

將於下參考附圖敘述本發明之實施例。注意到本發明不限於下列說明，且熟悉此技藝人士將輕易了解到可以各種方式修改模式及細節而不背離本發明之精神與範疇。因此，本發明不應解釋成限於下列實施例模式中的說明。

電晶體為一種半導體元件並可實現電流或電壓之放大、控制導通或不導通的切換操作、或之類。在此說明書中之電晶體包括絕緣閘極場效電晶體（IGET）及薄膜電晶體（TFT）。

為了便於了解，在某些情況中在圖及之類中所示之各個構件的位置、大小、範圍、及之類並非實際者。因此，所揭露的本發明不一定限於圖中所揭露的位置、大小、範圍、或之類。注意到在每一個電路圖中，在電晶體旁可能會寫上「OS」以表示電晶體包括氧化物半導體。

在此說明書及之類中，使用諸如「第一」、「第

二」、及「第三」的順序數以避免混淆構件，且這些術語不意味著構件數量的限制。

(實施例 1)

在此實施例中，參照第 1A 及 1B 圖、第 2A 及 2B 圖、及第 3 圖敘述為揭露的本發明之一實施例的半導體裝置之電路結構及操作。在此實施例中，將敘述使用 n 通道電晶體的情況。

在第 1A 圖中，繪示在此實施例中所揭露的半導體裝置之電路結構。第 1A 圖中所示的半導體裝置包括包括第一電晶體 201 及第二電晶體 202 的非揮發性記憶胞 200。在第 1A 圖中，第一佈線 211 (亦稱為讀取信號線 RL) 及第一電晶體 201 (亦稱為電晶體 TR_R) 的源極電極及汲極電極之一互相電連接。第二電晶體 202 (亦稱為電晶體 TR_W) 的源極電極及汲極電極之一及第一電晶體 201 的閘極電極互相電連接。第二佈線 212 (亦稱為位元線 BL)、第一電晶體 201 的源極電極及汲極電極之另一者、第二電晶體 202 的源極電極及汲極電極之另一者互相電連接。第三佈線 213 (亦稱為字線 WL) 及第二電晶體 202 的閘極電極互相電連接。第一電晶體 201 作用為讀取電晶體，且第二電晶體 202 作用為寫入電晶體。第 1A 圖中所示的半導體裝置為三端子半導體裝置，其中三條佈線連接至一記憶胞。

第二電晶體 202 (其為寫入電晶體) 的關閉狀態電流

在環境溫度（例如 25°C）為 100 zA (1×10^{-19} A) 或更低；較佳 10 zA (1×10^{-20} A) 或更低；更佳 1 zA (1×10^{-21} A) 或更低。雖難以用包括一般矽半導體的電晶體達成這種低關閉狀態電流，可用包括氧化物半導體的電晶體達成，其係在適當條件下加以處理並具有 3.0 eV 至 3.5 eV 的大能隙。因此，包括氧化物半導體之電晶體較佳用為寫入電晶體。

此外，藉由使用包括氧化物半導體之電晶體作為寫入電晶體，可因為小次臨界擺幅（S 值）導致至記憶胞的寫入脈衝的上升非常陡峭。

在此實施例中，作為第二電晶體 202，其為寫入電晶體，使用包括氧化物半導體之電晶體。包括氧化物半導體之電晶體具有在關閉狀態中在源極與汲極之間的極低漏電流（關閉狀態電流）的特性。因此，藉由關閉第二電晶體 202，可長時間保持節點 281（亦稱為節點 ND）中之電荷。在節點 ND 中，第二電晶體 202 的源極電極及汲極電極之一及第一電晶體 201 的閘極電極互相電連接。

作為第一電晶體 201，其為讀取電晶體，較佳使用在高速操作之電晶體以增加讀取率。例如，較佳使用具有 1 奈秒或更少之切換率的電晶體作為讀取電晶體。

第一電晶體 201 的關閉狀態電流不需如第二電晶體 202 般低。可使用比第二電晶體 202 具有更高切換率之電晶體（如具有更高場效遷移率的電晶體）作為第一電晶體 201 以增加記憶胞的操作速度。亦即，作為第一電晶體

201，可使用包括非氧化物半導體之半導體材料的電晶體。注意到在一些情況中，根據選擇的半導體材料，第一電晶體 201 的關閉狀態電流高於第二電晶體 202 的關閉狀態電流。作為用為第一電晶體 201 之半導體材料，可使用，例如，矽、鍺、矽鍺、碳化矽、砷化鎵、或之類。替代地，可使用有機半導體材料或之類。可以夠高速度操作包括這種半導體材料之第一電晶體 201，所以其可以高速執行儲存資料之讀取。亦即，可以高速操作半導體裝置。

注意到當第二電晶體 202 在關閉狀態中時，節點 281 可視為嵌入絕緣體中（所謂的浮置狀態）並因此保持電荷。亦即，節點 281 具有與用為非揮發性記憶體元件之浮置閘極電晶體的浮置閘極相同的效果。包括氧化物半導體之第二電晶體 202 的關閉狀態電流量小於或等於包括矽半導體或之類的電晶體之關閉狀態電流量的十萬分之一；因此，因第二電晶體 202 的漏電流所造成之累積於節點 281 中的電荷之喪失是微不足道。亦即，藉由包括氧化物半導體之第二電晶體 202，可實現非揮發性記憶胞。

只要第二電晶體 202 的關閉狀態電流實質上為例如 0，可無需或較不經常地執行（如約一個月或一年一次）傳統 DRAM 所需之更新操作。據此，可充分減少半導體裝置的耗電量。

此外，在此實施例中揭露的半導體裝置中，可藉由重寫新資料至記憶胞來直接重寫資料。因此，無需快閃記憶體或之類所需的抹除操作，所以可防止因於抹除操作導致

之操作速度的降低。亦即，可以高速操作半導體裝置。另外，無需傳統浮置閘極電晶體中之寫入及抹除資料所需之高電壓；故可進一步減少半導體裝置之耗電量。

接下來，將敘述至記憶胞 200 的資料之寫入（重寫）操作。首先，將連接至記憶胞 200（其被選為將寫入資料至其的記憶胞）之第三佈線 213（字線 WL）的電位設定成會啓通第二電晶體 202（其為寫入電晶體）的電位，以啓通第二電晶體 202。在此提供高位準電位 V_{WLH} 至第三佈線 213。據此，將連接至選定的記憶胞 200 之第二佈線 212（位元線 BL）的電位供應至節點 281（節點 ND）。在此供應低位準電位 V_{BLL} 或高位準電位 V_{BLH} 。之後，將第三佈線 213 的電位設定在會關閉第二電晶體 202 的電位，以關閉第二電晶體 202；因此，節點 281 在浮置狀態中，且預定電荷維持成保持在節點 281 中。在上述方式中，藉由在節點 281 中累積並保持預定電荷量，記憶胞 200 可儲存資料（寫入節點）。

在整個寫入操作將第一電晶體 201（其為讀取電晶體）保持在關閉狀態中是很重要的。若當供應 V_{BLL} 或 V_{BLH} 至節點 281 時啓通第一電晶體 201，第二佈線 212 及第一佈線 211（讀取信號線 RL）會經由第一電晶體 201 而被帶到導通中。據此，第二佈線 212 及第一佈線 211 之電位互相干擾，且無法提供準確的資料至節點 281。

供應低位準電位 V_{RLL} 或高位準電位 V_{RLH} 至第一佈線 211。在整個寫入操作中，持續供應高位準電位 V_{RLH} 至第

一佈線 211。當第一電晶體 201 的臨限電壓表示為 V_{th1} 時，爲了在寫入操作中保持第一電晶體 201 的關閉狀態，將 V_{BLH} 、 V_{RLH} 、及 V_{th1} 設定成滿足式子 1。

$$V_{BLH} - V_{RLH} < V_{th1} \quad \text{[式子 1]}$$

在一些情況中，在非選定記憶胞的節點 281 中保持 V_{BLH} 。在那些情況中，爲了選擇與非選定記憶胞共享第二佈線 212 的另一記憶胞並供應 V_{BLL} 至選定記憶胞，供應 V_{BLL} 至第二佈線 212。此時，爲了保持非選定記憶胞的第一電晶體 201 之關閉狀態，將 V_{BLH} 、 V_{BLL} 、及 V_{th1} 設定成滿足式子 2。式子 2 顯示供應至位元線的高位準電位及低位準電位之間的差需小於第一電晶體 201 的臨限電壓。

$$V_{BLH} - V_{BLL} < V_{th1} \quad \text{[式子 2]}$$

在此實施例中所述的半導體裝置中，不像浮置閘極電晶體，在寫入（重寫）操作中不會導致閘極絕緣膜（隧道絕緣膜）中之電荷行進，而是由第二電晶體 202 之切換操作導致電荷行進。因此，原則上對於寫入操作次數並無限制，且對重寫的電阻極高。另外，無需浮置閘極電晶體中的寫入及抹除所需之高電壓；故可減少半導體裝置之耗電量。

接下來，將敘述其中讀取記憶胞中儲存之資料的讀取操作。首先，將第三佈線 213 的電位設定成會關閉第二電晶體 202（其爲寫入電晶體）的電位，以關閉第二電晶體 202。在此供應低位準電位 V_{WLL} 至第三佈線 213。接下

來，提供電荷（預先充電）至第二佈線 212，所以第二佈線 212 的電位為 V_{BLH} 。接著，供應低位準電位 V_{RLL} 作為讀取電位至從其讀取資料之記憶胞的第一佈線 211，並在此時檢測第二佈線 212 之電位，所以可讀取記憶胞中儲存之資料（讀取模式）。注意到藉由預先充電供應至第二佈線 212 的電位不限於上述電位，只要該電位與保持在節點 281 中之電位之間的差小於 V_{th1} 且該電位與讀取電位不同。

將第一佈線 211 的低位準電位 V_{RLL} 設定成滿足式子 3 及式子 4。

$$V_{BLH} - V_{RLL} > V_{th1} \quad [\text{式子 3}]$$

$$V_{BLL} - V_{RLL} < V_{th1} \quad [\text{式子 4}]$$

亦即，式子 3 顯示在節點 281 中保持 V_{BLH} 的情況中當供應 V_{RLL} 至第一佈線 211 時，第一電晶體 201 的閘極電極與第一佈線 211 連接至其的第一電晶體 201 之源極電極及汲極電極之一之間的電位差大於臨限電壓，所以啓通第一電晶體 201。當啓通第一電晶體 201 時，經由第一電晶體 201 供應第一佈線 211 之低位準電位 V_{RLL} 至第二佈線 212。

另外，式子 4 顯示在節點 281 中保持 V_{BLL} 的情況中即使當供應 V_{RLL} 至第一佈線 211 時，第一電晶體 201 的閘極電極與第一佈線 211 連接至其的第一電晶體 201 之源極電極及汲極電極之一之間的電位差小於臨限電壓，所以第一電晶體 201 維持在關閉狀態中。亦即，第二佈線 212

之電位維持為預先充電的電位（在此 V_{BLH} ）。

從式子 3 及式子 4，可將低位準電位 V_{RLL} （其為讀取電位）設定在滿足式子 5 之範圍中。

$$V_{BLL} - V_{th1} < V_{RLL} < V_{BLH} - V_{th1} \quad [\text{式子 5}]$$

另外，較佳設定讀取電位 V_{RLL} 以滿足式子 6。

$$V_{RLL} = (V_{BLH} + V_{BLL})/2 - V_{th1} \quad [\text{式子 6}]$$

第三佈線 213（字線 WL）供應有會啓通第二電晶體 202 之高位準電位 V_{WLH} 或會關閉第二電晶體 202 之低位準電位 V_{WLL} 。當將第二電晶體 202 的臨限電壓表示成 V_{th2} 時，設定高位準電位 V_{WLH} 及低位準電位 V_{WLL} 以分別滿足式子 7 及式子 8。

$$V_{WLH} > V_{th2} + V_{BLH} \quad [\text{式子 7}]$$

$$V_{WLL} < V_{th2} + V_{BLL} \quad [\text{式子 8}]$$

注意到當在讀取模式中供應低位準電位 V_{RLL} 至第一佈線 211 時，在連接至第一佈線 211 的其他記憶胞之中，亦啓通其中節點 281 具有 V_{BLH} 之記憶胞的第一電晶體 201；然而，節點 281 在浮置狀態中，所以保持在節點 281 中之電荷維持保持。

在此，參照第 2A 及 2B 圖中之時序圖更詳細敘述在寫入模式及讀取模式中之上述三端子半導體裝置的操作。第 2A 及 2B 圖中之時序圖顯示圖中之每一部分的電位或狀態隨時間之改變。在第 2A 及 2B 圖中，顯示有數個範例，在其之每一者中， TR_W 及 TR_R 的每一者之臨限電壓為 2 V、電位 V_{WLH} 為 4 V、電位 V_{WLL} 為 0 V、電位 V_{BLH} 為

1 V、電位 V_{BLL} 為 0 V、電位 V_{RLH} 為 1 V、電位 V_{RLL} 為 -1.5 V、且在讀取模式中供應至位元線的預先充電電壓為 V_{BLH} 。

第 2A 圖為敘述在寫入模式中之操作的時序圖。在此，敘述在節點 ND 中保持高位準電位 V_{BLH} 之操作。首先，作為第一操作，將字線 WL 之電位設定成 V_{WLH} ，所以啓通電晶體 TR_w 。接下來，作為第二操作，將位元線 BL 的電位設定成 V_{BLH} ，所以經由電晶體 TR_w 供應 V_{BLH} 至節點 ND。接著，作為第三操作，將字線 WL 之電位設定成 V_{WLL} ，所以關閉電晶體 TR_w 。在 TR_w 關閉之後保持供應至節點 ND 的電荷。

注意到在其中位元線 BL 之電位在關閉電晶體 TR_w 之前變化的情況中準確電位可能不會保持在節點 ND 中。在其中使位元線 BL 的電位變化之情況中，必須在電晶體 TR_w 關閉之後才執行變化。即使當位元線 BL 的電位在第三操作之後變化，保持在節點 ND 中電荷維持成被保持。

注意到可以顛倒的順序執行第一操作及第二操作。

在整個寫入模式中，讀取信號線 RL 的電位保持成 V_{RLH} ，所以電晶體 TR_R 保持在關閉狀態中。由於 V_{RLH} 為 1 V，在此電位 V_{BLH} 為 1 V，且電位 V_{BLL} 為 0 V，滿足了式子 1 且電晶體 TR_R 維持在關閉狀態中。

注意到可藉由在第 2A 圖中以 V_{BLL} 取代 V_{BLH} 來敘述在節點 ND 中保持低位準電位 V_{BLL} 之操作。

第 2B 圖為敘述在讀取模式中之操作的時序圖。在

此，敘述在節點 ND 中保持高位準電位 V_{BLH} 之情況的操作。首先，作為第一操作，將字線 WL 之電位設定成 V_{WLL} ，所以關閉電晶體 TR_w 。接下來，作為第二操作，提供電荷（預先充電）至位元線 BL，所以位元線 BL 的電位與 V_{RLL} 不同。在此實施例中，將位元線 BL 預先充電以具有電位 V_{BLH} (1 V)。接著，作為第三操作，將讀取信號線 RL 之電位設定成 V_{RLL} 。由於電位 V_{BLH} 為 1 V 且電位 V_{RLL} 為 -1.5 V，滿足了式子 3 並啓通電晶體 TR_R 。當電晶體 TR_R 在啓通狀態中時，經由電晶體 TR_R 供應 V_{RLL} 至位元線 BL。

在低位準電位 V_{BLL} 保持在節點 ND 中之情況中，未滿足式子 3 但滿足式子 4，所以位元線 BL 並未供應有 V_{RLL} 而有由預先充電設定之電位，其在此情況中為 V_{BLH} 。在上述方式中，藉由在當讀取信號線 RL 之電位設定成 V_{RLL} 時檢測位元線 BL 之電位，可讀取儲存在節點 ND 中之資料。

保持在節點 ND 中之電荷維持被保持直到在寫入模式中供應新的電荷，不受到讀取模式中的操作期間及之後影響。由於包括氧化物半導體之電晶體 TR_w 的關閉狀態電流極低，可長時間保持節點 ND 中之電荷。

順帶一提，在所謂快閃記憶體的情況中，必須在胞之間維持適當距離以防止控制閘極的電位影響相鄰胞的浮置閘極。這是阻礙半導體裝置之高整合度的因素之一。此因素歸咎於快閃記憶體的基本原理，其中在施加高電場時穿

隧電流會流動。

此外，由於快閃記憶體的上述原理，閘極絕緣膜的退化會繼續並因此發生重寫次數之限制（約 10000 次）的另一問題。

為所揭露的本發明之一實施例的半導體裝置係藉由切換包括氧化物半導體之電晶體且不使用藉由穿隧電流注入電荷之上述原理來操作。亦即，不像快閃記憶體，無需用於電荷注入之高電場。據此，無需考慮來自相鄰胞上的控制閘極之高電場的影響，其促進高整合。

此外，不利用藉由穿隧電流之電荷注入，這意味著沒有記憶胞退化的因素。亦即，為所揭露的本發明之一實施例的半導體裝置比快閃記憶體具有較高耐久性及可靠度。

另外，相較於快閃記憶體，不需高電場及大周邊電路（如升壓電路）亦為有利。

注意到在上述說明中，使用其中電子為主要載子的 n 通道電晶體；當然，可使用其中電洞為主要載子之 p 通道電晶體來取代 n 通道電晶體。在使用 p 通道電晶體之情況中，可依據上述操作原理設定供應至個別佈線的電位。

第 1B 圖為其中使用第 1A 圖中所示的半導體裝置之具有 $m \times n$ 位元的記憶體容量之半導體裝置的電路圖之一範例。第 1B 圖為所謂的 NOR 半導體裝置之電路圖，其中並聯連接記憶胞 1200。

第 1B 圖中所示的半導體裝置包括記憶胞陣列及諸如第一驅動器電路 1211、第二驅動器電路 1212、及第三驅

動器電路 1213 之周邊電路。記憶胞陣列包括 m 字線 WL、 m 讀取信號線 RL、 n 位元線 BL、及配置在 m (列) (配置在垂直方向中) $\times n$ (行) (配置在水平方向中) (m 及 n 為自然數) 矩陣中之複數記憶胞 1200。在此，施加第 1A 圖中所示之結構至記憶胞 1200。

亦即，每一記憶胞 1200 包括作用為讀取電晶體之第一電晶體 1201 及作用為寫入電晶體之第二電晶體 1202。第一電晶體 1201 的閘極電極及第二電晶體 1202 之源極電極及汲極電極之一互相電連接。讀取信號線 RL 及第一電晶體 1201 之源極電極及汲極電極之一互相電連接。位元線 BL、第一電晶體 1201 之源極電極及汲極電極之另一者、及第二電晶體 1202 之源極電極及汲極電極之另一者互相電連接。字線 WL 及第二電晶體 1202 的閘極電極互相電連接。

另外，第 i 列及第 j 行 (i 為大於或等於 1 且小於或等於 m 的整數， j 為大於或等於 1 且小於或等於 n 的整數) 的記憶胞 1200 (i, j) 連接至讀取信號線 $RL(i)$ 、位元線 $BL(j)$ 、及字線 $WL(i)$ 。

位元線 BL 連接至第二驅動器電路 1212。讀取信號線 RL 連接至第一驅動器電路 1211。字線 WL 連接至第三驅動器電路 1213。注意到在此獨立設置第二驅動器電路 1212、第一驅動器電路 1211、及第三驅動器電路 1213；然而，亦可使用具有一或更多功能之解碼器。

注意到在上述說明中，使用其中電子為主要載子的 n

通道電晶體；當然，可使用其中電洞為主要載子之 p 通道電晶體來取代 n 通道電晶體。在使用 p 通道電晶體之情況中，可依據上述操作原理設定供應至個別佈線的電位。

揭露在此實施例中之半導體裝置不一定得包括 DRAM 所需之電容器；因此，可減少每單位記憶胞的面積並可增加記憶胞的整合。另外，藉由由寫入電晶體及讀取電晶體共享位元線 BL，可減少每單位記憶胞的寫入次數。因此，可進一步減少每單位記憶胞的面積並可進一步增加記憶胞的整合。例如，假設最小處理尺寸為 F，則一記憶胞所佔之面積可為 $15F^2$ 至 $25F^2$ 。

注意到雖在上述說明中使用氧化物半導體形成具有小關閉狀態電流之寫入電晶體，所揭露的本發明不限於此。可使用能實現與氧化物半導體材料的那些等效之關閉狀態電流特性的材料，諸如像碳化矽般之寬隙材料（其中 $E_g > 3 \text{ eV}$ ）。

注意到在此實施例中所述之結構、方法、及之類可與在其他實施例中所述之結構、方法、及之類適當結合。

在第 3 圖中，繪示用於讀取儲存在記憶胞中之資料的讀取電路之示意圖。讀取電路包括電晶體及感測放大器電路。

在資料讀取中，端子 A 連接至位元線 BL，該位元線 BL 連接至將從其讀取資料之記憶胞。此外，供應偏壓電位 V_{bias} 至電晶體的閘極電極以控制端子 A 之電位。

當端子 A 之電位高於參考電位 V_{ref} （如 0 V）時，感

測放大器電路輸出高資料，且當端子 A 之電位低於參考電位 V_{ref} 時，感測放大器電路輸出低資料。首先，啓通電晶體，且將連接至端子 A 的位元線 BL 預先充電以具有電位 V_{BLH} 。接下來，將從其讀取資料之記憶胞設定成讀取模式，且連接至端子 A 的位元線 BL 的電位與參考電位 V_{ref} 相比較。因此，根據儲存在記憶胞中之資料輸出高資料或低資料。

藉由以上述方式使用讀取電路，可讀取儲存在記憶胞中之資料。注意到此實施例之讀取電路僅為範例之一。替代地，可使用另一已知的電路。

注意到在此實施例中所述之結構、方法、及之類可與在其他實施例中所述之結構、方法、及之類適當結合。

(實施例 2)

在此實施例中，將參照第 4A 及 4B 圖、第 5A 至 5H 圖、及第 6A 至 6E 圖敘述根據所揭露的本發明之一實施例的半導體裝置之結構及製造方法。

< 半導體裝置之剖面結構及平面結構 >

第 4A 及 4B 圖繪示半導體裝置之結構的一範例。第 4A 圖為半導體裝置的剖面圖，且第 4B 圖為半導體裝置的平面圖。在此，第 4A 圖對應沿著至第 4B 圖中之線 A1-A2 及線 B1-B2 的剖面。第 4A 及 4B 圖中所示之半導體裝置設有包括非氧化物半導體之半導體材料的電晶體 101，

及包括氧化物半導體之電晶體 102。包括非氧化物半導體的半導體材料之電晶體可輕易以高速操作。另一方面，包括氧化物半導體的電晶體由於其之特性可長時間保持電荷。注意到電晶體 101 充當讀取電晶體 TR_R ，且電晶體 102 充當寫入電晶體 TR_W 。

雖在電晶體兩者在此皆為 n 通道電晶體，當然，可使用 p 通道電晶體。此外，無需將半導體裝置之特定結構限制在於此所述之結構。

第 4A 及 4B 圖中之電晶體 101 包括設置在包括半導體材料（如矽）之基板 100 中的通道形成區域 116、設置在其之間夾住通道形成區域 116 之雜質區域 114 和高濃度雜質區域 120（這些區域簡單統稱為雜質區域）、設置在通道形成區域 116 上方之閘極絕緣層 108、設置在閘極絕緣層 108 上方之閘極電極 110、及電連接至雜質區域的源極或汲極電極 130a 和源極或汲極電極 130b。此外，佈線 142c 及佈線 142d 分別設置在源極或汲極電極 130a 及源極或汲極電極 130b 上方。

側壁絕緣層 118 設置在閘極電極 110 的側表面上。高濃度雜質區域 120 及金屬化合物區域 124 設置在當從與基板 100 的表面垂直之方向看去不與側壁絕緣層 118 重疊之基板 100 的區域中。金屬化合物區域 124 設置成接觸高濃度雜質區域 120。此外，在基板 100 上方形成元件隔離絕緣層 106 以圍繞電晶體 101，且形成層間絕緣層 126 及層間絕緣層 128 以覆蓋電晶體 101。源極或汲極電極 130a

及源極或汲極電極 130b 經由形成在層間絕緣層 126 及 128 中的開口電連接至金屬化合物區域 124。亦即，源極或汲極電極 130a 及源極或汲極電極 130b 經由金屬化合物區域 124 電連接至高濃度雜質區域 120 及雜質區域 114。此外，電極 130c 經由形成在層間絕緣層 126 及 128 中的開口電連接至閘極電極 110。注意到在爲了整合電晶體 101 或之類的某些情況中不形成側壁絕緣層 118。

第 4A 及 4B 圖中之電晶體 102 包括設置在層間絕緣層 128 上方之源極或汲極電極 142a 及源極或汲極電極 142b、電連接至源極或汲極電極 142a 及源極或汲極電極 142b 的氧化物半導體層 144、覆蓋源極或汲極電極 142a、源極或汲極電極 142b、及氧化物半導體層 144 的閘極絕緣層 146、及設置在閘極絕緣層 146 上方重疊氧化物半導體層 144 的閘極電極 148。

在此，氧化物半導體層 144 較佳爲藉由充分從其移除如氫之雜質或藉由充分供應氧至其而高度純化的氧化物半導體層。詳言之，氧化物半導體層 144 中之氫濃度爲 5×10^{19} atoms/cm³ 或更低；較佳 5×10^{18} atoms/cm³ 或更低；更佳 5×10^{17} atoms/cm³ 或更低。注意到藉由二次離子質譜 (SIMS) 來測量氧化物半導體層 144 的氫濃度。

在其中充分減少氫濃度而高度純化且其中藉由供應充分量的氧而減少因氧缺乏所導致之能隙中的缺陷程度的氧化物半導體層 144 中，載子濃度低於 1×10^{12} /cm³；較佳低於 1×10^{11} /cm³；更佳低於 1.45×10^{10} /cm³。例如，在室溫

(25°C) 電晶體 102 的關閉狀態電流 (在此, 每單位通道寬度 ($1\ \mu\text{m}$)) 為 $100\ \text{zA}/\mu\text{m}$ ($1\ \text{zA}$ (賽普托安培 (zeptoampere) 為 $1\times 10^{-21}\ \text{A}$) 或更少, 較佳 $10\ \text{zA}/\mu\text{m}$ 或更少。電晶體 102 的關閉狀態電流在 85°C 為 $100\ \text{zA}/\mu\text{m}$ ($1\times 10^{-19}\ \text{A}$), 較佳 $10\ \text{zA}/\mu\text{m}$ ($1\times 10^{-20}\ \text{A}$) 或更少。藉由使用這類 i 型 (本質) 或實質 i 型的氧化物半導體, 可獲得具有優異的關閉狀態電流特性之電晶體 102。

注意到由於在第 4A 及 4B 圖中之電晶體 102 中, 氧化物半導體層 144 並未處理成島狀, 可防止因圖案化之蝕刻所導致之氧化物半導體層 144 的污染。

注意到在電晶體 102 之中, 源極或汲極電極 142a 及源極或汲極電極 142b 的邊緣部較佳為錐形。在此, 錐角例如較佳大於或等於 30° 並少於或等於 60° 。注意到錐角意指, 當從與層之剖面垂直 (與基板表面垂直之平面) 之方向看去, 由具有錐形形狀之層 (例如源極或汲極電極 142a) 的側表面及底表面所形成之傾斜角度。當源極或汲極電極 142a 及源極或汲極電極 142b 的邊緣部為錐形時, 可改善以氧化物半導體層 144 對源極或汲極電極 142a 及源極或汲極電極 142b 之邊緣部的覆蓋並可防止斷連。

此外, 在電晶體 102 上方設置層間絕緣層 150, 並在層間絕緣層 150 上方設置層間絕緣層 152。

< 半導體裝置之製造方法 >

接下來, 將敘述製造半導體裝置之方法的一範例。首

先，將參照第 5A 至 5H 圖來於下敘述電晶體 101 的製造方法，並接著將參照第 6A 至 6E 圖來敘述製造電晶體 102 的製造方法。

< 電晶體 101 之製造方法 >

首先，備置包括半導體材料之基板 100（參見第 5A 圖）。作為包括半導體材料之基板 100，可使用採用矽、碳化矽、或之類形成之單晶半導體基板或多晶半導體基板、採用矽鍺或之類形成的化合物半導體基板、SOI 基板、或之類。在此，敘述使用單晶矽基板作為包括半導體材料之基板 100 的一範例。注意到一般而言，術語「SOI 基板」意指其中矽半導體層設置在絕緣表面上之基板。在此說明書及之類中，術語「SOI 基板」在其類別中也意指其中在絕緣表面上設置使用非矽的材料形成之半導體層的基板。亦即，包括在「SOI 基板」中之半導體層不限於矽半導體層。SOI 基板之範例包括一基板，其在如玻璃基板的絕緣基板上方具有半導體層的，且絕緣層設置在半導體層與絕緣基板之間。

在基板 100 上方形成充當用於形成元件隔離絕緣層之遮罩的保護層 105（參見第 5A 圖）。作為保護層 105，可例如使用諸如氧化矽、氮化矽、氧氮化矽、或之類所形成之絕緣層。注意到在此步驟之前或之後，可將提供 n 型傳導性之雜質元素或提供 p 型傳導性之雜質元素添加至基板 100 以控制電晶體之臨限電壓。當包括在基板 100 之半導

體材料為矽時，可使用磷、砷、或之類作為提供 n 型傳導性之雜質。可使用硼、鋁、鎵、或之類作為提供 p 型傳導性之雜質。

接下來，藉由使用保護層 105 作為遮罩之蝕刻來移除未被保護層 105 覆蓋之區域（亦即暴露區域）中之基板 100 的部分。因此，形成自另一半導體區域分離的半導體區域 104（參見第 5B 圖）。作為蝕刻，較佳採用乾蝕刻，但可執行濕蝕刻。可根據被蝕刻層的材料適當選擇蝕刻氣體及蝕刻劑。

接著，形成絕緣層以覆蓋半導體區域 104，並選擇性移除與半導體區域 104 重疊之一區域中的絕緣層（參見第 5B 圖）。使用氧化矽、氮化矽、氧氮化矽、或之類來形成絕緣層。作為移除絕緣層的一種方法，可採用任何蝕刻處理及如 CMP 之研磨處理。注意到在半導體區域 104 的形成之後或在元件隔離絕緣層 106 的形成之後移除保護層 105。

接下來，在半導體區域 104 上方形成絕緣層，並且在絕緣層上方形成包括導電材料之層。

絕緣層將成為閘極絕緣層，且較佳具有藉由 CVD 方法、濺鍍方法、或之類獲得的使用包括氧化矽、氧氮化矽、氮化矽、氧化鉛、氧化鋁、氧化鉍、氧化釷、矽酸鉛（ HfSi_xO_y ， $(x>0, y>0)$ ）、添加氮至其之矽酸鉛（ HfSi_xO_y ， $(x>0, y>0)$ ）、添加氮至其之鋁鉛（ HfAl_xO_y ， $(x>0, y>0)$ ）、或之類的膜之單層結構或

分層結構。替代地，可以一種方式形成絕緣層使得藉由高密度電漿處理或熱氧化處理來氧化或氮化半導體區域 104 之一表面。可例如使用諸如 He、Ar、Kr、或 Xe 之稀有氣體與諸如氧、氮氧化物、氨、或氫的氣體之混合氣體來執行高密度電漿處理。絕緣層可具有例如大於或等於 1 nm 並少於或等於 100 nm 且較佳大於或等於 10 nm 並少於或等於 50 nm 的厚度。

可使用諸如鋁、銅、鈦、鉭、或鎢之金屬材料來形成包括導電材料之層。可使用諸如多晶矽的半導體材料來形成包括導電材料之層。對於形成包括導電材料之層的方法並無特別限制，且可採用諸如蒸發方法、CVD 方法、濺鍍方法、或旋塗方法的各種膜形成方法。注意到在此實施例中，敘述其中使用金屬材料來形成包括導電材料之層的情況之一範例。

之後，選擇性蝕刻絕緣層及包括導電材料之層，以形成閘極絕緣層 108 及閘極電極 110（參見第 5C 圖）。

接下來，形成覆蓋閘極電極 110 的絕緣層 112（參見第 5C 圖）。接著，藉由添加磷（P）、砷（As）、或之類到半導體區域 104 來形成具有淺接面深度之雜質區域 114（參見第 5C 圖）。注意到在此添加磷或砷以形成 n 通道電晶體；可在形成 p 通道電晶體的情況中添加諸如硼（B）或鋁（Al）之雜質。藉由形成雜質區域 114，在閘極絕緣層 108 下方的半導體區域 104 中形成通道形成區域 116（參見第 5C 圖）。在此，可適當設定所添加之雜質的

濃度；當半導體元件之大小縮小很多時，較佳增加濃度。在此採用其中於絕緣層 112 形成之後形成雜質區域 114 的步驟；替代地，可在雜質區域 114 之形成後形成絕緣層 112。

接下來，形成側壁絕緣層 118（參見第 5D 圖）。形成絕緣層以覆蓋絕緣層 112 並接著受到高各向異性蝕刻，藉此可以自對準方式形成側壁絕緣層 118。此時，較佳部分蝕刻絕緣層 112 以暴露出閘極電極 110 的頂表面及雜質區域 114 的頂表面。注意到在某些情況中不形成側壁絕緣層 118 以實現高整合。

接著，形成絕緣層以覆蓋閘極電極 110、雜質區域 114、側壁絕緣層 118、及之類。接下來，添加諸如磷（P）、砷（As）、或之類至雜質區域 114 的一部分，以形成接觸雜質區域 114 之高濃度雜質區域 120（參見第 5E 圖）。此後，移除絕緣層，並形成金屬層 122 以覆蓋閘極電極 110、側壁絕緣層 118、高濃度雜質區域 120、及之類（參見第 5E 圖）。可採用諸如真空蒸發方法、濺鍍方法、或旋塗方法之任何膜形成方法來形成金屬層 122。較佳使用與包括在半導體區域 104 中之半導體材料起反應而成爲低電阻金屬化合物的金屬材料來形成金屬層 122。這類金屬材料之範例爲鈦、鉭、鎢、鎳、鈷、及鉑。

接下來，執行熱處理使金屬層 122 與半導體材料起反應。因此，形成接觸高濃度雜質區域 120 之金屬化合物區域 124（參見第 5F 圖）。注意到當使用多晶矽或之類來

形成閘極電極 110 時，亦在與金屬層 122 接觸之閘極電極 110 的一部分中形成金屬化合物區域。

作為熱處理，可例如採用以閃光燈之照射。雖當然可使用另一熱處理，較佳使用可實現極短時間之熱處理的方法以改善金屬化合物之形成中的化學反應的可控性。注意到藉由金屬材料與半導體材料之反應形成金屬化合物區域，且其具有充分高的傳導性。金屬化合物區域的形成可充分減少電阻並改善元件特性。注意到在形成金屬化合物區域 124 之後移除金屬層 122。

接著，形成層間絕緣層 126 及 128 以覆蓋於上述步驟中形成之構件（參見第 5G 圖）。可使用包括諸如氧化矽、氧氮化矽、氮化矽、氧化鉛、氧化鋁、或氧化鉬的無機絕緣材料之材料來形成層間絕緣層 126 及 128。此外，可使用諸如聚醯亞胺或丙烯酸類之有機絕緣材料來形成層間絕緣層 126 及 128。注意到雖在此採用層間絕緣層 126 及 128 的分層結構；然而，所揭露的本發明之一實施例不限於此結構。亦可使用單層結構或包括三或更多層的分層結構。在形成層間絕緣層 128 之後，較佳以 CMP、蝕刻、或之類來平面化層間絕緣層 128 之表面。

接著，在層間絕緣層中形成到達金屬化合物區域 124 的開口，並在開口中形成源極或汲極電極 130a 及源極或汲極電極 130b（參見第 5H 圖）。可以例如藉由 PVC 方法、CVD 方法、或之類在包括開口的區域中形成導電層，並接著藉由蝕刻處理、CMP 處理、或之類移除導電

層之一部分的方式形成源極或汲極電極 130a 及 130b。

詳言之，可採用一種方法，例如，其中藉由 PVD 方法在包括開口的區域中形成薄鈦膜，並藉由 CVD 方法形成薄氮化鈦膜，並接著，形成鎢膜，以填充開口中。在此，由 PVD 方法所形成薄鈦膜具有還原形成在其上形成鈦膜之表面上的氧化物膜（諸如原生氧化物膜）的功能，以降低與下電極或之類（在此，金屬化合物區域 124）的接觸電阻。在鈦膜形成之後所形成之氮化鈦膜具有防止導電材料擴散的阻障功能。可在形成鈦、氮化鈦、或之類的阻障膜之後藉由鍍覆方法形成銅膜。

注意到在藉由移除導電層之一部分形成源極或汲極電極 130a 及源極或汲極電極 130b 的情況中，較佳執行步驟以平面化表面。例如，當在包括開口的一區域中形成薄鈦膜或薄氮化鈦膜並接著形成鎢膜以填充開口時，可移除多餘的鎢、多餘的鈦、多餘的氮化鈦、或之類並可藉由後續的 CMP 處理來改善表面的平坦度。減少源極或汲極電極 130a 及源極或汲極電極 130b 之表面的不平坦，藉此在後續步驟中形成之電極、佈線、絕緣層、半導體層、及之類可有利地覆蓋表面。

注意到僅在此顯示接觸金屬化合物區域 124 之源極或汲極電極 130a 及源極或汲極電極 130b；然而，亦可在此步驟中形成接觸閘極電極 110 及之類的電極。對於用於源極或汲極電極 130a 及源極或汲極電極 130b 之材料並無特別限制，且可使用各種導電材料。例如，可使用諸如鉬、

鈦、鉻、鉍、鎢、鋁、銅、鈳、或鈳之導電材料。在考慮到稍後執行的熱處理，較佳使用具有夠高耐熱性以承受熱處理的材料來形成源極或汲極電極 130a 及源極或汲極電極 130b。

經由上述步驟，形成使用包括半導體材料之基板 100 的電晶體 101（參見第 5H 圖）。使用非氧化物半導體的半導體材料之電晶體 101 可以高速操作。

注意到在上述步驟之後可進一步形成電極、佈線、絕緣層、或之類。當佈線具有包括一層間絕緣層及一導電層之分層結構的多層結構時，可提供高度整合的半導體裝置。

< 電晶體 102 的製造方法 >

接下來，將參照第 6A 至 6E 圖敘述在層間絕緣層 128 上方之電晶體 102 的製程。注意到第 6A 至 6E 圖繪示在層間絕緣層 128 上方之電極、電晶體 102、及之類的製程；故省略電晶體 101 及之類。

首先，在層間絕緣層 128 上方形成導電層，並選擇性加以蝕刻，以形成源極或汲極電極 142a 及源極或汲極電極 142b（參見第 6A 圖）。

可藉由諸如濺鍍方法之 PVD 方法或諸如電漿 CVD 方法的 CVD 方法來形成導電層。作為導電層的材料，可使用選自鋁、鉻、銅、鉍、鈳、鉍、及鎢之元素；包括任何這些元素作為成分之合金；或之類。此外，可使用選自

錳、鎂、鋯、及鈹的一或更多材料。替代地，可使用與選自鈦、鉬、鎢、鉬、鉻、釷、及釷的一或更多元素結合的鋁。

導電層可具有單層結構或包括兩或更多層之分層結構。例如，可提供鈦膜或氮化鈦膜之單層結構、包括矽之鋁膜的單層結構、其中鈦膜堆疊在鋁膜之上的兩層結構、其中鈦膜堆疊在氮化鈦膜之上的兩層結構、或其中鈦膜、鋁膜、及鈦膜以此順序堆疊的三層結構。注意到在導電層具有鈦膜或氮化鈦膜之單層結構的情況中，有可輕易將導電層處理成具有錐形形狀之源極或汲極電極 142a 及源極或汲極電極 142b 的優點。

替代地，可使用導電金屬氧化物來形成導電層。作為導電金屬氧化物，可使用氧化銦 (In_2O_3)、氧化錫 (SnO_2)、氧化鋅 (ZnO)、氧化銦 - 氧化錫合金 ($\text{In}_2\text{O}_3\text{-SnO}_2$ ，其在某些情況中簡稱為 ITO)、氧化銦 - 氧化鋅合金 ($\text{In}_2\text{O}_3\text{-ZnO}$)、或其中包括矽或氧化矽的這些金屬氧化物材料的任何者。

較佳蝕刻導電層，使源極或汲極電極 142a 及源極或汲極電極 142b 的邊緣部呈錐形。在此，錐角例如較佳大於或等於 30° 並少於或等於 60° 。蝕刻源極或汲極電極 142a 及源極或汲極電極 142b 的邊緣部以變成錐形，藉此可改善以後續形成之閘極絕緣層 146 對源極或汲極電極 142a 及源極或汲極電極 142b 的邊緣部之覆蓋並可防止斷連。

藉由源極或汲極電極 142a 之下邊緣部與源極或汲極電極 142b 之下邊緣部之間的距離來決定電晶體之通道長度 (L)。注意到在形成具有小於 25 nm 的通道長度 (L) 之電晶體的情況中，較佳以極紫外線執行用於形成遮罩之曝光，極紫外線之波長短如數奈米至數十奈米。以極紫外線之曝光的解析度為高且焦深為大。有鑑於這些原因，後續形成之電晶體的通道長度 (L) 可在大於或等於 10 nm 並少於或等於 1000 nm (1 μ m) 之範圍中，且因此，可以高速操作電路。此外，微小化可導致半導體裝置之低耗電量。

注意到充當基底的絕緣層可設置在層間絕緣層 128 的上方。可藉由 PVD 方法、CVD 方法、或之類形成絕緣層。

此外，可在源極或汲極電極 142a 及源極或汲極電極 142b 的上方形成絕緣層。藉由絕緣層，可減少形成在後續形成之閘極電極與源極或汲極電極 142a 之間及閘極電極與源極或汲極電極 142b 之間的寄生電容。

接下來，形成氧化物半導體層 144 以覆蓋源極或汲極電極 142a 及源極或汲極電極 142b (參見第 6B 圖)。

可使用任何下列氧化物半導體來形成 144：如 In-Sn-Ga-Zn-O 為基的氧化物半導體之四成分金屬氧化物；如 In-Ga-Zn-O 為基的氧化物半導體、In-Sn-Zn-O 為基的氧化物半導體、In-Al-Zn-O 為基的氧化物半導體、Sn-Ga-Zn-O 為基的氧化物半導體、Al-Ga-Zn-O 為基的氧化物半導

體、及 Sn-Al-Zn-O 為基的氧化物半導體之三成分金屬氧化物；In-Zn-O 為基的氧化物半導體、Sn-Zn-O 為基的氧化物半導體、Al-Zn-O 為基的氧化物半導體、Zn-Mg-O 為基的氧化物半導體、Sn-Mg-O 為基的氧化物半導體、In-Mg-O 為基的氧化物半導體、及 In-Ga-O 為基的氧化物半導體之兩成分金屬氧化物；以及諸如 In-O 為基的氧化物半導體、Sn-O 為基的氧化物半導體、及 Zn-O 為基的氧化物半導體之單成分金屬氧化物。

氧化物半導體層 144 較佳包括 In 且更佳包括 In 及 Ga。後續執行之脫水或脫氫處理能有效使氧化物半導體層 144 變成 i 型（本質）。

尤其，In-Ga-Zn-O 為基的氧化物半導體材料在當無電場時具有夠高的電阻且因此可充分減少關閉狀態電流。另外，藉由高場效遷移率，In-Ga-Zn-O 為基的氧化物半導體材料適合作為半導體裝置中所使用之半導體材料。

作為 In-Ga-Zn-O 為基的氧化物半導體材料之一典型範例，提供由 $\text{InGaO}_3(\text{ZnO})_m$ ($m > 0$) 所表示者。氧化物半導體材料之另一範例由 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) 所表示，其中使用 M 來取代 Ga。例如，M 表示選自鎵（Ga）、鋁（Al）、鐵（Fe）、鎳（Ni）、錳（Mn）、鈷（Co）及之類的一或更多金屬元素。例如，M 可為 Ga、Ga 及 Al、Ga 及 Fe、Ga 及 Ni、Ga 及 Mn、Ga 及 Co、或之類。注意到上述組成衍生自氧化物半導體材料可有之晶體結構並僅為範例。

作為藉由濺鍍方法形成氧化物半導體層 144 用之靶材，較佳使用具有 $\text{In}:\text{Ga}:\text{Zn}=1:x:y$ (x 為 0 或更多，且 y 大於或等於 0.5 並少於或等於 5) 的組成比例之靶材。例如，可使用具有 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$ [莫耳比率]之組成比例的靶材、具有 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:2$ [莫耳比率]之組成比例的靶材、具有 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=2:2:1$ [莫耳比率]之組成比例的靶材、具有 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:4$ [莫耳比率]之組成比例的靶材、或之類。替代地，可使用具有 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=2:0:1$ [莫耳比率]之組成比例的靶材。

在此實施例中，可藉由使用 In-Ga-Zn-O 為基的金屬氧化物靶材之濺鍍方法來形成具有非晶結構的氧化物半導體層 144。

金屬氧化物靶材中所含的金屬氧化物較佳具有 80% 或更高之相對密度；較佳 95% 或更高；更佳 99.9% 或更高。藉由使用具有高相對密度之金屬氧化物靶材，可形成具有密實結構的氧化物半導體層 144。

形成氧化物半導體層 144 之濺鍍氣體較佳為稀有氣體（典型為氬）、氧、或含有稀有氣體（典型為氬）及氧之混合氣體。此外，較佳使用高純度氣體，其中移除掉諸如氬、水、羥基、或氫化物之雜質，使濃度降至 1 ppm 或更少（較佳 10 ppb 或更少）。

在形成氧化物半導體層 144 中，將物體保持在維持於減壓之處理室中且予以加熱，使物體之溫度高於或等於

100°C 並低於 550°C，且較佳高於或等於 200°C 並低於或等於 400°C 的溫度。替代地，在形成氧化物半導體層 144 中之物體之溫度可在室溫。接著，在移除處理室中之濕氣的同時，引進從其移除掉氫、水、或之類的濺鍍氣體，藉此使用上述的靶材來形成氧化物半導體層 144。在加熱物體的同時形成氧化物半導體層 144，以減少氧化物半導體層 144 中包括之雜質。此外，可減少濺鍍所造成的破壞。爲了移除處理室中的濕氣，較佳使用捕集真空泵。例如，可使用低溫泵、離子泵、或鈦昇華泵。可使用設有冷阱的渦輪泵。藉由以低溫泵或之類來抽空，可從處理室移除氫、水、及之類，藉此可減少氧化物半導體層 144 中所包括的雜質濃度。

可以下列條件形成氧化物半導體層 144，例如：物體與靶材間的距離爲 170 mm；壓力爲 0.4 Pa；直流（DC）功率爲 0.5 kW；且周圍環境爲氧（氧：100%）周圍環境、氫（氫：100%）周圍環境、或含氧及氫之混合周圍環境。注意到脈衝式直流（DC）電源爲較佳，因爲可減少粉末物質（亦稱爲粒子或塵埃）並且厚度分佈可爲均勻。氧化物半導體層 144 的厚度大於或等於 1 nm 並少於或等於 50 nm，且較佳大於或等於 1 nm 並少於或等於 10 nm。使用具有這種厚度之氧化物半導體層 144 可抑制微小化所造成的短通道效應。注意到適當的厚度隨所使用之氧化物半導體材料、半導體裝置之用途、或之類而變；因此，可根據使用的材料、用途、或之類來適當設定厚度。

注意到在以濺鍍方法形成氧化物半導體層 144 之前，較佳藉由其中引進氫氣體並產生電漿的反向濺鍍來移除附著至其上將形成氧化物半導體層 144 的表面（如，層間絕緣層 128 的表面）之物質。在此，相較於離子衝擊濺鍍靶材之正常濺鍍，反向濺鍍為一種使離子衝擊欲處理之表面以修改表面的方法。使離子衝擊欲處理之表面的方法之一範例為其中在氫周圍環境中施加高頻電壓至表面以在物體附近產生電漿的方法。注意到取代氫周圍環境，可使用氮周圍環境、氦周圍環境、氧周圍環境、或之類。

之後，較佳於氧化物半導體層 144 上執行熱處理（第一熱處理）。可藉由第一熱處理移除包括在氧化物半導體層 144 中之多餘的氫（包括水及羥基），故可改善氧化物半導體層之結構，並可減少能隙中的缺陷程度。第一熱處理之溫度為例如高於或等於 300°C 且低於 550°C ，或高於或等於 400°C 且低於或等於 500°C 。

可以例如將物體引進到其中使用電阻式加熱元件或之類的電爐中，並且接著在 450°C 於氮周圍環境下加熱一小時之一種方式來執行熱處理。在熱處理期間，氧化物半導體層 144 不暴露至空氣，所以可防止水或氫的進入。

熱處理設備不限於電爐且可為藉由熱輻射或熱傳導從諸如加熱氣體的一媒介加熱物體之設備。例如，可使用諸如氣體迅速熱退火（GRTA）設備或燈迅速熱退火（LRTA）設備的迅速熱退火（RTA）設備。LRTA 設備為藉由從諸如鹵素燈、金屬鹵化物、氬弧燈、碳弧燈、高壓

鈉燈、或高壓汞燈的燈所發射之光的輻射（電磁波）加熱物體之設備。GRTA 設備為使用高溫氣體來執行熱處理的設備。作為氣體，使用不藉由熱處理與物體起反應之例如氮的惰性氣體或諸如氫之稀有氣體。

例如，作為第一熱處理，可如下般執行 GRTA 程序。將物體放置在已加熱之惰性氣體周圍環境中，加熱數分鐘，並從惰性氣體周圍環境中取出。GRTA 程序允許短時的高溫加熱處理。此外，即使溫度超過物體的溫度上限時，仍可採用 GRTA 程序。注意到惰性氣體可在處理期間切換成含氧之氣體。這是因為可藉由在含氧的周圍環境中執行第一熱處理減少氧缺乏所造成之能隙中的缺陷程度。

注意到作為惰性氣體周圍環境，較佳使用含有氮或稀有氣體（如氮、氬、或氫）作為其主成分且不含水、氫、及之類的周圍環境。例如，引進熱處理設備中之氮或諸如氮、氬、或氫之稀有氣體的純度為 6N（99.9999%）或更高，較佳 7N（99.99999%）或更高（亦即，雜質濃度為 1 ppm 或更少，較佳 0.1 ppm 或更少）。

在任何情況中，形成其中藉由第一熱處理減少雜質的 i 型（本質）或實質上 i 型的氧化物半導體層 144，其可實現具有優異特性之電晶體。

上述熱處理（第一熱處理）可稱為脫水處理、脫氫處理、或之類，因其具有移除氫、水、及之類的效果。可在例如形成氧化物半導體層之後，在形成閘極絕緣層之後、或在形成閘極電極之後執行脫水處理或脫氫處理。可執行

這類脫水處理或脫氫處理一次或數次。

接下來，形成接觸氧化物半導體層 144 的閘極絕緣層 146（參見第 6C 圖）。可藉由 CVD 方法、濺鍍方法、或之類形成閘極絕緣層 146。較佳形成閘極絕緣層 146 以包括氧化矽、氮化矽、氧氮化矽、氧化鋁、氧化鋇、氧化鈣、氧化釷、矽酸鈣（ HfSi_xO_y ， $(x>0, y>0)$ ）、添加氮至其之矽酸鈣（ HfSi_xO_y ， $(x>0, y>0)$ ）、添加氮至其之鋁鈣（ HfAl_xO_y ， $(x>0, y>0)$ ）、或之類。閘極絕緣層 146 可為單層結構或分層結構。對於厚度並無特別限制；然而，在半導體裝置微型化的情況中，厚度較佳為小以保障電晶體的操作。例如，在使用氧化矽的情況中，厚度可設定成大於或等於 1 nm 並少於或等於 100 nm，且較佳大於或等於 10 nm 並少於或等於 50 nm。

如上述，當閘極絕緣層為薄時，會導致因穿隧效應或之類造成的閘極漏電之問題。為了解決閘極漏電之問題，較佳使用高介電常數（高 k）材料來作為閘極絕緣層 146，諸如氧化鈣、氧化鋇、氧化釷、矽酸鈣（ HfSi_xO_y ， $(x>0, y>0)$ ）、添加氮至其之矽酸鈣（ HfSi_xO_y ， $(x>0, y>0)$ ）、添加氮至其之鋁鈣（ HfAl_xO_y ， $(x>0, y>0)$ ）、或之類。藉由使用高 k 材料作為閘極絕緣層 146，可確保電氣特性且厚度可為大以防止閘極漏電。注意到可採用包括高 k 材料之膜及包括氧化矽、氮化矽、氧氮化矽、氮氧化矽、氧化鋁、及之類的任一者之膜的分層結構。

在形成閘極絕緣層 146 之後，較佳在惰性惰性氣體周圍環境或氧周圍環境中執行第二熱處理。該熱處理之溫度設定成高於或等於 200°C 並低於或等於 450°C，且較佳高於或等於 250°C 至並低於或等於 350°C。例如，在 250°C 於氮周圍環境中執行該熱處理一小時。第二熱處理可減少電晶體之電氣特性中的變動。此外，在閘極絕緣層 146 包括氧的情況中，可供應氧至氧化物半導體層 144 以彌補氧化物半導體層 144 中之氧缺乏，所以可形成 i 型（本質）或實質上 i 型的氧化物半導體層。

注意到在此實施例中係在形成閘極絕緣層 146 之後執行第二熱處理；然而，第二熱處理之時序不限於此。例如，可在形成閘極電極之後執行第二熱處理。此外，可接續執行第一熱處理及第二熱處理，第一熱處理亦可充當第二熱處理，或第二熱處理亦可充當第一熱處理。

接下來，在閘極絕緣層 146 上方，在重疊氧化物半導體層 144 之區域中形成閘極電極 148（參見第 6D 圖）。可以在閘極絕緣層 146 上方形成導電層並接著選擇性加以蝕刻的方式形成閘極電極 148。可藉由諸如濺鍍方法之 PVD 方法或諸如電漿 CVD 方法的 CVD 方法形成即將成為閘極電極 148 的導電層。細節與源極或汲極電極 142a 或之類的相同或實質上相同；故可參照其之說明。

接下來，在閘極絕緣層 146 及閘極電極 148 上方形成層間絕緣層 150 及 152（參見第 6E 圖）。可藉由 PVD 方法、CVD 方法、或之類形成層間絕緣層 150 及 152。可使

用包括諸如氧化矽、氧氮化矽、氮化矽、氧化鉛、氧化鋁、或氧化鉬的無機絕緣材料之材料來形成層間絕緣層 150 及 152。注意到在此實施例中使用層間絕緣層 150 及 152 的分層結構；然而，所揭露之本發明之一實施例不限於此。亦可使用單層結構或包括三或更多層的分層結構。替代地，可採用其中未設置層間絕緣層之結構。

注意到較佳形成層間絕緣層 152 以具有平面化的表面。這是因為即使在例如微型化半導體裝置之情況中，可在層間絕緣層 152 上方有利地形成電極、佈線、或之類。可使用諸如化學機械研磨（CMP）之方法來平面化層間絕緣層 152。

經由上述步驟，完成包括高度純化氧化物半導體層 144 的電晶體 102（參見第 6E 圖）。

第 6E 圖中所示的電晶體 102 包括氧化物半導體層 144、電連接至氧化物半導體層 144 的源極或汲極電極 142a 及源極或汲極電極 142b、覆蓋氧化物半導體層 144、源極或汲極電極 142a、及源極或汲極電極 142b 的閘極絕緣層 146、以及在閘極絕緣層 146 上方的閘極電極 148。

由於在此實施例中所述的電晶體 102 中之氧化物半導體層 144 為高度純化，氫濃度為 5×10^{19} atoms/cm³ 或更少；較佳 5×10^{18} atoms/cm³ 或更少；更佳 5×10^{17} atoms/cm³ 或更少。另外，相較於一般矽晶圓的載子密度（近乎 1×10^{14} /cm³），氧化物半導體層 144 的載子密度之

值夠低（例如，低於 $1 \times 10^{12}/\text{cm}^3$ ，較佳低於 $1.45 \times 10^{10}/\text{cm}^3$ ）。因此，關閉狀態電流夠低。例如，在室溫（ 25°C ）的電晶體 102 之關閉狀態電流（在此，每單位通道寬度（ $1 \mu\text{m}$ ））為 $100 \text{ zA}/\mu\text{m}$ （ 1 zA （賽普托安培（zeptoampere）為 $1 \times 10^{-21} \text{ A}$ ）或更少，且較佳 $10 \text{ zA}/\mu\text{m}$ 或更少。

藉由使用高度純化且變成本質的氧化物半導體層 144，可充分減少電晶體的關閉狀態電流。藉由使用這種電晶體，可獲得其中能夠極長時間儲存記憶體資料之半導體裝置。

在此實施例中所述之結構、方法、及之類可與其他實施例中所述之任何結構、方法、及之類適當地結合。

（實施例 3）

在此實施例中，將參照第 7A 及 7B 圖及第 8A 至 8D 圖來敘述根據所揭露的本發明之另一實施例的半導體裝置之結構及製造方法，其與實施例 2 的那些不同。

< 半導體裝置之剖面結構及平面結構 >

第 7A 及 7B 圖繪示半導體裝置之結構的一範例。第 7A 圖為半導體裝置的剖面圖，且第 7B 圖為半導體裝置的平面圖。在此，第 7A 圖對應沿著至第 7B 圖中之線 A1-A2 及線 B1-B2 的剖面。第 7A 及 7B 圖中所示之半導體裝置設有包括非氧化物半導體之半導體材料的電晶體 101，

及包括氧化物半導體之電晶體 102。包括非氧化物半導體的半導體材料之電晶體可輕易以高速操作。另一方面，包括氧化物半導體的電晶體由於其之特性可長時間保持電荷。注意到電晶體 101 充當讀取電晶體，且電晶體 102 充當寫入電晶體。

雖在電晶體兩者在此皆為 n 通道電晶體，當然，可使用 p 通道電晶體。由於所揭露之本發明的技術本質為使用電晶體 102 中之氧化物半導體以儲存資料，無需將半導體裝置之特定結構限制在於此所述之結構。

第 7A 及 7B 圖中所示之電晶體 101 包括設置在包括半導體材料（如矽）之基板 100 中的通道形成區域 116、設置以在其之間夾住通道形成區域 116 之雜質區域 114 和高濃度雜質區域 120（這些區域簡單統稱為雜質區域）、設置在通道形成區域 116 上方之閘極絕緣層 108、設置在閘極絕緣層 108 上方之閘極電極 110、及電連接至雜質區域的源極或汲極電極 130a 和源極或汲極電極 130b。此外，佈線 142c 及佈線 142d 分別設置在源極或汲極電極 130a 及源極或汲極電極 130b 上方。

側壁絕緣層 118 設置在閘極電極 110 的側表面上。高濃度雜質區域 120 設置在當從與基板 100 的表面垂直之方向看去不與側壁絕緣層 118 重疊之基板 100 的區域中。金屬化合物區域 124 設置成接觸高濃度雜質區域 120。此外，在基板 100 上方形成元件隔離絕緣層 106 以圍繞電晶體 101。設置層間絕緣層 126 及 128 以具有設置在閘極電

極 110 的開口，並覆蓋電晶體 101。源極或汲極電極 130a 及源極或汲極電極 130b 經由形成在層間絕緣層 126 中的開口電連接至金屬化合物區域 124。亦即，源極或汲極電極 130a 及源極或汲極電極 130b 經由金屬化合物區域 124 電連接至高濃度雜質區域 120 及雜質區域 114。注意到在爲了整合電晶體 101 或之類的某些情況中不形成側壁絕緣層 118。

第 7A 及 7B 圖中之電晶體 102 包括設置在層間絕緣層 128 上方之源極或汲極電極 142a 及源極或汲極電極 142b、電連接至源極或汲極電極 142a 及源極或汲極電極 142b 的氧化物半導體層 144、覆蓋源極或汲極電極 142a、源極或汲極電極 142b、及島狀氧化物半導體層 144 的閘極絕緣層 146、及設置在閘極絕緣層 146 上方重疊島狀氧化物半導體層 144 的閘極電極 148。

在此，源極或汲極電極 142a 直接形成在閘極電極 110 之上，藉此電晶體 101 及電晶體 102 互相電連接。亦即，在此實施例中所述的半導體裝置具有一種結構，其中，在實施例 2 中所述的半導體裝置中，電晶體 102 係形成在電晶體 101 的上方，從其移除在閘極電極 110 的頂表面上方的一部分。

在此，氧化物半導體層 144 較佳爲藉由充分從其移除如氫之雜質或藉由充分供應氧至其而高度純化的氧化物半導體層。詳言之，氧化物半導體層 144 中之氫濃度爲 5×10^{19} atoms/cm³ 或更低；較佳 5×10^{18} atoms/cm³ 或更低；

更佳 5×10^{17} atoms/cm³ 或更低。注意到藉由二次離子質譜 (SIMS) 來測量氧化物半導體層 144 的氫濃度。在其中充分減少氫濃度而高度純化且其中藉由供應充分量的氧而減少因氧缺乏所導致之能隙中的缺陷程度的氧化物半導體層 144 中，載子濃度低於 1×10^{12} /cm³；較佳低於 1×10^{11} /cm³；更佳低於 1.45×10^{10} /cm³。例如，在室溫 (25°C) 電晶體 102 的關閉狀態電流 (在此，每單位通道寬度 (1 μ m)) 為 100 zA/ μ m (1 zA (zeptoampere) 為 1×10^{-21} A) 或更少，較佳 10 zA/ μ m 或更少。藉由使用這類 i 型 (本質) 或實質 i 型的氧化物半導體，可獲得具有優異的關閉狀態電流特性之電晶體 102。

注意到在電晶體 102 之中，源極或汲極電極 142a 及源極或汲極電極 142b 的邊緣部較佳為錐形。在此，錐角例如較佳大於或等於 30° 並少於或等於 60°。注意到錐角意指，當從與層之剖面垂直 (與基板表面垂直之平面) 之方向看去，由具有錐形形狀之層 (例如源極或汲極電極 142a) 的側表面及底表面所形成之傾斜角度。當源極或汲極電極 142a 及源極或汲極電極 142b 的邊緣部為錐形時，可改善以氧化物半導體層 144 對源極或汲極電極 142a 及源極或汲極電極 142b 之邊緣部的覆蓋並可防止斷連。

此外，在電晶體 102 上方設置層間絕緣層 150，並在層間絕緣層 150 上方設置層間絕緣層 152。

< 半導體裝置之製造方法 >

接下來，將敘述半導體裝置之製造方法的一範例。將於下參照第 8A 至 8D 圖來敘述在形成電晶體 101 之後所執行的步驟，亦即，電晶體 102 的製造方法。藉由與實施例 2 中所述相同或實質上相同的方法來製造電晶體 101，並可參照實施例 2 中的說明。

首先藉由實施例 2 中所述的方法來形成電晶體 101，並接著，移除在閘極電極 110 的頂表面上方之電晶體 101 的一部分（參見第 8A 圖）。藉由在電晶體 101 上執行研磨處理（CMP 處理）直到暴露出閘極電極 110 的頂表面來移除在閘極電極 110 的頂表面上方的電晶體 101 之該部分。因此，移除在在閘極電極 110 上方之層間絕緣層 126 及 128 及源極及汲極電極 130a 及 130b 之部分。此時，平面化包括層間絕緣層 126 及 128 及源極及汲極電極 130a 及 130b 的表面，使得可在後續步驟中有利地形成電極、佈線、絕緣層、半導體層、及之類。實施例 2 中所述的電極 130c 會被 CMP 處理完全移除掉，因此無需予以形成。

依照此方式藉由 CMP 處理暴露出閘極電極 110 的頂表面，藉此閘極電極 110 及源極或汲極電極 142a 可直接互相接觸；因此，電晶體 101 及電晶體 102 可輕易互相電連接。

之後，在層間絕緣層 126 及 128 的上方形成導電層並加以選擇性蝕刻，以形成源極或汲極電極 142a、源極或汲極電極 142b、佈線 142c、及佈線 142d（參見第 8B 圖）。在此，形成源極或汲極電極 142a、佈線 142c、及

佈線 142d，以分別直接接觸閘極電極 110、源極或汲極電極 130a、及源極或汲極電極 130b。

在此，針對形成源極或汲極電極 142a、源極或汲極電極 142b、佈線 142c、及佈線 142d 之導電層，可使用與實施例 2 中所述相同或實質上相同的材料並可參照實施例 2 的說明。亦可以和實施例 2 中所述相同或實質上相同的方法的方式執行導電層的蝕刻，並可參照實施例 2 的說明。

此外，如同在實施例 2 的情況中般，在源極或汲極電極 142a 及源極或汲極電極 142b 上方形成絕緣層。藉由絕緣層，可減少在後續形成的閘極電極與源極及汲極電極 142a 及 142b 之間所形成的寄生電容。

接下來，形成氧化物半導體層以覆蓋源極或汲極電極 142a、源極或汲極電極 142b、佈線 142c、及佈線 142d，並選擇性蝕刻氧化物半導體層，以形成接觸源極或汲極電極 142a 及源極或汲極電極 142b 的氧化物半導體層 144（參見第 8C 圖）。

可用與實施例 2 中所述的那些相同或實質上相同的材料及方法來形成氧化物半導體層。因此，針對氧化物半導體層之材料及形成方法可參照實施例 2。

作為氧化物半導體層之蝕刻，可採用乾蝕刻或濕蝕刻。當然，可結合使用乾蝕刻及濕蝕刻。可根據材料適當選擇蝕刻條件（諸如，蝕刻氣體、蝕刻劑、蝕刻時間、及溫度），以將氧化物半導體層蝕刻成希望的形狀。

此外，較佳以與實施例 2 中所述者相同或實質上相同之方式使氧化物半導體層 144 受到熱處理（第一熱處理）。可藉由實施例 2 中所述的方法來執行第一熱處理，並可參照實施例 2。可藉由第一熱處理減少雜質，以獲得 i 型（本質）或實質上 i 型的氧化物半導體層 144。依此，可實現具有優異特性的電晶體。注意到可在蝕刻氧化物半導體層之前或在蝕刻氧化物半導體層以處理成島狀形狀之後執行第一熱處理。

接下來，形成接觸氧化物半導體層 144 的閘極絕緣層 146（參見第 8C 圖）。

可使用與實施例 2 中所述那些相同或實質上相同的材料及方法來形成閘極絕緣層 146。因此，針對閘極絕緣層 146 之材料及形成方法，可參照實施例 2。

在形成閘極絕緣層 146 之後，較佳以與實施例 2 中所述者相同或實質上相同的的方式在惰性氣體周圍環境或氧周圍環境中執行第二熱處理。可藉由實施例 2 中所述之方法執行第二熱處理，並可參照實施例 2。第二熱處理可減少電晶體之電氣特性中的變動。此外，在閘極絕緣層 146 包括氧的情況中，供應氧至氧化物半導體層 144 以彌補氧化物半導體層 144 中之氧缺乏，藉此可形成 i 型（本質）或實質上 i 型的氧化物半導體層。

注意到在此實施例中係在形成閘極絕緣層 146 之後執行第二熱處理；然而，第二熱處理之時序不限於此。例如，可在形成閘極電極之後執行第二熱處理。此外，可接

續執行第一熱處理及第二熱處理，第一熱處理亦可充當第二熱處理，或第二熱處理亦可充當第一熱處理。

接下來，在閘極絕緣層 146 上方，在重疊氧化物半導體層 144 之區域中形成閘極電極 148（參見第 8D 圖）。可以在閘極絕緣層 146 上方形成導電層並接著選擇性加以蝕刻的方式來形成閘極電極 148。可藉由諸如濺鍍方法之 PVD 方法或諸如電漿 CVD 方法的 CVD 方法形成即將成為閘極電極 148 的導電層。細節與源極或汲極電極 142a 或之類的那些相同或實質上相同；故可參照其之說明。

接下來，以與實施例 2 中所述者相同或實質上相同的方式，在閘極絕緣層 146 及閘極電極 148 上方形成層間絕緣層 150 及 152。可使用與實施例 2 中所述那些相同或實質上相同的材料及方法來形成層間絕緣層 150 及 152。因此，針對層間絕緣層 150 及 152 之材料及形成方法，可參照實施例 2。

注意到較佳形成層間絕緣層 152 以具有平面化表面。這是因為即使在例如微型化半導體裝置之情況中，可在層間絕緣層 152 上方有利地形成電極、佈線、或之類。可藉由諸如化學機械研磨（CMP）之方法來平面化層間絕緣層 152。

經由上述步驟，完成包括高度純化之氧化物半導體層 144 的電晶體 102（參見第 8D 圖）。

第 8D 圖中所示的電晶體 102 包括氧化物半導體層 144、電連接至氧化物半導體層 144 的源極或汲極電極

142a 及源極或汲極電極 142b、覆蓋氧化物半導體層 144、源極或汲極電極 142a、及源極或汲極電極 142b 的閘極絕緣層 146、及在閘極絕緣層 146 上方的閘極電極 148。

由於在此實施例中所示的電晶體 102 中之氧化物半導體層 144 為高度純化，氫濃度為 5×10^{19} atoms/cm³ 或更低；較佳 5×10^{18} atoms/cm³ 或更低；更佳 5×10^{17} atoms/cm³ 或更低。另外，相較於一般矽晶圓的載子密度（近乎 1×10^{14} /cm³），氧化物半導體層 144 的載子密度之值夠低（例如，低於 1×10^{12} /cm³，較佳低於 1.45×10^{10} /cm³）。因此，關閉狀態電流夠低。例如，在室溫（25 °C）的電晶體 102 之關閉狀態電流（在此，每通道寬度微米之電流）為 100 zA/ μ m（1 zA（（zeptoampere）為 1×10^{-21} A）或更少，且較佳 10 zA/ μ m 或更少。

藉由使用高度純化且變成本質的氧化物半導體層 144，可充分減少電晶體的關閉狀態電流。藉由使用這種電晶體，可獲得其中能夠極長時間儲存記憶體資料之半導體裝置。

在此實施例中所述之結構、方法、及之類可與其他實施例中所述之任何結構、方法、及之類適當地結合。

（實施例 4）

在此實施例中，將參照第 9A 及 9B 圖、第 10A 至 10C 圖、及第 11A 及 11B 圖來敘述根據所揭露的本發明之

一實施例的半導體裝置之結構及製造方法，其與實施例 2 及 3 的那些不同。

< 半導體裝置之剖面結構及平面結構 >

第 9A 及 9B 圖繪示半導體裝置之結構的一範例。第 9A 圖繪示半導體裝置的剖面圖，且第 9B 圖繪示半導體裝置的平面圖。在此，第 9A 圖對應沿著至第 9B 圖中之線 C1-C2 及線 D1-D2 取得之剖面圖。第 9A 及 9B 圖中所示之半導體裝置設有包括非氧化物半導體之半導體材料的電晶體 101，以及包括氧化物半導體之電晶體 102。包括非氧化物半導體之半導體材料之電晶體可輕易以高速操作。另一方面，包括氧化物半導體層的電晶體由於其之特性可長時間保持電荷。電晶體 101 充當讀取電晶體，且電晶體 102 充當寫入電晶體。

雖所有電晶體在此皆為 n 通道電晶體，當然，可使用 p 通道電晶體。此外，不需將半導體裝置之特定結構限制於在此所述之結構。

第 9A 及 9B 圖中之半導體裝置與以上實施例中所述的半導體裝置的差別在於不在電晶體 101 中設置側壁絕緣層 118。亦即，第 9A 及 9B 圖中之半導體裝置不包括側壁絕緣層。由於未形成側壁絕緣層，不形成雜質區域 114。因此，在其中不設有側壁絕緣層的情況中，相較於設有側壁絕緣層的情況，可輕易達成高整合。另外，相較於設有側壁絕緣層 118 的情況，可簡化製程。

第 9A 及 9B 圖中之半導體裝置以上實施例中所述的半導體裝置的差別還在於在電晶體 101 中設有層間絕緣層 125。亦即，第 9A 及 9B 圖中之半導體裝置包括層間絕緣層 125。藉由使用包括氫的絕緣層作為層間絕緣層 125，可供應氫至電晶體 101 以改善電晶體 101 的特性。作為層間絕緣層 125，例如，可提供包括氫的氮化矽層，其係藉由電漿 CVD 方法形成。此外，藉由使用其中充分減少氫之絕緣層作為層間絕緣層 126，可防止將不利影響電晶體 102 的氫包括在電晶體 102 中。作為層間絕緣層 126，例如，可提供藉由濺鍍方法所形成的氮化矽層。當採用這種結構時，可充分改善電晶體 101 及 102 的特性。

第 9A 及 9B 圖中之半導體裝置以上實施例中所述的半導體裝置的差別還在於在電晶體 102 中設置絕緣層 143a 及絕緣層 143b。亦即，第 9A 及 9B 圖中之半導體裝置包括絕緣層 143a 及絕緣層 143b。藉由如此設置絕緣層 143a 及絕緣層 143b，可減少由閘極電極 148a 及源極或汲極電極 142a（或閘極電極 148a 及源極或汲極電極 142b）所形成之所謂的閘極電容以增加電晶體 102 的操作速度。

注意到如同在實施例 3 中般，直接在閘極電極 110 上形成源極或汲極電極 142a，藉此電晶體 101 與電晶體 102 互相電連接。以這種結構，相較於其中額外設置電極及線的情況，可增加整合程度。另外，可簡化製程。

雖在此實施例中說明包括所有差異之結構，可採用包括這些差異的任一者之結構。

< 半導體裝置之製造方法 >

接下來，將說明半導體裝置之製造方法的一範例。將參照第 10A 至 10C 圖及第 11A 及 11B 圖來敘述在形成電晶體 101 之後所執行的步驟，亦即，電晶體 102 的製造方法。藉由與實施例 2 中所述者相同或實質上相同的方法來製造電晶體 101。細節可參照實施例 2。另外，在此實施例中之電晶體 101 的製造程序中並未形成源極或汲極電極 130a 及源極或汲極電極 130b；然而，爲了方便，即使其中未形成源極或汲極電極 130a 及源極或汲極電極 130b 之結構也稱爲電晶體 101。

首先藉由與實施例 2 中所述的方法來製造電晶體 101，並接著移除在閘極電極 110 的頂表面上方之電晶體 101 的一部分。針對移除步驟，可使用諸如化學機械研磨（CMP）處理之研磨處理。因此，移除在閘極電極 110 的頂表面上方之層間絕緣層 125、層間絕緣層 126、及層間絕緣層 128 的部份。注意到充分平面化已受到研磨處理之表面，藉此可在後續步驟中有利地形成電極、佈線、絕緣層、半導體層、及之類。

接著，在閘極電極 110、層間絕緣層 125、層間絕緣層 126、及層間絕緣層 128 的上方形成導電層，並選擇性蝕刻導電層，以形成源極或汲極電極 142a 及源極或汲極電極 142b（參見第 10A 圖）。在此，形成源極或汲極電極 142a 直接接觸閘極電極 110。

可使用與實施例 2 中所述者相同或實質上相同的材料來形成用於形成源極或汲極電極 142a 及源極或汲極電極 142b 之導電層。此外，亦可以和實施例 2 中所述者相同或實質上相同的方法蝕刻導電層。細節可參照實施例 2。

接下來，形成絕緣層以覆蓋源極或汲極電極 142a 及源極或汲極電極 142b，並加以選擇性蝕刻，以分別在源極或汲極電極 142a 及源極或汲極電極 142b 上方形成絕緣層 143a 及絕緣層 143b（參見第 10B 圖）。

藉由設置絕緣層 143a 及絕緣層 143b，可減少形成在後續形成之閘極電極與源極及汲極電極 142a 及 142b 之間的寄生電容。

之後，形成氧化物半導體層 144 以覆蓋源極或汲極電極 142a 及源極或汲極電極 142b，並在氧化物半導體層 144 上方形成閘極絕緣層 146（參見第 10C 圖）。

可用實施例 2 中所述的材料及方法來形成氧化物半導體層 144。此外，較佳使氧化物半導體層 144 受到熱處理（第一熱處理）。細節可參照實施例 2。

可使用實施例 2 中所述的材料及方法來形成閘極絕緣層 146。在形成閘極絕緣層 146 之後，較佳在惰性氣體周圍環境或氧周圍環境中執行第二熱處理。細節可參照實施例 2。

接著，在閘極絕緣層 146 上方，在重疊電晶體 102 之一區域的區域中形成閘極電極 148，其充當通道形成區域（參見第 11A 圖）。

可以在閘極絕緣層 146 上方形成導電層並接著選擇性加以蝕刻的方式形成閘極電極 148。可藉由諸如濺鍍方法之 PVD 方法或諸如電漿 CVD 方法的 CVD 方法形成即將成為閘極電極 148 的導電層。細節與源極或汲極電極 142a 或之類的那些相同或實質上相同；故可參照其之說明。

接下來，在閘極絕緣層 146 及閘極電極 148 上方形成層間絕緣層 150 及 152（參見第 11B 圖）。可使用實施例 2 中所述的材料及方法來形成層間絕緣層 150 及 152。細節可參照實施例 2。

注意到較佳形成層間絕緣層 152 以具有平面化表面。藉由形成層間絕緣層 152 以具有平面化表面，即使在例如微型化半導體裝置之情況中，可在層間絕緣層 152 上方有利地形成電極、佈線、或之類。可藉由諸如化學機械研磨（CMP）之方法來平面化層間絕緣層 152。

經由上述步驟，完成包括電晶體 101 及電晶體 102 的半導體裝置。

在此實施例中所述的半導體裝置中，電晶體 102 重疊電晶體 101，電晶體 101 不包括側壁絕緣層，且例如在閘極電極 110 上直接形成源極或汲極電極 142a；因此可有高整合。此外，可簡化製程。

此外，在此實施例中所述的半導體裝置中，分別使用含氫之絕緣層及具有充分減少氫濃度之絕緣層作為層間絕緣層 125 及層間絕緣層 126；因此，可改善電晶體 101 及

102 的特性。由於絕緣層 143a 及 143b 的緣故，減少所謂的閘極電容並因此增加電晶體 102 的操作速度。

在此實施例中所述的上述特徵得以提供具有明顯優異特性之半導體裝置。

在此實施例中所述之結構、方法、及之類可與其他實施例中所述之任何結構、方法、及之類適當地結合。

(實施例 5)

在此實施例中，參照第 12A 至 12F 圖上述任何實施例中所述之半導體裝置至電子裝置的應用。在此實施例中，敘述上述半導體裝置至諸如電腦、蜂窩式無線電話（亦稱為行動電話或行動電話機）、個人數位助理（包括可攜式遊戲機、音頻再生裝置、及之類）、數位相機、數位視訊攝影機、電子紙、及電視機（亦稱為電視或電視接收器）之電子裝置的應用。

第 12A 圖顯示膝上型個人電腦，包括殼體 701、殼體 702、顯示部 703、鍵盤 704、及之類。在殼體 701 及殼體 702 的各者中，設置上述任何實施例中所述的半導體裝置。因此，可實現以高速執行資料的寫入及讀取，長時間儲存資料，並具有夠低的耗電量之膝上型個人電腦。

第 12B 圖為個人數位助理（PDA）。在主體 711 中，設有顯示部 713、外部界面 715、操作鈕 714、及之類。此外，亦設置用於操作個人數位助理的手寫筆 712 及之類。在主體 711 中，設置在上述任何實施例中所示的半導

體裝置。因此，可實現以高速執行資料的寫入及讀取，長時間儲存資料，並具有夠低的耗電量的個人數位助理。

第 12C 圖顯示安裝電子紙的電子書讀取器 720，其包括殼體 721 及殼體 723 的兩殼體。殼體 721 及殼體 723 分別設有顯示部 725 及顯示部 727。殼體 721 及 723 藉由鉸鍊部 737 連接並以鉸鍊 737 部作軸而予以打開及關閉。殼體 721 設有電源鈕 731、操作鍵 733、揚聲器 735、及之類。殼體 721 及殼體 723 之至少一者設有在上述任何實施例中所示的半導體裝置。因此，可實現以高速執行資料的寫入及讀取，長時間儲存資料，並具有夠低的耗電量之電子書讀取器。

第 12D 圖顯示包括殼體 740 及殼體 741 之兩殼體的行動電話。此外，在於第 12D 圖中所示呈展開狀態的殼體 740 及殼體 741 可藉由滑動而位移，使得其中之一重疊在另一者上方；因此，可減少行動電話的尺寸，使行動電話適合攜帶。殼體 741 包括顯示板 742、揚聲器 743、麥克風 744、觸碰螢幕 745、指示裝置 746、相機透鏡 747、外部連結端子 748、及之類。殼體 740 包括用於充電行動電話的太陽能電池 749、外部記憶體槽 750、及之類。另外，天線係納入殼體 741 中。殼體 740 及 741 之至少一者設有在上述任何實施例中所示的半導體裝置。因此，可實現以高速執行資料的寫入及讀取，長時間儲存資料，並具有夠低的耗電量之行動電話。

第 12E 圖顯示數位相機，其包括主體 761、顯示部

767、目鏡 763、操作開關 764、顯示部 765、電池 766、及之類。在主體 761 中，設置上述實施例中所示的半導體裝置。因此，可實現以高速執行資料的寫入及讀取，長時間儲存資料，並具有夠低的耗電量之數位相機。

第 12F 圖顯示電視機 770，其包括殼體 771、顯示部 773、支架 775、及之類。可藉由殼體 771 之操作開關或遙控器 780 操作電視機 770。上述任何實施例中所示的半導體裝置設置在殼體 771 及遙控器 780 上。因此，可實現以高速執行資料的寫入及讀取，長時間儲存資料，並具有夠低的耗電量之電視機。

如上述，在此實施例中所述的電子裝置的每一者上安裝上述任何實施例中所示的半導體裝置。因此，可實現具有低耗電量的電子裝置。

[範例 1]

在此範例中，將參照第 13 圖、第 14 圖、第 15 圖、第 16 圖、及第 17 圖敘述藉由測量包括高度純化氧化物半導體的電晶體之關閉狀態電流所得之結果。

首先，考量到包括高度純化氧化物半導體的電晶體之非常小關閉狀態電流而備置具有夠寬的 $1\ \mu\text{m}$ 之通道寬度 W 的電晶體，並測量關閉狀態電流。第 13 圖顯示藉由測量具有 $1\ \mu\text{m}$ 之通道寬度 W 的電晶體之關閉狀態電流所得的結果。在第 13 圖中，水平軸顯示閘極電壓 V_G 且垂直軸顯示汲極電流 I_D 。在汲極電壓 V_D 為 $+1\ \text{V}$ 或 $+10\ \text{V}$ 且閘極

電壓 V_G 在 -5 V 至 -20 V 的範圍內的情況中，發現電晶體之關閉狀態電流小於或等於 $1 \times 10^{-13}\text{ A}$ ，此為檢測極限。此外，發現到電晶體之關閉狀態電流（每單位通道寬度（ $1\ \mu\text{m}$ ））小於或等於 $1\ \text{aA}/\mu\text{m}$ （ $1 \times 10^{-18}\text{ A}/\mu\text{m}$ ）。

接下來將說明藉由更準確地測量包括高度純化氧化物半導體的電晶體之關閉狀態電流所得之結果。如上述，發現到包括高度純化氧化物半導體的電晶體之關閉狀態電流小於或等於 $1 \times 10^{-13}\text{ A}$ ，此為測量設備的測量極限。在此，將敘述使用用於特性評估之元件來測量更準確的關閉狀態電流（該值小於或等於上述測量中之測量設備的檢測極限）所得的結果。

首先，參照第 14 圖敘述特性評估用的元件。

在第 14 圖中之特性評估用之元件中，並聯連接三個測量系統 800。測量系統 800 包括電容器 802、電晶體 804、電晶體 805、電晶體 806、及電晶體 808。使用包括高度純化氧化物半導體的電晶體作為電晶體 804、電晶體 805、及電晶體 806 的各者。

在測量系統 800 中，電晶體 804 之源極端子及汲極端子之一、電容器 802 的端子之一、電晶體 805 之源極端子及汲極端子之一電連接至電源（用於供應 V_2 ）。電晶體 804 之源極端子及汲極端子之另一者、電晶體 808 之源極端子及汲極端子之一、電容器 802 的端子之另一者、電容器 805 的閘極端子互相電連接。電晶體 808 之源極端子及汲極端子之另一者、電晶體 806 之源極端子及汲極端子之

一、及電晶體 806 之閘極端子電連接至電源（用於供應 V_1 ）。電晶體 805 之源極端子及汲極端子之另一者及電晶體 806 之源極端子及汲極端子之另一者各電連接至輸出端子。

供應用於控制電晶體 804 之啓通狀態及關閉狀態的電位 V_{ext_b2} 至電晶體 804 的閘極端子。供應用於控制電晶體 808 之啓通狀態及關閉狀態的電位 V_{ext_b1} 至電晶體 808 的閘極端子。從輸出端子輸出電位 V_{out} 。

接下來，將敘述使用特性評估用之元件來測量電流之方法。

首先，將概略敘述其中供應電位差以測量關閉狀態電流的初始時期。在初始時期中，輸入用於啓通電晶體 808 之電位 V_{ext_b1} 至電晶體 808 的閘極端子，並供應電位 V_1 至節點 A，其為電連接至電晶體 804 之源極端子及汲極端子之另一者的節點（亦即，電連接至電晶體 808 之源極端子及汲極端子之一、電容器 802 的端子之另一者、及電容器 805 的閘極端子的節點）。在此，電位 V_1 為例如高電位。電晶體 804 為關閉。

之後，輸入用於啓通電晶體 808 之電位 V_{ext_b1} 至電晶體 808 的閘極端子，以關閉電晶體 808。在關閉電晶體 808 之後，將電位 V_1 設定至低。電晶體 804 仍然為關閉。電位 V_2 與 V_1 為相同電位。因此，完成初始時期。在完成初始時期的狀態中，在節點 A 與電晶體 804 之源極端子及汲極端子之一之間產生電位差，並且亦在節點 A 與

電晶體 808 之源極端子及汲極端子之另一者之間產生電位差。因此，電荷稍微流動經過電晶體 804 及電晶體 808。換言之，產生關閉狀態電流。

接下來，將概略敘述關閉狀態電流的測量時期。在測量時期中，將電晶體 804 之源極端子及汲極端子之一的電位（亦即，電位 V_2 ）和電晶體 808 之源極端子及汲極端子之另一者（亦即，電位 V_1 ）設定至低並加以固定。另一方面，在測量時期中不固定節點 A 的電位（節點 A 在浮置狀態中）。依此，隨時間流逝，電荷流經電晶體 804 且在節點 A 保持電荷量會改變。此外，當保持在節點 A 之電荷量改變時，節點 A 之電位會變化。亦即，輸出端子的輸出電位 V_{out} 亦會變化。

第 15 圖顯示其中施加電位差之初始時期中及在隨後測量時期中之電位間的關係之細節（時序圖）。

在初始時期中，首先，將電位 V_{ext_b2} 設定至會啓通電晶體 804 之電位（高電位）。故，節點 A 的電位來到 V_2 ，亦即，低電位（ V_{SS} ）。之後，將電位 V_{ext_b2} 設定至會關閉電晶體 804 之電位（低電位），藉此關閉電晶體 804。接著，將電位 V_{ext_b1} 設定至會啓通電晶體 808 之電位（高電位）。因此，節點 A 的電位來到 V_1 ，亦即，高電位（ V_{DD} ）。之後，將電位 V_{ext_b1} 設定至會關閉電晶體 808 之電位。依此，將節點 A 帶到浮置狀態中並完成初始時期。

在隨後的測量時期中，將電位 V_1 及電位 V_2 個別設

定至電荷流至節點 A 或從節點 A 流出之電位。在此，電位 V1 及電位 V2 為低電位（VSS）。注意到在測量輸出電位 Vout 時，必須操作輸出電路；因此，在某些情況中暫時將 V1 設定至高電位（VDD）。將其中 V1 為高電位（VDD）的時期設定為短，以不影響測量。

當如上述般施加電位差以開始測量時期時，保持在節點 A 的電荷量會隨時間流逝而改變，且依此，節點 A 之電位會變化。這意味著電晶體 805 之閘極端子的電位會變化，並因此輸出端子的輸出電位 Vout 亦隨時間流逝而變。

將於下敘述依據所得的輸出電位 Vout 來計算關閉狀態電流之方法。

在計算關閉狀態電流之前預先獲得節點 A 之電位 V_A 與輸出電位 Vout 之間的關係。因此，可依據輸出電位 Vout 獲得節點 A 之電位 V_A 。從上述關係，可藉由下列等式表示節點 A 之電位 V_A 為輸出電位 Vout 的函數。

$$V_A = F(Vout)$$

由下列等式，使用節點 A 之電位 V_A 、電連接至節點 A 的電容 C_A 、及常數（const）來表示節點 A 之電荷 Q_A 。在此，電連接至節點 A 的電容 C_A 為電容器 802 之電容和其他電容的總和。

$$Q_A = C_A V_A + const$$

由於藉由相關於時間微分流至節點 A 的電荷（或從節點 A 流過來之電荷）來獲得節點 A 的電流 I_A ，藉由下列

等式來表示節點 A 的電流 I_A 。

$$I_A = \frac{\Delta Q_A}{\Delta t} = \frac{C_A \cdot \Delta F(V_{out})}{\Delta t}$$

故可依據電連接至節點 A 的電容 C_A 及輸出端子的輸出電位 V_{out} 獲得節點 A 的電流 I_A 。

藉由上述方法，可計算出在關閉之電晶體的源極與汲極之間流動的漏電流（關閉狀態電流）。

在此範例中，使用具有 $10 \mu\text{m}$ 之通道長度 L 及 $50 \mu\text{m}$ 之通道寬度 W 的高度純化氧化物半導體來製造電晶體 804、電晶體 805、電晶體 806、及電晶體 808。在並聯配置的測量系統 800 中，電容器 802a、802b、及 802c 的電容值分別為 100 fF 、 1 pF 、及 3 pF 。

注意到在假設滿足 $V_{DD} = 5 \text{ V}$ 且 $V_{SS} = 0 \text{ V}$ 下執行根據此範例之測量。在測量時期中，將電位 V_1 基本上設定至 V_{SS} 並僅在每 10 至 300 秒的 100 msec 的週期中設定成 V_{DD} ，並測量 V_{out} 。此外，當電流 I 流經元件時所使用的 Δt 約為 30,000 秒。

第 16 圖顯示輸出電位 V_{out} 及電流測量中經過的時間 Time 之間的關係。在大約 90 小時後可觀察到電位改變。

第 17 圖顯示依據上述電流測量所計算之關閉狀態電流。注意到第 17 圖顯示源極－汲極電壓 V 與關閉狀態電流 I 之間的關係。根據第 17 圖，當源極－汲極電壓為 4 V 時，關閉狀態電流約為 $40 \text{ zA}/\mu\text{m}$ 。當源極－汲極電壓為 3 V 時，關閉狀態電流小於或等於 $4 \text{ zA}/\mu\text{m}$ 。注意到 1 zA 等同於 10^{-21} A 。

根據此範例，確認在包括高度純化氧化物半導體的電晶體中之關閉狀態電流可夠小。

此申請案依據在 2010 年 2 月 5 日向日本專利局申請之日本專利申請案序號 2010-024886，其全部內容以引用方式併於此。

【符號說明】

- 100：基板
- 101：電晶體
- 102：電晶體
- 104：半導體區域
- 105：保護層
- 106：元件隔離絕緣層
- 108：閘極絕緣層
- 110：閘極電極
- 112：絕緣層
- 114：雜質區域
- 116：通道形成區域
- 118：側壁絕緣層
- 120：高濃度雜質區域
- 122：金屬層
- 124：金屬化合物區域
- 125：層間絕緣層
- 126：層間絕緣層

- 128 : 層間絕緣層
- 130a : 源極或汲極電極
- 130b : 源極或汲極電極
- 130c : 電極
- 142a : 源極或汲極電極
- 142b : 源極或汲極電極
- 142c : 佈線
- 142d : 佈線
- 143a : 絕緣層
- 143b : 絕緣層
- 144 : 氧化物半導體層
- 146 : 閘極絕緣層
- 148 : 閘極電極
- 150 : 層間絕緣層
- 152 : 層間絕緣層
- 200 : 記憶胞
- 201 : 電晶體
- 202 : 電晶體
- 211 : 佈線
- 212 : 佈線
- 213 : 佈線
- 281 : 節點
- 701 : 殼體
- 702 : 殼體

- 703 : 顯示部
- 704 : 鍵盤
- 711 : 主體
- 712 : 手寫筆
- 713 : 顯示部
- 714 : 操作鈕
- 715 : 外部界面
- 720 : 電子書讀取器
- 721 : 殼體
- 723 : 殼體
- 725 : 顯示部
- 727 : 顯示部
- 731 : 電源鈕
- 733 : 操作鍵
- 735 : 揚聲器
- 737 : 鉸鍊部
- 740 : 殼體
- 741 : 殼體
- 742 : 顯示板
- 743 : 揚聲器
- 744 : 麥克風
- 745 : 觸碰螢幕
- 746 : 指示裝置
- 747 : 相機透鏡

- 748 : 外部連結端子
- 749 : 太陽能電池
- 750 : 外部記憶體槽
- 761 : 主體
- 763 : 目鏡
- 764 : 操作開關
- 765 : 顯示部
- 766 : 電池
- 767 : 顯示部
- 770 : 電視機
- 771 : 殼體
- 773 : 顯示部
- 775 : 支架
- 780 : 遙控器
- 800 : 測量系統
- 802a : 電容器
- 802b : 電容器
- 802c : 電容器
- 804 : 電晶體
- 805 : 電晶體
- 806 : 電晶體
- 808 : 電晶體
- 1200 : 記憶胞
- 1201 : 電晶體

1202 : 電晶體

1211 : 驅動器 電路

1212 : 驅動器 電路

1213 : 驅動器 電路

申請專利範圍

1. 一種半導體裝置，包含：

第一電晶體；

絕緣層，在該第一電晶體上方；

第二電晶體，在該絕緣層上方；

第一佈線；

第二佈線；

第三佈線；以及

導電層，

其中該第二電晶體包含氧化物半導體層，

其中該第一電晶體的源極和汲極之一者以及該第二電晶體的源極和汲極之一者電連接至該第一佈線，

其中該第一電晶體的該源極和該汲極之另一者電連接至該第二佈線，

其中該第二電晶體的閘極電連接至該第三佈線，且

其中該導電層電連接至該第一電晶體的閘極及該第二電晶體的該源極和該汲極之另一者。

2. 一種半導體裝置，包含：

第一電晶體；

絕緣層，在該第一電晶體上方；

第二電晶體，在該絕緣層上方；

第一佈線；

第二佈線；

第三佈線；以及

導電層，

其中該第二電晶體包含氧化物半導體層，

其中該第一電晶體的通道形成區為在氧化物半導體之外的半導體材料中，

其中該第一電晶體的源極和汲極之一者以及該第二電晶體的源極和汲極之一者電連接至該第一佈線，

其中該第一電晶體的該源極和該汲極之另一者電連接至該第二佈線，

其中該第二電晶體的閘極電連接至該第三佈線，

其中該導電層電連接至該第一電晶體的閘極及該第二電晶體的該源極和該汲極之另一者，且

其中該第二電晶體與該第一電晶體重疊。

3. 如申請專利範圍第 2 項所述之半導體裝置，

其中該氧化物半導體之外的該半導體材料為單晶矽。

4. 如申請專利範圍第 1 或 2 項所述之半導體裝置，

其中該第二電晶體的關閉狀態電流低於該第一電晶體的關閉狀態電流。

5. 如申請專利範圍第 1 或 2 項所述之半導體裝置，

其中該第一電晶體的切換速度高於該第二電晶體的切換速度。

6. 如申請專利範圍第 1 或 2 項所述之半導體裝置，

其中該氧化物半導體層的載子密度低於 $1 \times 10^{12} / \text{cm}^3$ 。

7. 如申請專利範圍第 1 或 2 項所述之半導體裝置，

其中該氧化物半導體層的氫濃度為 $5 \times 10^{19} \text{ atoms/cm}^3$

或更低。

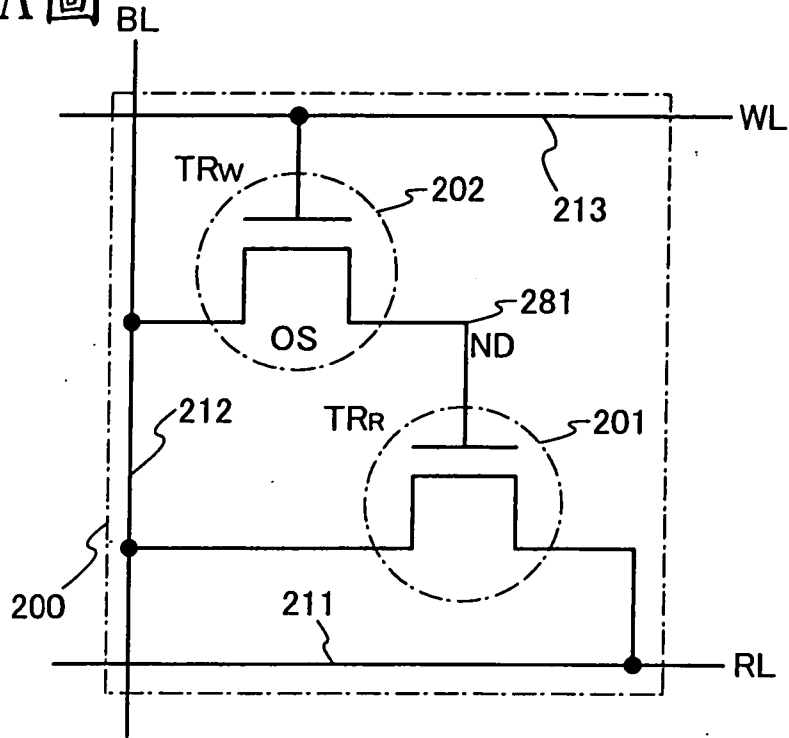
8. 如申請專利範圍第 1 或 2 項所述之半導體裝置，其中在室溫下該第二電晶體每單位通道寬度的關閉狀態電流為 $100 \text{ zA}/\mu\text{m}$ 或更少。

9. 如申請專利範圍第 1 或 2 項所述之半導體裝置，其中該氧化物半導體層包含銦。

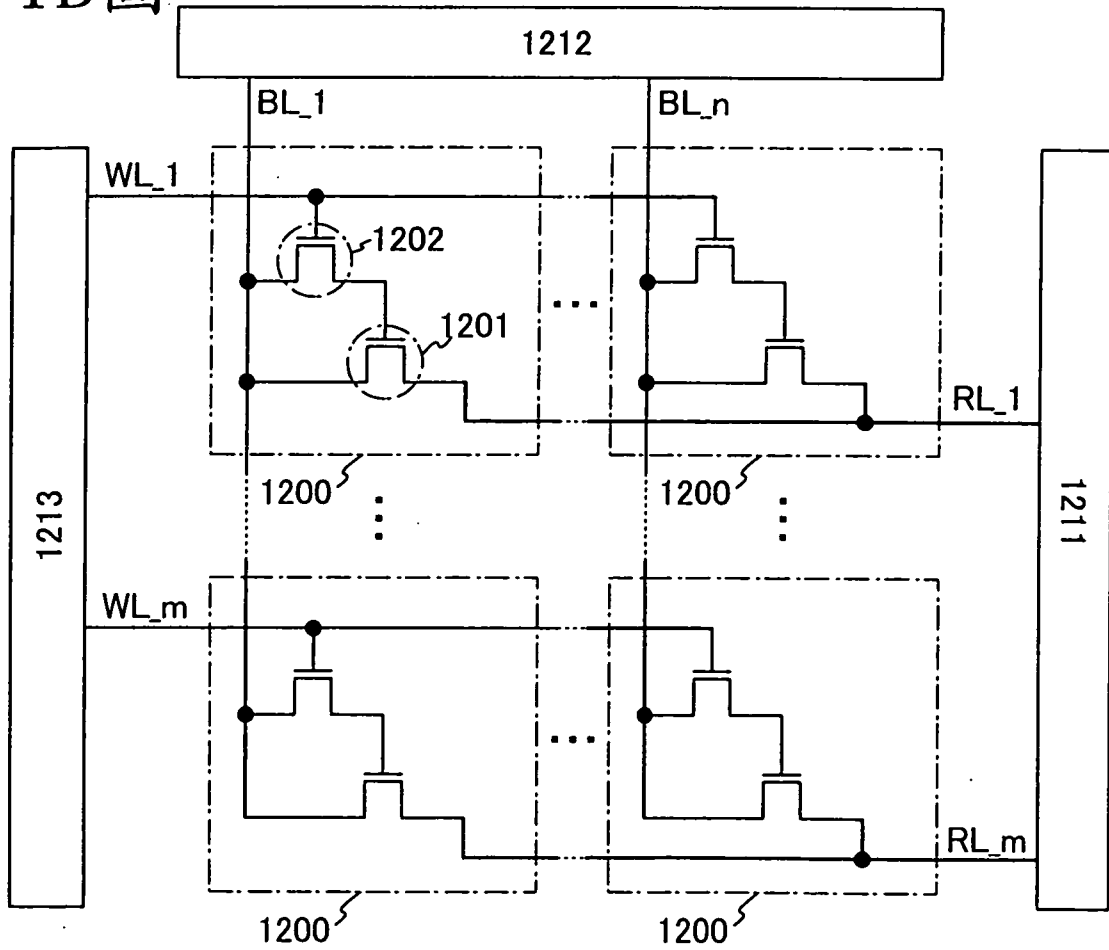
10. 如申請專利範圍第 1 或 2 項所述之半導體裝置，其中該氧化物半導體層包含銦和鎵。

圖式

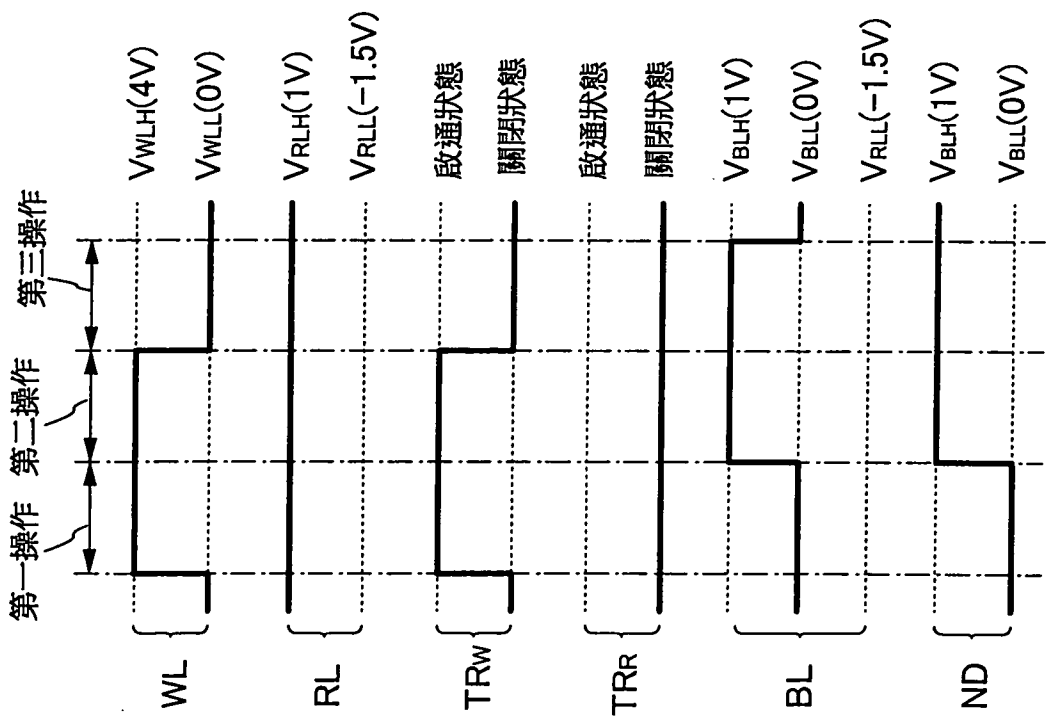
第1A圖



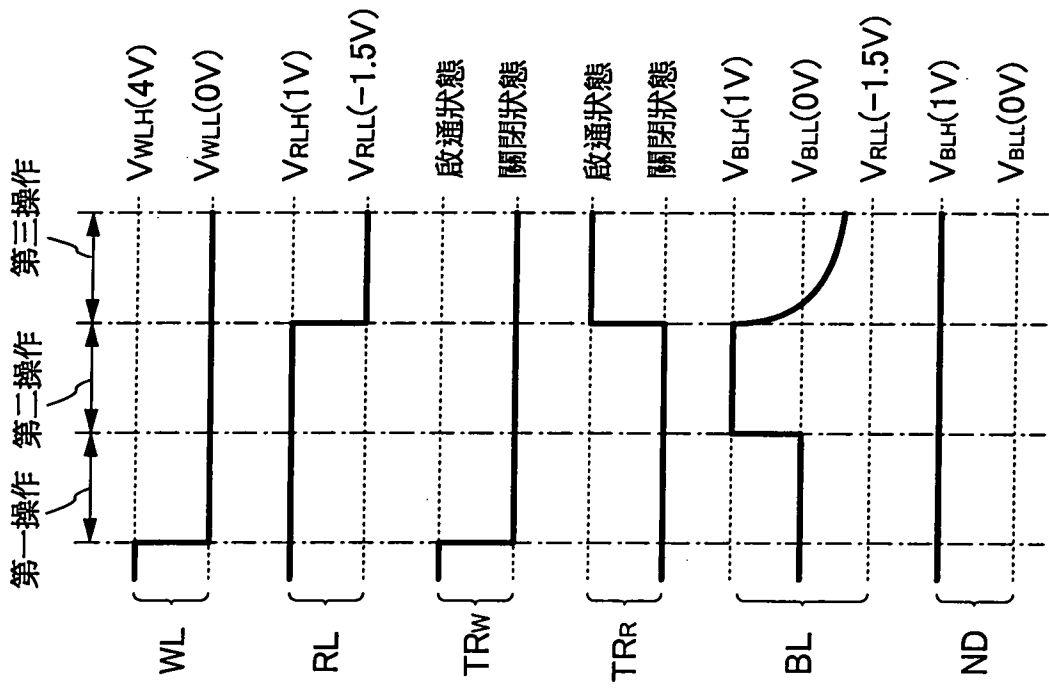
第1B圖



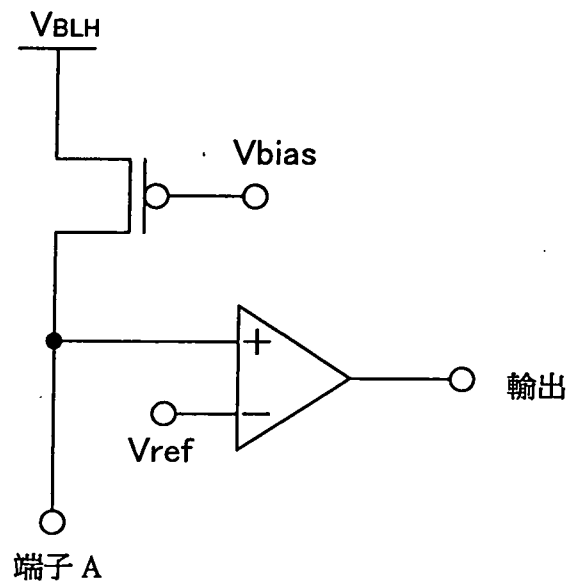
第2A圖



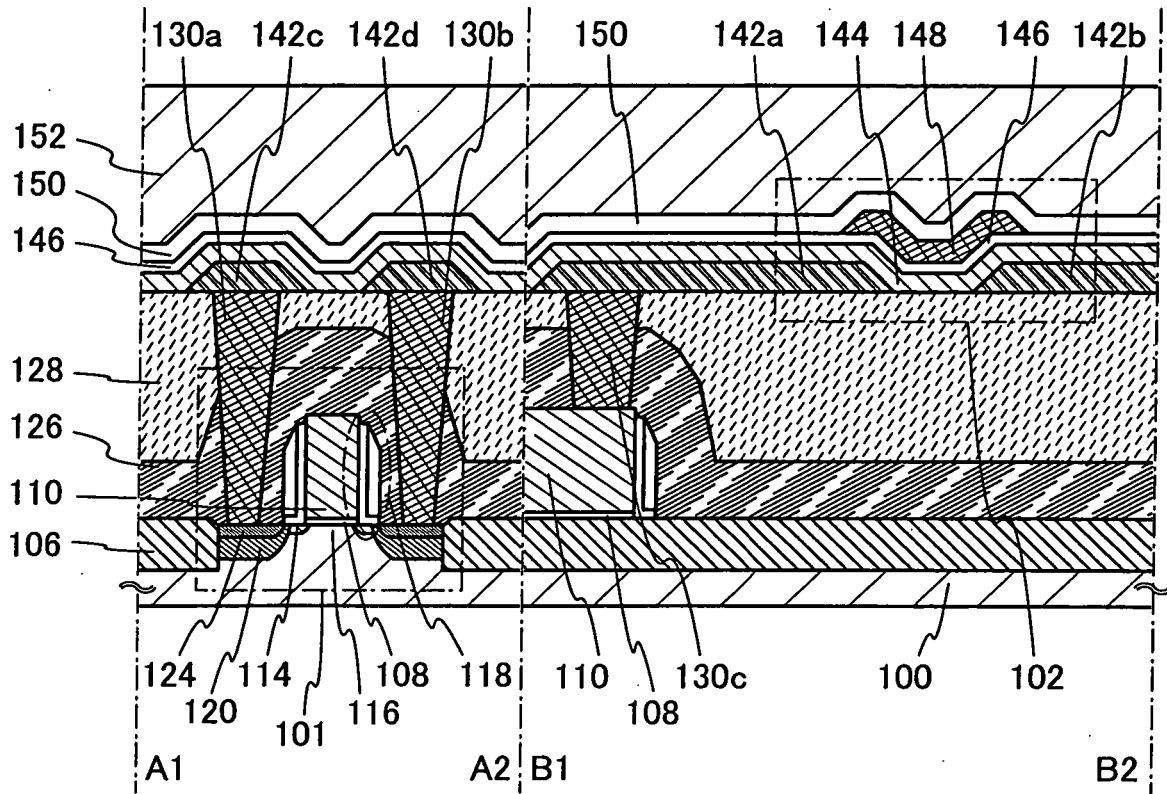
第2B圖



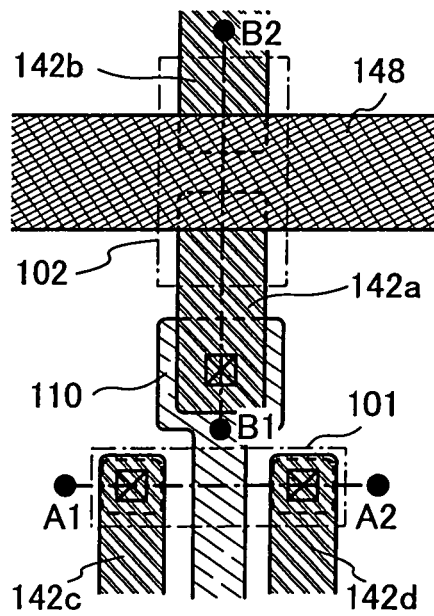
第3圖



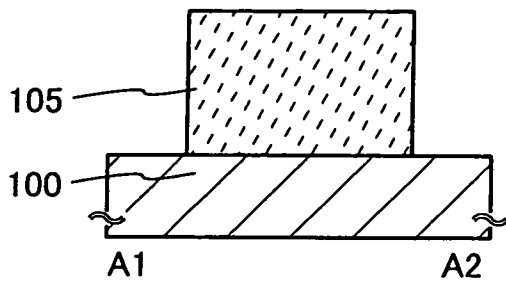
第4A圖



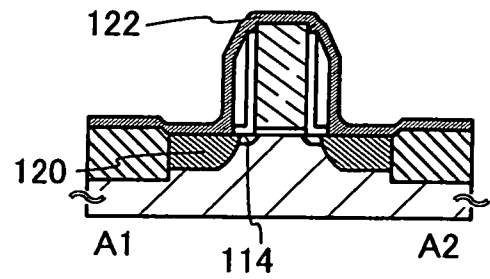
第4B圖



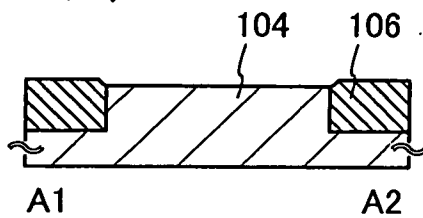
第5A圖



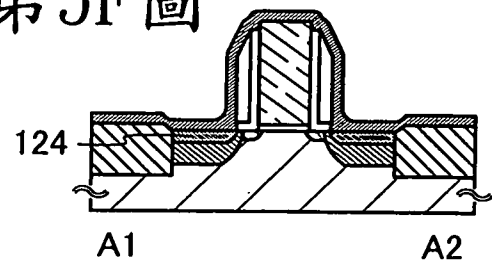
第5E圖



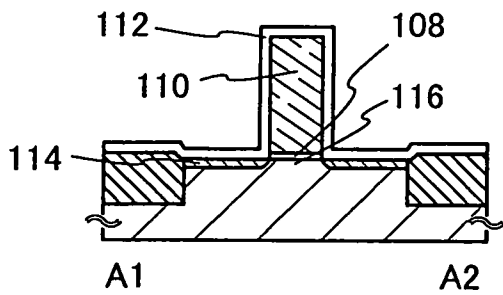
第5B圖



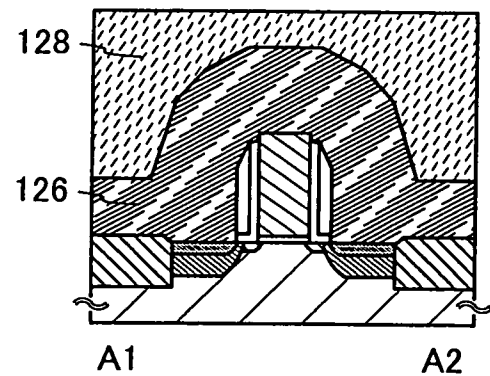
第5F圖



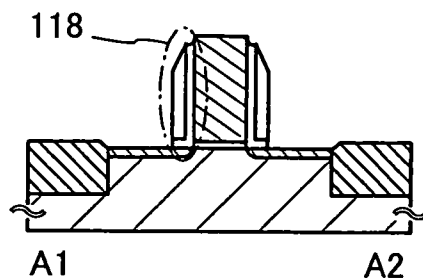
第5C圖



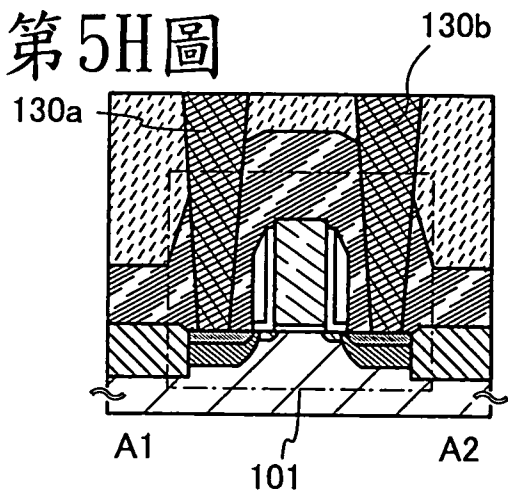
第5G圖



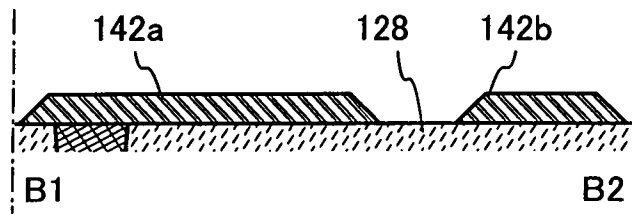
第5D圖



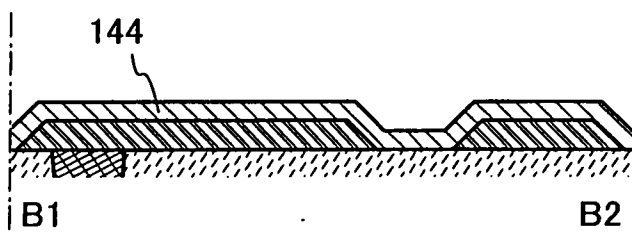
第5H圖



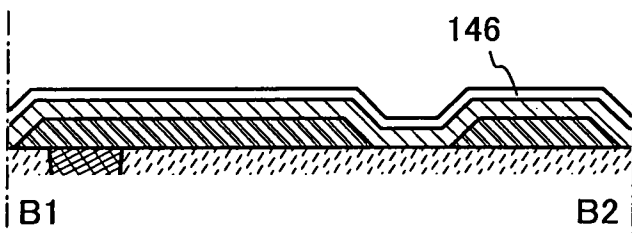
第6A圖



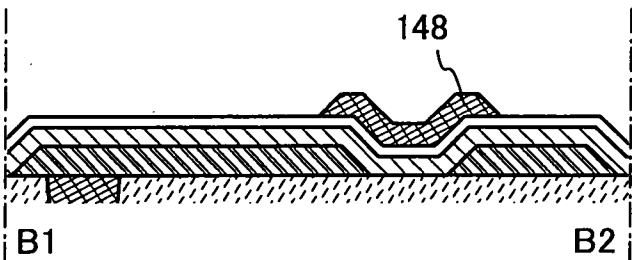
第6B圖



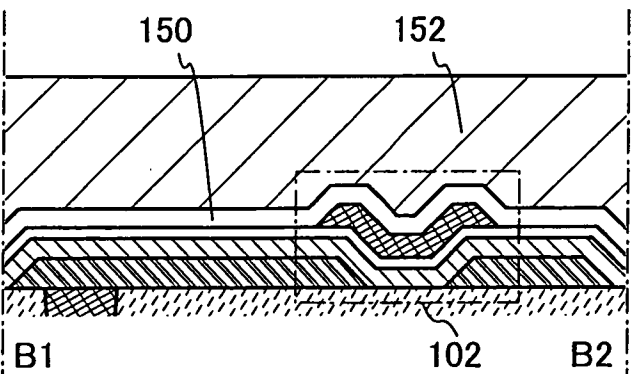
第6C圖



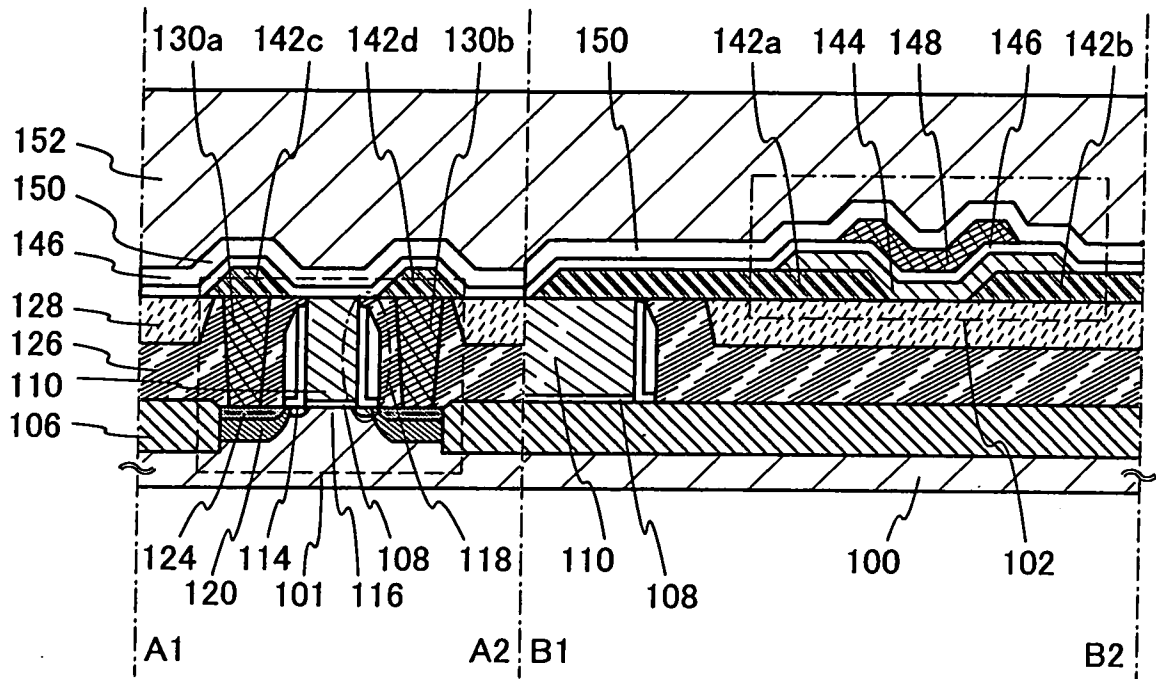
第6D圖



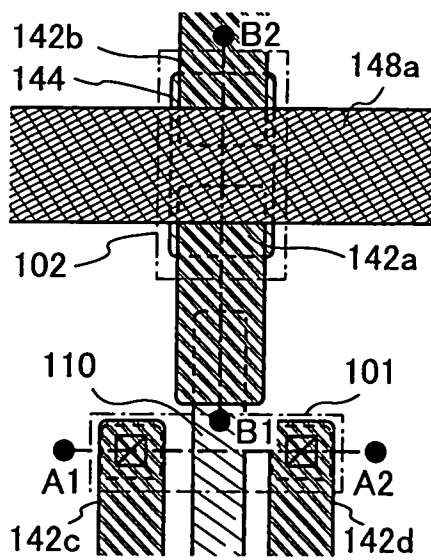
第6E圖



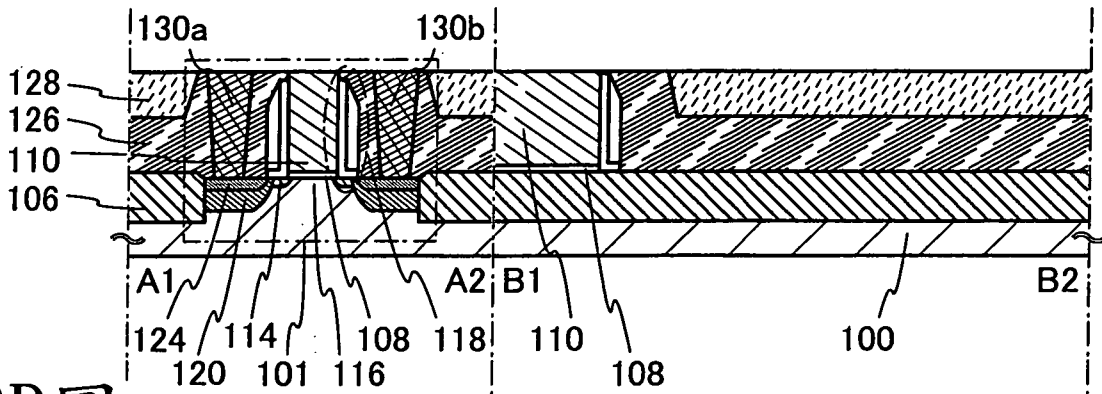
第7A圖



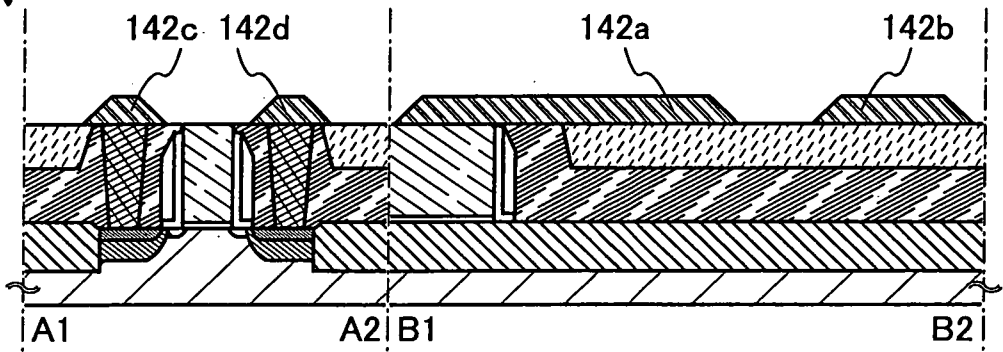
第7B圖



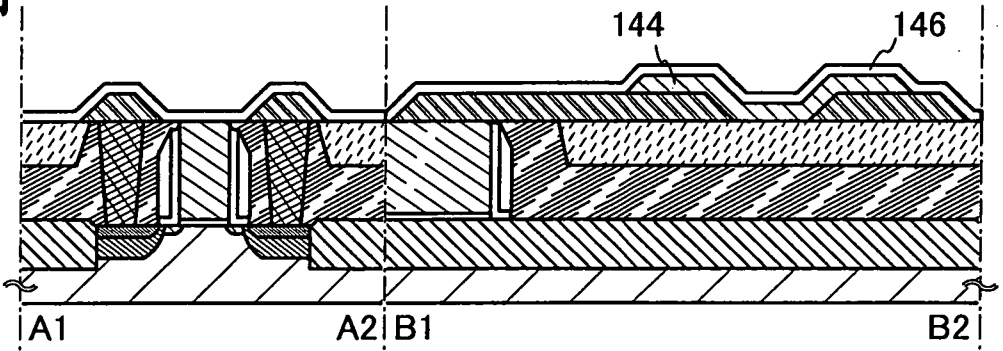
第8A圖



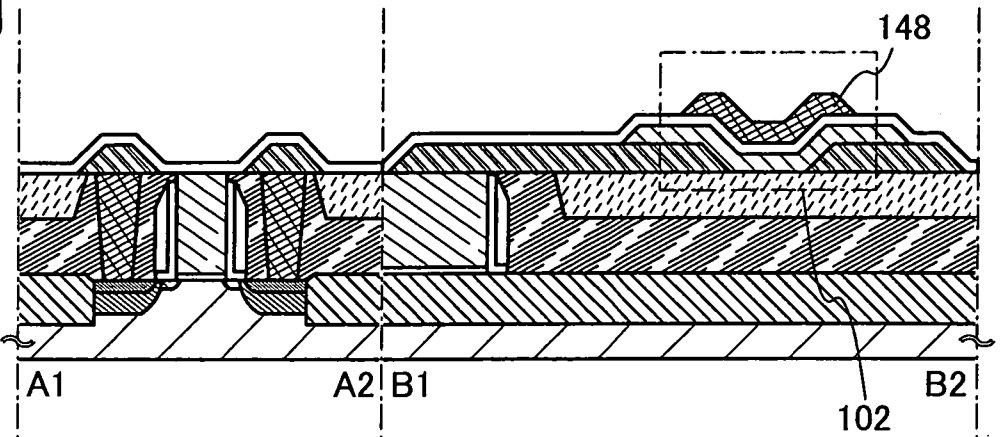
第8B圖



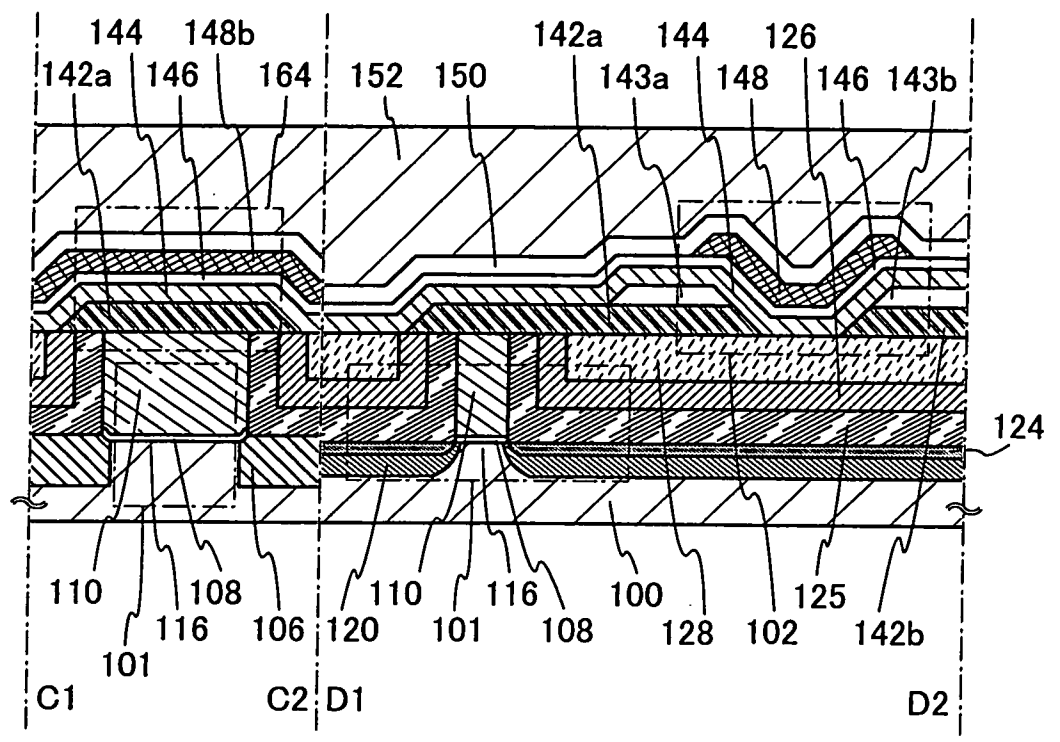
第8C圖



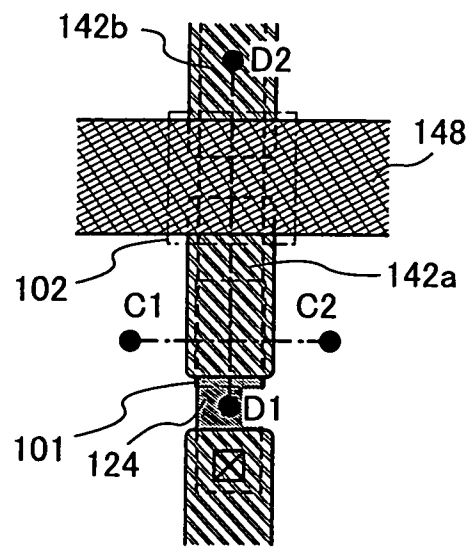
第8D圖



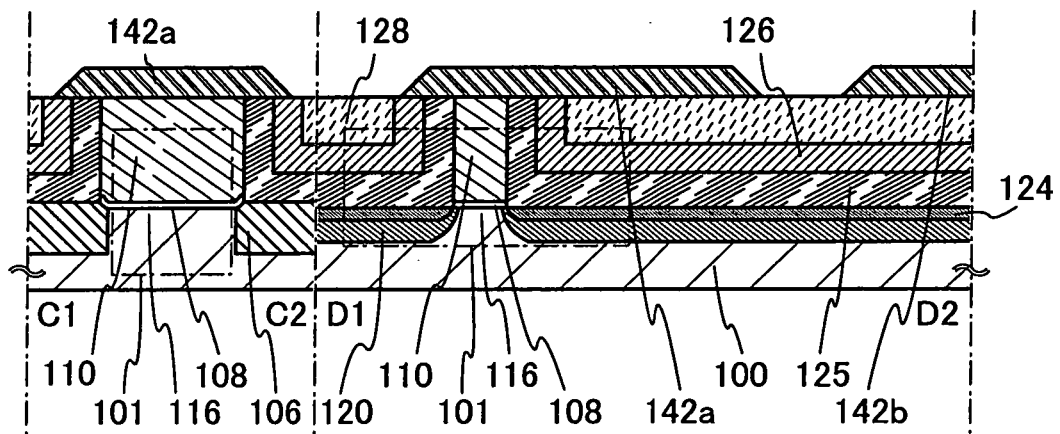
第9A圖



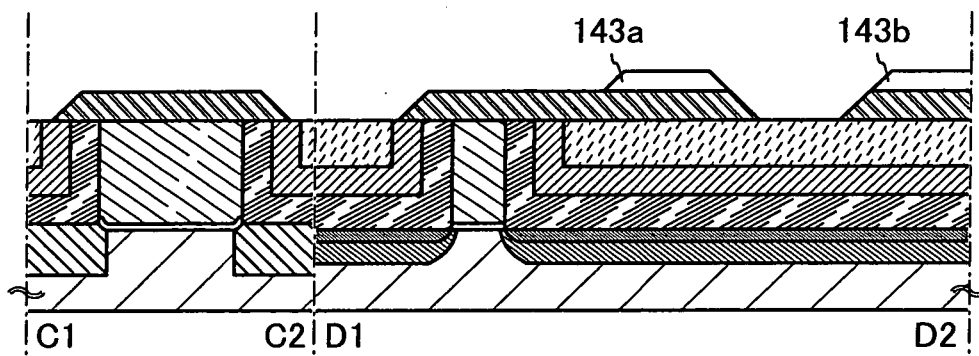
第9B圖



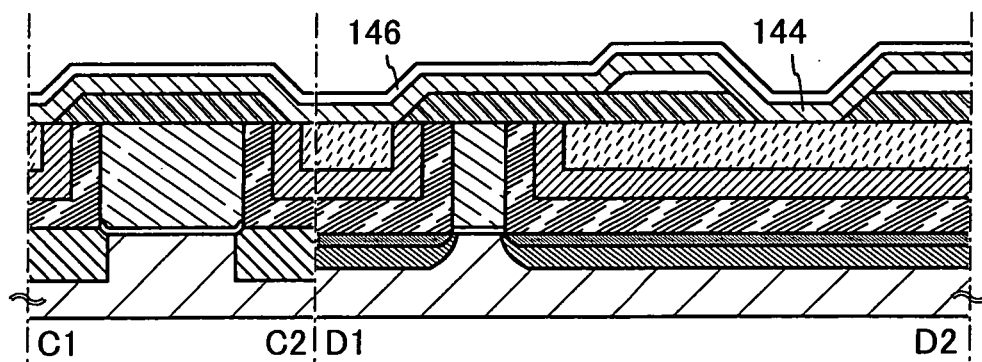
第10A圖



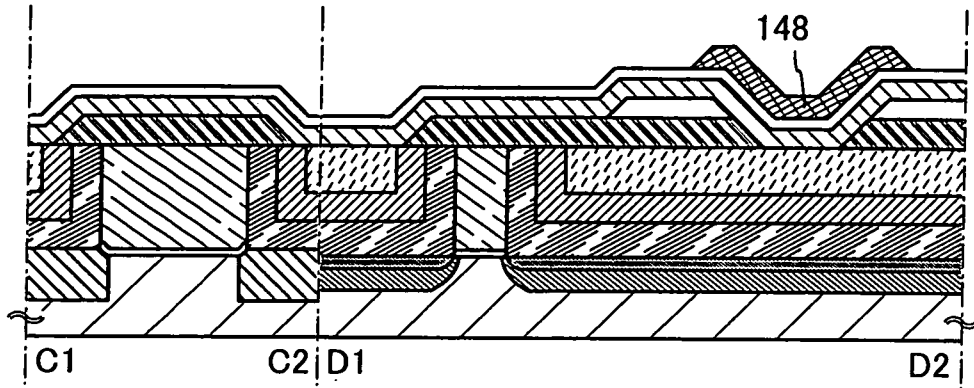
第10B圖



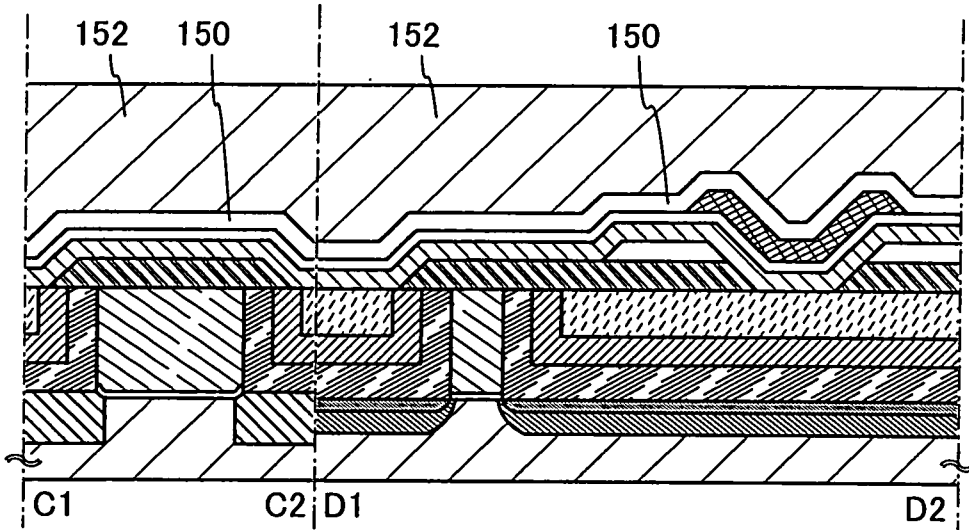
第10C圖



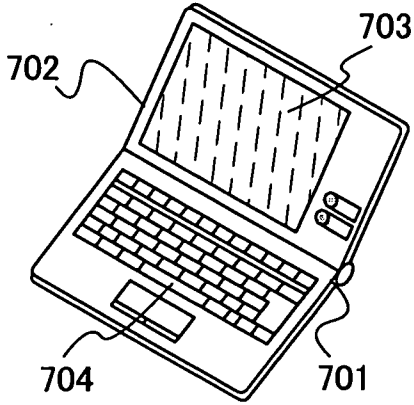
第11A圖



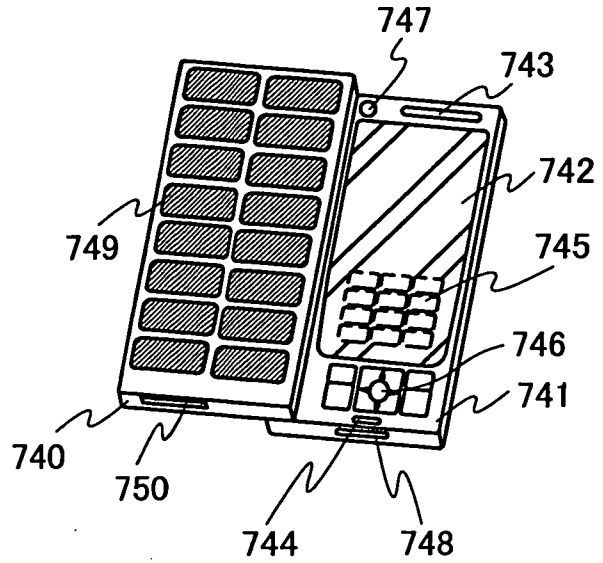
第11B圖



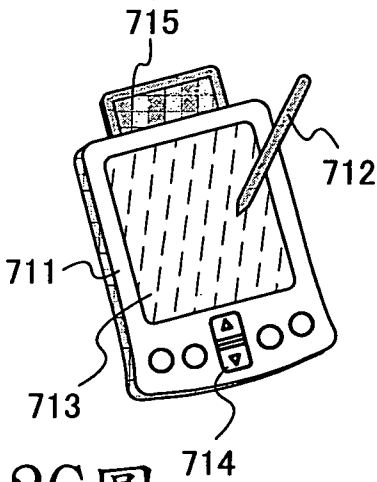
第12A圖



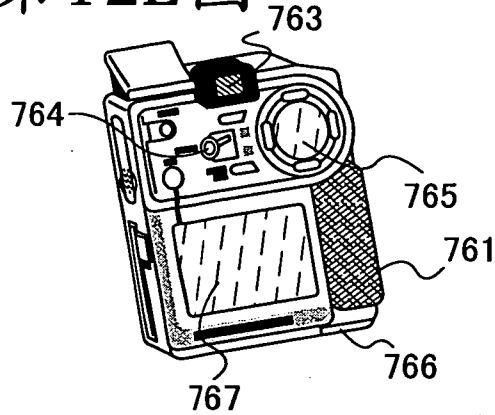
第12D圖



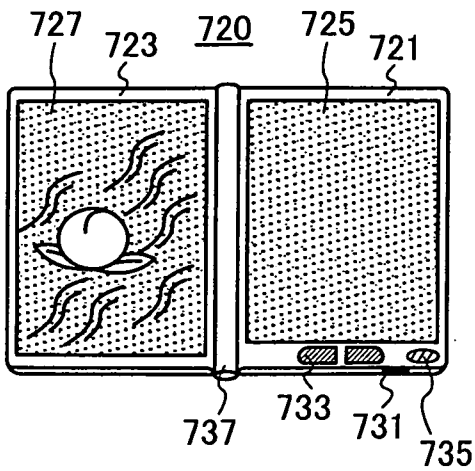
第12B圖



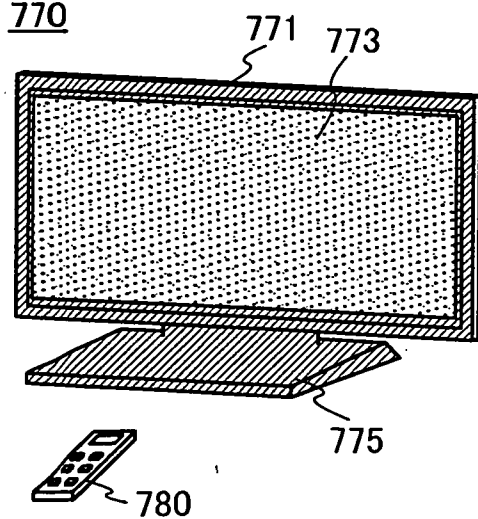
第12E圖



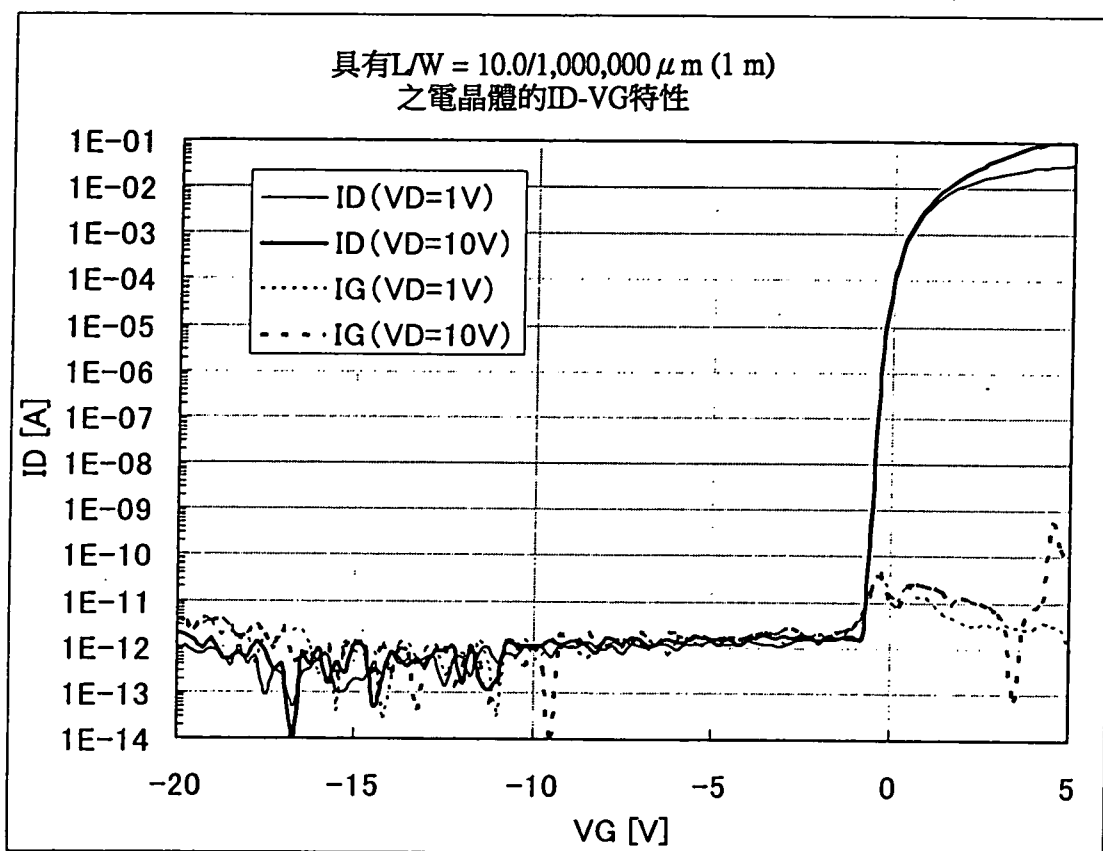
第12C圖



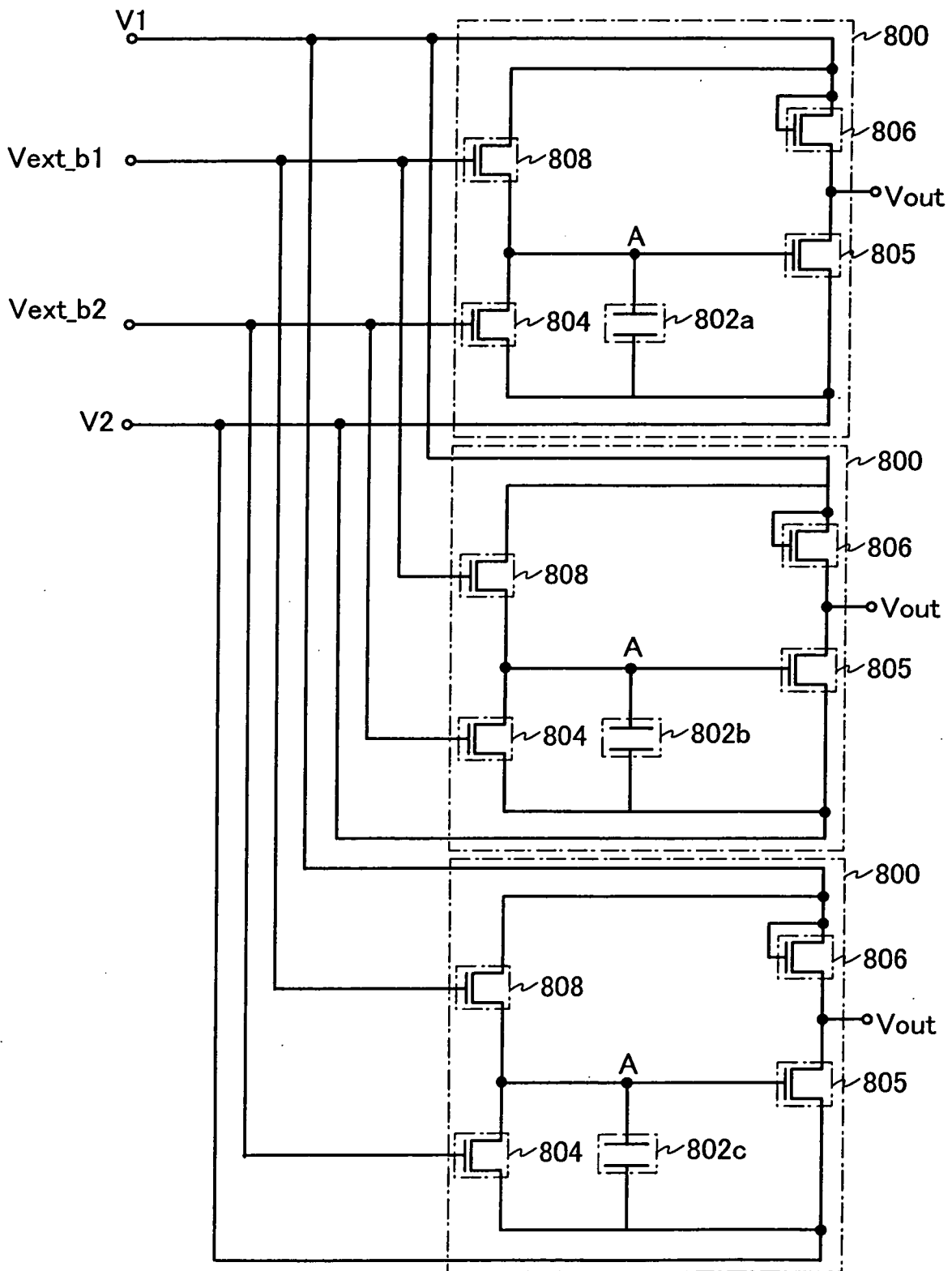
第12F圖



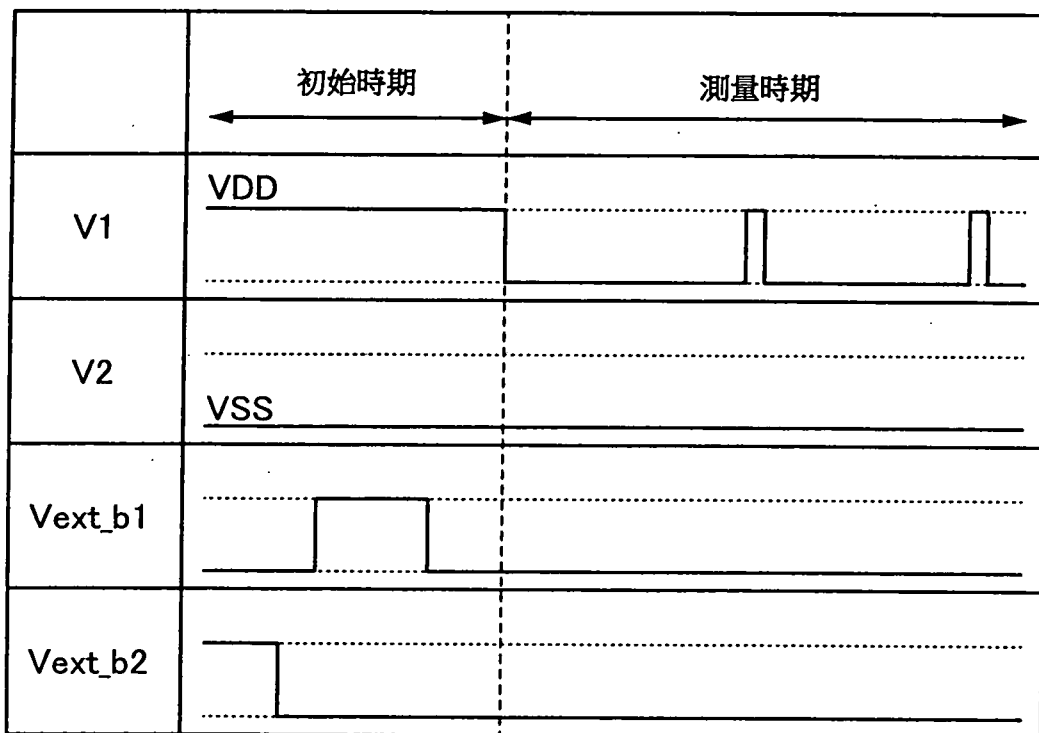
第13圖



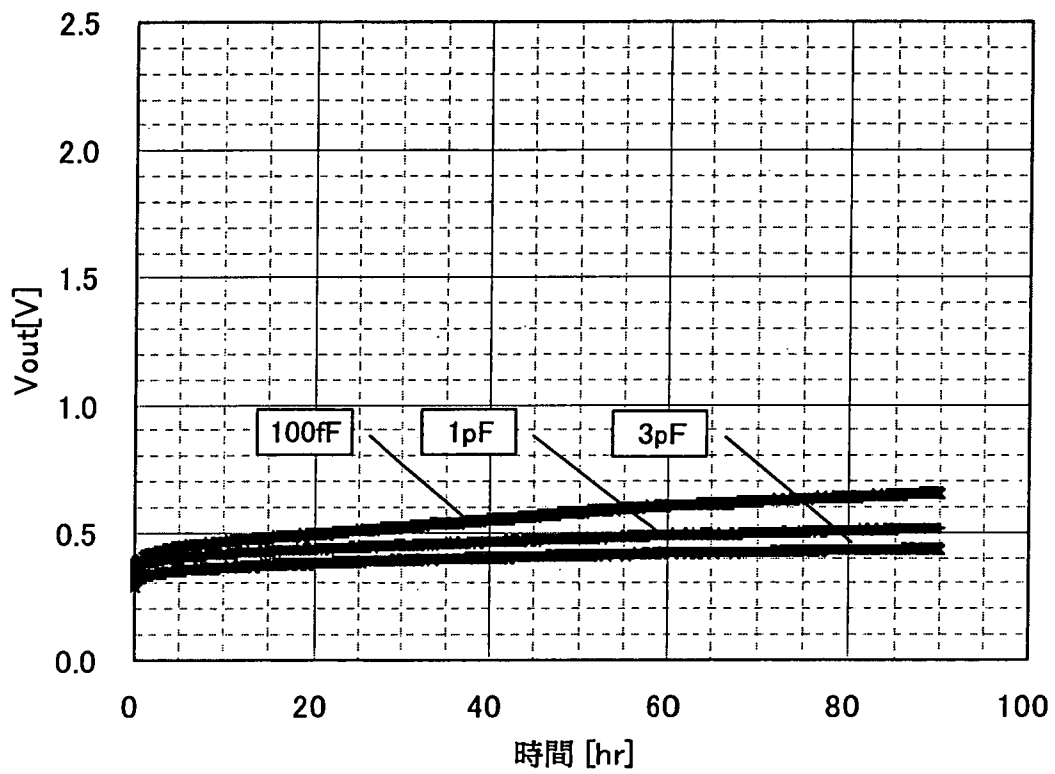
第14圖



第15圖



第16圖



第17圖

