



## 【特許請求の範囲】

## 【請求項 1】

クロック信号を出力する回路であり、  
直流電源の一方の極性に接続する第 1 端子と、  
直流電源の他方の極性に接続する第 2 端子と、  
クロック信号を出力する第 3 端子と、

第 1 トランジスタと第 2 トランジスタが直列に接続されているトランジスタ対が、第 1 端子と第 2 端子の間に並列に奇数段にわたって接続されている並列回路と、

各第 1 トランジスタのゲートに接続されており、ゲートにオン電圧を印加したときに、第 2 トランジスタがターンオンする時の第 2 トランジスタのゲート・ソース間電圧に比例する電流を各第 1 トランジスタに流す電流制御回路を備えており、

前記並列回路では、第 1 トランジスタと第 2 トランジスタの中間点が次段の第 2 トランジスタのゲートに接続されており、最終段の第 1 トランジスタと第 2 トランジスタの中間点が初段の第 2 トランジスタのゲートに接続されており、各第 2 トランジスタのゲートと第 2 端子の間にコンデンサが挿入されており、

一つのトランジスタ対の第 1 トランジスタと第 2 トランジスタの中間点が第 3 端子に接続されており、

各段に用いられている第 1 トランジスタは相互に同一仕様であり、各段に用いられている第 2 トランジスタは相互に同一仕様であり、各段に用いられているコンデンサは相互に同一仕様であることを特徴とする回路。

## 【請求項 2】

前記電流制御回路は、

第 2 トランジスタがターンオンする時の第 2 トランジスタのゲート・ソース間電圧に比例する電圧を出力する閾値電圧生成回路と、

閾値電圧生成回路の出力端子が入力端子に接続され、第 2 トランジスタがターンオンする時の第 2 トランジスタのゲート・ソース間電圧に比例した電流を第 1 トランジスタに流すだけのゲート電圧を出力するバイアス電圧生成回路を備えており、

閾値電圧生成回路とバイアス電圧生成回路が、第 1 端子と第 2 端子の間に並列に接続されていることを特徴とする請求項 1 の回路。

## 【請求項 3】

前記閾値電圧生成回路は、

第 1 端子と第 2 端子の間に第 1 トランジスタと第 2 トランジスタが直列に接続されるとともに、第 2 トランジスタのドレインとゲートが接続されている追加トランジスタ対を備えていることを特徴とする請求項 2 の回路。

## 【請求項 4】

前記閾値電圧生成回路は、

追加トランジスタ対の第 1 トランジスタと第 2 トランジスタの中間点の電圧を  $n$  分の 1 に降圧する電圧変換回路を備えており、ここで  $n > 1$  の関係を満たしており、

その  $n$  分の 1 に分圧された電圧が前記バイアス電圧生成回路の入力端子に入力されることを特徴とする請求項 3 の回路。

## 【請求項 5】

前記  $n$  が 2 であることを特徴とする請求項 4 の回路。

## 【請求項 6】

前記閾値電圧生成回路は、

追加トランジスタ対と前記電圧変換回路の間に接続されている追加オペアンプを備えており、

追加オペアンプの非反転入力端子が、追加トランジスタ対の第 1 トランジスタと第 2 トランジスタの中間点に接続されており、

追加オペアンプの反転入力端子が、追加オペアンプの出力端子に接続されており、

追加オペアンプの出力端子が、電圧変換回路に接続されていることを特徴とする請求項

10

20

30

40

50

4 又は 5 の回路。

【請求項 7】

前記バイアス電圧生成回路は、

第 1 端子と第 2 端子の間に接続されている第 1 トランジスタと抵抗の直列回路と、

直列回路の第 1 トランジスタと抵抗の中間点が非反転入力端子に接続されており、前記閾値電圧生成回路の出力電圧が反転入力端子に接続されており、出力端子が全ての第 1 トランジスタのゲートに接続されているオペアンプを備えていることを特徴とする請求項 3 ~ 6 のいずれかの回路。

【請求項 8】

第 1 端子は直流電源の高圧側に接続され、

第 2 端子は直流電源の低圧側に接続され、

第 1 トランジスタは p 型トランジスタであり、第 2 トランジスタは n 型トランジスタであり、

第 1 端子に p 型トランジスタのソースが接続されており、p 型トランジスタのドレインに n 型トランジスタのドレインが接続されており、n 型トランジスタのソースが第 2 端子に接続されていることを特徴とする請求項 1 ~ 7 のいずれかの回路。

【請求項 9】

第 1 端子は直流電源の低圧側に接続され、

第 2 端子は直流電源の高圧側に接続され、

第 1 トランジスタは n 型トランジスタであり、第 2 トランジスタは p 型トランジスタであり、

第 1 端子に n 型トランジスタのソースが接続されており、n 型トランジスタのドレインに p 型トランジスタのドレインが接続されており、p 型トランジスタのソースが第 2 端子に接続されていることを特徴とする請求項 1 ~ 7 のいずれかの回路。

【請求項 10】

p 型トランジスタと n 型トランジスタが直列に接続されているトランジスタ対の奇数個が、並列に接続されているリングオシレータ回路であり、

n 型トランジスタがターンオンする時のゲート・ドレイン間電圧に比例する電流を p 型トランジスタに流すだけの電圧を、p 型トランジスタのゲートに印加する回路が付加されていることを特徴とする請求項 1 ~ 8 のいずれかの回路。

【請求項 11】

p 型トランジスタと n 型トランジスタが直列に接続されているトランジスタ対の奇数個が、並列に接続されているリングオシレータ回路であり、

p 型トランジスタがターンオンする時のゲート・ドレイン間電圧に比例する電流を n 型トランジスタに流すだけの電圧を、n 型トランジスタのゲートの印加する回路が付加されていることを特徴とする請求項 1 ~ 7 又は請求項 9 のいずれかの回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、環境温度の変化と直流電源の電圧変化に抗して、クロック信号を一定の周波数で出力する回路に関する。

【背景技術】

【0002】

正確なタイミング計測を可能とするために、一定の周波数であることが保証されているクロック信号が必要とされている。このため、一定の周波数のクロック信号を出力する回路の開発が進められている。この種のクロック信号出力回路には、環境温度が変化しても直流電源の電圧が変化しても、クロック信号の発振周波数を一定に維持する能力が必要とされている。

クロック信号を発振するリングオシレータと称される発振回路が知られている。図 3 (a) に、発振周波数を安定させるように改良された従来のリングオシレータ回路 30 (ク

10

20

30

40

50

ロック信号出力回路の一例)を示す。このリングオシレータ回路30は、特許文献1に開示されている。リングオシレータ回路30は、直流電源12の正極に接続する第1端子6と、直流電源12の負極に接続する第2端子7と、クロック信号を出力する第3端子8を備えている。第1端子6と第2端子7の間には、第1トランジスタ1aと第2トランジスタ1bが直列に接続されている第1トランジスタ対1と、第1トランジスタ2aと第2トランジスタ2bが直列に接続されている第2トランジスタ対2と、第1トランジスタ3aと第2トランジスタ3bが直列に接続されている第3トランジスタ対3が接続されている。第1トランジスタ対1と第2トランジスタ対2と第3トランジスタ対3は、第1端子6と第2端子7の間に並列に奇数段(図3の場合には3段)にわたって接続されている。第1トランジスタ対1と第2トランジスタ対2と第3トランジスタ対3の並列回路では、第1トランジスタと第2トランジスタの中間点が次段の第2トランジスタのゲートに接続されており、最終段の第1トランジスタ3aと第2トランジスタ3bの中間点3dが初段の第2トランジスタ1bのゲートに接続されている。すなわち、第1トランジスタ1aと第2トランジスタ1bの中間点1dが第2トランジスタ2bのゲートに接続されており、第1トランジスタ2aと第2トランジスタ2bの中間点2dが第2トランジスタ3bのゲートに接続されており、第1トランジスタ3aと第2トランジスタ3bの中間点3dが第2トランジスタ1bのゲートに接続されている。第2トランジスタ1bのゲートと第2端子7の間にコンデンサ1cが挿入されており、第2トランジスタ2bのゲートと第2端子7の間にコンデンサ2cが挿入されており、第2トランジスタ3bのゲートと第2端子7の間にコンデンサ3cが挿入されている。第3端子8は、第1トランジスタ3aと第2トランジスタ3bの中間点3eに接続されている。

各段に用いられている第1トランジスタ1a, 2a, 3aは、p型トランジスタであり、相互に同一仕様である。各段に用いられている第2トランジスタ1b, 2b, 3bは、n型トランジスタであり、相互に同一仕様である。各段に用いられているコンデンサ1c, 2c, 3cは相互に同一仕様である。

このリングオシレータ回路30は、直流電源12の電源電圧の変動に抗して、第1トランジスタ1a, 2a, 3aを流れる電流値IPを一定に維持する定電流回路29を備えている。定電流回路29は、ゲートとドレインが接続された追加の第1トランジスタ6aと定電流電源20が直列に接続された回路を備えている。追加の第1トランジスタ6aと定電流電源20の中間点が、第1トランジスタ1a, 2a, 3aのゲートに接続されている。

図3(b)と図3(c)に示すように、リングオシレータ回路30は、追加の第1トランジスタ6aのゲートにゲートオン電圧が入力されている間、第3端子8に所定周波数でオン・オフの反転を繰返すクロック信号を出力する。

#### 【0003】

図4に、コンデンサ1c, 2c, 3cの電圧の時間変化を示す。V<sub>T</sub>は、第2トランジスタ(n型トランジスタ)1b, 2b, 3bがターンオンする時のゲート電圧(閾値電圧)を表している。t<sub>r</sub>は、放電したコンデンサ1c, 2c, 3cが閾値電圧V<sub>T</sub>に充電されるまでの時間を示している。t<sub>f</sub>は、充電されたコンデンサ1c, 2c, 3cが放電してコンデンサ電圧が閾値電圧V<sub>T</sub>に低下するまでの時間を示している。V<sub>H</sub>は、コンデンサ1c, 2c, 3cが放電を開始する時の電圧を示している。

#### 【0004】

リングオシレータ回路30は、下記のように作動する。例えばタイミングt<sub>0</sub>の直前では、トランジスタ2bのみがオンしており、トランジスタ1bとトランジスタ3bはオフしている。トランジスタ2bがオンしているためコンデンサ3cは放電している。トランジスタ3bがオフしているためコンデンサ1cは充電される。トランジスタ1bがオフしているためコンデンサ2cは充電される。

タイミングt<sub>0</sub>でコンデンサ1cの電圧がトランジスタ1bの閾値電圧V<sub>T</sub>に等しくなると、トランジスタ1bがターンオンする。この結果、コンデンサ2cは放電し、タイミングt<sub>0</sub>からt<sub>f</sub>時間後に、トランジスタ2bはターンオフする。トランジスタ2bがタ

ーンオフすると、コンデンサ 3 c が充電を開始する。

タイミング  $t_1$  でコンデンサ 3 c の電圧がトランジスタ 3 b の閾値電圧  $V_T$  に等しくなると、トランジスタ 3 b がターンオンする。この結果、コンデンサ 1 c は放電し、タイミング  $t_1$  から  $t_f$  時間後に、トランジスタ 1 b はターンオフする。トランジスタ 1 b がターンオフすると、コンデンサ 2 c が充電を開始する。

タイミング  $t_2$  でコンデンサ 2 c の電圧がトランジスタ 2 b の閾値電圧  $V_T$  に等しくなると、トランジスタ 2 b がターンオンする。この結果、コンデンサ 3 c は放電し、タイミング  $t_2$  から  $t_f$  時間後に、トランジスタ 3 b はターンオフする。トランジスタ 3 b がターンオフすると、コンデンサ 1 c が充電を開始する。

タイミング  $t_3$  でコンデンサ 1 c の電圧がトランジスタ 1 b の閾値電圧  $V_T$  に等しくなると、トランジスタ 1 b がターンオンする。この結果、コンデンサ 2 c は放電し、タイミング  $t_3$  から  $t_f$  時間後に、トランジスタ 2 b はターンオフする。トランジスタ 2 b がターンオフすると、コンデンサ 3 c が充電を開始する。この事象は、タイミング  $t_0$  における事象に等しい。

リングオシレータ回路 30 によると、トランジスタ 1 b は、タイミング  $t_0$  でターンオンし、 $t_1 + t_f$  でターンオフする動作を繰返し、トランジスタ 2 b は、タイミング  $t_2$  でターンオンし、 $t_3 + t_f$  でターンオフする動作を繰返し、トランジスタ 3 b は、タイミング  $t_1$  でターンオンし、 $t_2 + t_f$  でターンオフする動作を繰返す。

【0005】

図 3 のリングオシレータ回路 30 によると、定電流電源 20 によって追加の第 1 トランジスタ 6 a を流れる電流が一定の電流  $I_P$  に維持される。

【0006】

図 3 のリングオシレータ回路 30 では、追加の第 1 トランジスタ 6 a と定電流電源 20 を備えている定電流回路 29 が、第 1 トランジスタ対 1 とカレントミラー回路を構成している。この結果、追加の第 1 トランジスタ 6 a に印加されるゲート電圧と第 1 トランジスタ 1 a に印加されるゲート電圧が等しくなり、追加の第 1 トランジスタ 6 a を流れる電流  $I_P$  と第 1 トランジスタ 1 a を流れる電流が等しくなる。同様に、定電流回路 29 と第 2 トランジスタ対 2 がカレントミラー回路を構成している。追加の第 1 トランジスタ 6 a に印加されるゲート電圧と第 1 トランジスタ 2 a に印加されるゲート電圧が等しくなり、追加の第 1 トランジスタ 6 a を流れる電流  $I_P$  と第 1 トランジスタ 2 a を流れる電流が等しくなる。さらに、定電流回路 29 と第 3 トランジスタ対 3 がカレントミラー回路を構成している。追加の第 1 トランジスタ 6 a に印加されるゲート電圧と第 1 トランジスタ 3 a に印加されるゲート電圧が等しくなり、追加の第 1 トランジスタ 6 a を流れる電流  $I_P$  と第 1 トランジスタ 3 a を流れる電流が等しくなる。図 3 のリングオシレータ回路 30 は、追加の第 1 トランジスタ 6 a に印加されるゲート電圧と等しいゲート電圧を各々の第 1 トランジスタ 1 a、2 a、3 a に印加し、各々の第 1 トランジスタ 1 a、2 a、3 a を流れる電流を一定の電流  $I_P$  に維持する。

【0007】

図 2 の縦軸は、リングオシレータ回路 30 の発振周波数を示し、横軸は環境温度を示す。カーブ 21 a、21 b、21 c は、リングオシレータ回路 30 の発振周波数と環境温度の関係を示している。カーブ 21 a は直流電源 12 の電圧が 3.6 ボルトである場合を示し、カーブ 21 b は直流電源 12 の電圧が 3.3 ボルトである場合を示し、カーブ 21 c は直流電源 12 の電圧が 3.0 ボルトである場合を示している。図 3 のリングオシレータ回路 30 では、電源電圧が変動しても、発振周波数はさほど変化しない。

【0008】

【特許文献 1】特開 2003 - 283305 号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

図 2 のカーブ 21 a、21 b、21 c からわかるように、図 3 のリングオシレータ回路

10

20

30

40

50

30では、定電流回路29の働きによって、第1トランジスタ1a, 2a, 3aを流れる電流値IPを一定に維持するので、直流電源12の電源電圧の変動に抗して発振周波数を略一定にすることができる。

しかしながら、カーブ21a, 21b, 21cが傾斜していることからわかるように、環境温度が変動すると発振周波数が大きく変動してしまう。

本発明では、電源電圧の変動のみならず、環境温度の変動にも抗して、発振周波数を一定に維持できる回路を実現する。

【課題を解決するための手段】

【0010】

本発明者は、発振周波数が変化する理由を研究した。以下に、その理由を説明する。

10

リングオシレータ回路の発振周波数をfで表すと、図4で説明したパラメータに関して次の式(1)、(2)、(3)が得られる。

【0011】

【数1】

$$t_r = \frac{CD \times V_T}{IP}$$

20

【0012】

【数2】

$$V_H = \frac{(2t_r + t_f) \times IP}{CD}$$

【0013】

【数3】

$$f = \frac{1}{3 \times (t_r + t_f)}$$

30

【0014】

上記において、IPは各々の第1トランジスタ1a, 2a, 3aを流れる電流値を示しており、CDはコンデンサの静電容量を示している。

数式(1)、(2)、(3)において、 $t_r \gg t_f$ と仮定すると、次の式(4)が得られる。

40

【0015】

【数4】

$$f \doteq \frac{1}{3 \times t_r} = \frac{IP}{3 \times CD \times V_T}$$

【0016】

リングオシレータ回路の発振周波数は、式(4)に示す通り、第1トランジスタ1a,

50

2 a , 3 a を流れる電流値  $I_P$  に依存して変化し、さらに第 2 トランジスタ 1 b , 2 b , 3 b の閾値電圧  $V_T$  に依存して変化することがわかる。第 1 トランジスタ 1 a , 2 a , 3 a を流れる電流値  $I_P$  は、直流電源 1 2 の電圧が変動すると変化する。図 3 に示した従来のリングオシレータ回路 3 0 は、直流電源 1 2 の電圧変動に抗して、第 1 トランジスタ 1 a , 2 a , 3 a を流れる電流値  $I_P$  を一定に維持する定電流回路 2 9 が付加されているので、発振周波数の変化が抑制されている。

しかしながら、式 ( 4 ) に示す通り、リングオシレータ回路の発振周波数は、第 2 トランジスタ 1 b , 2 b , 3 b の閾値電圧  $V_T$  によっても変化する。第 2 トランジスタ 1 b , 2 b , 3 b の閾値電圧  $V_T$  は、環境温度が変動すると変化する。この結果、図 3 に示した従来のリングオシレータ回路 3 0 では、発振周波数が環境温度の変動に追従して変化してしまう。

10

本発明者の研究によって、第 2 トランジスタ 1 b , 2 b , 3 b の閾値電圧  $V_T$  が環境温度の変動に追従して変化するという事象を補償すれば、発振周波数が環境温度の変動に追従して変化する事象を抑制できるという知見が得られた。本発明では、その知見を活用する。

#### 【 0 0 1 7 】

本発明のクロック信号出力回路は、直流電源の一方の極性に接続する第 1 端子と、直流電源の他方の極性に接続する第 2 端子と、クロック信号を出力する第 3 端子を備えている。さらに、第 1 トランジスタと第 2 トランジスタが直列に接続されているトランジスタ対が、第 1 端子と第 2 端子の間に並列に奇数段にわたって接続されている並列回路を備えている。その他に、各第 1 トランジスタのゲートに接続されており、ゲートにオン電圧を印加したときに、第 2 トランジスタがターンオンする時の第 2 トランジスタのゲート・ソース間電圧に比例する電流を各第 1 トランジスタに流す電流制御回路を備えている。

20

並列回路では、第 1 トランジスタと第 2 トランジスタの中間点が次段の第 2 トランジスタのゲートに接続されており、最終段の第 1 トランジスタと第 2 トランジスタの中間点が初段の第 2 トランジスタのゲートに接続されている。さらに各第 2 トランジスタのゲートと第 2 端子の間にコンデンサが挿入されている。一つのトランジスタ対の第 1 トランジスタと第 2 トランジスタの中間点が第 3 端子に接続されている。

各段に用いられている第 1 トランジスタは相互に同一仕様であり、各段に用いられている第 2 トランジスタは相互に同一仕様であり、各段に用いられているコンデンサは相互に同一仕様である。

30

ここで、「第 2 トランジスタがターンオンする時の第 2 トランジスタのゲート・ソース間電圧」とは、第 2 トランジスタの閾値電圧であって、その閾値電圧が環境温度の変動によって変化するときはその変化した後の閾値電圧のことをいう。以下、「第 2 トランジスタがターンオンする時の第 2 トランジスタのゲート・ソース間電圧」を「第 2 トランジスタの閾値電圧  $V_T$  」と表記することがある。ここでいう閾値電圧  $V_T$  は、環境温度の変動分を加味した広義の意味で解釈されるべきである。したがって、「第 2 トランジスタの閾値電圧  $V_T$  」は、環境温度が異なれば異なる値を示す。

#### 【 0 0 1 8 】

上記のクロック信号出力回路では、並列に接続されている奇数個のトランジスタ対の各々に、第 2 トランジスタがターンオンする時のゲート電圧 ( 閾値電圧  $V_T$  ) に比例した電流を流すことができる。すなわち、トランジスタ対の各々に流れる電流  $I_P$  と、閾値電圧  $V_T$  の間には、下記の式 ( 5 ) が成立する。

40

#### 【 0 0 1 9 】

#### 【 数 5 】

$$I_P = d \times V_T$$

50

【0020】

ここで、 $d$  は比例定数である。

これを(4)式に導入すると、下記式(6)が得られる。

【0021】

【数6】

$$f \doteq \frac{1}{3 \times t_r} = \frac{d}{3 \times CD}$$

10

【0022】

トランジスタ対の各々に流れる電流  $I_P$  が発振周波数に及ぼす影響と、第2トランジスタの閾値電圧  $V_T$  が発振周波数に及ぼす影響が打ち消しあい、発振周波数  $f$  は一定に維持される。本発明のクロック信号出力回路によると、電源電圧が変動しても、環境温度が変動しても、理論上、発振周波数変化しない。実際にも、発振周波数の変化が顕著に抑制される。

【0023】

電流制御回路は、第2トランジスタがターンオンする時の第2トランジスタのゲート・ソース間電圧に比例する電圧を出力する閾値電圧生成回路を備えていることが好ましい。電流制御回路はさらに、閾値電圧生成回路の出力端子が入力端子に接続され、第2トランジスタがターンオンする時の第2トランジスタのゲート・ソース間電圧に比例した電流を第1トランジスタに流すだけのゲート電圧を出力するバイアス電圧生成回路を備えていることが好ましい。電流制御回路では、閾値電圧生成回路とバイアス電圧生成回路が第1端子と第2端子の間に並列に接続されていることが好ましい。

20

【0024】

閾値電圧生成回路は、第1端子と第2端子の間に第1トランジスタと第2トランジスタが直列に接続されているとともに、第2トランジスタのドレインとゲートが接続されている追加トランジスタ対を備えていることが好ましい。

30

この場合、第2トランジスタがターンオンするときの第2トランジスタのゲート・ソース間電圧を取り出すことができる。

【0025】

閾値電圧生成回路は、追加トランジスタ対の第1トランジスタと第2トランジスタの間点の電圧を  $n$  分の1 ( $n > 1$ ) に降圧する電圧変換回路を備えていることが好ましい。その  $n$  分の1に分圧された電圧が、バイアス電圧生成回路の入力端子に入力されることが好ましい。

第2トランジスタの閾値電圧の  $n$  分の1の電圧を利用して第1トランジスタに印加するゲート電圧を生成すると、第2トランジスタのソース・ドレイン間の電圧の変化に起因する第1トランジスタのソース・ドレイン間の電圧の変化の影響をも低減することができ、

40

直流電源の電圧変動に抗したクロック信号を出力することができる。

【0026】

電圧変換回路が生成する電圧が、第2トランジスタの閾値電圧の2分の1の電圧であることが好ましい。

この場合、第2トランジスタのソース・ドレイン間の電圧の変化に起因して生じる第1トランジスタのソース・ドレイン間の電圧の変化の影響をより顕著に低減することができ、より安定したクロック信号を出力することができる。

【0027】

閾値電圧生成回路は、追加トランジスタ対と電圧変換回路の間に接続されている追加オペアンプを備えており、追加オペアンプの非反転入力端子が、追加トランジスタ対の第1

50

トランジスタと第2トランジスタの中間点に接続され、追加オペアンプの反転入力端子が、追加オペアンプの出力端子に接続され、追加オペアンプの出力端子が、電圧変換回路に接続されていることが好ましい。

上記の回路では、追加トランジスタ対の第1トランジスタに流れる電流が、追加トランジスタ対の第2トランジスタと電圧変換回路に分流することを防止できる。追加トランジスタ対の第2トランジスタのゲート電圧が小さくなる現象を補償することができる。

【0028】

バイアス電圧生成回路は、第1端子と第2端子の間に接続されている第1トランジスタと抵抗の直列回路と、直列回路の第1トランジスタと抵抗の中間点が非反転入力端子に接続されており、閾値電圧生成回路の出力端子が、反転入力端子に接続されており、出力端子が全ての第1トランジスタのゲートに接続されているオペアンプを備えていることが好ましい。

10

上記の回路では、直列回路の抵抗に、第2トランジスタの閾値電圧に比例する電流が流れる。第1トランジスタのゲートに、オペアンプから出力される電圧が印加される。第2トランジスタがターンオンするときの第2トランジスタのゲート・ソース間電圧に比例する電流を第1トランジスタに流すことができる。

【0029】

本発明の一つの具体的な態様では、第1端子が直流電源の高圧側に接続され、第2端子が直流電源の低圧側に接続され、第1トランジスタはp型トランジスタであり、第2トランジスタはn型トランジスタであることが好ましい。この場合、第1端子にp型トランジスタのソースが接続されており、p型トランジスタのドレインにn型トランジスタのドレインが接続されており、n型トランジスタのソースが第2端子に接続されていることが好ましい。

20

【0030】

上記具体的な態様では、p型トランジスタとn型トランジスタが直列に接続されているトランジスタ対の奇数個が、並列に接続されているリングオシレータ回路であり、

n型トランジスタがターンオンする時のゲート・ドレイン間電圧に比例する電流をp型トランジスタに流すだけの電圧を、p型トランジスタのゲートに印加する回路が付加されていることが好ましい。

【0031】

本発明のもう一つの具体的な態様では、第1端子が直流電源の低圧側に接続され、第2端子が直流電源の高圧側に接続され、第1トランジスタはn型トランジスタであり、第2トランジスタはp型トランジスタであることが好ましい。この場合、第1端子にn型トランジスタのソースが接続されており、n型トランジスタのドレインにp型トランジスタのドレインが接続されており、p型トランジスタのソースが第2端子に接続されていることが好ましい。

30

【0032】

上記もう一つの具体的な態様では、p型トランジスタとn型トランジスタが直列に接続されているトランジスタ対の奇数個が、並列に接続されているリングオシレータ回路であり、p型トランジスタがターンオンする時のゲート・ドレイン間電圧に比例する電流をn型トランジスタに流すだけの電圧を、n型トランジスタのゲートに印加する回路が付加されていることが好ましい。

40

【0033】

本発明のリングオシレータ回路を図3に示した従来のリングオシレータ回路と比較すると、第1トランジスタと第2トランジスタが直列に接続されているトランジスタ対の奇数個が、並列に接続されているリングオシレータ回路であり、第1トランジスタのゲートに第2トランジスタがターンオンするゲート・ソース間電圧に比例する電流を流すだけのゲート電圧を第1トランジスタに印加する回路が付加されていると特徴づけることができる。上記の特徴を備えていることによって、理論上、電源電圧が変動しても環境温度が変動しても、本発明のリングオシレータ回路の発振周波数は変化しない。実際にも、本発明の

50

リングオシレータ回路の発振周波数の変化は顕著に抑制される。

【発明の効果】

【0034】

本発明のクロック信号出力回路あるいはリングオシレータ回路によると、電源電圧の変動と環境温度の変動による発振周波数の変動が補償され、発振周波数の安定性が大幅に向上する。

【発明を実施するための最良の形態】

【0035】

下記に説明する実施例の主要な特徴を列記する。

(実施形態1) 電流制御回路に用いる抵抗は可変抵抗であり、その抵抗値を増減調整することによって、発振周波数を調整することができる。直流電源の高圧側にp型トランジスタのソースが接続されており、p型トランジスタのドレインにn型トランジスタのドレインが接続されており、n型トランジスタのソースが直流電源の低圧側に接続されている。また、p型トランジスタのゲートに電流制御回路が接続されている。 10

(実施形態2) 電流制御回路を備えており、直流電源の高圧側にp型トランジスタのソースが接続されており、p型トランジスタのドレインにn型トランジスタのドレインが接続されており、n型トランジスタのソースが直流電源の低圧側に接続されている。また、n型トランジスタのゲートに電流制御回路が接続されている。

(実施形態3) 電流制御回路を備えており、直流電源の高圧側にpnptランジスタのエミッタが接続されており、pnptランジスタのコレクタにnpnトランジスタのコレクタが接続されており、npnトランジスタのエミッタが直流電源の低圧側に接続されている。 20

(実施形態4) 閾値電圧生成回路は、第1端子と第2端子の間に第1トランジスタとダイオードが直列に接続されている。

(実施形態5) 追加トランジスタ対の第1トランジスタと第2トランジスタの中間点と、電圧変換回路の入力端子の間に、ボルテージフォロア回路が接続されている。

【実施例】

【0036】

図面を参照して以下に実施例を詳細に説明する。

(実施例1)

図1に示すリングオシレータ回路10は、直流電源12の正極に接続する第1端子6と、直流電源12の負極に接続する第2端子7と、クロック信号を出力する第3端子8を備えている。 30

第1端子6と第2端子7の間には、第1トランジスタ1aと第2トランジスタ1bが直列に接続されている第1トランジスタ対1と、第1トランジスタ2aと第2トランジスタ2bが直列に接続されている第2トランジスタ対2と、第1トランジスタ3aと第2トランジスタ3bが直列に接続されている第3トランジスタ対3が接続されている。

第1トランジスタ対1と第2トランジスタ対2と第3トランジスタ対3は、第1端子6と第2端子7の間に並列に奇数段(図1の場合には3段)にわたって接続されている。第1トランジスタ対1と第2トランジスタ対2と第3トランジスタ対3の並列回路では、第1トランジスタと第2トランジスタの中間点が次段の第2トランジスタのゲートに接続されており、最終段の第1トランジスタ3aと第2トランジスタ3bの中間点3dが初段の第2トランジスタ1bのゲートに接続されている。すなわち、第1トランジスタ1aと第2トランジスタ1bの中間点1dが第2トランジスタ2bのゲートに接続されており、第1トランジスタ2aと第2トランジスタ2bの中間点2dが第2トランジスタ3bのゲートに接続されており、第1トランジスタ3aと第2トランジスタ3bの中間点3dが第2トランジスタ1bのゲートに接続されている。 40

第2トランジスタ1bのゲートと第2端子7の間にコンデンサ1cが挿入されており、第2トランジスタ2bのゲートと第2端子7の間にコンデンサ2cが挿入されており、第2トランジスタ3bのゲートと第2端子7の間にコンデンサ3cが挿入されている。 50

第3端子8は、第1トランジスタ3aと第2トランジスタ3bの中間点3eに接続されている。第3端子8は、中間点1d、2dに接続してもよい。

各段に用いられている第1トランジスタ1a、2a、3aは、p型のMOSFETであり、相互に同一仕様である。各段に用いられている第2トランジスタ1b、2b、3bは、n型のMOSFETであり、相互に同一仕様である。各段に用いられているコンデンサ1c、2c、3cは相互に同一仕様である。

#### 【0037】

本実施例のリングオシレータ回路10は、第1トランジスタ1a、2a、3aのゲートに接続されている電流制御回路26を備えている。

電流制御回路26は、閾値電圧生成回路27と、バイアス電圧生成回路28を備えている。閾値電圧生成回路27は、第1端子6と第2端子7の間に第1トランジスタ5aと第2トランジスタ5bが直列に接続されているとともに、第2トランジスタ5bのドレインとゲートが5fで接続されている追加トランジスタ対を備えている。バイアス電圧生成回路28は、第1端子6と第2端子7の間に接続されている第1トランジスタ4aと可変抵抗16の直列回路と、オペアンプ24を備えている。オペアンプ24の反転入力端子24aは、追加トランジスタ対の第1トランジスタ5aと第2トランジスタ5bの中間点に接続している。オペアンプ24の非反転入力端子24bは、直列回路の第1トランジスタ4aと可変抵抗16の中間点に接続している。オペアンプ24の出力端子は、全ての第1トランジスタ1a、2a、3a、4a、5aのゲートに接続されている。

なお、可変抵抗16の抵抗値を調整することによって、環境温度や電源電圧の変動に抗して維持する発振周波数を、自在に増減調整することができる。

追加トランジスタ対と直列回路に用いられている第1トランジスタ4a、5aは、p型のMOSFETである。追加トランジスタ対に用いられている第2トランジスタ5bは、n型のMOSFETである。

#### 【0038】

オペアンプ24の反転入力端子24aには第2トランジスタ5bの閾値電圧 $V_T$ が入力される。環境温度の変動に起因して第2トランジスタ5bの閾値電圧 $V_T$ が変化すれば、変化した閾値電圧 $V_T$ に等しい電圧が入力される。

オペアンプ24の反転入力端子24aと非反転入力端子24bは、バーチャルショートによって電位差がゼロになるように調整される。したがって、第1トランジスタ4aと抵抗16の中間点4dの電圧は、オペアンプ24の反転入力端子24aの電圧、即ち第2トランジスタ5bの閾値電圧 $V_T$ と同電位に調整される。この結果、抵抗16には、第2トランジスタ5bの閾値電圧 $V_T$ に比例する電流が流れる。このため、第1トランジスタ4aのゲートには、第2トランジスタ5bの閾値電圧 $V_T$ に比例する電流が流れるだけのゲート電圧が印加される。また、第1トランジスタ4aのソースと第1トランジスタ1aのソースが接続されており、第1トランジスタ4aのゲートと第1トランジスタ1aのゲートが接続されていることから、第1トランジスタ1aを流れる電流は、追加の第1トランジスタ4aを流れる電流に比例する電流が流れる。このとき、第1トランジスタ1aを流れる電流と追加の第1トランジスタ4aを流れる電流の電流比は、第1トランジスタ1aと追加の第1トランジスタ4aのトランジスタサイズの比になる。同様に、第1トランジスタ4aのソースと第1トランジスタ2aのソースが接続されており、第1トランジスタ4aのゲートと第1トランジスタ2aのゲートが接続されていることから、第1トランジスタ2aを流れる電流は、追加の第1トランジスタ4aを流れる電流に比例する電流が流れる。さらに、第1トランジスタ4aのソースと第1トランジスタ3aのソースが接続されており、第1トランジスタ4aのゲートと第1トランジスタ3aのゲートが接続されていることから、第1トランジスタ3aを流れる電流は、追加の第1トランジスタ4aを流れる電流に比例する電流が流れる。これによって、トランジスタ対1、2、3の各々に流れる電流 $I_P$ と、閾値電圧 $V_T$ の間には比例関係が成立する。

上記の電流制御回路26によって、各々の第2トランジスタ1b、2b、3bがターンオンする時の各々の第2トランジスタ1b、2b、3bのゲート・ソース間電圧に比例す

る電流を、各々の第1トランジスタ1a, 2a, 3aに流すことができる。

【0039】

リングオシレータ回路10は、下記のように作動する。図4に示しているコンデンサ1c、2c、3c、の電圧と時間変化において、例えばタイミング $t_0$ の直前では、トランジスタ2bのみがオンしており、トランジスタ1bとトランジスタ3bはオフしている。トランジスタ2bがオンしているためコンデンサ3cは放電している。トランジスタ3bがオフしているためコンデンサ1cは充電される。トランジスタ1bがオフしているためコンデンサ2cは充電される。

タイミング $t_0$ でコンデンサ1cの電圧がトランジスタ1bの閾値電圧 $V_T$ に等しくなると、トランジスタ1bがターンオンする。この結果、コンデンサ2cは放電し、タイミング $t_0$ から $t_f$ 時間後に、トランジスタ2bはターンオフする。トランジスタ2bがターンオフすると、コンデンサ3cが充電を開始する。

タイミング $t_1$ でコンデンサ3cの電圧がトランジスタ3bの閾値電圧 $V_T$ に等しくなると、トランジスタ3bがターンオンする。この結果、コンデンサ1cは放電し、タイミング $t_1$ から $t_f$ 時間後に、トランジスタ1bはターンオフする。トランジスタ1bがターンオフすると、コンデンサ2cが充電を開始する。

タイミング $t_2$ でコンデンサ2cの電圧がトランジスタ2bの閾値電圧 $V_T$ に等しくなると、トランジスタ2bがターンオンする。この結果、コンデンサ3cは放電し、タイミング $t_2$ から $t_f$ 時間後に、トランジスタ3bはターンオフする。トランジスタ3bがターンオフすると、コンデンサ1cが充電を開始する。

タイミング $t_3$ でコンデンサ1cの電圧がトランジスタ1bの閾値電圧 $V_T$ に等しくなると、トランジスタ1bがターンオンする。この結果、コンデンサ2cは放電し、タイミング $t_3$ から $t_f$ 時間後に、トランジスタ2bはターンオフする。トランジスタ2bがターンオフすると、コンデンサ3cが充電を開始する。この事象は、タイミング $t_0$ における事象に等しい。

リングオシレータ回路10によると、トランジスタ1bは、タイミング $t_0$ でターンオンし、 $t_1 + t_f$ でターンオフする動作を繰返し、トランジスタ2bは、タイミング $t_2$ でターンオンし、 $t_3 + t_f$ でターンオフする動作を繰返し、トランジスタ3bは、タイミング $t_1$ でターンオンし、 $t_2 + t_f$ でターンオフする動作を繰返す。

【0040】

トランジスタ対1, 2, 3の各々に流れる電流 $I_P$ と、閾値電圧 $V_T$ の間には、下記の(5)式が成立する。

【0041】

【数5】

$$I_P = d \times V_T$$

【0042】

ここで、 $d$ は比例定数である。

これを(4)式に導入すると、下記式(6)が得られる。

【0043】

【数6】

$$f \doteq \frac{1}{3 \times t_r} = \frac{d}{3 \times CD}$$

10

20

30

40

50

## 【0044】

リングオシレータ回路10の発振周波数は、式(6)で表すことができる。

トランジスタ対1, 2, 3の各々に流れる電流IPが発振周波数fに及ぼす影響と、第2トランジスタの閾値電圧 $V_T$ が発振周波数fに及ぼす影響が打ち消しあい、発振周波数fは一定に維持される。

本実施例のクロック信号出力回路によると、電源電圧が変動しても、環境温度が変動しても、発振周波数の変化が顕著に抑制される。

## 【0045】

図2の縦軸はリングオシレータ回路10の発振周波数を示し、横軸は環境温度を示す。カーブ21a, 21b, 21cは、図3のリングオシレータ回路30の発振周波数と環境温度の関係を示し、カーブ21aは直流電源12の電圧が3.6ボルトである場合を示し、カーブ21bは直流電源12の電圧が3.3ボルトである場合を示し、カーブ21cは直流電源12の電圧が3.0ボルトである場合を示している。図3のリングオシレータ回路30では、直流電源12の電圧変動に抗して、一定の発振周波数を維持しているが、21a, 21b, 21cが傾斜していることからわかるように、環境温度が変動すると、発振周波数が変動してしまう。

カーブ22a, 22b, 22cは、図1に示す本実施例のリングオシレータ回路10の発振周波数と温度の関係を示し、カーブ22aは直流電源12の電圧が3.6ボルトである場合を示し、カーブ22bは直流電源12の電圧が3.3ボルトである場合を示し、カーブ22cは直流電源12の電圧が3.0ボルトである場合を示している。図1に示す本実施例のリングオシレータ回路10では、電源電圧の変動のみならず、環境温度の変動にも抗して、発振周波数がほぼ一定である。少なくとも、発振周波数の変化が顕著に抑制されている。

## 【0046】

(実施例2)

図5に示すリングオシレータ回路110は実施例1の変形例であり、正の電源電圧を基準にクロック信号を発生するクロック信号出力回路である。

## 【0047】

図5に示すリングオシレータ回路110は、直流電源12の正極に接続する第1端子6と、直流電源12の負極に接続する第2端子7と、クロック信号を出力する第3端子8を備えている。

第1端子6と第2端子7の間には、第1トランジスタ101aと第2トランジスタ101bが直列に接続されている第1トランジスタ対101と、第1トランジスタ102aと第2トランジスタ102bが直列に接続されている第2トランジスタ対102と、第1トランジスタ103aと第2トランジスタ103bが直列に接続されている第3トランジスタ対103が接続されている。

第1トランジスタ対101と第2トランジスタ対102と第3トランジスタ対103は、第1端子6と第2端子7の間に並列に奇数段(図5の場合には3段)にわたって接続されている。第1トランジスタ対101と第2トランジスタ対102と第3トランジスタ対103の並列回路では、第1トランジスタと第2トランジスタの中間点が次段の第2トランジスタのゲートに接続されており、最終段の第1トランジスタ103aと第2トランジスタ103bの中間点103dが初段の第2トランジスタ101bのゲートに接続されている。すなわち、第1トランジスタ101aと第2トランジスタ101bの中間点101dが第2トランジスタ102bのゲートに接続されており、第1トランジスタ102aと第2トランジスタ102bの中間点102dが第2トランジスタ103bのゲートに接続されており、第1トランジスタ103aと第2トランジスタ103bの中間点103dが第2トランジスタ101bのゲートに接続されている。

第2トランジスタ101bのゲートと第1端子6の間にコンデンサ101cが挿入されており、第2トランジスタ102bのゲートと第1端子6の間にコンデンサ102cが挿

入されており、第2トランジスタ103bのゲートと第1端子6の間にコンデンサ10cが挿入されている。

第3端子8は、第1トランジスタ103aと第2トランジスタ103bの中間点103eに接続されている。第3端子8は、中間点101d、102dに接続してもよい。

各段に用いられている第1トランジスタ101a、102a、103aは、n型のMOSFETであり、相互に同一仕様である。各段に用いられている第2トランジスタ101b、102b、103bは、p型のMOSFETであり、相互に同一仕様である。各段に用いられているコンデンサ101c、102c、103cは相互に同一仕様である。

#### 【0048】

本実施例のリングオシレータ回路110は、第1トランジスタ101a、102a、103aのゲートに接続されている電流制御回路126を備えている。 10

電流制御回路126は、閾値電圧生成回路127と、バイアス電圧生成回路128を備えている。閾値電圧生成回路127は、第1端子6と第2端子7の間に第1トランジスタ105aと第2トランジスタ105bが直列に接続されているとともに、第2トランジスタ105bのドレインとゲートが105fで接続されている追加トランジスタ対を備えている。バイアス電圧生成回路128は、第1端子6と第2端子7の間に接続されている第1トランジスタ104aと可変抵抗116の直列回路とオペアンプ124を備えている。オペアンプ124の反転入力端子124aは、追加トランジスタ対の第1トランジスタ105aと第2トランジスタ105bの中間点に接続している。オペアンプ124の非反転入力端子124bは、直列回路の第1トランジスタ104aと可変抵抗116の中間点 20

に接続している。オペアンプ124の出力端子は、全ての第1トランジスタ101a、102a、103a、104a、105aのゲートに接続している。

なお、可変抵抗116の抵抗値を調整することによって、環境温度や電源電圧の変動に抗して維持する発振周波数を、自在に増減調整することができる。

追加トランジスタ対と直列回路に用いられている第1トランジスタ104a、105aは、n型のMOSFETである。追加トランジスタ対に用いられている第2トランジスタ105bは、p型のMOSFETである。

#### 【0049】

本実施例のクロック信号出力回路は、p型MOSFETとn型MOSFETが直列に接続されているトランジスタ対の奇数個が、並列に接続されているリングオシレータ回路であり、p型MOSFETがターンオンするゲート・ソース間電圧に比例する電流をn型MOSFETに流すだけの電圧をn型MOSFETのゲートに印加する回路が付加されている。この場合も、上述した実施例1と同様の作用効果によって、電源電圧の変動のみならず、環境温度の変動にも抗して、発振周波数が顕著に抑制される。 30

#### 【0050】

(実施例3)

図6に示すリングオシレータ回路210は実施例1の変形例であり、負の電源電圧を基準にクロック信号を発生するクロック信号出力回路である。本クロック信号出力回路は、pnptランジスタと、npnトランジスタが直列に接続されているトランジスタ対の奇数個が、並列に接続されているリングオシレータ回路であり、npnトランジスタがターンオンするベース・エミッタ間電圧に比例する電流をpnptランジスタに流すだけの電圧をpnptランジスタのベースに印加する回路が付加されている。この場合も、上述した実施例1と同様の作用効果によって、電源電圧の変動のみならず、環境温度の変動にも抗して、発振周波数が顕著に抑制される。 40

#### 【0051】

(実施例4)

図7に示すリングオシレータ回路310は実施例1の変形例であり、負の電源電圧を基準にクロック信号を発生するクロック信号出力回路である。本クロック信号出力回路は、pnptランジスタと、npnトランジスタが直列に接続されているトランジスタ対の奇数個が、並列に接続されているリングオシレータ回路であり、npnトランジスタがター 50

ンオンするベース・エミッタ間電圧に比例する電流を p n p トランジスタに流すだけの電圧を p n p トランジスタのベースに印加する回路が付加されている。本実施例では、閾値電圧生成回路は p n p トランジスタとダイオードが直列に接続されている。この場合も、ダイオード 1 1 1 の閾値電圧と、各 n p n トランジスタの閾値電圧が等しい場合、上述した実施例 1 と同様の作用効果によって、電源電圧の変動のみならず、環境温度の変動にも抗して、発振周波数が顕著に抑制される。

#### 【 0 0 5 2 】

##### ( 実施例 5 )

図 8 に示すリングオシレータ回路 4 1 0 は実施例 1 の変形例であり、負の電源電圧を基準にクロック信号を発生するクロック信号出力回路である。リングオシレータ回路 1 0 と実質的に同一の構成には同じ参照番号を付し、重複説明を省略する。 10

閾値電圧生成回路 2 7 は、電圧変換回路 3 3 ( 具体的には分圧回路 ) を備えていることを特徴としている。電圧変換回路 3 3 は、閾値電圧生成回路 2 7 の第 1 トランジスタ 5 a と第 2 トランジスタ 5 b の中間点と第 2 端子 7 の間に接続されている。電圧変換回路 3 3 は、直列接続された第 1 抵抗 3 0 と第 2 抵抗 3 2 を有している。第 1 抵抗 3 0 の抵抗値と第 2 抵抗 3 2 の抵抗値は等しい。第 1 抵抗 3 0 と第 2 抵抗 3 2 の中間点は、オペアンプ 2 4 の反転入力端子 2 4 a に接続されている。

電圧変換回路 3 3 は、第 2 トランジスタ 5 b の閾値電圧  $V_T$  を分圧し、その分圧電圧をオペアンプ 2 4 の反転入力端子 2 4 a に出力している。第 1 抵抗 3 0 の抵抗値と第 2 抵抗 3 2 の抵抗値は等しいので、第 2 トランジスタ 5 b の閾値電圧  $V_T$  は 2 分の 1 に分圧されて、その第 2 トランジスタ 5 b の 2 分の 1 の閾値電圧  $V_T$  が、オペアンプ 2 4 の反転入力端子 2 4 a に入力されている。 20

#### 【 0 0 5 3 】

ここで、リングオシレータ回路 4 1 0 が解決する課題を簡単に説明する。比較として、上述した実施例 1 のリングオシレータ回路 1 0 を参照してその課題を説明する。実施例 1 のリングオシレータ回路 1 0 では、電流制御回路 2 6 が、第 2 トランジスタ 1 b、2 b、3 b の閾値電圧  $V_T$  に比例した電流を第 1 トランジスタ 1 a、2 a、3 a に流すだけのゲート電圧を生成し、そのゲート電圧を第 1 トランジスタ 1 a、2 a、3 a のゲートに印加している。電流制御回路 2 6 は、バイアス電圧生成回路 2 8 を利用してゲート電圧を生成している。バイアス電圧生成回路 2 8 がゲート電圧を生成する様子を機能的に捉えると、バイアス電圧生成回路 2 8 は、オペアンプ 2 4 を利用して第 1 トランジスタ 4 a と抵抗 1 6 の中間点 4 d の電位を第 2 トランジスタ 5 b の閾値電圧  $V_T$  と同電位に調整し、抵抗 1 6 を利用して中間点 4 d の電位に応じた電流を生成し、第 1 トランジスタ 4 a を利用して生成した電流をその電位に応じたゲート電圧に変換している。バイアス電圧生成回路 2 8 では、中間点 4 d の電位が常に閾値電圧  $V_T$  に調整されている。即ち、第 1 トランジスタ 4 a のソース・ドレイン間の電圧は、直流電源 1 2 の正極の電位と閾値電圧  $V_T$  の電位差に常に維持されている。 30

#### 【 0 0 5 4 】

並列回路の第 1 トランジスタ 1 a、2 a、3 a のゲートには、バイアス電圧生成回路 2 8 で生成されたゲート電圧が印加されている。第 1 トランジスタ 1 a、2 a、3 a のソース・ドレイン間電圧が、直流電源 1 2 の正極の電位と閾値電圧  $V_T$  の電位差であれば、バイアス電圧生成回路 2 8 の第 1 トランジスタ 4 a のゲート電圧と並列回路の第 1 トランジスタ 1 a、2 a、3 a のゲート電圧が一致していることから、第 1 トランジスタ 4 a と第 1 トランジスタ 1 a、2 a、3 a を流れる電流は一致する。しかしながら、厳密には、第 1 トランジスタ 4 a と第 1 トランジスタ 1 a、2 a、3 a を流れる電流は一致していない。これは、並列回路の第 2 トランジスタ 1 b、2 b、3 b がオン・オフを繰返すと、第 2 トランジスタ 1 b、2 b、3 b のソース・ドレイン間電圧が増減を繰返し、それに追従して第 1 トランジスタ 1 a、2 a、3 a のソース・ドレイン間電圧も増減を繰返し、この結果、第 1 トランジスタ 1 a、2 a、3 a を流れる電流が増減を繰返すからである。したがって、実施例 1 のリングオシレータ回路 1 0 では、生成したゲート電圧に基づいて第 1 ト 40

ランジスタ 1 a , 2 a , 3 a を流れる電流を調整しようとしていたが、実際には、第 1 トランジスタ 1 a , 2 a , 3 a のソース・ドレイン間電圧が変動することによって、正確にいうと、意図した電流とは異なる電流が第 1 トランジスタ 1 a , 2 a , 3 a を流れていた。

第 1 トランジスタ 1 a , 2 a , 3 a を流れる電流が増減を繰り返していても、その増減幅が環境温度の変動や直流電源 1 2 の電源電圧の変動に抗して一定であれば、発振周波数に影響を与えることはない。しかし実際には、第 1 トランジスタ 1 a , 2 a , 3 a を流れる電流の増減幅は、直流電源 1 2 の電圧値の大きさによって異なっている。この結果、直流電源 1 2 の電圧値が異なると、第 1 トランジスタ 1 a , 2 a , 3 a を流れる電流の増減幅が異なる。したがって、第 1 トランジスタ 1 a , 2 a , 3 a を流れる電流の平均電流が異なる。第 1 トランジスタ 1 a , 2 a , 3 a を流れる電流の平均電流が異なると、並列回路のコンデンサ 1 c , 2 c , 3 c に電荷が蓄積する速度が異なるので、発振周波数が変動してしまう。具体的には、第 2 トランジスタ 1 b , 2 b , 3 b のゲート電圧は、図 4 に示すように、 $0 \sim V_H$  ボルトの範囲で増減を繰り返す。このうち、発振周波数の影響を与えるのは、第 2 トランジスタ 1 b , 2 b , 3 b のゲート電圧が  $0 \sim$  閾値電圧  $V_T$  ボルトまで変動している間に第 1 トランジスタ 1 a , 2 a , 3 a を流れる電流である。この期間に第 1 トランジスタ 1 a , 2 a , 3 a を流れる平均電流が異なると、並列回路のコンデンサ 1 c , 2 c , 3 c に電荷が蓄積する速度が異なるので、発振周波数が変動してしまう。この現象を、図 10 を用いてより詳細に説明する。

#### 【 0 0 5 5 】

図 10 に示しているグラフは、リングオシレータ回路 1 0 とリングオシレータ回路 4 1 0 を使用して、直流電源 1 2 の電源電圧を変化させたときの第 1 トランジスタ 1 a , 2 a , 3 a , に流れる電流の変化を示している。リングオシレータ回路 1 0 , 4 1 0 を動作させている環境温度は 25 である。グラフの縦軸は第 1 トランジスタ 1 a , 2 a , 3 a に流れる電流値を示しており、グラフの横軸は、第 1 トランジスタ 1 a , 2 a , 3 a , のドレイン電圧（次段の第 2 トランジスタ 1 b , 2 b , 3 b のゲートに印加されている電圧に等しい。）を示している。カーブ 3 6 a は、電源電圧 1 2 が 4 ボルトのときのリングオシレータ回路 1 0 の第 1 トランジスタ 1 a , 2 a , 3 a に流れる電流を示している。カーブ 3 6 b は、電源電圧 1 2 が 5 ボルトのときのリングオシレータ回路 1 0 の第 1 トランジスタ 1 a , 2 a , 3 a に流れる電流を示している。カーブ 3 8 a は、リングオシレータ回路 4 1 0 の電源電圧 1 2 が 4 ボルトのときに第 1 トランジスタ 1 a , 2 a , 3 a に流れる電流を示している。カーブ 3 8 b は、リングオシレータ 4 1 0 の電源電圧 1 2 が 5 ボルトのときに第 1 トランジスタ 1 a , 2 a , 3 a に流れる電流を示している。図中の直線 4 4 は、第 1 トランジスタ 4 a に流れる電流を示している。直線 4 0 a は、リングオシレータ回路 1 0 の電源電圧 1 2 が 4 V のときに、第 1 トランジスタ 1 a , 2 a , 3 a のドレイン電圧が 0 ボルトから  $V_T$  ボルトまで変化するときの第 1 トランジスタ 1 a , 2 a , 3 a に流れる電流の平均値を示している。直線 4 0 b は、リングオシレータ 1 0 の電源電圧 1 2 が 5 V のときに、第 1 トランジスタ 1 a , 2 a , 3 a のドレイン電圧が 0 ボルトから  $V_T$  ボルトまで変化するときの第 1 トランジスタ 1 a , 2 a , 3 a に流れる電流の平均値を示している。直線 4 2 a は、リングオシレータ回路 4 1 0 の電源電圧 1 2 が 4 V のときに、第 1 トランジスタ 1 a , 2 a , 3 a のドレイン電圧が 0 ボルトから  $V_T$  ボルトまで変化するときの第 1 トランジスタ 1 a , 2 a , 3 a に流れる電流の平均値を示している。直線 4 2 b は、リングオシレータ回路 4 1 0 の電源電圧が 5 V のときに、第 1 トランジスタ 1 a , 2 a , 3 a のドレイン電圧が 0 ボルトから  $V_T$  ボルトまで変化するときの第 1 トランジスタ 1 a , 2 a , 3 a に流れる電流の平均値を示している。

#### 【 0 0 5 6 】

カーブ 3 6 a , 3 6 b に示すように、実施例 1 のリングオシレータ回路 1 0 では、第 1 トランジスタ 1 a , 2 a , 3 a のドレイン電圧が  $V_T$  ボルトであれば、直流電源 1 2 の電源電圧の差が補償された電流が第 1 トランジスタ 1 a , 2 a , 3 a に流れることができる。しかし、第 1 トランジスタ 1 a , 2 a , 3 a のドレイン電圧が 0 ボルトから  $V_T$  ボルト

まで変化すると、第1トランジスタ1a, 2a, 3aを流れる電流は変動し、平均電流40a、40bが大きく異なってしまう。

一方、実施例5のリングオシレータ回路410では、第1トランジスタ1a, 2a, 3aのドレイン電圧が $V_T/2$ ボルトのときに、直流電源12の電源電圧の変動が補償された電流が第1トランジスタ1a, 2a, 3aに流れることができる。この場合でも、第1トランジスタ1a, 2a, 3aのドレイン電圧が0ボルトから $V_T$ ボルトまで変化すると、第1トランジスタ1a, 2a, 3aを流れる電流は変動する。しかし、ドレイン電圧が $V_T/2$ ボルトのときに直流電源12の電源電圧の変動が補償された電流が第1トランジスタ1a, 2a, 3aに流れるように設定されていると、直流電源12の電源電圧に変動があったとしても、平均電流42a、42bはほぼ一致する。したがって、リングオシレータ回路410では、直流電源12の電源電圧の変動に抗して、発振周波数を安定させることができる。

10

【0057】

以下、上記の現象を数式を用いて検証する。第1トランジスタ1a, 2a, 3aに流れる電流の平均値 $I_{Pb}$ は、式(7)で表すことができる。

【0058】

【数7】

$$I_{Pb} = \frac{1}{2} \times \mu \times C_0 \times \frac{W}{L} \times (V_a - V_{Ta})^2 \times \left\{ 1 + \lambda \times (V_d - \frac{V_T}{2}) \right\}$$

20

【0059】

上記において、 $\mu$ は第1トランジスタ1a, 2a, 3aのキャリア中の電子の移動度を示しており、 $C_0$ は第1トランジスタ1a, 2a, 3aのゲート電極とゲート絶縁膜と半導体領域で形成される擬似的コンデンサの容量を示しており、 $W$ は第1トランジスタ1a, 2a, 3aのゲート電極の幅を示し、 $L$ は第1トランジスタ1a, 2a, 3aのゲート電極の長さを示しており、 $V_a$ は第1トランジスタ1a, 2a, 3aのゲート・ソース間の電圧を示しており、 $V_{Ta}$ は第1トランジスタ1a, 2a, 3aのゲートの閾値電圧を示し、 $\lambda$ は第1トランジスタ1a, 2a, 3aに形成されるチャネルの長さが変化することによって第1トランジスタ1a, 2a, 3aに流れる電流が変化する(チャネル長変調効果という)係数を示しており、 $V_d$ は直流電源12の電圧を示し、 $V_T/2$ は第1トランジスタ1a, 2a, 3aの次段のゲートと第2端子の間に接続されているコンデンサに蓄積されている電圧(すなわち、第1トランジスタ1a, 2a, 3aのドレイン電圧)を示している

30

上記したように、第1トランジスタ1a, 2a, 3aのドレイン電圧は0ボルトから $V_T$ ボルトまで変化する。すなわち、第1トランジスタ1a, 2a, 3aのドレイン電圧の平均値は $V_T/2$ になる。

【0060】

一方、リングオシレータ10のトランジスタ4aに流れる電流値 $I_{ref}$ は、式(8)または、式(9)で表すことができる。

40

【0061】

【数8】

$$I_{ref} = \frac{1}{2} \times \mu \times C_0 \times \frac{W}{L} \times (V_a - V_{Ta})^2 \times \left\{ 1 + \lambda \times (V_d - V_T) \right\}$$

50

【 0 0 6 2 】

【 数 9 】

$$I_{\text{ref}} = \frac{V_T}{R_{\text{ref}}}$$

【 0 0 6 3 】

上記において、 $R_{\text{ref}}$  は抵抗 16 の抵抗値を示している。

10

上記式 (4) より、リングオシレータ 10 の発振周波数  $f$  は、式 (10) で表すことができる。

【 0 0 6 4 】

【 数 10 】

$$f \doteq \frac{IPb}{3 \times CD \times V_T}$$

20

【 0 0 6 5 】

式 (10) に式 (7)、(8)、(9) を代入すると、下記式 (11) が得られる。

【 0 0 6 6 】

【 数 11 】

$$f \doteq \frac{1}{3 \times CD \times R_{\text{ref}}} \times \frac{1 + \lambda \times (V_d - \frac{V_T}{2})}{1 + \lambda \times (V_d - V_T)}$$

30

【 0 0 6 7 】

式 (11) に示すように、リングオシレータ 10 の発振周波数は、 $\lambda$  や  $V_T$  が変化することに影響を受ける。

【 0 0 6 8 】

リングオシレータ 410 は、電圧変換回路 33 によって、オペアンプ 24 の反転入力端子 24a に入力される電圧が  $V_T / 2$  に変換される。すなわち、リングオシレータ 410 のトランジスタ 4a に流れる電流値  $I_{\text{ref}}$  は、式 (12) で表すことができる。

【 0 0 6 9 】

【 数 12 】

40

$$I_{\text{ref}} = \frac{1}{2} \times \mu \times C_O \times \frac{W}{L} \times (V_a - V_{Ta})^2 \times \left\{ 1 + \lambda \times (V_d - \frac{V_T}{2}) \right\}$$

【 0 0 7 0 】

式 (10) に式 (7)、(9)、(12) を代入すると、下記式 (13) が得られる。

【 0 0 7 1 】

50

【数 1 3】

$$f \doteq \frac{1}{6 \times CD \times R_{ref}}$$

【0072】

式(13)に示すように、リングオシレータ410は、 $V_T$ に影響されずに一定になる。すなわち、第1トランジスタのソース・ドレイン間電圧や第1トランジスタのゲート・ソース間電圧が変化しても一定の発振周波数を得ることができる。 10

【0073】

図11に示しているグラフは、リングオシレータ回路10を使用して、環境温度を変化させたときの第1トランジスタ1a, 2a, 3aに流れる電流値を示している。リングオシレータ回路10電源電圧12は4.5ボルトである。グラフの縦軸は第1トランジスタ1a, 2a, 3aに流れる電流値を示し、横軸は第1トランジスタ1a, 2a, 3aのドレイン電圧を示している。カーブ46aは環境温度が-40のときに第1トランジスタ1a, 2a, 3aに流れる電流の変化を示している。カーブ46bは環境温度が160のときに第1トランジスタ1a, 2a, 3aに流れる電流の変化を示している。直線48aは環境温度が-40のときの第2トランジスタ1b, 2b, 3bの閾値電圧 $V_T$ を示しており、直線48bは環境温度が160のときの第2トランジスタ1b, 2b, 3bの閾値電圧 $V_T$ を示している。直線50aは環境温度が-40のときに第1トランジスタ4aに流れる電流を示しており、直線50bは環境温度が160のときに第1トランジスタ4aに流れる電流を示している。直線51aは環境温度が-40のときに第1トランジスタ1a, 2a, 3aのドレイン電圧が0ボルトから $V_T$ ボルトまで変化する間に第1トランジスタ1a, 2a, 3aに流れる電流の平均を示しており、直線51bは環境温度が160のときに第1トランジスタ1a, 2a, 3aのドレイン電圧が0ボルトから $V_T$ ボルトまで変化する間に第1トランジスタ1a, 2a, 3aに流れる電流の平均を示している。 20 30

【0074】

図11から明らかなように、第1トランジスタ1a, 2a, 3aのドレイン電圧が $V_T$ ボルトのときは、環境温度が変化しても、第1トランジスタ1a, 2a, 3aに流れる電流とトランジスタ4aに流れる電流が一致する。しかしながら、第1トランジスタ1a, 2a, 3aのドレイン電圧が0ボルトから $V_T$ ボルトまで変化する間に第1トランジスタ1a, 2a, 3aに流れる電流の平均とトランジスタ4aに流れる電流の間に差が生じてしまう。本実施例では、環境温度が-40の場合でも環境温度が160の場合でも、第1トランジスタ1a, 2a, 3aのドレイン電圧が0ボルトから $V_T$ ボルトまで変化する間に第1トランジスタ1a, 2a, 3aに流れる電流の平均とトランジスタ4aに流れる電流の間の差がほぼ等しい。環境温度が変化しても、第1トランジスタ1a, 2a, 3aのドレイン電圧が0ボルトから $V_T$ ボルトまで変化する間に第1トランジスタ1a, 2a, 3aに流れる電流の平均とトランジスタ4aに流れる電流の間の差が一定であれば、第2トランジスタ1b, 2b, 3bのゲートがオンするタイミングが一定になる。しかしながら、第1トランジスタ1a, 2a, 3aのドレイン電圧が0ボルトから $V_T$ ボルトまで変化する間に第1トランジスタ1a, 2a, 3aに流れる電流の平均とトランジスタ4aに流れる電流の差は、環境温度によって変化してしまう。すなわち、環境温度が変化すると、第2トランジスタ1b, 2b, 3bのゲートがオンするタイミングは変化する。環境温度が変化することによって、リングオシレータ回路10の発振周波数が変化する。 40

【0075】

図12に示しているグラフは、リングオシレータ回路410を使用して、環境温度を変 50

化させたときの第1トランジスタ1a, 2a, 3aに流れる電流値を示している。リングオシレータ回路410電源電圧12は4.5ボルトである。グラフの縦軸は第1トランジスタ1a, 2a, 3aに流れる電流値を示し、横軸は第1トランジスタ1a, 2a, 3aのドレイン電圧を示している。カーブ52aは環境温度が-40のときに第1トランジスタ1a, 2a, 3aに流れる電流の変化を示している。カーブ52bは環境温度が160のときに第1トランジスタ1a, 2a, 3aに流れる電流の変化を示している。直線53aは環境温度が-40のときの第2トランジスタ1b, 2b, 3bの閾値電圧 $V_T$ の1/2を示しており、直線53bは環境温度が160のときの第2トランジスタ1b, 2b, 3bの閾値電圧 $V_T$ の1/2を示している。直線55aは環境温度が-40のときに第1トランジスタ4aに流れる電流を示しており、直線55bは環境温度が160のときに第1トランジスタ4bに流れる電流を示している。直線54aは環境温度が-40のときに第1トランジスタ1a, 2a, 3aのドレイン電圧が0ボルトから $V_T$ ボルトまで変化する間に第1トランジスタ1a, 2a, 3aに流れる電流の平均を示しており、直線54bは環境温度が160のときに第1トランジスタ1a, 2a, 3aのドレイン電圧が0ボルトから $V_T$ ボルトまで変化する間に第1トランジスタ1a, 2a, 3aに流れる電流の平均を示している。直線57aは環境温度が-40のときの第2トランジスタ1b, 2b, 3bの閾値電圧 $V_T$ を示しており、直線57bは環境温度が160のときの第2トランジスタ1b, 2b, 3bの閾値電圧 $V_T$ を示している。

図12から明らかなように、第1トランジスタ1a, 2a, 3aのドレイン電圧が1/2 $V_T$ ボルトのときは、環境温度が変化しても、第1トランジスタ1a, 2a, 3aに流れる電流と第1トランジスタ4aに流れる電流が一致する。第1トランジスタ1a, 2a, 3aのドレイン電圧が0ボルトから $V_T$ ボルトまで変化する間に第1トランジスタ1a, 2a, 3aに流れる電流の平均は、第1トランジスタ4aに流れる電流とほとんど差がみられない。第1トランジスタ1a, 2a, 3aのドレイン電圧が0ボルトから $V_T$ ボルトまで変化するとき第1トランジスタ1a, 2a, 3aに流れる電流は略直線的に変化するからである。環境温度が変化しても、第1トランジスタ1a, 2a, 3aに流れる電流の平均と、第1トランジスタ4aに流れる電流の差は、顕著に抑制される。すなわち、環境温度が変化しても第2トランジスタ1b, 2b, 3bのゲートがオンするタイミングは一定になる。すなわち、リングオシレータ回路410では、環境温度が変化しても、発振周波数を顕著に安定させることができる。

#### 【0076】

図13は、リングオシレータ回路10とリングオシレータ回路410の発振周波数と環境温度の関係を示している。縦軸は発振周波数示し、横軸は環境温度を示している。カーブ56aは、リングオシレータ回路10の電源電圧12が4Vのときの発振周波数を示している。カーブ56bは、リングオシレータ回路10の電源電圧12が5Vのときの発振周波数を示している。カーブ58aは、リングオシレータ回路410の電源電圧12が4Vのときの発振周波数を示している。カーブ58bは、リングオシレータ回路410の電源電圧12が5Vのときの発振周波数を示している。

図13から明らかなように、リングオシレータ回路10は、環境温度が変化すると、発振周波数が変化していることがわかる。この現象は、電源電圧12の変化によって程度の差が見られるが、共通の事象である。リングオシレータ回路410は、環境温度が変化しても、発振周波数はほぼ一定である。この現象は、電源電圧12の変化によらず、共通の事象である。また、リングオシレータ回路10は、電源電圧12が変化すると、発振周波数が変化している。この現象は、特に環境温度が高いときに顕著に見られる。リングオシレータ回路410は、リングオシレータ回路10と比較して、電源電圧12の変動に抗して発振周波数の変化が顕著に抑制されている。

#### 【0077】

(実施例6)

図9に示すリングオシレータ回路510は、リングオシレータ回路410の変形例であり、負の電源電圧を基準にクロック信号を発生するクロック信号出力回路である。リング

オシレータ回路 4 1 0 と実質的に同一の構成には同じ参照番号を付し、重複説明を省略する。

第 1 トランジスタ 5 a と第 2 トランジスタ 5 b の中間点と電圧変換回路 3 3 の間に、追加オペアンプ 3 4 が接続されている。追加オペアンプ 3 4 の非反転入力端子 3 4 b が、追加トランジスタ対の第 1 トランジスタ 5 a と第 2 トランジスタ 5 b の中間点に接続されている。追加オペアンプ 3 4 の反転入力端子 3 4 a が、追加オペアンプ 3 4 の出力端子に接続されている。追加オペアンプ 3 4 の出力端子が、電圧変換回路 3 3 に接続されている。すなわち、追加オペアンプ 3 4 は、ボルテージフォロアとして機能する。追加オペアンプ 3 4 が付加されていることによって、第 2 トランジスタ 5 b の閾値電圧  $V_T$  を電圧変換回路 3 3 にそのまま出力することができる。追加オペアンプ 3 4 が接続されていないリングオシレータ回路 4 1 0 では、第 1 トランジスタ 5 a に流れる電流が、第 2 トランジスタ 5 b と電圧変換回路 3 3 に分流してしまう。オペアンプ 2 4 に入力される電圧が第 2 トランジスタ 5 b の閾値電圧  $V_T$  の  $1/2$  よりも小さくなる。第 1 トランジスタ 1 a, 2 a, 3 a のドレイン電圧が  $V_T/2$  ボルトのときに、直流電源 1 2 の電源電圧の変動が補償された電流が第 1 トランジスタ 1 a, 2 a, 3 a に流れることができなくなる。この現象は、第 1 トランジスタ 5 a に流れる電流が小さくなるほど顕著になる。

#### 【0078】

以上、本発明の具体例を詳細に説明したが、これらは例示に過ぎず、特許請求の範囲を限定するものではない。特許請求の範囲に記載の技術には、以上に例示した具体例を様々に変形、変更したものが含まれる。

実施例 5 では、実施例 1 に示している負の電源電圧を基準にしたリングオシレータ回路に電圧変換回路を付加している。しかしながら、実施例 2 に示している正の電源電圧を基準にしたリングオシレータ回路に電圧変換回路を付加することもできる。その場合、閾値電圧生成回路の第 1 トランジスタと第 2 トランジスタの中間点と、第 1 端子の間に電圧変換回路を接続し、電圧変換回路の抵抗の中間点をオペアンプの非反転入力端子に接続すればよい。実施例 6 も同様にして、正の電源電圧を基準としたリングオシレータ回路にすることができる。

実施例 5 では、第 1 抵抗と第 2 抵抗の抵抗値が等しい場合について説明した。しかしながら、第 1 抵抗と第 2 抵抗の抵抗値は等しくなくてもよい。すなわち、追加トランジスタ対の第 2 トランジスタの閾値電圧を  $n$  分の  $1$  ( $n > 1$ ) に分圧できればよい。

また、本明細書または図面に説明した技術要素は、単独であるいは各種の組合せによって技術的有用性を発揮するものであり、出願時請求項記載の組合せに限定されるものではない。また、本明細書または図面に例示した技術は複数目的を同時に達成し得るものであり、そのうちの一つの目的を達成すること自体で技術的有用性を持つものである。

#### 【図面の簡単な説明】

#### 【0079】

【図 1】実施例 1 のクロック信号出力回路を示す。

【図 2】発振周波数と環境温度の関係を示す。

【図 3】従来 of クロック信号出力回路を示す。

【図 4】コンデンサにかかる電圧の時間変化を示す。

【図 5】実施例 2 のクロック信号出力回路を示す。

【図 6】実施例 3 のクロック信号出力回路を示す。

【図 7】実施例 4 のクロック信号出力回路を示す。

【図 8】実施例 5 のクロック信号出力回路を示す。

【図 9】実施例 6 のクロック信号出力回路を示す。

【図 10】実施例 1 と実施例 5 のクロック信号出力回路において、電源電圧を変化させたときのドレイン電圧と電流の関係を示す。

【図 11】実施例 1 のクロック信号出力回路において、環境温度を変化させたときのドレイン電圧と電流の関係を示す。

【図 12】実施例 5 のクロック信号出力回路において、環境温度を変化させたときのドレ

10

20

30

40

50

イン電極と電流の関係を示す。

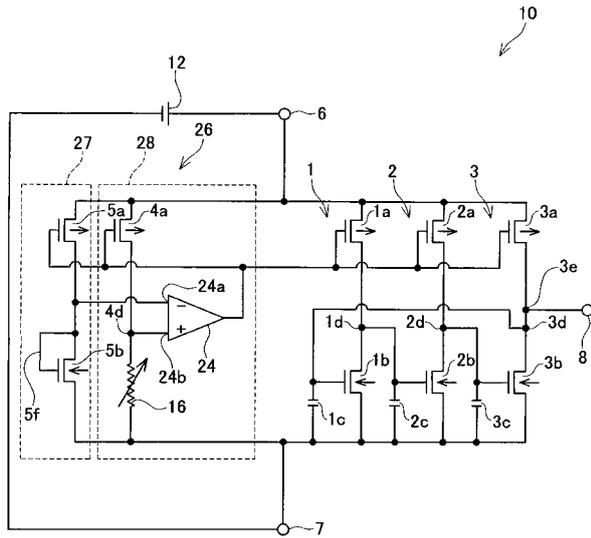
【図 1 3】発振周波数と環境温度、発振周波数と電源電圧の関係を示す。

【符号の説明】

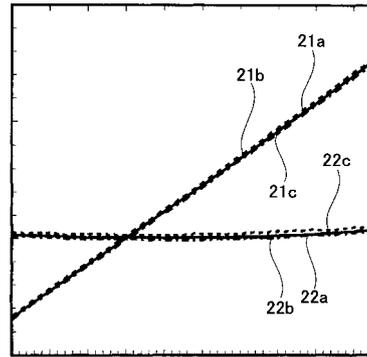
【 0 0 8 0 】

- 1 : 第 1 トランジスタ対
- 1 a : 第 1 トランジスタ対の第 1 トランジスタ
- 1 b : 第 1 トランジスタ対の第 2 トランジスタ
- 1 c : 第 2 トランジスタと端子間に設置されたコンデンサ
- 1 d : 第 1 トランジスタ対の第 1 トランジスタと第 2 トランジスタの中間点
- 2 : 第 2 トランジスタ対 10
- 2 a : 第 2 トランジスタ対の第 1 トランジスタ
- 2 b : 第 2 トランジスタ対の第 2 トランジスタ
- 2 c : 第 2 トランジスタと端子間に設置されたコンデンサ
- 2 d : 第 2 トランジスタ対の第 1 トランジスタと第 2 トランジスタの中間点
- 3 : 第 3 トランジスタ対
- 3 a : 第 3 トランジスタ対の第 1 トランジスタ
- 3 b : 第 3 トランジスタ対の第 2 トランジスタ
- 3 c : 第 2 トランジスタと端子間に設置されたコンデンサ
- 3 d : 第 3 トランジスタ対の第 1 トランジスタと第 2 トランジスタの中間点
- 4 a : 抵抗と直列回路を構成する第 1 トランジスタ 20
- 4 d : 第 1 トランジスタと抵抗の中間点
- 5 a : 追加トランジスタ対の第 1 トランジスタ
- 5 b : 追加トランジスタ対の第 2 トランジスタ
- 5 f : 第 2 トランジスタのドレインとゲートの接続する配線
- 6 : 第 1 端子
- 6 a : 定電流電源と直列回路を構成する第 1 トランジスタ
- 7 : 第 2 端子
- 8 : 第 3 端子
- 1 0 : 実施例 1 のリングオシレータ回路
- 1 2 : 直流電源 30
- 1 6 : 可変抵抗
- 2 0 : 定電流電源
- 2 4 , 3 4 : オペアンプ
- 2 4 a , 3 4 a : オペアンプ反転入力端子
- 2 4 b , 3 4 b : オペアンプの非反転入力端子
- 2 6 : 電流制御回路
- 2 7 : 閾値電圧生成回路
- 2 8 : バイアス電圧生成回路
- 2 9 : 定電流回路
- 3 0 : 従来リングオシレータ回路 40
- 3 3 : 電圧変換回路
- 1 1 0 , 2 1 0 , 3 1 0 , 4 1 0 , 5 1 0 : 実施例のリングオシレータ回路
- 1 1 1 : 実施例 4 のダイオード

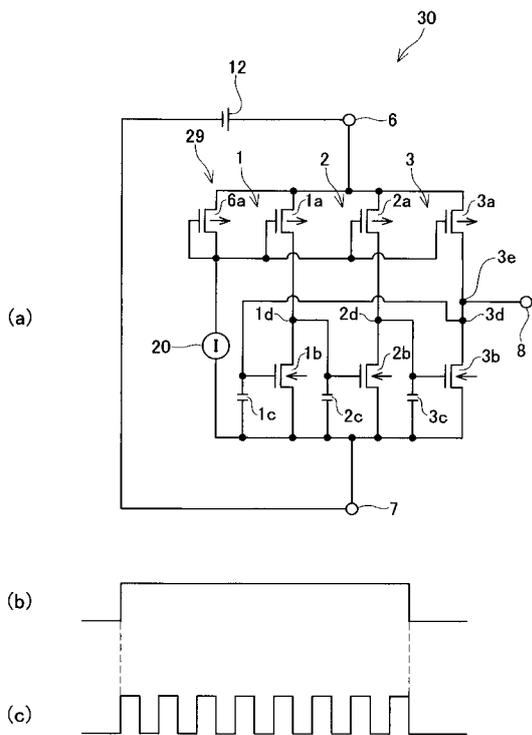
【 図 1 】



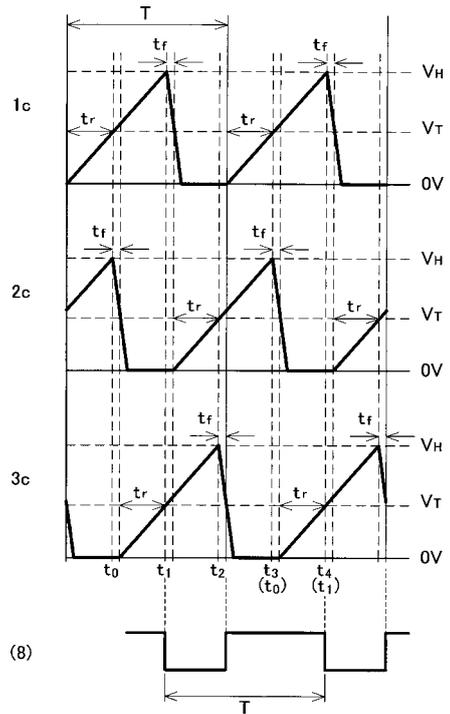
【 図 2 】



【 図 3 】

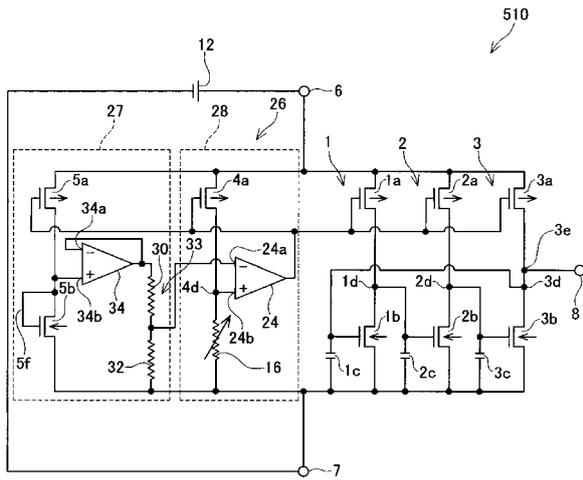


【 図 4 】

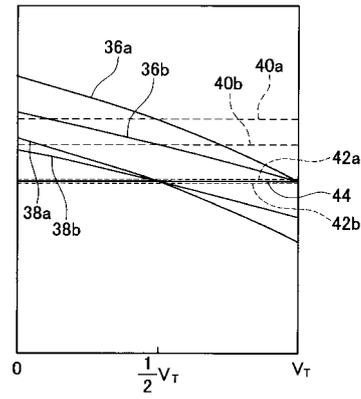




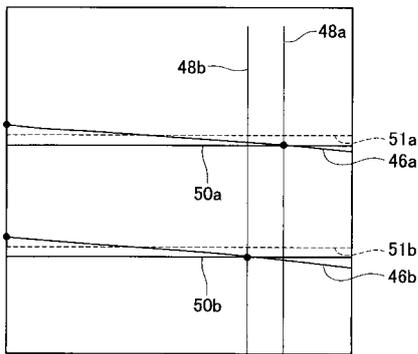
【 図 9 】



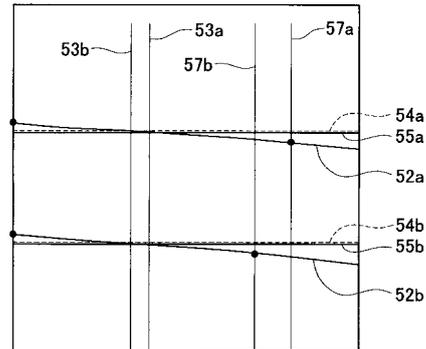
【 図 1 0 】



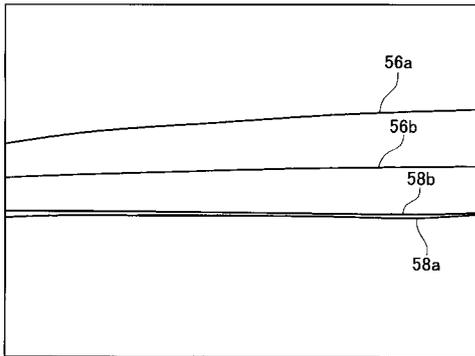
【 図 1 1 】



【 図 1 2 】



【 図 1 3 】



---

フロントページの続き

- (72)発明者 牧野 泰明  
愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内
- (72)発明者 有吉 博海  
愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内