



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년03월21일
 (11) 등록번호 10-1376654
 (24) 등록일자 2014년03월14일

(51) 국제특허분류(Int. Cl.)
 G02F 1/133 (2006.01) G02F 1/1345 (2006.01)
 (21) 출원번호 10-2007-0068847
 (22) 출원일자 2007년07월09일
 심사청구일자 2012년07월05일
 (65) 공개번호 10-2009-0005651
 (43) 공개일자 2009년01월14일
 (56) 선행기술조사문헌
 KR1020030043415 A*
 KR1020040050523 A*
 KR1020040000778 A
 KR1019980068141 A
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
 엘지디스플레이 주식회사
 서울특별시 영등포구 여의대로 128(여의도동)
 (72) 발명자
 문수환
 경북 구미시 상사서로 18, 105동 901호 (상모동, 우방신세계타운)
 (74) 대리인
 박장원

전체 청구항 수 : 총 5 항

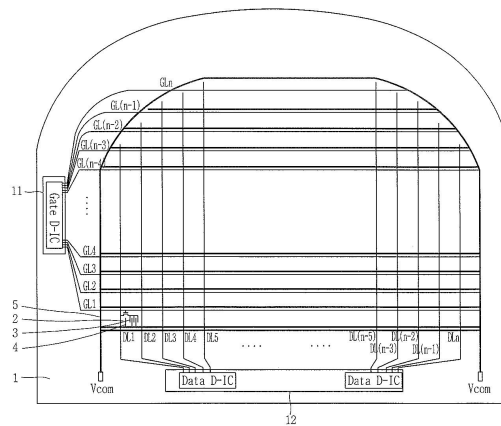
심사관 : 김영태

(54) 발명의 명칭 액정표시장치

(57) 요약

본 발명은 다양한 화면의 형상을 갖는 액정표시장치에 관한 것으로서, 특히 게이트 라인과 데이터 라인의 라인 로드를 보상하여 화면의 품질이 상승 된 액정표시장치에 관한 것이다. 이러한 본 발명은, 기관; 상기 기관 상에 중첩으로 교차되어 화소를 정의하며, 일부는 서로 길이가 다른 다수의 게이트 라인 및 데이터 라인; 상기 화소마다 마련된 화소전극 및 공통전극; 상기 공통전극에 공통전압을 공급하는 공통전압 라인; 상기 다수의 게이트 라인과 공통전압 라인이 오버랩되어 마련되며, 게이트 라인의 길이에 반비례하는 용량을 갖도록 형성되어, 각 게이트 라인이 가지는 기생 커패시터의 용량이 동일하도록 보상하는 다수의 제 1 보상 커패시터; 상기 다수의 데이터 라인과 공통전압 라인이 오버랩되어 마련되며, 데이터 라인의 길이에 반비례하는 용량을 갖도록 형성되어, 각 데이터 라인이 가지는 기생 커패시터의 용량이 동일하도록 보상하는 다수의 제 2 보상 커패시터; 에 의해 달성된다.

대표도 - 도2



특허청구의 범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

기관;

상기 기관 상에 중첩으로 교차되어 화소를 정의하며, 일부는 서로 길이가 다른 다수의 게이트 라인 및 데이터 라인;

외부로부터 입력된 신호들을 이용하여 다수의 제어신호를 발생하고 외부로부터의 화소 데이터를 재정렬하여 출력하는 타이밍 제어부;

외부로부터 입력된 전압을 변환하여 제 1 및 제 2 전원 전압을 출력하는 전원공급부;

상기 타이밍 제어부로부터의 제어신호와 상기 전원공급부로부터의 제 1 및 제 2 전원 전압을 이용하여 상기 다수의 게이트 라인을 구동하는 게이트 드라이버;

상기 타이밍 제어부로부터의 제어신호, 화소 데이터와 상기 전원공급부로부터의 제 1 및 제 2 전원전압을 이용하여 상기 다수의 데이터 라인을 구동하는 데이터 드라이버;

상기 제 2 전원전압이 공급되는 라인과 상기 다수의 게이트 라인이 오버랩되어 마련되며, 상기 다수의 게이트 라인 각각의 길이에 반비례하는 용량을 갖도록 형성되어, 각 게이트 라인이 가지는 기생 커패시터의 용량이 동일하도록 보상하는 다수의 제 1' 보상 커패시터;

상기 제 1 또는 제 2 전원 전압이 공급되는 라인과 상기 다수의 데이터 라인이 오버랩되어 마련되며, 상기 다수의 데이터 라인 각각의 길이에 반비례하는 용량을 갖도록 형성되어, 각 데이터 라인이 가지는 기생 커패시터의 용량이 동일하도록 보상하는 다수의 제 2' 보상 커패시터를 포함하고,

상기 게이트 드라이버는,

상기 타이밍 제어부로부터 입력된 제어신호를 이용하여 제 1 제어신호와 제 2 제어신호를 출력하는 게이트 제어부;

상기 게이트 제어부로부터의 제 1 제어신호에 응답하여 상기 다수의 게이트 라인 각각에 제 1 전원 전압 또는 클럭 신호를 공급하는 제 1 트랜지스터와, 상기 게이트 제어부로부터의 제 2 제어신호에 응답하여 상기 다수의 게이트 라인 각각에 제 2 전원 전압을 공급하는 제 2 트랜지스터를 포함하여 구성되어 상기 게이트 제어부로부터 출력되는 신호를 완충하는 버퍼부를 포함하여 구성된 것을 특징으로 하는 액정표시장치.

청구항 6

삭제

청구항 7

제 5 항에 있어서, 상기 제 1 트랜지스터의 채널 폭(W)대 채널 길이(L)의 비(W/L)가 해당 게이트 라인의 길이에 비례하도록 형성되어, 각 게이트 라인이 가지는 라인 저항의 크기가 동일하도록 보상되는 것을 특징으로 하는

액정표시장치.

청구항 8

제 5 항에 있어서, 상기 제 2 트랜지스터의 채널 폭(W)대 채널 길이(L)의 비(W/L)가 해당 게이트 라인의 길이에 비례하도록 형성되어, 각 게이트 라인이 가지는 라인 저항의 크기가 동일하도록 보상되는 것을 특징으로 하는 액정표시장치.

청구항 9

제 5 항에 있어서, 상기 데이터 드라이버는,

상기 타이밍 제어부로부터 입력된 제어신호를 이용하여 제 3 제어 신호를 출력하며, 상기 타이밍 제어부로부터의 화소 데이터를 변환한 후 출력하는 데이터 제어부;

상기 데이터 제어부로부터의 제 3 제어신호에 응답하여 상기 데이터 라인 각각에 변환된 화소 데이터를 출력하는 제 3 트랜지스터를 포함하여 구성되어 상기 데이터 제어부로부터 출력되는 신호를 완충하는 버퍼부;

를 포함하여 구성된 것을 특징으로 하는 액정표시장치.

청구항 10

제 9 항에 있어서, 상기 제 3 트랜지스터의 채널 폭(W) 대 채널 길이(L)의 비(W/L)는 해당 데이터 라인의 길이에 비례하도록 형성되어, 각 데이터 라인이 가지는 라인 저항의 크기가 동일하도록 보상되는 것을 특징으로 하는 액정표시장치.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 다양한 형상의 화면을 가지는 액정표시장치에 관한 것으로서, 특히 게이트 라인과 데이터 라인의 라인 로드를 보상함으로써 화면의 품질이 상승 된 액정표시장치에 관한 것이다.

배경 기술

[0002] 일반적으로 액정표시장치는 경량, 박형, 저소비 전력구동 등의 특징으로 인해 그 응용범위가 점차 넓어지고 있는 추세에 있다. 이에 따라 액정표시장치는 노트북 PC와 같은 휴대용 컴퓨터, 사무 자동화 기기, 오디오/비디오 기기 등으로 널리 이용되고 있다.

[0003] 통상적으로 액정표시장치는 매트릭스형태로 배열된 다수의 제어용 스위칭 소자에 인가되는 영상신호에 따라 광의 투과량이 조절되어 화면에 원하는 화상을 표시하게 된다.

[0004] 이러한 액정표시장치(Liquid Crystal Display)는 상부기관인 컬러필터(color filter) 기관과 하부기관인 박막트랜지스터 어레이(Thin film Transistor Array) 기관이 서로 대향하고 그 사이에는 액정층이 충전된 액정패널과, 상기 액정패널에 주사신호 및 화상정보를 공급하여 액정패널을 동작시키는 구동부를 포함하여 구성된다.

[0005] 상기와 같은 구성을 가지는 액정표시장치는 최근 다양한 기능 또는 다양한 형상의 화면을 가지는 모델에 대한 사용자의 요구가 늘고 있다. 따라서, 보편적인 직사각형이 아닌 반원이나 원형 등을 비롯한 다양한 형상의 화면을 가지는 액정표시장치에 대한 연구가 이루어지고 있다.

[0006] 이와 같은 다양한 형상의 화면을 가지는 종래 액정표시장치에 대하여 도 1에 도시한 바와 같은 도 2를 참조하여 설명하면 다음과 같다.

[0007] 도 1에는 일반적인 액정표시장치를 블록도로 도시하였으며, 도 2에는 도 1의 일반적인 액정표시장치 중에서 화면 상부의 양 모서리가 곡선인 형상을 가지는 액정표시장치를 평면도로 도시하였다.

[0008] 도 1 및 도 2에 도시한 바와 같이 종래의 일반적인 액정표시장치는, 기관(1); 상기 기관(1) 상에 종횡으로 교차되어 화소(2)를 정의하며, 일부는 서로 길이가 다른 다수의 게이트 라인(GL) 및 데이터 라인(DL); 외부로부터 입력된 신호를 이용하여 다수의 제어신호를 발생하고 외부로부터의 화소 데이터를 재정렬하여 출력하는 타이밍

제어부(13); 외부로부터 입력된 전압을 변환하여 다수의 공급 전압을 출력하는 전원공급부(14); 상기 화소(2)마다 마련된 화소전극(3) 및 공통전극(4); 상기 전원공급부(14)로부터의 공통전압(Vcom)을 공통전극(4)에 공급하는 공통전압 라인(5); 상기 타이밍 제어부(13)로부터의 제어신호와 상기 전원공급부(14)로부터의 공급 전압을 이용하여 게이트 라인(GL)을 구동하는 게이트 드라이버(11); 상기 타이밍 제어부(13)로부터의 제어신호, 화소 데이터와 전원공급부(14)로부터의 공급 전압을 이용하여 데이터 라인(DL)을 구동하는 데이터 드라이버(12); 를 포함하여 구성된다.

[0009] 도 2에 도시한 바와 같이 화면의 양 모서리가 곡선을 이루는 형상인 액정표시장치는 일반적인 직사각형 형상의 화면을 가지는 액정표시장치와는 다르게 다수의 게이트 라인(GL)의 길이가 동일하지 않고 데이터 라인(DL)의 길이 또한 동일하지 않다.

[0010] 따라서, 각 게이트 라인(GL) 또는 데이터 라인(DL)마다 형성되는 라인 로드, 즉 라인 저항 및 기생 커패시터는 각 라인마다 다르게 된다. 이때, 상기 라인 저항의 크기와 기생 커패시터의 용량은 해당 게이트 라인(GL) 또는 데이터 라인(DL)의 길이에 비례하여 상승한다.

[0011] 즉, 각 게이트 라인(GL)의 길이가 동일하지 않아 각 게이트 라인(GL)의 라인 저항 및 기생 커패시터가 달라지므로, 게이트 라인(GL)을 통해 각 화소(2)에 전달되는 신호가 지연되는 정도가 각 게이트 라인(GL)마다 달라서 디스플레이된 화면에 불량이 발생하게 된다. 또한, 각 데이터 라인(DL)의 길이가 동일하지 않아 각 데이터 라인(DL)의 라인 저항 및 기생 커패시터가 달라지므로, 데이터 라인(DL)을 통해 각 화소(2)에 전달되는 데이터 신호가 지연되는 정도가 각 데이터 라인(DL)마다 달라서 디스플레이된 화면에 불량이 발생하게 된다.

발명의 내용

해결 하고자하는 과제

[0012] 이에 본 발명은 상기와 같은 문제점을 해결하기 위한 것으로, 본 발명의 목적은 서로 길이가 다른 게이트 라인 또는 데이터 라인에 보상 저항 및 보상 커패시터를 마련함으로써, 각 게이트 라인 또는 데이터 라인이 갖는 라인 저항 및 기생 커패시터를 동일하도록 설정함으로써 디스플레이된 화면의 품질이 향상된 액정표시장치를 제공하는 것이다.

과제 해결수단

[0013] 삭제

[0014] 본 발명의 실시예에 따른 액정표시장치는, 기관; 상기 기관 상에 중첩으로 교차되어 화소를 정의하며, 일부는 서로 길이가 다른 다수의 게이트 라인 및 데이터 라인; 외부로부터 입력된 신호들을 이용하여 다수의 제어신호를 발생하고 외부로부터의 화소 데이터를 재정렬하여 출력하는 타이밍 제어부; 외부로부터 입력된 전압을 변환하여 제 1 및 제 2 전원 전압을 출력하는 전원공급부; 상기 타이밍 제어부로부터의 제어신호와 전원공급부로부터의 제 1 및 제 2 전원 전압을 이용하여 게이트 라인을 구동하는 게이트 드라이버; 상기 타이밍 제어부로부터의 제어신호, 화소 데이터와 전원공급부로부터의 제 1 및 제 2 전원전압을 이용하여 데이터 라인을 구동하는 데이터 드라이버; 상기 제 2 전원전압이 공급되는 라인과 다수의 게이트 라인이 오버랩되어 마련되며, 게이트 라인의 길이에 반비례하는 용량을 갖도록 형성되어, 각 게이트 라인이 가지는 기생 커패시터의 용량이 동일하도록 보상하는 다수의 제 1' 보상 커패시터; 상기 제 1 또는 제 2 전원 전압이 공급되는 라인과 다수의 데이터 라인이 오버랩되어 마련되며, 데이터 라인의 길이에 반비례하는 용량을 갖도록 형성되어, 각 데이터 라인이 가지는 기생 커패시터의 용량이 동일하도록 보상하는 다수의 제 2' 보상 커패시터; 를 포함하여 구성된다.

효과

[0015] 상기와 같은 구성을 가지는 본 발명에 따른 액정표시장치는, 다양한 화면의 형상을 갖는 액정표시장치에서 길이가 다른 게이트 라인 또는 데이터 라인에 따라 다르게 형성되는 라인 로드를 보상함으로써 화면의 표시 품질이 향상된 액정표시장치를 제공할 수 있는 장점이 있다.

발명의 실시를 위한 구체적인 내용

[0016] 이하, 첨부된 도면을 참조하여 본 발명의 실시예에 따른 액정표시장치 및 그 제조방법에 대하여 상세히 설명한

다.

- [0017] <제 1 실시예>
- [0018] 먼저, 도 3을 참조하여 본 발명의 제 1 실시예에 대하여 설명하겠다.
- [0019] 도 3에 도시한 바와 같이 본 발명의 제 1 실시예에 따른 액정표시장치는, 기관(101); 상기 기관(101) 상에 종횡으로 교차되어 화소(102)를 정의하며, 일부는 서로 길이가 다른 다수의 게이트 라인(GL) 및 데이터 라인(DL); 상기 화소(102)마다 마련된 화소전극(103) 및 공통전극(104); 상기 공통전극(104)에 공통전압(Vcom)을 공급하는 공통전압 라인(105); 상기 다수의 게이트 라인(GL)과 공통전압 라인(105)이 오버랩되어 마련되며, 게이트 라인(GL)의 길이에 반비례하는 크기를 갖도록 형성되어, 각 게이트 라인(GL)이 가지는 기생 커패시터의 용량이 동일하도록 보상하는 다수의 제 1 보상 커패시터(106); 상기 다수의 데이터 라인(DL)과 공통전압 라인(105)이 오버랩되어 마련되며, 데이터 라인(DL)의 길이에 반비례하는 크기를 갖도록 형성되어, 각 데이터 라인(DL)이 가지는 기생 커패시터의 용량이 동일하도록 보상하는 다수의 제 2 보상 커패시터(107); 를 포함하여 구성된다. 또한, 본 발명의 제 1 실시예에 따른 액정표시장치는, 상기 다수의 게이트 라인(GL) 상에 상기 게이트 라인(GL)의 길이에 반비례하는 크기를 갖도록 형성되어, 각 게이트 라인(GL)이 가지는 라인 저항의 크기가 동일하도록 보상하는 다수의 제 1 보상 저항(108)이 추가로 마련되고, 상기 다수의 데이터 라인(DL) 상에 상기 데이터 라인(DL)의 길이에 반비례하는 크기를 갖도록 형성되어, 각 데이터 라인(DL)이 가지는 라인 저항이 동일하도록 보상하는 다수의 제 2 보상 저항(109)이 추가로 마련된다.
- [0020] 도 3에는 설명의 편의를 위하여 액정표시장치의 액정패널을 구성하는 상부기관과 하부기관 중에서 하부기관인 박막 트랜지스터 어레이 기관만을 도시하였다.
- [0021] 도 3에 도시한 상기 기관(101)은 상부의 양 모서리가 곡선인 형상을 가지지만, 본 발명이 이에 한정되는 것은 아니며 본 발명에 따른 기관(101)의 형상은 본 발명의 요지를 벗어나지 않는 범위 내에서 반원 또는 원형 등 다양한 형상일 수 있다.
- [0022] 상기 기관(101)에는 게이트 라인(GL)과 데이터 라인(DL)이 종횡으로 교차되어 화소(102)가 정의되며, 상기 각 화소(102)에는 스위칭 소자인 박막 트랜지스터(115)가 형성된다.
- [0023] 그리고, 상기 기관(101)에는 게이트 라인(GL)을 구동하는 게이트 드라이버(111) 및 데이터 라인(DL)을 구동하는 데이터 드라이버(112)가 구비된다.
- [0024] 도 3에는 게이트 드라이버(111)가 하나의 게이트 드라이브 집적회로(111a)로 구성되고 데이터 드라이버(112)가 두 개의 데이터 드라이브 집적회로(112a, 112b)로 구성된 것을 그 예로 하였지만, 본 발명이 이에 한정되는 것은 아니며 상기 게이트 드라이버(111)를 구성하는 게이트 드라이브 집적회로의 수와 데이터 드라이버(112)를 구성하는 데이터 드라이브 집적회로의 수는 액정표시장치의 모델에 따라 변경이 가능하다.
- [0025] 도 3에 도시한 바와 같이 상기 각 화소(102)에는 박막 트랜지스터의 드레인 단자와 연결되는 화소전극(103)이 형성된다. 상기 화소전극(103)은 해당 화소의 박막트랜지스터(115)의 드레인 단자에 접속되어 데이터 라인(DL)과 평행한 방향으로 다수 개가 형성된다.
- [0026] 그리고, 각 화소(102)에는 상기 화소전극(103)과 함께 공통전극(104)이 마련되는데, 이러한 공통전극(104)은 상기 화소전극(103)과 엇갈려 교차하도록 형성된다.
- [0027] 상기 공통전극(104)은 공통전압 라인(105)에서 분기된 공통라인(105a)으로부터 공통전압(Vcom)이 공급되는데, 도 3을 참조하면 상기 공통전압 라인(105)은 기관(101)의 테두리를 따라 형성되며, 게이트 라인(GL) 또는 데이터 라인(DL)의 끝단과 오버랩되도록 형성된다. 여기서, 공통전압 라인(105)은 도 3에 도시한 바와 같이 공통전압 단자(110)로부터 공통전압(Vcom)이 공급되며, 상기 공통전압 단자(110)는 전원공급부(미도시)로부터 공통전압을 공급받는다. 여기서, 전원공급부는 종래 기술에 따른 액정표시장치를 도시한 도 1을 참조하도록 한다.
- [0028] 본 발명의 제 1 실시예에 따른 액정표시장치를 도시한 도 3에는 상기 공통전압 라인(105)이 기관(101)의 테두리를 따라 폐곡선의 형상으로 마련된 것을 그 예로 하였지만, 본 발명에 따른 공통전압 라인(105)은 이에 한정되는 것이 아니며 본 발명의 요지를 벗어나지 않는 범위 내에서 다양한 예가 가능하다. 즉, 상기 공통전압 라인(105)은 기관(101)의 테두리를 따라 폐곡선이 아닌 두 개의 직선의 형상으로 마련되는 등 다양한 예가 가능하다.
- [0029] 도 3을 참조하면, 상기 기관(101)에 형성된 다수의 게이트 라인(GL)에는 게이트 라인(GL)의 길이에 반비례하는

용량을 갖는 다수의 제 1 보상 커패시터(106)가 마련된다.

- [0030] 상기 제 1 보상 커패시터(106)는 게이트 라인(GL)의 일부 영역과 공통전압 라인(105)으로부터 분기된 라인의 일부 영역이 오버랩되어 형성된다. 즉, 상기 제 1 보상 커패시터(106)는 도 3에 도시한 바와 같이 게이트 라인(GL)의 일부 영역의 면적을 넓게 형성하고 공통전압 라인(105)으로부터 분기된 라인의 일부 영역의 면적을 넓게 형성하여 서로 오버랩시킴으로써 마련될 수 있을 것이다.
- [0031] 도 4a를 참조하여 더욱 상세히 설명하면, 상기 제 1 보상 커패시터(106)는 게이트 라인(GL)과 공통 전압 라인(105)이 게이트 절연막(120)과 보호층(121)을 사이에 두고 오버랩됨으로써 형성된다. 여기서, 상기 게이트 절연막(120)은 액정표시장치의 제조 시에 기판(101) 상에 게이트 라인(GL)을 형성한 후, 게이트 라인(GL)이 형성된 상기 기판(101) 전체에 형성하는 막이다. 그리고, 상기 보호층(121)은, 기판(101) 상에 게이트 라인(GL) 및 데이터 라인(DL)을 비롯한 박막 트랜지스터(115)를 형성한 후, 게이트 라인(GL) 및 데이터 라인(DL)과 박막 트랜지스터(115)가 형성된 상기 기판(101) 전체에 형성하는 막이며, 이러한 보호층(121)의 상부에는 콘택홀(미도시)을 통해 상기 박막 트랜지스터(115)의 드레인 단자와 접속되는 화소전극(103)을 비롯하여 공통전압 라인(105)이 형성된다.
- [0032] 이러한 다수의 제 1 보상 커패시터(106)는 다수의 게이트 라인(GL) 중에서 가장 긴 길이를 갖는 게이트 라인(GL)의 기생 커패시터의 용량을 기준으로 하여 모든 게이트 라인(GL)이 동일한 용량의 기생 커패시터를 가질 수 있도록 설계되며, 이에 따라 각 게이트 라인(GL)과 공통전압 라인(105) 사이에 형성된 상기 다수의 제 1 보상 커패시터(106)의 용량은 상기에 언급한 바와 같이 각 게이트 라인(GL)의 길이에 반비례하게 된다.
- [0033] 즉, 상기 게이트 라인(GL)에 상기 제 1 보상 커패시터(106)가 형성되지 않은 경우를 기준으로 하였을 때 가장 큰 용량의 기생 커패시터를 갖는 게이트 라인(GL)에는 제 1 보상 커패시터(106)가 형성되지 않거나 가장 작은 용량의 제 1 보상 커패시터(106)가 형성되고, 상기 게이트 라인(GL)에 제 1 보상 커패시터(106)가 형성되지 않은 경우를 기준으로 하였을 때 가장 큰 용량의 기생 커패시터를 갖는 게이트 라인(GL)보다 작은 용량의 기생 커패시터를 갖는 게이트 라인(GL)에는 게이트 라인(GL)의 길이에 반비례하는 용량을 갖는 제 1 보상 커패시터(106)가 형성된다.
- [0034] 각 게이트 라인(GL)에 형성되는 상기 제 1 보상 커패시터(106)의 용량에 대하여 도면을 참조하여 더욱 상세히 예를 들어 설명하면 다음과 같다.
- [0035] 도 3을 참조하면, 상기 게이트 라인(GL)은 제 1 게이트 라인(GL1)에서 시작하여 제 (n-4) 게이트 라인(GL(n-4))까지는 그 길이가 동일하며, 제 (n-3) 게이트 라인(GL(n-3))에서 시작하여 제 n 게이트 라인(GLn)까지는 그 길이가 점점 감소한다. 여기서, 상기 게이트 라인(GL)이 제 1 게이트 라인(GL1)에서 시작하여 제 (n-4) 게이트 라인(GL(n-4))까지는 그 길이가 동일하고, 제 (n-3) 게이트 라인(GL(n-3))에서 시작하여 제 n 게이트 라인(GLn)까지는 그 길이가 점점 감소하는 것을 예로 한 것은 본 발명의 설명을 위한 것으로, 본 발명이 이에 한정되는 것이 아니며 기판(101)의 형상에 따라 게이트 라인(GL)의 길이는 도 3에 도시한 것과 다를 수 있다.
- [0036] 따라서, 도 3 을 참조하면 상기 제 1 게이트 라인(GL1)부터 제 (n-4) 게이트 라인(GL(n-4))에는 제 1 보상 커패시터(106)가 형성되지 않거나 가장 작은 용량의 제 1 보상 커패시터(106)가 형성되며, 제 (n-3) 게이트 라인(GL(n-3))부터 제 n 게이트 라인(GLn)에는 제 (n-3) 게이트 라인(GL(n-3))에서부터 제 n 게이트 라인(GLn)으로 갈수록 점점 큰 용량의 제 1 보상 커패시터(106)가 형성된다.
- [0037] 이에 따라, 제 1 게이트 라인(GL1)에서부터 제 n 게이트 라인(GLn)에 형성되는 기생 커패시터가 동일하게 설정된다.
- [0038] 즉, 상기에 설명한 바와 같이 각 게이트 라인(GL)의 길이에 반비례하는 용량의 제 1 보상 커패시터(106)를 형성함으로써, 각 게이트 라인(GL)에 형성되는 기생 커패시터의 용량을 동일하도록 설정할 수 있다.
- [0039] 상기의 설명과 도면에서는 상기 제 1 보상 커패시터(106)가 게이트 라인(GL)의 일 끝단에 형성되며 게이트 드라이버(111)와 인접한 곳에 형성된 것을 그 예로 하였지만, 본 발명이 이에 한정되는 것은 아니며 상기 제 1 보상 커패시터(106)는 게이트 라인(GL)의 일 끝단 중에서 게이트 드라이버(111)와 인접하지 않은 곳에 형성되거나 또는 게이트 라인(GL)의 양 끝단에 두 개가 형성되는 등 다양한 예가 가능할 것이다.
- [0040] 도 3을 참조하면, 상기 기판(101)에 형성된 다수의 게이트 라인(GL)에는 게이트 라인(GL)의 길이에 반비례하는 크기를 갖는 다수의 제 1 보상 저항(108)이 마련된다.
- [0041] 각 게이트 라인(GL)에 마련된 제 1 보상 저항(108)의 크기는, 다수의 게이트 라인(GL) 중에서 가장 긴 길이를

갖는 게이트 라인(GL)의 라인 저항의 크기를 기준으로 하여 모든 게이트 라인(GL)이 같은 크기의 라인 저항을 가질 수 있도록 설계되는데, 이를 더욱 상세히 설명하면 다음과 같다.

- [0042] 상기에 언급한 바와 같이, 상기 게이트 라인(GL)은 제 1 게이트 라인(GL1)에서 시작하여 제 (n-4) 게이트 라인(GL(n-4))까지는 그 길이가 동일하며, 제 (n-3) 게이트 라인(GL(n-3))에서 시작하여 제 n 게이트 라인(GLn)까지는 그 길이가 점점 감소한다.
- [0043] 따라서, 상기 게이트 라인(GL)에 상기 제 1 보상 저항(108)이 형성되지 않은 경우를 기준으로 하였을 때 가장 큰 크기의 라인 저항을 갖는 게이트 라인(GL)에는 제 1 보상 저항(108)이 형성되지 않거나 가장 작은 크기의 제 1 보상 저항(108)이 형성되고, 상기 게이트 라인(GL)에 제 1 보상 저항(108)이 형성되지 않은 경우를 기준으로 하였을 때 가장 큰 크기의 라인 저항을 갖는 게이트 라인(GL)보다 작은 라인 저항을 갖는 게이트 라인(GL)에는 게이트 라인(GL)의 길이에 반비례하는 크기를 갖는 제 1 보상 저항(108)이 형성된다.
- [0044] 즉, 도 3을 참조하면, 상기 제 1 게이트 라인(GL)부터 제 (n-4) 게이트 라인(GL(n-4))에는 제 1 보상 저항(108)이 형성되지 않거나 가장 작은 크기의 제 1 보상 저항(108)이 형성되며, 제 (n-3) 게이트 라인(GL(n-3))부터 제 n 게이트 라인(GLn)에는 제 (n-3) 게이트 라인(GL(n-3))에서부터 제 n 게이트 라인(GLn)으로 갈수록 점점 큰 크기의 제 1 보상 저항(108)이 형성된다.
- [0045] 이에 따라, 제 1 게이트 라인(GL1)에서부터 제 n 게이트 라인(GLn)에 형성되는 라인 저항이 동일하게 설정된다.
- [0046] 즉, 상기에 설명한 바와 같이 각 게이트 라인(GL)의 길이에 반비례하는 크기의 제 1 보상 저항(108)을 형성함으로써, 각 게이트 라인(GL)에 형성되는 라인 저항의 크기를 동일하도록 설정할 수 있다.
- [0047] 상기의 설명과 도면에서는 상기 제 1 보상 저항(108)이 게이트 라인(GL)의 일 끝단에 형성되되 게이트 드라이버(111)와 인접한 곳에 형성된 것을 그 예로 하였지만, 본 발명이 이에 한정되는 것은 아니며 상기 제 1 보상 저항(108)은 게이트 라인(GL)의 일 끝단 중에서 게이트 드라이버(111)와 인접하지 않은 곳에 형성되거나 또는 게이트 라인(GL)의 양 끝단에 두 개가 형성되는 등 다양한 예가 가능할 것이다.
- [0048] 도 3을 참조하면, 상기 기판(101)에 형성된 다수의 데이터 라인(DL)에는 데이터 라인(DL)의 길이에 반비례하는 용량을 갖는 다수의 제 2 보상 커패시터(107)가 마련된다.
- [0049] 상기 제 2 보상 커패시터(107)는 데이터 라인(DL)의 일부 영역과 공통전압 라인(105)으로부터 분기된 라인의 일부 영역이 오버랩되어 형성된다. 즉, 상기 제 2 보상 커패시터(107)는 도 3에 도시한 바와 같이 데이터 라인(DL)의 일부 영역의 면적을 넓게 형성하고 공통전압 라인(105)으로부터 분기된 라인의 일부 영역의 면적을 넓게 형성하여 서로 오버랩시킴으로써 마련될 수 있을 것이다.
- [0050] 도 4b를 참조하여 더욱 상세히 설명하면, 상기 제 2 보상 커패시터(107)는 데이터 라인(DL)과 공통 전압 라인(105)이 보호층(121)을 사이에 두고 오버랩됨으로써 형성된다. 상기 보호층(121)은, 기판(101) 상에 게이트 라인(GL) 및 데이터 라인(DL)을 비롯한 박막 트랜지스터(115)를 형성한 후, 게이트 라인(GL) 및 데이터 라인(DL)과 박막 트랜지스터(115)가 형성된 상기 기판(101) 전체에 형성하는 막이며, 이러한 보호층(121)의 상부에는 콘택홀(미도시)을 통해 상기 박막 트랜지스터(115)의 드레인 단자와 접속되는 화소전극(103)을 비롯하여 공통전압 라인(105)이 형성된다.
- [0051] 상기 제 2 보상 커패시터(107)는 다수의 데이터 라인(DL) 중에서 가장 긴 길이를 갖는 데이터 라인(DL)의 기생 커패시터의 용량을 기준으로 하여 모든 데이터 라인(DL)이 동일한 용량의 기생 커패시터를 가질 수 있도록 설계되며, 이에 따라 각 데이터 라인(DL)과 공통전압 라인(105) 사이에 형성된 제 2 보상 커패시터(107)의 용량은 상기에 언급한 바와 같이 각 데이터 라인(DL)의 길이에 반비례하게 된다.
- [0052] 즉, 상기 데이터 라인(DL)에 상기 제 2 보상 커패시터(107)가 형성되지 않는 경우를 기준으로 하였을 때 가장 큰 용량의 기생 커패시터를 갖는 데이터 라인(DL)에는 제 2 보상 커패시터(107)가 형성되지 않거나 가장 작은 용량의 제 2 보상 커패시터(107)가 형성되고, 상기 데이터 라인(DL)에 제 2 보상 커패시터(107)가 형성되지 않은 경우를 기준으로 하였을 때 가장 큰 용량의 기생 커패시터를 갖는 데이터 라인(DL)보다 작은 용량의 기생 커패시터를 갖는 데이터 라인(DL)에는 데이터 라인(DL)의 길이에 반비례하는 용량을 갖는 제 2 보상 커패시터(107)가 형성된다.
- [0053] 각 데이터 라인(DL)에 형성되는 상기 제 2 보상 커패시터(108)의 용량에 대하여 도면을 참조하여 더욱 상세히 예를 들어 설명하면 다음과 같다.

- [0054] 도 3을 참조하면, 상기 데이터 라인(DL)은 제 1 데이터 라인(DL1)에서 시작하여 제 4 데이터 라인(DL4)까지는 그 길이가 점점 증가하며, 제 5 데이터 라인(DL5)에서 시작하여 제 (n-4) 데이터 라인(DL(n-4))까지는 그 길이가 동일하고, 제 (n-3) 데이터 라인(DL(n-3))에서 시작하여 제 n 데이터 라인(DLn)까지는 그 길이가 점점 감소한다. 여기서, 상기 데이터 라인(DL)이 제 1 데이터 라인(DL1)에서 시작하여 제 4 데이터 라인(DL4)까지는 그 길이가 점점 증가하며, 제 5 데이터 라인(DL5)에서 시작하여 제 (n-4) 데이터 라인(DL(n-4))까지는 그 길이가 동일하고, 제 (n-3) 데이터 라인(DL(n-3))에서 시작하여 제 n 데이터 라인(DLn)까지는 그 길이가 점점 감소하는 것을 예로 한 것은 본 발명의 설명을 위한 것으로, 본 발명이 이에 한정되는 것이 아니며 기관(101)의 형상에 따라 데이터 라인의 길이는 도 3에 도시한 것과 다를 수 있다.
- [0055] 따라서, 도 3을 참조하면 상기 제 5 데이터 라인(DL5)부터 제 (n-4) 데이터 라인(DL(n-4))에는 제 2 보상 커패시터(107)가 형성되지 않거나 가장 작은 용량의 제 2 보상 커패시터(107)가 형성되며, 제 1 데이터 라인(DL1)부터 제 4 데이터 라인(DL4)에는 제 1 데이터 라인(DL1)에서 시작하여 제 4 데이터 라인(DL4)으로 갈수록 점점 작은 용량의 제 2 보상 커패시터(107)가 형성되고, 제 (n-3) 데이터 라인(DL(n-3))부터 제 n 데이터 라인(DLn)에는 제 (n-3) 데이터 라인(DL(n-3))에서 시작하여 제 n 데이터 라인(DLn)으로 갈수록 점점 큰 용량의 제 2 보상 커패시터(107)가 형성된다.
- [0056] 이에 따라, 제 1 데이터 라인(DL1)에서부터 제 n 데이터 라인(DLn)에 형성되는 기생 커패시터가 동일하게 설정된다.
- [0057] 즉, 상기에 설명한 바와 같이 각 데이터 라인(DL)의 길이에 반비례하는 용량의 제 2 보상 커패시터(107)를 형성함으로써, 각 데이터 라인(DL)에 형성되는 기생 커패시터의 용량의 동일하도록 설정할 수 있다.
- [0058] 상기의 설명과 도면에서는 상기 제 2 보상 커패시터(107)가 데이터 라인(DL)의 일 끝단에 형성되되 데이터 드라이버(112)와 인접한 곳에 형성된 것을 그 예로 하였지만, 본 발명이 이에 한정되는 것은 아니며 상기 제 2 보상 커패시터(107)는 데이터 라인(DL)의 일 끝단 중에서 데이터 드라이버(112)와 인접하지 않은 곳에 형성되거나 또는 데이터 라인(DL)의 양 끝단에 두 개가 형성되는 등 다양한 예가 가능할 것이다.
- [0059] 도 3을 참조하면, 상기 기관(101)에 형성된 다수의 데이터 라인(DL)에는 데이터 라인(DL)의 길이에 반비례하는 크기를 갖는 다수의 제 2 보상 저항(109)이 마련된다.
- [0060] 각 데이터 라인(DL)에 마련된 제 2 보상 저항(109)의 크기는, 다수의 데이터 라인(DL) 중에서 가장 긴 길이를 갖는 데이터 라인(DL)의 라인 저항의 크기를 기준으로 하여 모든 데이터 라인(DL)이 같은 라인 저항의 크기를 가질 수 있도록 설계되는데, 이를 더욱 상세히 설명하면 다음과 같다.
- [0061] 상기에 언급한 바와 같이, 상기 데이터 라인(DL)은 제 1 데이터 라인(DL1)에서 시작하여 제 4 데이터 라인(DL4)까지는 그 길이가 점점 증가하며, 제 5 데이터 라인(DL5)에서 시작하여 제 (n-4) 데이터 라인(DL(n-4))까지는 그 길이가 동일하고, 제 (n-3) 데이터 라인(DL(n-3))에서 시작하여 제 n 데이터 라인(DLn)까지는 그 길이가 점점 감소한다.
- [0062] 따라서, 상기 데이터 라인(DL)에 상기 제 2 보상 저항(109)이 형성되지 않는 경우를 기준으로 하였을 때 가장 큰 크기의 라인 저항을 갖는 데이터 라인(DL)에는 제 2 보상 저항(109)이 형성되지 않거나 가장 작은 크기의 제 2 보상 저항(109)이 형성되고, 상기 데이터 라인(DL)에 제 2 보상 저항(109)이 형성되지 않은 경우를 기준으로 하였을 때 가장 큰 크기의 라인 저항을 갖는 데이터 라인(DL)보다 작은 라인 저항을 갖는 데이터 라인(DL)에는 데이터 라인(DL)의 길이에 반비례하는 크기를 갖는 제 2 보상 저항(109)이 형성된다.
- [0063] 즉, 도 3을 참조하면, 상기 제 5 데이터 라인(DL5)부터 제 (n-4) 데이터 라인(DL(n-4))에는 제 2 보상 저항(109)이 형성되지 않거나 가장 작은 크기의 제 2 보상 저항(109)이 형성되며, 제 1 데이터 라인(DL1)부터 제 4 데이터 라인(DL4)에는 제 1 데이터 라인(DL1)에서부터 시작하여 제 4 데이터 라인(DL4)으로 갈수록 점점 작은 크기의 제 2 보상 저항(109)이 형성되고, 제 (n-3) 데이터 라인(DL(n-3))부터 제 n 데이터 라인(DLn)에는 제 (n-3) 데이터 라인(DL(n-3))에서부터 시작하여 제 n 데이터 라인(DLn)으로 갈수록 점점 큰 크기의 제 2 보상 저항(109)이 형성된다.
- [0064] 이에 따라, 제 1 데이터 라인(DL1)에서부터 제 n 데이터 라인(DLn)에 형성되는 라인 저항이 동일하게 설정된다.
- [0065] 즉, 상기에 설명한 바와 같이 각 데이터 라인(DL)의 길이에 반비례하는 크기의 제 2 보상 저항(109)을 형성함으로써, 각 데이터 라인(DL)에 형성되는 라인 저항의 크기를 동일하도록 설정할 수 있다.
- [0066] 상기의 설명과 도면에서는 상기 제 2 보상 저항(109)이 데이터 라인(DL)의 일 끝단에 형성되되 데이터 드라이버

(112)와 인접한 곳에 형성된 것을 그 예로 하였지만, 본 발명이 이에 한정되는 것은 아니며 상기 제 2 보상 저항(109)은 데이터 라인(DL)의 일 끝단 중에서 데이터 드라이버(112)와 인접하지 않은 곳에 형성되거나 또는 데이터 라인(DL)의 양 끝단에 두 개가 형성되는 등 다양한 예가 가능할 것이다.

[0067] <제 2 실시예>

[0068] 이하, 도 5 내지 도 7을 참조하여 본 발명의 제 2 실시예에 대하여 설명하겠다. 본 발명의 제 2 실시예에 따른 액정표시장치를 설명함에 있어서, 도 5 내지 도 7에 도시되지 않은 구성요소는 본 발명의 제 1 실시예에 따른 액정표시장치를 도시한 도 3을 참조하겠다.

[0069] 도 5 내지 도 7에 도시한 바와 같이 본 발명의 제 2 실시예에 따른 액정표시장치는, 기관(도 3의 101 참조); 상기 기관 상에 종횡으로 교차되어 화소(도 3의 102 참조)를 정의하며, 일부는 서로 길이가 다른 다수의 게이트 라인(GL) 및 데이터 라인(DL); 외부로부터 입력된 신호들을 이용하여 다수의 제어신호를 발생하고 외부로부터의 화소 데이터를 재정렬하여 출력하는 타이밍 제어부(213); 외부로부터 입력된 전압을 변환하여 제 1 및 제 2 전원 전압(VDD, VSS)을 출력하는 전원공급부(214); 상기 타이밍 제어부(213)로부터의 제어신호와 전원공급부(214)로부터의 제 1 및 제 2 전원 전압(VDD, VSS)을 이용하여 게이트 라인(GL)을 구동하는 게이트 드라이버(211); 상기 타이밍 제어부(213)로부터의 제어신호, 화소 데이터와 전원공급부(214)로부터의 제 1 및 제 2 전원전압(VDD, VSS)을 이용하여 데이터 라인(DL)을 구동하는 데이터 드라이버(212); 상기 제 2 전원전압(VSS)이 공급되는 라인과 다수의 게이트 라인(GL)이 오버랩되어 마련되며, 게이트 라인(GL)의 길이에 반비례하는 용량을 갖도록 형성되어, 각 게이트 라인(GL)이 가지는 기생 커패시터의 용량이 동일하도록 보상하는 제 1' 보상 커패시터(C1); 상기 제 1 또는 제 2 전원 전압(VDD, VSS)이 공급되는 라인과 다수의 데이터 라인(DL)이 오버랩되어 마련되며, 데이터 라인(DL)의 길이에 반비례하는 용량을 갖도록 형성되어, 각 데이터 라인(DL)이 가지는 기생 커패시터의 용량이 동일하도록 보상하는 다수의 제 2' 보상 커패시터(C2); 를 포함하여 구성된다.

[0070] 그리고, 본 발명의 제 2 실시예에 따른 액정표시장치에 구비된 게이트 드라이버(211)는, 상기 타이밍 제어부(213)로부터 입력된 제어신호를 이용하여 제 1 제어신호(Q1)와 제 2 제어신호(Q2)를 출력하는 게이트 제어부(211c); 상기 게이트 제어부(211c)로부터의 제 1 제어신호(Q1)에 응답하여 게이트 라인(GL)에 제 1 전원 전압(VDD) 또는 클럭 신호(CLK)를 공급하는 제 1 트랜지스터(T1)와, 상기 게이트 제어부(211c)로부터의 제 2 제어신호(Q2)에 응답하여 게이트 라인(GL)에 제 2 전원 전압(VSS)을 공급하는 제 2 트랜지스터(T2)를 포함하여 구성되어 상기 게이트 제어부(211c)로부터 출력되는 신호를 완충하는 버퍼부(211d); 를 포함하여 구성된다. 여기서, 상기 제 1 및 제 2 트랜지스터(T1, T2)의 채널 폭(W) 대 채널 길이(L)의 비(W/L)는 해당 게이트 라인(GL)의 길이에 비례하도록 형성되어, 각 게이트 라인(GL)이 가지는 라인 저항의 크기가 동일하도록 보상된다.

[0071] 또한, 본 발명의 제 2 실시예에 따른 액정표시장치에 구비된 데이터 드라이버(212)는, 상기 타이밍 제어부(213)로부터 입력된 제어신호를 이용하여 제 3 제어 신호(Q3)를 출력하며, 상기 타이밍 제어부(213)로부터의 화소 데이터를 변환한 후 출력하는 데이터 제어부(212c); 상기 데이터 제어부(212c)로부터의 제 3 제어신호(Q3)에 응답하여 데이터 라인(DL)에 변환된 화소 데이터를 출력하는 제 3 트랜지스터(T3)를 포함하여 구성되어 상기 데이터 제어부(212c)로부터 출력되는 신호를 완충하는 버퍼부(212d); 를 포함하여 구성된다. 여기서, 상기 제 3 트랜지스터(T3)의 채널 폭(W) 대 채널 길이(L)의 비(W/L)는 해당 데이터 라인(DL)의 길이에 비례하도록 형성되어, 각 데이터 라인(DL)이 가지는 라인 저항의 크기가 동일하도록 보상된다.

[0072] 이와 같은 구성을 갖는 본 발명의 제 2 실시예에 따른 액정표시장치를 상세히 설명하면 다음과 같다.

[0073] 도 5에는 설명의 편의를 위하여 액정표시장치의 액정패널을 구성하는 요소 중에 게이트 드라이버(211), 전원공급부(214) 및 타이밍 제어부(213)를 도시하였다.

[0074] 도 3 을 참조하면, 상기 기관은 액정표시장치의 액정패널을 구성하는 상부기관과 하부기관 중에서 하부기관인 박막 트랜지스터 어레이 기관이며, 상부의 양 모서리가 곡선인 형상을 가진다. 이와 같이, 본 발명의 제 2 실시예에 따른 기관 또한 제 1 실시예에 따른 기관과 마찬가지로 기관의 양 모서리가 곡선인 형상을 가지지만, 본 발명이 이에 한정되는 것은 아니며 상기 기관의 형상은 본 발명의 요지를 벗어나지 않는 범위 내에서 반원 또는 원형 등 다양한 형상일 수 있다.

[0075] 상기 기관에는 게이트 라인(GL)과 데이터 라인(DL)이 종횡으로 교차되어 화소가 정의되며, 상기 각 화소에는 스위칭 소자인 박막 트랜지스터(도 3의 115 참조)가 형성된다.

[0076] 본 발명의 제 2 실시예에 따른 게이트 라인(GL)과 데이터 라인(DL)의 길이에 있어서는, 설명의 편의를 위하여

본 발명의 제 1 실시예에 따른 액정표시장치를 도시한 도면인 도 3을 참조하겠다.

- [0077] 즉, 본 발명의 제 2 실시예에 따른 게이트 라인(GL)은 제 1 게이트 라인(GL1)에서 시작하여 (n-4) 게이트 라인(GL(n-4))까지는 그 길이가 동일하며, 제 (n-3) 게이트 라인(GL(n-3))에서 시작하여 제 n 게이트 라인(GLn)까지는 그 길이가 점점 감소한다. 여기서, 상기 게이트 라인(GL)이 제 1 게이트 라인(GL1)에서 시작하여 제 (n-4) 게이트 라인(GL(n-4))까지는 그 길이가 동일하고, 제 (n-3) 게이트 라인(GL(n-3))에서 시작하여 제 n 게이트 라인(GLn)까지는 그 길이가 점점 감소하는 것을 예로 한 것은 본 발명의 설명을 위한 것으로, 본 발명이 이에 한정되는 것이 아니며 기판의 형상에 따라 게이트 라인(GL)의 길이는 충분히 변경될 수 있을 것이다.
- [0078] 그리고, 본 발명의 제 2 실시예에 따른 데이터 라인(DL)은 제 1 데이터 라인(DL1)에서 시작하여 제 4 데이터 라인(DL4)까지는 그 길이가 점점 증가하며, 제 5 데이터 라인(DL5)에서 시작하여 제 (n-4) 데이터 라인(DL(n-4))까지는 그 길이가 동일하고, 제 (n-3) 데이터 라인(DL(n-3))에서 시작하여 제 n 데이터 라인(DLn)까지는 그 길이가 점점 감소한다. 여기서, 상기 데이터 라인(DL)이 제 1 데이터 라인(DL1)에서 시작하여 제 4 데이터 라인(DL4)까지는 그 길이가 점점 증가하며, 제 5 데이터 라인(DL5)에서 시작하여 제 (n-4) 데이터 라인(DL(n-4))까지는 그 길이가 동일하고, 제 (n-3) 데이터 라인(DL(n-3))에서 시작하여 제 n 데이터 라인(DLn)까지는 그 길이가 점점 감소하는 것을 예로 한 것은 본 발명의 설명을 위한 것으로, 본 발명이 이에 한정되는 것이 아니며 기판의 형상에 따라 데이터 라인(DL)의 길이는 충분히 변경될 수 있을 것이다.
- [0079] 도 4를 참조하면, 본 발명의 제 2 실시예에 따른 액정표시장치는 외부로부터 입력된 신호를 이용하여 다수의 제어신호를 발생하고 외부로부터 입력된 화소 데이터를 재정렬하여 출력하는 타이밍 제어부(213)를 구비한다. 이러한 타이밍 제어부(213)로부터 출력되는 다수의 제어신호는 게이트 드라이버(211)와 데이터 드라이버(212)로 전달되며, 게이트 드라이버(211)와 데이터 드라이버(212)는 상기 다수의 제어신호를 이용하여 게이트 라인(GL) 및 데이터 라인(DL)을 구동한다.
- [0080] 그리고, 본 발명의 제 2 실시예에 따른 액정표시장치는 외부로부터 입력되는 전압을 변환하여 액정표시장치의 각 구성요소를 구동하기 위하여 필요한 제 1 전압(VDD) 및 제 2 전압(VSS) 등을 출력하는 전원공급부(214)가 구비된다. 이와 같이 전원공급부(214)로부터 출력되는 다수의 공급 전압 중에 제 1 전압(VDD) 및 제 2 전압(VSS)은 게이트 드라이버(211)와 데이터 드라이버(212)로 공급되며, 게이트 드라이버(211)와 데이터 드라이버(212)는 상기 제 1 전압(VDD) 및 제 2 전압(VSS)을 이용하여 게이트 라인(GL) 및 데이터 라인(DL)을 구동한다.
- [0081] 상기 게이트 드라이버(211)는 타이밍 제어부(213)로부터 입력된 제어신호와 전원공급부(214)로부터 입력된 제 1 전원전압(VDD) 및 제 2 전원전압(VSS)을 이용하여 게이트 라인(GL)을 한 라인씩 순차 구동한다. 상기 게이트 드라이버(211)에는 게이트 제어부(211c)를 비롯하여, 버퍼부(211d)가 구비되는데, 이러한 게이트 드라이버(211)에 대하여 상세히 설명하면 다음과 같다.
- [0082] 상기 게이트 제어부(211c)는 타이밍 제어부(213)로부터 입력된 제어신호를 이용하여 제 1 제어신호(Q1)와 제 2 제어신호(Q2)를 출력한다. 상기 제 1 제어신호(Q1)는 게이트 라인(GL)에 제 1 전원전압(VDD)을 공급함으로써 해당 게이트 라인(GL)을 구동하기 위한 신호이며, 상기 제 2 제어신호(Q2)는 게이트 라인(GL)에 제 2 전원전압(VSS)을 공급함으로써 해당 게이트 라인(GL)을 구동하지 않기 위한 신호이다.
- [0083] 이와 같은 제 1 제어신호(Q1)와 제 2 제어신호(Q2)는 버퍼부, 즉 제 1 트랜지스터(T1)와 제 2 트랜지스터(T2)에 공급된다.
- [0084] 상기 버퍼부(211d)는 제 1 트랜지스터(T1)와 제 2 트랜지스터(T2)로 구성되어 각 게이트 라인(GL)에 연결된 버퍼(211e)가 다수 개 구비된다.
- [0085] 상기 제 1 트랜지스터(T1)의 게이트 단자는 게이트 제어부(211c)로부터 제 1 제어신호(Q1)가 공급되는 라인에 연결되고 소스 단자는 게이트 제어부(211c)로부터 제 1 전원전압(VDD) 또는 클럭신호(CLK)가 공급되는 라인에 연결되며 드레인 단자는 해당 게이트 라인(GL)에 연결된다. 그리고, 상기 제 2 트랜지스터(T2)의 게이트 단자는 제 2 제어신호(Q2)가 공급되는 라인에 연결되고 소스 단자는 제 2 전원전압(VSS)이 공급되는 라인에 연결되며 드레인 단자는 해당 게이트 라인(GL)에 연결된다.
- [0086] 따라서, 상기 제 1 트랜지스터(T1)는 게이트 제어부(211c)로부터의 제 1 제어신호(Q1)에 응답하여 해당 게이트 라인(GL)에 제 1 전원 전압(VDD) 또는 클럭 신호(CLK)를 인가함으로써 게이트 라인(GL)을 구동하고, 상기 제 2 트랜지스터(T2)는 게이트 제어부(211c)로부터의 제 2 제어신호(Q2)에 응답하여 해당 게이트 라인(GL)에 제 2 전원전압(VSS)을 공급함으로써 게이트 라인(GL)을 구동하지 않을 것이다.

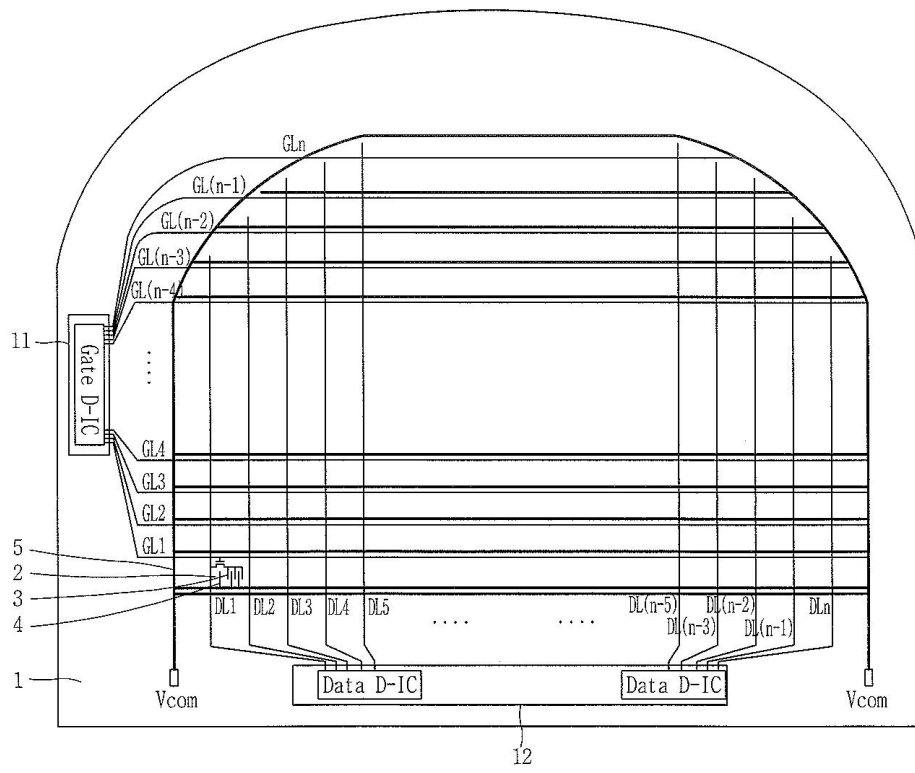
- [0087] 도 6은 제 1 트랜지스터(T1)를 도시한 평면도이며, 이를 참조하면 상기 제 1 트랜지스터(T1)의 채널 폭(W)은 소스 전극과 드레인 전극이 마주보는 변의 길이이며, 채널 길이(L)는 소스 전극과 드레인 전극이 이격된 거리이며, 제 2 트랜지스터(T2)도 마찬가지이다.
- [0088] 도면에 상세히 도시하지는 않았지만, 상기 제 1 트랜지스터(T1)와 제 2 트랜지스터(T2)의 채널 폭(W)대 채널 길이(L)의 비(W/L)는 제 1 트랜지스터(T1) 및 제 2 트랜지스터(T2) 자신이 연결된 게이트 라인(GL)의 길이에 비례한다.
- [0089] 즉, 각 게이트 라인(GL)과 연결된 제 1 트랜지스터(T1) 및 제 2 트랜지스터(T2)의 채널 폭(W)대 채널 길이(L)의 비(W/L)는, 다수의 게이트 라인(GL) 중에서 가장 긴 길이를 갖는 제 1 게이트 라인(GL1)에서부터 제 (n-4) 게이트 라인(GL(n-4))과 연결되는 경우 가장 크며, 제 (n-3) 게이트 라인(GL(n-3))에서부터 제 n 게이트 라인(GLn)과 연결되는 경우에는 제 (n-3) 게이트 라인(GL(n-3))에서부터 제 n 게이트 라인(GLn)으로 갈수록 점점 작아지도록 형성된다.
- [0090] 이에 따라, 각 게이트 라인(GL)에 연결된 버퍼(111e)의 출력 저항은 게이트 라인(GL)의 길이에 반비례하도록 설정된다.
- [0091] 즉, 상기에 설명한 바와 같이 다수의 제 1 트랜지스터(T1)와 제 2 트랜지스터(T2)의 채널 폭(W)대 채널 길이(L)의 비(W/L)를 제 1 트랜지스터(T1)와 제 2 트랜지스터(T2) 자신이 연결된 게이트 라인(GL)의 길이에 비례하도록 형성함으로써, 각 버퍼(211e)의 출력 저항의 크기와 게이트 라인(GL)의 라인 저항의 크기를 더한 값이 동일하도록 설정된다.
- [0092] 도 5에는 편의상, 제 1 게이트 라인(GL1)에 형성된 제 1' 보상 커패시터(C1)와 제 n 게이트 라인(GLn)에 형성된 제 1' 보상 커패시터(C1)만을 도시하였다.
- [0093] 도 5를 참조하면, 다수의 게이트 라인(GL)에는 제 2 전원전압(VSS)이 공급되는 라인과 각 게이트 라인(GL)이 오버랩되어 형성된 다수의 제 1' 보상 커패시터(C1)가 마련되며, 이러한 제 1' 보상 커패시터(C1)는 자신이 연결된 게이트 라인(GL)의 길이에 반비례하는 용량을 갖는다.
- [0094] 즉, 제 2 전원전압(VSS)이 공급되는 라인과 각 게이트 라인(GL) 사이에 형성된 제 1' 보상 커패시터(C1)의 용량은, 다수의 게이트 라인(GL) 중에서 가장 긴 길이를 갖는 제 1 게이트 라인(GL1)에서부터 제 (n-4) 게이트 라인(GL(n-4))과 연결되는 경우 가장 작거나 형성되지 않으며, 제 (n-3) 게이트 라인(GL(n-3))에서부터 제 n 게이트 라인(GLn)과 연결되는 경우에는 제 (n-3) 게이트 라인(GL(n-3))에서부터 제 n 게이트 라인(GLn)으로 갈수록 점점 커지도록 형성된다.
- [0095] 이에 따라, 제 1 게이트 라인(GL1)에서부터 제 n 게이트 라인(GL)에 형성되는 기생 커패시터가 동일하게 설정된다.
- [0096] 즉, 상기에 설명한 바와 같이 각 게이트 라인(GL)의 길이에 반비례하는 용량을 가지는 다수의 제 1' 보상 커패시터(C1)를 형성함으로써, 각 게이트 라인(GL)에 형성되는 기생 커패시터의 용량을 동일하도록 설정할 수 있다.
- [0097] 도 6을 참조하면, 상기 데이터 드라이버(212)는 타이밍 제어부(213)로부터 제어신호와 화소 데이터를 입력받고 전원공급부(214)로부터 제 1 전원전압(VDD) 및 제 2 전원전압(VSS)을 입력받으며, 이러한 데이터 드라이버(212)는 상기 제어신호와 제 1 전원전압(VDD) 및 제 2 전원전압(VSS)을 이용하여 화소 데이터를 적절히 변환한 후에 게이트 라인(GL)을 기준으로 하였을 때 한 라인 분씩 동시에 데이터 라인(DL)으로 출력한다.
- [0098] 상기 데이터 드라이버(212)에는 데이터 제어부(212c)를 비롯하여, 버퍼부(212d)가 구비되는데, 이러한 데이터 드라이버(212)에 대하여 상세히 설명하면 다음과 같다.
- [0099] 상기 데이터 제어부(212c)는 타이밍 제어부(213)로부터 입력된 제어신호를 이용하여 제 3 제어신호(Q3)를 출력한다. 그리고, 상기 데이터 제어부(212c)는 타이밍 제어부(213)로부터 입력된 화소 데이터를 적절히 변환한 후 출력한다. 여기서, 상기 제 3 제어신호(Q3)는 데이터 라인(DL)에 화소 데이터를 완충하여 공급하기 위한 신호이다.
- [0100] 상기 제 3 제어신호(Q3)는 버퍼부(212d), 즉 제 3 트랜지스터(T3)에 공급된다.
- [0101] 상기 버퍼부(212d)는 제 3 트랜지스터(T3)로 구성되어 각 데이터 라인(DL)에 연결되는 버퍼(212e)가 다수 개가 구비된다.

- [0102] 즉, 상기 제 3 트랜지스터(T3)의 게이트 단자는 데이터 제어부(212c)로부터 제 3 제어신호(Q3)가 공급되는 라인에 연결되고 소스 단자는 데이터 제어부(212c)로부터 화소 데이터가 출력되는 라인에 연결되며 드레인 단자는 해당 데이터 라인(DL)에 연결된다.
- [0103] 따라서, 상기 제 3 트랜지스터(T3)는 데이터 제어부(212c)로부터의 제 3 제어신호(Q3)에 응답하여 해당 데이터 라인(DL)에 화소 데이터를 공급하게 된다. 여기서, 상기 제 3 제어신호(Q3)는 각 데이터 라인(DL)과 연결되는 제 3 트랜지스터(T3) 모두에 동시에 공급됨으로써, 모든 데이터 라인(DL)에 동시에 화소 데이터를 공급하게 된다.
- [0104] 도면에 상세히 도시하지는 않았지만, 제 3 트랜지스터(T3)의 채널 폭(W)은 소스 전극과 드레인 전극이 마주보는 변의 길이이며, 채널 길이(L)는 소스 전극과 드레인 전극이 이격된 거리이다.
- [0105] 여기서, 상기 제 3 트랜지스터(T3)의 채널 폭(W)대 채널 길이(L)의 비(W/L)는 제 3 트랜지스터(T3) 자신이 연결된 데이터 라인(DL)의 길이에 비례한다.
- [0106] 즉, 데이터 라인(DL)과 연결된 제 3 트랜지스터(T3)의 채널 폭(W)대 채널 길이(L)의 비(W/L)는, 제 1 데이터 라인(DL1)부터 제 4 데이터 라인(DL4)과 연결되는 경우에는 제 1 데이터 라인(DL1)에서부터 제 4 데이터 라인(DL4)으로 갈수록 점점 커지고, 다수의 데이터 라인(DL) 중에서 가장 긴 길이를 갖는 제 5 데이터 라인(DL5)부터 제 (n-4) 데이터 라인(DL(n-4))과 연결되는 경우 가장 크며, 제 (n-3) 데이터 라인(DL(n-3))에서부터 시작하여 제 n 데이터 라인(DLn)과 연결되는 경우에는 제 (n-3) 데이터 라인(DL(n-3))에서부터 시작하여 제 n 데이터 라인(DLn)으로 갈수록 점점 작아진다.
- [0107] 이에 따라, 각 데이터 라인(DL)에 연결된 버퍼(212e)의 출력 저항은 데이터 라인(DL)의 길이에 반비례하도록 설정된다.
- [0108] 즉, 상기에 설명한 바와 같이 다수의 제 3 트랜지스터(T3)의 채널 폭(W)대 채널 길이(L)의 비(W/L)를 자신이 연결된 데이터 라인(DL)의 길이에 비례하도록 형성함으로써, 각 버퍼(212e)의 출력 저항의 크기와 데이터 라인(DL)의 라인 저항의 크기를 더한 값이 동일하도록 설정된다.
- [0109] 도 7에는 편의상, 제 1 데이터 라인(DL1)에 형성된 제 2' 보상 커패시터(C2)와 제 n 데이터 라인(DLn)에 형성된 제 2' 보상 커패시터(C2)만을 도시하였다.
- [0110] 도 7을 참조하면, 상기 다수의 데이터 라인(DL)에는 제 1 전원전압(VDD)이 공급되는 라인 혹은 제 2 전원전압(VSS)이 공급되는 라인과 각 데이터 라인(DL)이 오버랩되어 형성된 다수의 제 2' 보상 커패시터(C2)가 마련되며, 이러한 제 2' 보상 커패시터(C2)는 자신이 연결된 데이터 라인(DL)의 길이에 반비례하는 용량을 갖는다.
- [0111] 즉, 제 1 전원전압(VDD)이 공급되는 라인 혹은 제 2 전원전압(VSS)이 공급되는 라인과 각 데이터 라인(DL) 사이에 형성된 제 2' 보상 커패시터(C2)의 용량은, 제 1 데이터 라인(DL1)부터 제 4 데이터 라인(DL4)과 연결되는 경우에는 제 1 데이터 라인(DL1)에서부터 제 4 데이터 라인(DL4)으로 갈수록 점점 작아지고, 다수의 데이터 라인(DL) 중에서 가장 긴 길이를 갖는 제 5 데이터 라인(DL5)에서부터 제 (n-4) 데이터 라인(DL(n-4))과 연결되는 경우에는 가장 작거나 형성되지 않으며, 제 (n-3) 데이터 라인(DL(n-3))에서부터 제 n 데이터 라인(DLn)과 연결되는 경우에는 제 (n-3) 데이터 라인(DL(n-3))에서부터 제 n 데이터 라인(DLn)으로 갈수록 점점 커지도록 형성된다.
- [0112] 이에 따라, 제 1 데이터 라인(DL1)에서부터 제 n 데이터 라인(DLn)에 형성되는 기생 커패시터가 동일하게 설정된다.
- [0113] 즉, 상기에 설명한 바와 같이 각 데이터 라인(DL)의 길이에 반비례하는 용량을 가지는 다수의 제 2' 보상 커패시터(C2)를 형성함으로써, 각 데이터 라인(DL)에 형성되는 기생 커패시터의 용량을 동일하도록 설정할 수 있다.

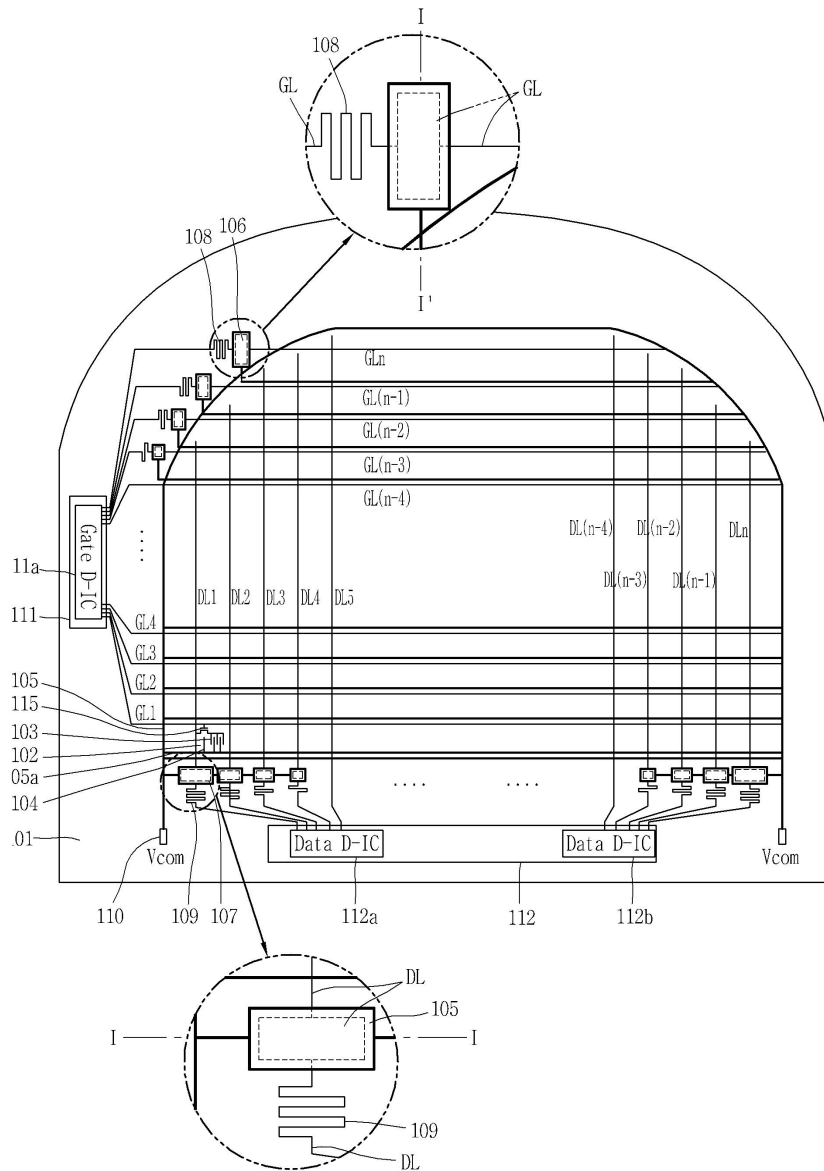
도면의 간단한 설명

- [0114] 도 1은 일반적인 액정표시장치를 도시한 블록도.
- [0115] 도 2는 도 1의 액정표시장치를 도시한 평면도.
- [0116] 도 3은 본 발명의 제 1 실시예에 따른 액정표시장치를 도시한 평면도.

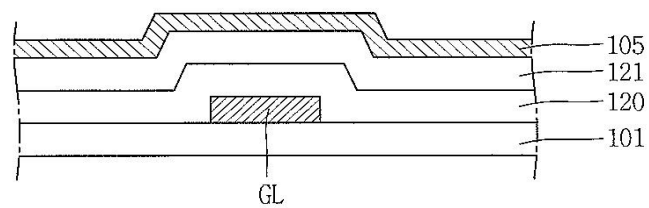
도면2



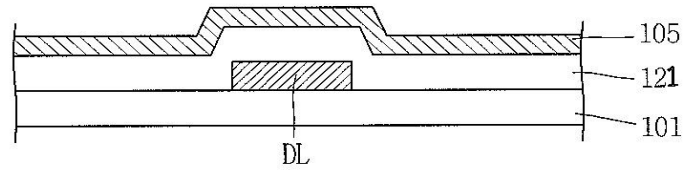
도면3



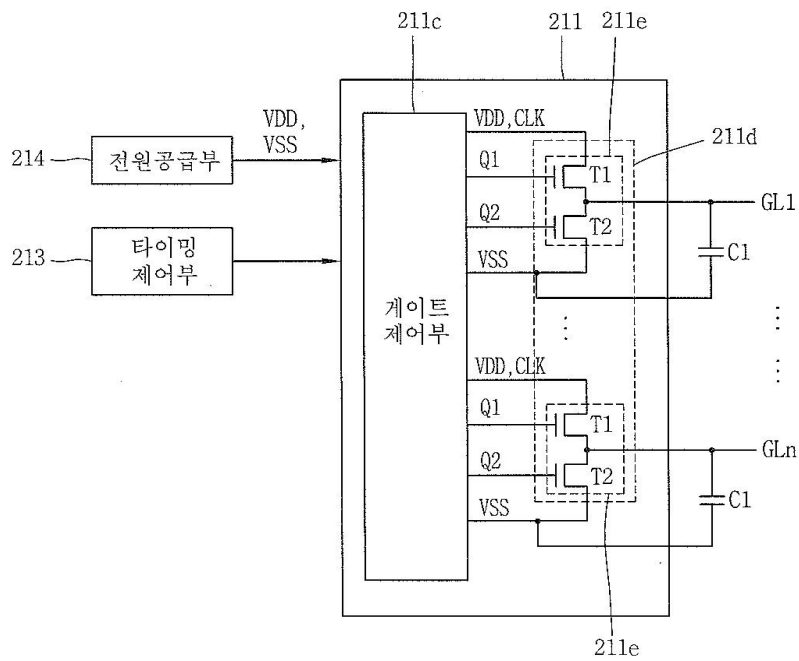
도면4a



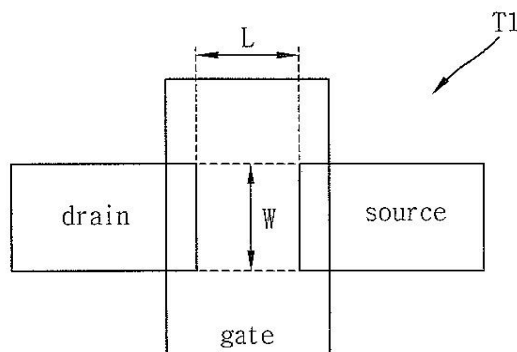
도면4b



도면5



도면6



도면7

