

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4408938号
(P4408938)

(45) 発行日 平成22年2月3日(2010.2.3)

(24) 登録日 平成21年11月20日(2009.11.20)

(51) Int.Cl. F I
H03M 1/74 (2006.01) H03M 1/74

請求項の数 15 (全 21 頁)

(21) 出願番号	特願2008-120026 (P2008-120026)	(73) 特許権者	308014341
(22) 出願日	平成20年5月1日(2008.5.1)		富士通マイクロエレクトロニクス株式会社
(62) 分割の表示	特願平10-369924の分割		東京都新宿区西新宿二丁目7番1号
原出願日	平成10年12月25日(1998.12.25)	(74) 代理人	100099759
(65) 公開番号	特開2008-187748 (P2008-187748A)		弁理士 青木 篤
(43) 公開日	平成20年8月14日(2008.8.14)	(74) 代理人	100119987
審査請求日	平成20年5月1日(2008.5.1)		弁理士 伊坪 公一
(31) 優先権主張番号	9800367:6	(74) 代理人	100081330
(32) 優先日	平成10年1月8日(1998.1.8)		弁理士 樋口 外治
(33) 優先権主張国	英国 (GB)	(74) 代理人	100141254
			弁理士 榎原 正巳
		(74) 代理人	100113826
			弁理士 倉地 保幸
		(74) 代理人	100114177
			弁理士 小林 龍

最終頁に続く

(54) 【発明の名称】 セルアレイ回路

(57) 【特許請求の範囲】

【請求項1】

第1、第2、第3及び第4のセルアレイであって、それぞれが行と列に配列された相互に対応する複数のセルで作られ、前記第2、第3及び第4のセルアレイのそれぞれは前記第1のセルアレイに対して所定の位置関係に配置され、各セルはそれぞれのアナログ量を規定する回路を含む第1、第2、第3及び第4のセルアレイと、

組内の前記アレイの前記セルを選択するセル組選択手段であって、各セル組は、前記第1のセルアレイからの第1セル、関係するセル組の前記第1セルに個別に対応する前記第2のセルアレイからの第2セル、関係するセル組の前記第1セルに個別に対応する前記第3のセルアレイからの第3セル、及び関係するセル組の前記第1セルに個別に対応する前記第4のセルアレイからの第4セルを含むセル組選択手段と、

選択されたセル組の前記第1、第2、第3及び第4セルにより規定される各アナログ量を累積する累積手段と、を備え、

前記第2のセルアレイ内の第2のセルの物理的な配置は、前記第1セルアレイ内の対応する各第1セルの物理的な配置の所定の變形に対応し、前記第3のセルアレイ内の第3のセルの物理的な配置は、前記第1セルアレイ内の対応する各第1セルの物理的な配置の所定の變形に対応し、そして前記第4のセルアレイ内の第4のセルの物理的な配置は、前記第1セルアレイ内の対応する各第1セルの物理的な配置の所定の變形に対応し、

前記4個のセルアレイを含む領域は、該領域の原点で交わる第1及び第2の相互に垂直である軸により、4個の象限に分割され、前記第1、第2、第3及び第4のセルアレイは

10

20

、前記4個の象限にそれぞれ配置され、

前記第1及び第2の象限は前記第2の軸の同じ側にあり、前記第1及び第3の象限は前記第1の軸の同じ側にあり、

前記第1のセルアレイは前記第1象限に配置され、

前記第2のセルアレイは、前記第1のセルアレイの前記第2の軸に対する反射であって前記第2象限内に位置する反射に対応し、

前記第3のセルアレイは、前記第1のセルアレイの前記第1の軸に対する反射であって前記第3象限内に位置する反射に対応し、

前記第4のセルアレイは、前記第1のセルアレイの180°の回転であって前記第4象限内に位置する回転に対応することを特徴とするセルアレイ回路。

10

【請求項2】

請求項1に記載のセルアレイ回路であって、

前記セル組選択手段は、所定の選択シーケンスで各セルアレイの各順番位置の前記セルを割り当て、割り当てられた各順番位置に従って前記セルを選択するように動作し、前記累積手段は前記選択されたセル組の前記セルにより生成されるか又は関係する各アナログ量を累積するように動作するセルアレイ回路。

【請求項3】

請求項2に記載のセルアレイ回路であって、

各セルアレイに対して、前記割り当てられた順番位置は、関係する前記セルアレイにおける前記セルの物理的な順番に適合するセルアレイ回路。

20

【請求項4】

請求項2に記載のセルアレイ回路であって、

各セルアレイに対して、前記割り当てられた順番位置は、関係する前記アレイの異なる行に対するそれぞれのシーケンス位置の合計を等しくする傾向又は関係する前記アレイの異なる列に対するそれぞれのシーケンス位置の合計を等しくする傾向にあり、行又は列に対する前記シーケンス位置の合計は関係する前記行又は列における前記セルの各順番位置を合計することにより決定されるセルアレイ回路。

【請求項5】

請求項4に記載のセルアレイ回路であって、

前記割り当てられた順番位置は、前記アレイのすべての行に対するそれぞれのシーケンス位置の合計を等しくする傾向又は前記アレイのすべての列に対するそれぞれのシーケンス位置の合計を等しくする傾向にあるセルアレイ回路。

30

【請求項6】

請求項5に記載のセルアレイ回路であって、

前記セルアレイは、同じ行数と列数を有し、前記割り当てられた順番位置は前記アレイのすべての行及び列に対するそれぞれのシーケンス位置の合計を等しくする傾向にあるセルアレイ回路。

【請求項7】

請求項6に記載のセルアレイ回路であって、

前記アレイ内の前記割り当てられた順番位置の配置は、前記アレイの行又は列の個数に等しい階数の魔方陣内の整数の配置に適合するセルアレイ回路。

40

【請求項8】

請求項5に記載のセルアレイ回路であって、

前記セルアレイの行数と列数は異なり、前記割り当てられた順番位置は、すべての行に対するそれぞれのシーケンス位置の合計を等しくする傾向にあり、且つすべての列に対するそれぞれのシーケンス位置の合計を等しくする傾向にあるセルアレイ回路。

【請求項9】

請求項1から8のいずれか1項に記載のセルアレイ回路であって、

各セルは電流源又は電流シンク回路を有し、前記累積手段は前記選択されたセルの前記電流源又はシンク回路により供給又は抜き取られる各電流を累積するように動作するセル

50

アレイ回路。

【請求項 1 0】

請求項 1 から 8 のいずれか 1 項に記載のセルアレイ回路であって、
各セルは容量要素を有し、前記累積手段は前記選択されたセルの前記容量要素に蓄積された各電荷を累積するように動作するセルアレイ回路。

【請求項 1 1】

請求項 1 から 8 のいずれか 1 項に記載のセルアレイ回路であって、
各セルは抵抗要素を有し、前記累積手段は前記選択されたセルの前記抵抗要素の各抵抗を累積するように動作するセルアレイ回路。

【請求項 1 2】

請求項 1 から 1 1 のいずれか 1 項に記載のセルアレイ回路であって、
各セルアレイにおいて、前記セル組選択手段は、前記割り当てられた順番位置が所定値より小さい前記アレイの各セルを同時に選択するように動作するセルアレイ回路。

【請求項 1 3】

請求項 1 2 に記載のセルアレイ回路であって、
前記所定値は、前記セル組選択手段に印加される選択信号により決定されるセルアレイ回路。

【請求項 1 4】

請求項 1 から 1 1 のいずれか 1 項に記載のセルアレイ回路であって、
前記セル組選択手段は、少なくとも第 1 及び第 2 の 2 値重み付けグループにおける各セルアレイの前記セルを選択するように動作し、前記第 1 グループにおけるセルの個数は前記第 2 グループにおけるセルの個数の 2 倍であるセルアレイ回路。

【請求項 1 5】

請求項 1 4 に記載のセルアレイ回路であって、
少なくとも前記第 1 のグループにおいては、そのグループにおける前記セルが連続して割り当てられた順番位置を有するセルアレイ回路。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、例えばデジタル - アナログ変換器 (DAC) などに使用されるセル・アレイ回路 (cell array circuit) に関する。

【背景技術】

【0 0 0 2】

図 1 は、いわゆる「電流ステアリング (current-steering)」型の従来のデジタル - アナログ変換器 (DAC) の部分を示す図である。DAC 1 は、 m ビットのデジタル入力ワード (m -bit digital input word) (D_1 から D_m) を対応するアナログ出力信号に変換するように設計されている。

【0 0 0 3】

DAC 1 は、複数 (n 個) の同一の電流源 2_1 から 2_n を有する。ここで、 n は $2^m - 1$ である。各電流源 2 は、実質的に一定の電流 I を通す。DAC 1 は、更に n 個の電流源 2_1 から 2_n にそれぞれ対応する複数の差動スイッチ回路 4_1 から 4_n を有する。各差動スイッチ回路 4 は、対応する電流源 2 に接続され、電流源により生成された電流 I を、変換器の第 1 の接続線 A に接続される第 1 の端子又は変換器の第 2 の接続線 B に接続される第 2 の端子のいずれかに切り換える。

【0 0 0 4】

各差動スイッチ回路 4 は、以下に説明される理由で「温度計コード化信号 (thermometer-coded signals)」と呼ばれる複数の制御信号 T_1 から T_n の 1 つを受け、関係する信号の値に従ってその第 1 の端子又は第 2 の端子のいずれかを選択する。DAC 1 の第 1 の出力電流 I_A は、差動スイッチ回路の第 1 の端子に配給される各電流の和であり、DAC 1 の第 2 の出力電流 I_B は、差動スイッチ回路の第 2 の端子に配給される各電流の和である

10

20

30

40

50

。

【0005】

アナログ出力信号は、DAC 1の第1の出力電流 I_A を抵抗 R で減衰させることにより生成される電圧 V_A と、変換器の第2の出力電流 I_B を他の抵抗 R で減衰させることにより生成される電圧 V_B との差電圧 $V_A - V_B$ である。

図1のDACにおいて、温度計コード化信号 T_1 から T_n は、2値温度計デコーダ6によって2値入力ワード D_1 から D_m から導出される。デコーダ6は次のように動作する。

【0006】

2値入力ワード D_1 から D_m が最小値を有する時、温度計コード化信号 T_1 から T_n は、各差動スイッチ回路 $4_1 - 4_n$ がその第2の端子を選択して、すべての電流源 $2_1 - 2_n$ が第2の接続線に接続されるような信号である。この状態では、 $V_A = 0$ で、 $V_B = n I R$ である。アナログ出力信号 $V_A - V_B = -n I R$ である。

10

【0007】

2値入力ワード D_1 から D_m の値が漸進的に増加する時、デコーダ6により生成される温度計コード化信号 T_1 から T_n は、既に選択されたいかなる差動スイッチ回路もその第1の端子が第2の端子に戻されることなしに、(差動スイッチ回路 4_1 から始まる)多くの差動スイッチ回路がそれぞれの第1の端子を選択するような信号である。2値入力ワード D_1 から D_m が値 i を有する時、最初の i 個の差動スイッチ回路 $4_1 - 4_i$ はそれぞれの第1の端子を選択し、残りの $n - i$ 個の差動スイッチ回路 $4_{i+1} - 4_n$ はそれぞれの第2の端子を選択する。アナログ出力信号 $V_A - V_B$ は $(2i - n) I R$ に等しい。

20

【0008】

図2に示すように、2値温度計デコーダ6によって発生される温度計コード化信号 T_1 から T_n は、 r 番目の信号 T_r が活性化される(“1”にセットされる)時にそれより下の順序の信号 T_1 から T_{r-1} も活性化されることが知られているいわゆる温度計コードに従う。

温度計コード化は電流ステアリング型のDACでは一般的であるが、それは2値入力ワードが増加した時に、既に線Aに切り換えられているいかなる電流源も他の線Bに切り換えられることなしに、より多くの電流源が第1の接続線Aに切り換えられるためである。従って、DACの入力/出力特性は単調であり、入力ワードにおける“1”の変化の結果起きるサージ衝撃(インパルス)が小さい。

30

【0009】

図1の構成における電流源2と対応する差動スイッチ回路4の個数は非常に大きく、特に m が6以上の時には大きくなる。例えば、 $m = 6$ の時には、 $n = 63$ であり、63個の電流源と63個の差動スイッチ回路が必要である。このような多数の電流源を扱い、温度計信号を異なる差動スイッチ回路に効率よく配給するのを可能にするため、電流源と差動スイッチ回路を2次元のセルアレイとして配列し、各セルが1個の電流源と関係する差動スイッチ回路を有するようにすることが提案されている。この配列を図3に示す。

【0010】

図3において、64個のセル CL_{ij} は、8個の行(ロウ)と8個の列(コラム)を有する 8×8 の正方形アレイに配置されている。図3において、各セルに付されているサフィックスの最初の数字は、そのセルの位置する行を表し、サフィックスの2番目の数字は、そのセルの位置する列を表す。従って、セル CL_{18} は1行目の8列目にあるセルである。

40

【0011】

各セル CL_{ij} は、それ固有の電流源2と固有の差動スイッチ回路4とを有する。図1のDACでは、図示のように、アレイのセルのそれぞれの第1の端子は、DACの第1の接続線Aに同時に接続され、アレイのセルのそれぞれの第2の端子は、DACの第1の接続線Bに同時に接続される。

アレイのすべてのセルにそれぞれ異なる温度計コード化信号を発生及び供給しなくてもよいようにするために、2段階ステージのデコードプロセスが使用され、2値の入力ワード

50

D 1 - D 6 が、異なるセルに必要な各温度計コード化制御信号 T に入力される。この 2 段階のデコードプロセスの第 1 のステージは、各行と列のデコーダ 1 2 と 1 4 により実行され、第 2 ステージは各セルに設けられたローカルデコーダ 1 6 により実行される。

【 0 0 1 2 】

2 値入力ワードの下位 3 ビット D 1 - D 3 は列デコーダ 1 4 に印加され、列デコーダ 1 4 は図 2 に従って 7 個の温度計コード化列選択信号を導出する。行デコーダ 1 2 は、入力ワードの上位 3 ビット D 4 - D 6 を受け、同様に図 2 に従って 7 個の温度計コード化行選択信号を導出する。行と列の選択信号はアレイのセルに分配される。

【 0 0 1 3 】

各セルにおいては、ローカルデコーダ 1 6 が、行と列の選択信号を合わせて、関係するセルの差動スイッチ回路 4 用の必要なローカル制御信号 T を導出する。実際には、各セルのローカルデコーダ 1 6 が 7 個すべての行と列の選択信号を使用して必要なローカル制御信号 T を発生させる必要はない。これは、いかなるデジタル入力ワードに対しても、マトリクスの行は異なる 3 つの状態の 1 つ、すなわち (1) 行のすべてのセルのそれぞれの差動スイッチ回路が第 2 の端子を選択する行、(2) 行のすべてのセルのそれぞれの差動スイッチ回路が第 1 の端子を選択する行、(3) 行の 1 個以上のセルの差動スイッチ回路は第 2 の端子を選択するが、行の 1 個以上の他のセルの差動スイッチ回路は第 1 の端子を選択する行である。これらの限定された可能性の観点から、各ローカルデコーダが、行選択信号 r_n と r_{n+1} の 2 つと列選択信号 c_n を単に合わせるだけでそのローカル制御信号 T を導出することが可能である。

【 0 0 1 4 】

図 3 においてセル CL_{ij} に割り当てられる数はシーケンスを示し、そのシーケンスでは、セルが活性化 (又は制御) されて、それらのそれぞれの第 2 の端子の選択からそれらのそれぞれの第 1 の端子の選択に変化する。活性化シーケンスは、アレイ中のセルの物理的な順番に従い、行 1 から開始してその行のセルを列の順に順番に活性化し、次に行 2 を行うという具合にアレイの連続した各行に対して同様に行う。図 3 の配置で生じる 1 つの問題は、アレイの異なるセルのそれぞれの電流源 2 の出力電流は一樣であるべきであるが、実際にはセルの実出力電流はいろいろな原因による非一樣性の問題がある。

【 0 0 1 5 】

例えば、電源供給線に沿った電圧降下は、図 4 の (A) に示すように、行又は列に沿った階段状の誤差を生じる。この場合、関係する行又は列の第 1 の 4 個のセルにおける電流源は負の誤差を有し、その誤差により出力電流の平均の低下を生じる。これらの負の誤差は関係する行又は列の中心に向かって減少する。関係する行又は列の残りのセル 5 から 8 における電流源は、それぞれ正の誤差を有し、それらはそれぞれ出力電流の平均を上げる。これらの正の誤差は行又は列の中心から端に向かって増加する。

【 0 0 1 6 】

アレイを含むチップの内部の温度分布は、図 4 の (B) に示すように、行又は列内の対称な誤差を生じるようにできる。この場合、行又は列の端のセル 1、2、7 及び 8 での電流源は負の誤差を有するが、行又は列の中心のセル 3 から 6 の電流源は正の誤差を有する。

更に、ランダム誤差のような他のタイプの誤差があり得る。セルアレイの最終的な誤差分布は、異なる誤差要因をすべて重ね合わせて生成される。

【 0 0 1 7 】

図 4 の (A) と (B) に示した階段状で対称な誤差は、累積して大きな集積線型誤差 (NL; Integral linearity error) になる傾向にある。例えば、図 4 の (A) に示すように、階段状の誤差分布が、図 3 に示すセルアレイの第 1 の行内に存在すると仮定する。この場合、セル 1 から 4 が段々に活性化された (それぞれの第 1 の端子の選択から第 1 の端子の選択へ変化した) 時、負の誤差が累積し、デジタル入力コードが 4 の時に、全体の負の誤差が大きくなる。セル 5 から 8 が順番に活性化される時だけ、これらのセルによる正の誤差が、セル 1 から 4 による大きな負の誤差を相殺し始める。

10

20

30

40

50

【 0 0 1 8 】

もちろん、その状態は列 1 から 8 のそれぞれに沿って図 4 の (A) に対応する階段状の誤差がある時には更に悪くなる。この場合、セル 1 から 8 が階段状に活性化される時、大きな負の誤差 (図 4 の (A) の位置 1 における誤差) が行 1 の 9 個のセルのそれぞれで生じる。同様に、行 2 において、図 4 の (A) の位置 2 に対応する負の誤差が 8 回累積する。このように、入力コードが 3 2 まで増加する時 (行 1 から 4 のすべてのセルが活性化されるまでに対応する時) までには、累積された負の誤差は非常に大きくなる。

【 0 0 1 9 】

同様の問題が、図 4 の (B) に示した種類の対称な誤差の累積についても生じる。

【 発明の開示 】

10

【 発明が解決しようとする課題 】

【 0 0 2 0 】

これまで、セルアレイの行又は列内の階段状及び対称な誤差の累積の問題を解決しようとする各種の提案がなされてきた。例えば、IEEE Journal of Solid-State Circuits, Volume 26 No.4, April 1991, pp.637-642は、単一の行又は列内の階段状及び対称な誤差を相殺する「階層的な対称スイッチング」として言及された技術を開示している。しかしながら、そのような技術はセルアレイの異なる行と列内での階段状及び対称な誤差の累積の問題、すなわち 2 次元相殺 (キャンセル) を取り扱う十分に満足な方法を提供しない。

【 課題を解決するための手段 】

【 0 0 2 1 】

20

本発明の第 1 の態様によれば、行と列に配列された相互に対応する複数のセルで作られたセルアレイと、所定の選択シーケンスでアレイのセルをそれぞれの順番位置に割り当て、それぞれの割り当てられた順番位置に従ってセルを選択し、割り当てられた順番位置はアレイの異なる行のシーケンス位置の合計を等しくする傾向にあるか及び / 又はアレイの異なる列のシーケンス位置の合計を等しくする傾向にあり、行又は列に対するシーケンス位置の合計は関係する行と列におけるセルのそれぞれの順番位置の合計により決定される選択手段と、選択されたセルにより生成されるか又は関係する各アナログ量を累積する累積手段とを備えるセルアレイ回路が提供される。

【 0 0 2 2 】

このようなセルアレイ回路においては、セルアレイ内での階段状及び対称な誤差の影響が低減される。

30

セルは、異なるセルにより生成されるか又はそれに関係する各アナログ量の間マッチング (一致) が必要な適当な形式のなんらかのアナログ回路を有する。例えば、各セルは、累積手段が選択されたセルの電流源により供給される各電流又はシンク回路の場合には選択されたセルのシンク回路によりシンク (抜き取られる) 電流を累積する電流源又は電流シンク回路を有する。又は、各セルは容量要素を有し、その場合には累積手段は選択されたセルの容量要素により蓄積された各電荷を累積するように動作する。又は、各セルは抵抗要素を有し、その場合には累積手段は選択されたセルの抵抗要素の各抵抗を累積するように動作する。

【 0 0 2 3 】

40

選択手段は、例えば、割り当てられた順番位置が所定値より小さなアレイの各セルを同時に選択するように動作する。例えば、所定値が i の時には、割り当てられた順番位置が 1、2、...、 $i - 1$ のセルが選択される。この場合、所定値は選択手段に印加される選択信号 (デジタル入力ワード) により決定されることが適当である。

【 0 0 2 4 】

しかし、選択手段がこのような方法でセルを選択することがかならずしも必要ではない。例えば、選択手段は、第 1 のグループのセルの個数が第 2 のグループのセルの個数の 2 倍である少なくとも第 1 と第 2 の 2 値重み付けグループ内のアレイのセルを選択するように動作するようにしてもよい。この形の選択は、2 値重み付け容量が必要な「電荷分配 (charge distribution)」ADC で使用するのに適している。これらの 2 値重み付け容量は

50

、セルアレイから容量セルの2の累乗数(すなわち、1、2、4、8、...)を選択し、相互に並列な選択されたセルを接続することにより形成できる。

【0025】

好ましくは、少なくとも第1のグループにおいては、グループ内のセルは連続して割り当てられた順番位置を有する。これにより2個以上のセルを含む各グループ内で誤差が相殺されることを保証する助けになる。

もし割り当てられた順番位置が、アレイの丁度いくつかの行での各シーケンス位置の合計が等しくなる傾向にあるか、及び/又はアレイの丁度いくつかの列での各シーケンス位置の合計が等しくなる傾向にあれば有用である。しかし、各行が同一のシーケンス位置の合計を有するか又は各列が同一のシーケンス位置の合計を有するかということは必須のことではない。

10

【0026】

しかし、割り当てられた順番位置は、アレイのすべての行での各シーケンス位置の合計が等しくなる傾向にあるか、及び/又はアレイのすべての列での各シーケンス位置の合計が等しくなる傾向にあることが望ましい。これは、異なるセルに関する誤差を克服する上での効果を増加させる。

セルアレイが正方形(すなわち行数と列数が等しい)である時には、割り当てられた順番位置は、アレイのすべての行及びすべての列での各シーケンス位置の合計が等しくなる傾向にあることが望ましい。これが、例えば、割り当てられた順番位置がアレイの行数又は列数に等しい階数(order)の魔方陣における整数の分配に一致するように、割り当てられた順番位置をアレイ内で分配することにより実現される。

20

【0027】

いくつかの実施例では、魔方陣は「全対角(pandagonal)」及び/又は「結合的(associative)」である。これにより、セルの選択モードに依存する付加的な誤差相殺効果が得られる。

セルアレイが長方形(すなわち、行数と列数が異なる)である時には、行のシーケンス位置の合計が列のシーケンス位置の合計と同一である必要はない。その代わりに、割り当てられた順番位置は、すべての行での各シーケンス位置の合計が等しくなる傾向にあり、且つすべての列での各シーケンス位置の合計が等しくなる傾向にあることが望ましい。

【0028】

30

本発明の第2の態様によれば、第1及び第2のセルアレイであって、それぞれが行と列に配列された相互に対応する複数のセルで作られ、第2のセルアレイは第1のセルアレイに対して所定の位置関係に配置されている第1及び第2のセルアレイと、各セル組は第1のセルアレイからの第1セル及び第2のセルアレイからの個別に対応する第2セルを含み、第2セルアレイ内の第2セルの物理的な配置は第1セルアレイ内の対応する各第1セルの物理的な配置の所定の变形に対応する組内のアレイのセルを選択するセル組選択手段と、選択されたセル組の前記第1及び第2セルにより生成されるか又は関係する各アナログ量を累積する累積手段とを有するセルアレイ回路が提供される。

【0029】

このようなセルアレイ回路においては、階段状及び/又は対称な誤差の影響が、最初のセルアレイ(第1のセルアレイ)と最初のセルアレイから導出される少なくとも1つの「変形」セルアレイ(第2のセルアレイ)の所定の配列における配置により低減できる。

40

2組の誤差(例えば、一方向の対称な誤差とそれに垂直な方向の階段状な誤差、又は2つの相互に垂直な方向のそれぞれにおける対称な誤差)を相殺するのに適している1つの実施例では、第1及び第2のセルアレイは第1の方向に離れており、第2のセルアレイの中心を通過して第1の方向に伸びる第2のセルアレイの中心線は、第1のセルアレイの中心を通過して第1の方向に伸びる第1のセルアレイの中心線と一直線である。この場合、所定の变形は、例えば、第1のセルアレイの中心線に対する反射(折り返し)、又は第1のセルアレイの180°の回転を含む。

【0030】

50

他の2つの相互に垂直な方向のそれぞれにおける階段状な誤差の相殺に適しており、各セルアレイはその中心線の一方の側に第1の半分を、中心線の他方の側に第2の半分を有し、所定の變形は第1のセルアレイの第1の半分の第2のセルアレイの第2の半分への複写と、第1のセルアレイの第2の半分の第2のセルアレイの第1の半分への複写とを含む。

【0031】

上記のように、2個のセルアレイを使用する実施例は2組の誤差を克服するのに効果的であるが、相互に垂直な1つ又は両方の方向における階段状及び対称な誤差の他の組合せの相殺を容易にするために、より多くのアレイと一緒に配置することも可能である。

例えば、セルアレイ回路は、それぞれが行と列に配列された相互に対応する複数のセルで作られ、第1のセルアレイに対して所定の位置関係に配置されている第3及び第4のセルアレイを更に有してもよい。この場合、セル組選択手段により選択された各セル組は、関係するセル組の第1セルに個別に対応する第3のセルアレイの第3セルと、関係するセル組の第1セルに個別に対応する第4のセルアレイの第4セルとを更に有する。そして、第3のセルアレイ内の第3セルの物理的な配置は第1セルアレイ内の対応する各第1セルの物理的な配置の所定の變形に対応し、第4のセルアレイ内の第4セルの物理的な配置は第1セルアレイ内の対応する各第1セルの物理的な配置の所定の變形に対応する。この場合、累積手段は、選択されたセル組の第1、第2、第3及び第4セルにより生成又は関係する各アナログ量を累積するように動作する。

【0032】

例えば、4個のセルアレイを含む領域は、領域の原点で交わる第1及び第2の相互に垂直である軸により4個の象限に分割され、第1、第2、第3及び第4のセルアレイは4個の象限にそれぞれ配置されると考えられる。これらの第2、第3及び第4のセルアレイは、第1のセルアレイの単なる複写で、両方の軸に対称な誤差を相殺することを可能にする。

【0033】

しかし、1つの好適な実施例では、第1及び第2の象限は第2の軸の同じ側にあり、第1及び第3の象限は第1の軸の同じ側にあり、第1のセルアレイは前記第1象限に配置され、第2のセルアレイは第1のセルアレイの第2の軸に対する反射であって第2象限内に位置する反射に対応し、第3のセルアレイは第1のセルアレイの第1の軸に対する反射であって前記第3象限内に位置する反射に対応し、第4のセルアレイは第1のセルアレイの180°の回転であって第4象限内に位置する回転に対応する。

【0034】

このような形での第1、第2、第3及び第3のセルアレイの配置の結果、各セル組の対応するセルは原点に共通の重心を有する。この場合、両方の軸に並行な階段状及び対称な両方の誤差は相殺され、高い所望の効果が得られる。

セル組選択手段は、所定の選択シーケンスで各セルアレイの各順番位置のセルを割り当て、割り当てられた各順番位置に従ってセルを選択し、累積手段は選択されたセル組のセルにより生成されるか又は関係する各アナログ量を累積するように動作する。

【0035】

各セルアレイに対して、割り当てられた順番位置は、関係するセルアレイにおけるセルの物理的な順番に適合する。又は、割り当てられた順番位置は、前述の本発明の第1の態様を組み込んだセルアレイ回路におけるそれらと適合する。この場合、第1の態様と関連させて説明した好ましい特徴のすべては、本発明の第2の態様の実施例においても任意に利点として含まれる。

【発明を実施するための最良の形態】

【0036】

図5は、本発明を実現したセルアレイ回路の部分を示す図である。図5のセルアレイ20は、電流ステアリング型のデジタル-アナログ変換器で使用するのに適している。図5において、図3のDACを参照して既に説明した要素に対応した要素には、図3で使用し

10

20

30

40

50

たのと同じ参照番号が使用されている。

【 0 0 3 7 】

セルアレイ回路 2 0 は、4 行 4 列に配置された 1 6 個の個別のセルで作られているセルアレイ 2 2 を備える。各セルは、図 5 で 1 1 の番号が付されたセルで示したように、電流源 2 を備える。各セルはセル内に図 5 で x で示される出力ノードを有する。

セルアレイ 2 2 の各セルは、個々に対応するスイッチ回路 4_1 から 4_{16} を有する。この実施例では、スイッチ回路 4 は、セルの外にあり、各セルの出力ノードは個々に対応するスイッチ回路 4 の入力ノードに接続されている。

【 0 0 3 8 】

各スイッチ回路は、それぞれの第 1 と第 2 の端子を有し、第 1 の端子は第 1 の合計接続線 A に接続され、第 2 の端子は第 2 の合計接続線 B に接続されている。

スイッチ回路 4_1 から 4_{16} は、DAC (図示せず) のデコード回路からそれぞれの温度計コード化選択信号 S 1 から S 1 6 を受ける。このデコード回路は、選択信号 S 1 から S 1 6 を、(図 1 に示すように) DAC の 2 値入力ワードから (1 つのステージで) 直接導出するか、又はデコード化の第 1 のステージを実行するようにそれぞれの行と列のデコードを使用し、(図 3 に示したように) デコード化の第 2 のステージを実行するようにセルにそれぞれ対応するローカルデコードを使用する 2 つのステージで導出する。

【 0 0 3 9 】

各スイッチ回路は、それに印加される選択信号が低論理レベル L を有する時にはその第 2 の出力端子を選択し、それに印加される選択信号 S が高論理レベル H を有する時にはその第 1 の出力端子を選択する。図 5 自体に示すように、選択信号 S 1 と S 2 は共に H であり、残りの選択信号 S 3 から S 1 6 は L である。このように、スイッチ回路 4_1 と 4_2 はそれぞれの第 1 の端子を選択し、残りのスイッチ回路はそれぞれの第 2 の端子を選択する。

【 0 0 4 0 】

図 5 のセルアレイ 2 2 のセルは、図 3 を参照してすでに説明した従来の選択シーケンスとは異なるシーケンスで選択される。特に、この実施例の選択シーケンスは、セルアレイ 2 2 の各行、列及び対角方向に対して、セルのそれぞれの選択シーケンスの位置の合計は同一である (この場合は 3 4) 。従って、例えば、1 つの例として行 1 をとると、それぞれの選択シーケンスは合計が 3 4 になる 1、1 5、1 4、4 の位置である。同様に、列 1 のセルのそれぞれの選択シーケンス位置 1、1 2、8 及び 1 3 の合計は 3 4 になる。左上から右下への対角に沿うと、セルのそれぞれの選択シーケンス位置は 1、6、1 1 及び 1 6 で、合計が 3 4 になる。

【 0 0 4 1 】

図 5 に示した特別なセルアレイのレイアウトの有利な効果を理解するため、図 6 に示した表を考える。図 6 において、階段状の誤差が行方向 (x 方向) と列方向 (y 方向) の両方に存在すると仮定する。各行又は列の位置 1 に対する誤差が - 2 (単位) であると仮定し、各行又は列の位置 2 に対する誤差が - 1 であると仮定し、各行又は列の位置 3 に対する誤差が + 1 であると仮定し、各行又は列の位置 3 に対する誤差が + 2 であると仮定する。

【 0 0 4 2 】

図 6 において、表はセルの選択シーケンスにおける各順番の位置での x 誤差と y 誤差を示す。所定の入力コードに応じて同時に選択されたこれらのセルに対して、それぞれの x 誤差は合計が全 x 誤差 x を生成し、それぞれの y 誤差は合計が全 y 誤差 y を生成する。図 6 から明らかなように、全 x 誤差 x は、- 2 から + 2 の小さな範囲で変化し、全 y 誤差 y も同様である。(全 x 誤差 x と全 y 誤差 y の合計である) 全誤差 E は、- 4 から + 3 の小さな範囲で変化する。

【 0 0 4 3 】

比較のために、図 7 の (A) はセルアレイにおける選択シーケンスが図 7 の (B) に示すような場合の誤差値と累積を示す。この場合、全 x 誤差 x 、全 y 誤差 y 及び全誤差

10

20

30

40

50

Eは、それぞれ図6に示した全誤差より大きな範囲で変化する。特に、全y誤差 y は一貫して負であり、最悪の場合 - 12になる。更に、全x誤差 x は、全y誤差 y に比べて相対的に小さいが、一貫して負であり、そのためにすべての入力コードに対して全誤差Eを増加させる影響を有する。

【0044】

同様の利点が、図5のセルアレイのセルにおける対称及び他の誤差に対しても得られる。

図5に示したセルアレイ22におけるセルの選択シーケンスでの順番の位置が、いわゆる魔方陣(magic square)における整数の順番に対応することが、数学者により認められている。このような魔方陣は、繰り返しなしに1から n^2 の整数を有し、各行(左から右)、各列(上から下)及び2つの対角が同じ合計値を有する。数 n は陣の階数(オーダー:order)、ベース、モジュール又は根(ルート)と呼ばれる。魔方陣においてどのような数学的な法則が数の配置を支配しているかはまだ分かっていない。既知の解が試行錯誤により発見されているだけである。

【0045】

階数2の魔方陣はない。階数3の魔方陣を図8に示す。

図9の(A)から(H)に示すように、図8に示した魔方陣を変形することにより、階数3の他の魔方陣を作れることが認められている。これらの図で、図9の(A)は、開始点としての図8の魔方陣を示す。図9の(B)は、図9の(A)でBの矢印で示すように、図9の(A)の魔方陣を反時計方向に 90° 回転した結果を示す。図9の(C)と(D)は、図9の(A)でCとDの矢印で示すようにそれぞれ 180° と 270° の反時計方向の回転に関する。図9の(E)から(H)は、図9の(A)の魔方陣をEからHの各種の軸に対して反射させた結果を示す。更なる魔方陣が、図9の(B)から(H)に示した基本的な回転と反射の組合せを使用して得られる。

【0046】

回転と反射が除かれた、階数3の1個のユニークな魔方陣が存在する。しかしながら、より高い階数では、(回転と反射を除いた)配置の個数が増加する。第4階数の魔方陣(すなわち4行4列)は、回転と反射を除いて、その16個の数の可能な配置を880種有する。第4階数の魔方陣の行、列及び対角のそれぞれの数は合計34になる。

【0047】

より高い階数の陣(第5階数及びそれ以上の階数)に対しては、異なる可能な配置の個数が急激に増加する。例えば、第5階数の陣は、回転と反射を除いて、275305224種の異なる配置を有する。

階数4の陣の場合、図10と図11は、図5に示した配置からそれぞれ異なる2個の択一的な可能性を示す。図10に示す配置は、中央の陣の4つの合計が $13 + 8 + 3 + 10 = 34$ であり、4つの角(コーナー)の合計($7 + 14 + 9 + 4 = 34$)及び4つの対角でない陣(例えば、上左の陣は $7 + 12 + 2 + 13 = 34$)も同様であるので、「全対角(pandiagonal)」魔方陣と呼ばれる。更に、図12の(A)と(B)に示すように、同一の合計34は、図12の(A)の4つの位置aの数、4つのbの位置の数、又は4つのcの位置の数を加えることで得られ、又は図12の(B)の4つの位置dの数、4つのeの位置の数、又は4つのfの位置の数を加えることで得られる。

【0048】

第5、第6及び第8階数の魔方陣の例を図13の(A)、13の(B)及び13の(C)にそれぞれ示す。第5階数の魔方陣に対しては、行、列及び対角の合計が65であり、第6階数の魔方陣に対しては、行、列及び対角の合計が111であり、第8階数の魔方陣に対しては、行、列及び対角の合計が260である。

図13の(A)を参照すると、中心に対向するいかなる組の数(例えば、7と19、20と6、1と25)の合計が $n^2 + 1$ (この場合は n は5である。)になることが分かる。このような魔方陣は、「結合的(associative)」と呼ばれる。図8に示した第3階数の魔方陣もこの特性を有し、従って結合的である。第4階数の陣は、結合的か全対角である

10

20

30

40

50

がその両方ではない。結合的で且つ全対角である最小の陣は、第5階数である。回転及び反射を除いて、結合的で且つ全対角である第5階数の陣は16個ある。

【0049】

本発明の実施例は、セルアレイ内の選択シーケンスが、陣が結合的及びノ又は全対角であるにかかわらず、適当な階数のどのような適切な魔方陣にも適合するように作ることができる。

更に、行、列及び2つの対角のすべての合計が正確に同一の値になるという意味において絶対に完全な「魔方陣」でなければならないというわけではない。例えば、図14の(A)に示した階数3の非魔方陣を使用できる。これは、図8の魔方陣において、数7と5を並び替えることで形成できる。この場合、行1から3と列1の数の合計は(図8に示すように)15であるが、列2と3の合計と2つの対角の合計は「標準(normal)」値15から少し異なり、13と17である。しかしながら、このような魔方陣への近似は、異なる行、列及び2つの対角における合計がほとんど同じであるので、なお本発明に基づく十分な利点を提供する。行、列及び対角における合計の間の偏差を小さくできるいかなる配置も本発明の目的に対して利点がある。

10

【0050】

更に、同様の原理を(正方形でない)長方形のアレイに適用することもできる。例えば、図14の(B)は、2行3列の長方形のアレイを示す。この場合、列1から3に対する合計は同一の値7を有するが、行1と2に対する合成はそれぞれ10と11で、できるだけ近くする。この場合、列は行より少ないセルであるため、行と列に対して合計を同じにはできない。代わりに、異なる行の間の偏差を最小にし(この場合は1)、異なる列の間の偏差を最小にする(この場合は0)ようにすれば十分である。

20

【0051】

図5に示したセルアレイ22においては、各セルは電流源2で構成される。このような電流源の構成の例を、図15に示す。図15では、電流源2はPMOS電界効果トランジスタ(FET)32を備え、そのソースは正の電源供給源V_{dd}に接続され、そのゲートは所定のバイアス電位V_{bias}を受けると接続され、そのドレインは電流源の出力ノードOUTに接続されている。所定のバイアス電位V_{bias}は、例えば、正の電源供給電位V_{dd}に対して一定の電位差を有する。従って、トランジスタ32は常時オンしており、実質的に一定の電流Iをその出力ノードOUTに供給する。

30

【0052】

もちろん、図5の各セル2は、電流源回路2の代わりに電流シンク(sink)を備えることもできる。この場合、FETでの実現においては、図15に示したトランジスタ32は、NMOSFETに変えられ、そのトランジスタのソースがV_{ss}のような負の供給線電位に接続される。この場合、V_{bias}は、例えば、V_{ss}から一定の電位差を有するV_{ss}以上の所定の基準電位を有する。

【0053】

いずれにしろ、電流源又は電流シンクは、バイポーラトランジスタを使用して実現することもできる。

回路の電流容量を増加するように、電流源又は電流シンクを並行して形成するいくつかのトランジスタを使用することができる。例えば、並行に接続された4個のトランジスタを使用することができる。

40

【0054】

本発明を実現するセルアレイの回路におけるセルが電流源又は電流シンクを有することは必要ではない。

例えば、図16に示した本発明の他の実施例では、各容量要素Cは、セルアレイ42の異なるセル44内に含まれる。各セル44は、個々に対応するスイッチ回路46₁から46_nを有する。各スイッチ回路46の入力ノードはその対応するセル44の(図16でxで示される)出力ノードに接続される。この出力ノードは、セルにおける容量要素Cの底板である。

50

【 0 0 5 5 】

この実施例では、各スイッチ回路は3個の端子を有し、それぞれの第1端子は入力電圧 V_{IN} を受けるように共通に接続され、それぞれの第2端子は負の基準電圧 V_{SS} に共通に接続され、それぞれの第3端子は所定の基準電位 V_{REF} を受けるように共通に接続されている。各スイッチ回路46は、そこに印加される選択信号Sに応じて、その入力ノードをその第1、第2及び第3端子の1つに接続するように制御可能である。

【 0 0 5 6 】

異なるセルにおける容量要素Cの各上板は、比較器48の第1の入力に共通に接続されている。この第1の入力は、スイッチ要素50を介して V_{SS} にも接続されている。比較器48の第2の入力は V_{SS} に接続されている。デジタル出力信号Dは比較器48の出力に生成される。

10

図16に示すセルアレイ回路は、いわゆる「電荷再分配(charge redistribution)」原理に従って動作する連続近似アナログ-デジタル変換器(successive-approximation analog-to-digital converter)(ADC)での使用に適している。このような連続近似ADCは、2値重み付け容量を有するデジタル-アナログ変換器(DAC)を使用する。更に、この型式の容量DACに関する情報は、例えば、IEEE Journal of Solid State Circuits, Vo. Sc-14, pp.920-926, December1979に記載されている。

【 0 0 5 7 】

図16の実施例では、5個のそのような2値重み付け容量 C_0 から C_4 は、図16の右上側に示すように、異なるセルにおける容量要素Cとして設けられている。容量 C_0 は、セル1の容量要素Cとして単独で設けられている。容量 C_1 は、セル2の容量要素Cとして単独で設けられている。容量 C_2 は、セル3と4の各容量要素Cとして並行に設けられている。容量 C_3 は、セル5から8の各容量要素Cとして並行に設けられている。容量 C_4 は、セル9から16の各容量要素Cとして並行に設けられている。容量 C_0 から C_4 の容量値の比率は、1:1:2:4:8である。

20

【 0 0 5 8 】

図16のセルアレイ回路40は、次のように動作する。最初、回路のサンプリングモードでは、容量 C_0 から C_4 のすべての上板がスイッチ要素50を使用して V_{SS} に接続され、スイッチ回路46₁から46₁₆をそのすべてが各第1の端子を選択するように制御することによりすべての下板が入力電圧 V_{IN} を受けるように接続される。

30

【 0 0 5 9 】

次に、スイッチ要素50がオフし、すべての下板が V_{SS} に接続され、上板電圧 V_{TOP} が、サンプルされた入力電圧 V_{IN} の負、すなわち $V_{TOP} = -V_{IN}$ に等しくなる。

次に、アナログ-デジタル変換処理を説明する。この処理では、上板電圧 V_{TOP} が0になるには、容量 C_0 から C_4 のどれがその底板を V_{SS} から V_{REF} 電位に変化させなければならぬかが特定される。この決定は、2値サーチアルゴリズムに従って行われる。

【 0 0 6 0 】

例えば、2値サーチアルゴリズムの第1のステップでは、デジタル出力ワードの最上位ビットを決定するのに使用され、 C_4 の底板が V_{SS} から V_{REF} に切り換えられ、上板電圧 V_{TOP} が $1/2 V_{REF}$ に等しい量だけ増加する。これが、容量 C_4 を形成する各容量要素を有するセル9から16に対応するスイッチ回路46₉から46₁₆を、その選択が (V_{SS} に接続される) 第2端子から (V_{REF} に接続される) 第3端子に並列して変化するように動作させることで実行される。容量48の出力Dは、上板電圧 V_{TOP} と V_{SS} の間の差の極性を示し、それが次にはデジタル出力ワードの最上位ビットの値を決定する。

40

【 0 0 6 1 】

デジタル出力ワードの残りのビットは、同様の方法を反復して決定される。

図17は、セルアレイ回路60がそれぞれが抵抗要素Rを含む個別のセル64を形成するセルアレイ62を含む本発明の更に別の実施例を示す。この実施例では、バス70が異

50

なるセル64とセクタ回路72の間の接続を形成するのに使用される。セクタ回路72は、バス70の各バスライン70₁から70₁₇に接続される入力I₁からI₁₇を有する。最初と最後のバスライン70₁と70₁₇は、それぞれセルアレイ回路のノードN₁とN₂に接続されている。各セル64の抵抗要素Rは、相互に隣接するバスラインの間に、接続線66と68を介して直列に接続されている。例えば、セル1の抵抗要素Rは、バスライン70₁と70₂の間に直列に接続されている。

【0062】

セクタ回路72は、そこに印加されるデジタル選択ワードSに応じて、その入力I₁からI₁₇の1つとセルアレイ回路60の出力ノードOUTに接続される出力Oの間の接続を形成するように選択的に制御可能である。例えば、図17自体に示すように、セクタ回路72がその入力I₃をその出力Oに接続する時、回路の第1のノードN₁と回路の出力ノードOUTの間に直列に接続される抵抗要素の個数は(セル1と2の抵抗要素の)2であり、ノードN₂とOUTの間に接続される抵抗要素の個数は(セル3から16に含まれる抵抗要素の)14である。

10

【0063】

図17の右側に示すように、本実施例のセルアレイ回路はデジタル的に制御可能なポテンショメータとして機能し、出力タップの位置はデジタル選択ワードSの値によって決定される。例えば、ノードN₁とN₂は、それぞれ第1の電源供給線V_{dd}と第2の電源供給線V_{ss}に接続される。もし望むなら、定電流発生器を、一方ではノードN₁とN₂の1つと、他方ではノードに接続される電源線の間に配置してもよい。

20

【0064】

図11の各セルの抵抗要素Rは、例えば、図18に示したディプリーション型MOSFETにより形成される。もしより大きな電流容量が必要であれば、そのようなトランジスタをいくつか並列に接続する。

図5を参照して説明した第1の実施例では、セルが連続して選択される時に加算される量は電流である。図16を参照して説明する第2実施例では、加算される量は電荷である。図16を参照して説明する第3実施例では、加算される量は抵抗である。しかし、本発明はこのような3つの量の加算に限定されるものではない。適当なアナログ量であれば、本発明を適用したセルアレイ回路での加算に使用できる。このように、本発明は、名目上だけ一致したセルによって生成又は関係する各アナログ量がある方法で累積又は加算されなければならないいかなる状況でも有効に適用できる。

30

【0065】

図5、16及び17を参照して説明した実施例では示さなかったが、もし望むなら、いかなるデコード回路の部分と同様にそれぞれに関係するスイッチ回路を一体化することもできる。しかし、個別のセルの大きさを最小にし、それにより(その動作状態を等しくするように)セルが互いに物理的に近接するようにするには、通常はスイッチ回路及びデコード回路がセルの外にあることが望ましい。

【0066】

本発明の第4実施例を、図19を参照して説明する。この本発明の更なる態様に従った実施例では、4個の長方形(又は正方形)のセルアレイが所定の配置で配置され、やはりアナログ量の加算において発生する誤差の影響を最小にすることを目的とする。

40

まず図19を参照して、行と列に複数の個別のセルが配置されて作られている第1のセルアレイ100が第1象限に配置されている。アレイ100の2個のセルA1とB1が図19に示され、セルA1はx方向とy方向に近接したエッジからそれぞれ距離AxとAy離れており、セルB1はx方向とy方向に近接したエッジからそれぞれ距離BxとBy離れている。

【0067】

次に、図20に示すように、第2のセルアレイ102が第2象限に配置される。第2のセルアレイ102におけるセルの配置は、第1のセルアレイ100をy軸に対して反射させ、次に反射したものを第2象限に移すことにより生成される。これにより、第1のセル

50

アレイ 100 の表示したセル A 1 と B 1 にそれぞれ対応する第 2 のセルアレイ 102 の表示したセル A 2 と B 2 は、図 20 に示すように配置される。

【0068】

次に、図 21 に示すように、第 3 のセルアレイ 104 が第 3 象限に配置される。第 3 のセルアレイ 104 におけるセルの配置は、第 1 のセルアレイ 100 を x 軸に対して反射させ、次に反射したものを第 3 象限に移すことにより生成される。セルアレイ 100 の表示したセル A 1 と B 1 にそれぞれ対応するセル A 3 と B 3 は、図 21 に示される。

【0069】

最終的に、図 22 に示すように、第 4 のセルアレイ 106 が第 4 象限に配置される。第 4 のセルアレイ 106 におけるセルの配置は、第 1 のセルアレイ 100 を原点の回りに 180° 回転させることにより生成される。第 1 のセルアレイ 100 の表示したセル A 1 と B 1 にそれぞれ対応するセル A 4 と B 4 は、図 21 に示される。

【0070】

図 22 に示した構成で第 1、第 2、第 3 及び第 4 のセルアレイ 100 から 106 を配置した結果、4 個のセルアレイの対応する表示したセルは原点に共通の重心を有する。例えば、4 個の表示したセル A 1 から A 4 を考えると、A 1 と A 4 は両方とも y 軸からその反対側に同一距離 A x だけ離れており、セル A 2 と A 3 も y 軸からその反対側に同一距離だけ離れている。同様に、A 1 と A 4 は x 軸からその反対側に同一距離だけ離れており、セル A 2 と A 3 も同様である。

【0071】

これにより、A 1 と A 4 に起因する x 方向におけるいかなる階段状の誤差も相互に相殺しあう。A 2 と A 3 に起因する x 方向におけるいかなる階段状の誤差も相互に相殺しあう。同様のことが y 方向の回想的な誤差についてもいえる。

しかし、y 方向においては、A 1 は 4 個のセルアレイ 100 - 106 が占める領域の上側エッジから、A 2 が y 方向に中心線から（すなわち x 軸から）離れているのと同じ距離 A y だけ離れている。従って、A 1 と A 2 に起因するいかなる対称な y 方向の誤差も相互に相殺しあう。同様のことが、y 方向における A 3 と A 4、x 方向における A 1 と A 3 及び A 2 と A 4 に対してもいえる。

【0072】

4 個のアレイの対応するセルの他の各組についても同様のことがいえる。

第 1 のセルアレイ 100 内のセルの選択シーケンス（これが第 1 のセルアレイ 100 から導出される他のセルアレイ 102、104 及び 106 内の各選択されたシーケンスを順番に決定する。）は、重大なことではない。例えば、図 3 に示すように、従来の（すなわち、行 1 の列、それに続いて行 2 の列という具合の）選択シーケンスで、単にセルを選択することも可能である。しかし、好ましくは、第 1 のセルアレイ 100 内の選択シーケンスは、図 5 から 14 の（B）を参照してこれまで説明したように、上記の本発明の第 1 の態様の基礎をなす原理に従って、決定することが望ましい。この場合、個別の各セルアレイ内の階段状、対称な及び他の誤差は、4 個のセルアレイで占められる領域に渡って存在する誤差と同様に全体として補償される。

【0073】

図 23 は、セルの各組に属する 4 個の異なるセルを結合し選択できる方法の例を示す。図 23 に示すように、4 個の対応するセルの各組は個別に対応するスイッチ回路 4 を有する。例えば、4 個のセル A 1 から A 4 の組は、個別に対応するスイッチ回路 4_A を有する。

この例で、セルは各定電流源 2 で構成され、組の 4 個のセルは対応するスイッチ回路の入力に接続される共通の接続線 110 に接続される。

【0074】

図 15 を参照してすでに説明したように、各セルは単一のトランジスタ又は並列に接続した複数のトランジスタで構成できる。例えば、各セルは 4 個の並列に接続された p 型 FET を備える。

図16及び図17を参照してすでに説明したように、図23の4個のセルアレイ内のセルは、定電流源を備える必要はない。それらは、代わりに定電流シンクを備えることができる。更に、それらは、図16に示したように容量要素C又は図17に示したように抵抗要素Rを備えることもできる。この場合、セルからスイッチ回路への接続は、図16及び図17に従って変形するのが適当できる。

【0075】

本発明の第2の態様に基づく十分な利点は、2個のセルアレイによって占められる領域にある誤差の組合せに依存し、ちょうど2個のセルアレイを使用することで得られる。例えば、2個のセルアレイ100と102をアレイ104と106を使用せずに用いる。この場合、x方向の階段状の誤差は相殺され、y方向の対称な誤差が相殺される。同様に、

10

【0076】

図22の2個のセルアレイ100と106だけを使用してそれらを第1及び第2象限にそれぞれ配置することで作られる。この場合、x方向とy方向の両方の階段状の誤差は相殺される。同様の効果はセルアレイ100と106だけを使用してそれぞれを第1及び第3象限に配置することで達成できる。

【0077】

図24は、第1のセルアレイ100が第1及び第3象限を横切って等しく分けられる他の実施例を示す。象限1の部分は、それを回転および反射させることなしに象限4にコピー（複写）され、象限3の部分はそれを回転および反射させることなしに象限2にコピーされる。この結果、x方向とy方向の両方の対称な誤差が相殺される。

20

【0078】

他の可能性は4個の同一のセルアレイ100をそれぞれ象限1から4に配置することである。これは、x方向とy方向の両方の対称な誤差を相殺する効果を有する。

本発明の第2の態様の実施例では、セルアレイが相互に直接隣接するように配置される必要はない。例えば、図22の実施例では、アレイ100と102は、DACの他のセルのような別の回路を配置するスペースを残すように、アレイ104と106からx方向に離すこともできる。

【0079】

以上説明したように、本発明によれば、異なる行と列内での階段状及び対称な誤差の累積を2次元的に相殺する高精度のセルアレイ回路が提供される。

30

【図面の簡単な説明】

【0080】

【図1】従来の電流テアリングDACの部分を示す図である。

【図2】どのようにして温度計コード化信号を図1のDACの2値入力ワードから導出するかを説明するのに使用される表である。

【図3】DACにおける使用をあらかじめ考慮したセルアレイ回路の部分を示す図である。

【図4】図3のセルアレイ回路での階段状及び対称な誤差の発生を説明するのに使用する概略図である。

40

【図5】本発明の第1実施例のセルアレイ回路を示す図である。

【図6】図5の実施例における階段状及び対称な誤差の影響を説明するのに使用する表である。

【図7】図6の表と比較するための、本発明を組み込んでいないセルアレイ回路における階段状及び対称な誤差の影響を示す表と、従来のセルアレイ回路の例を示す図である。

【図8】3×3の魔方陣の一例を示す図である。

【図9】図8の魔方陣を変形して別の魔方陣を作る方法を説明するのに使用される図と、それによって作られた各魔方陣を示す図である。

【図10】4×4の魔方陣の一例を示す図である。

50

【図 1 1】 4×4 の魔方陣の一例を示す図である。

【図 1 2】図 1 0 の魔方陣の特性を説明するのに使用される図である。

【図 1 3】 5×5 、 6×6 及び 8×8 の魔方陣の例を示す図である。

【図 1 4】別の 3×3 の魔方陣及び 3×2 の長方形の魔方陣の例を示す図である。

【図 1 5】図 5 のセルアレイ回路のセルの 1 つの構成の一例を示す図である。

【図 1 6】本発明の第 2 実施例のセルアレイ回路の部分を示す図である。

【図 1 7】本発明の第 3 実施例のセルアレイ回路の部分を示す図である。

【図 1 8】図 1 7 のセルアレイ回路のセルの 1 つの構成例を示す図である。

【図 1 9】本発明の第 2 の態様を組み込んだセルアレイ回路の原理を説明するのに使用する図である。

10

【図 2 0】本発明の第 2 の態様を組み込んだセルアレイ回路の原理を説明するのに使用する図である。

【図 2 1】本発明の第 2 の態様を組み込んだセルアレイ回路の原理を説明するのに使用する図である。

【図 2 2】本発明の第 2 の態様を組み込んだセルアレイ回路の原理を説明するのに使用する図である。

【図 2 3】本発明の第 4 実施例のセルアレイ回路を示す図である。

【図 2 4】本発明の第 5 実施例のセルアレイ回路を示す図である。

【符号の説明】

【0081】

20

1 DAC

2、21 ~ 2n 電流源

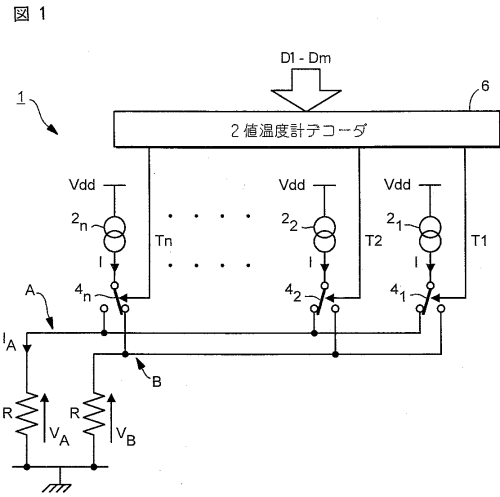
4、41 ~ 4n スイッチ回路

6 温度計デコーダ

20 セルアレイ回路

22 セルアレイ

【図1】



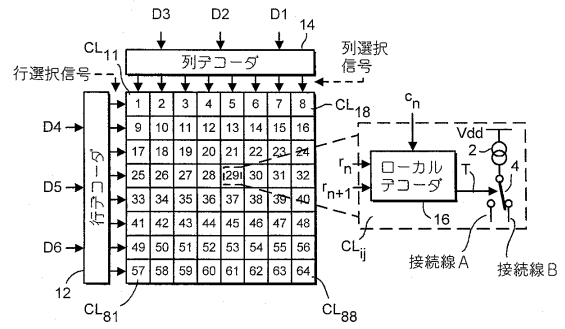
【図2】

図2

2値入力ワード			温度計コード化信号						
D3	D2	D1	T7	T6	T5	T4	T3	T2	T1
0	0	0	0	0	0	0	0	0	0
0	0	1	0	0	0	0	0	0	1
0	1	0	0	0	0	0	0	1	1
0	1	1	0	0	0	0	1	1	1
1	0	0	0	0	0	1	1	1	1
1	0	1	0	0	1	1	1	1	1
1	1	0	0	1	1	1	1	1	1
1	1	1	1	1	1	1	1	1	1

【図3】

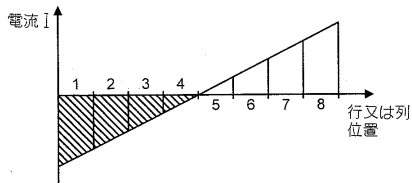
図3



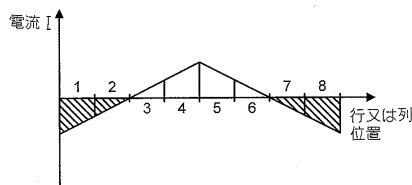
【図4】

図4

(A)

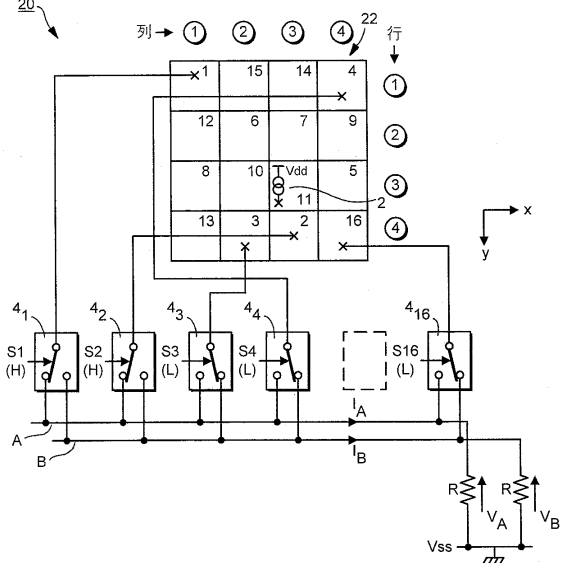


(B)



【図5】

図5



【 図 6 】

図 6

	x	y	Σx	Σy	$E = \Sigma x + \Sigma y$
1	-2	-2	-2	-2	-4
2	+1	+2	-1	0	-1
3	-1	+2	-2	+2	0
4	+2	-2	0	0	0
5	+2	+1	+2	+1	+3
6	-1	-1	+1	0	+1
7	+1	-1	+2	-1	+1
8	-2	+1	0	0	0
9	+2	-1	+2	-1	-1
10	-1	+1	+1	0	+1
11	+1	+1	+2	+1	+3
12	-2	-1	0	0	0
13	-2	+2	-2	+2	0
14	+1	-2	-1	0	-1
15	-1	-2	-2	-2	-4
16	+2	+2	0	0	0

【 図 7 】

図 7 (A)

	x	y	Σx	Σy	E
1	-2	-2	-2	-2	-4
2	-1	-2	-3	-4	-7
3	+1	-2	-2	-6	-8
4	+2	-2	0	-8	-8
5	-2	-1	-2	-9	-11
6	-1	-1	-3	-10	-13
7	+1	-1	-2	-11	-13
8	+2	-1	0	-12	-12
9	-2	+1	-2	-11	-13
10	-1	+1	-3	-10	-11
11	+1	+1	-2	-9	-13
12	+2	+1	0	-8	-8
13	-2	+2	-2	-6	-8
14	-1	+2	-3	-2	-4
15	+1	+2	-2	-2	-4
16	+2	+2	0	0	0

(B)

		x →			
		-2	-1	+1	+2
y ↓	-2	1	2	3	4
	-1	5	6	7	8
	+1	9	10	11	12
	+2	13	14	15	16

【 図 8 】

図 8

4	9	2
3	5	7
8	1	6

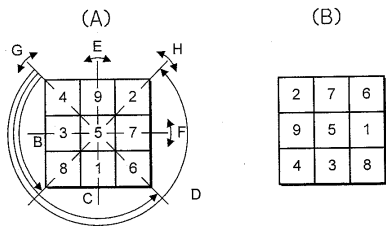
【 図 10 】

図 10

7	12	1	14
2	13	8	11
16	3	10	5
9	6	15	4

【 図 9 】

図 9



- (C)

6	1	8
7	5	3
2	9	4
- (D)

8	3	4
1	5	9
6	7	2
- (E)

2	9	4
7	5	3
6	1	8
- (F)

8	1	6
3	5	7
4	9	2
- (G)

4	3	8
9	5	1
2	7	6
- (H)

6	7	2
1	5	9
8	3	4

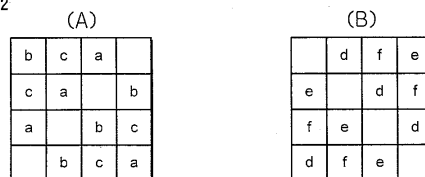
【 図 11 】

図 11

4	15	6	9
5	10	3	16
11	8	13	2
14	1	12	7

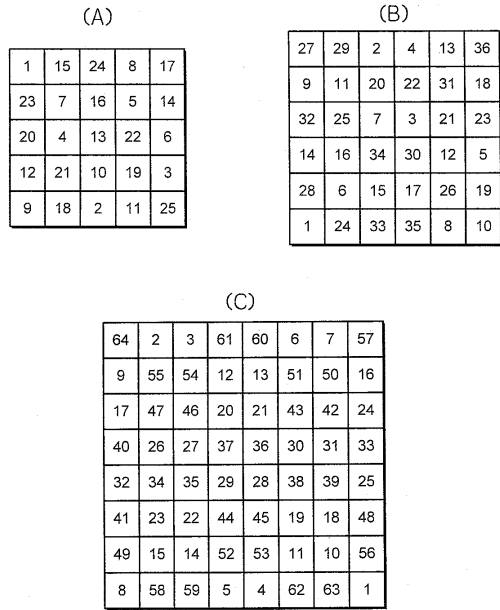
【 図 12 】

図 12



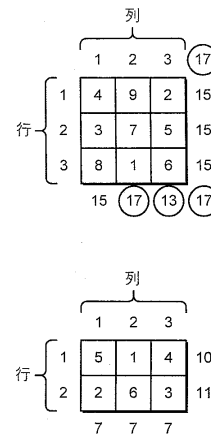
【 図 1 3 】

図 13



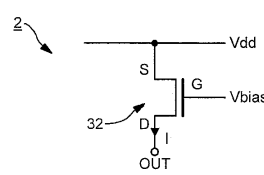
【 図 1 4 】

図 14



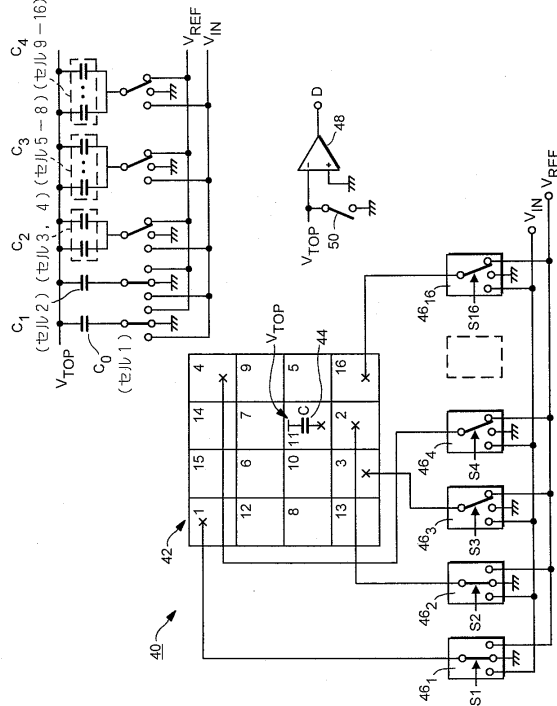
【 図 1 5 】

図 15



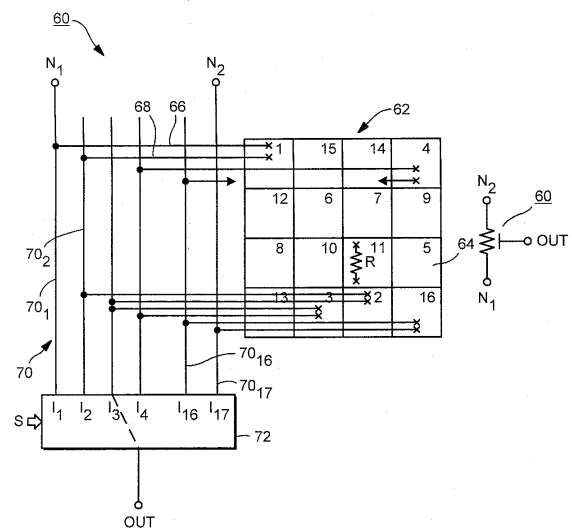
【 図 1 6 】

図 16



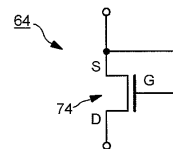
【 図 1 7 】

図 17

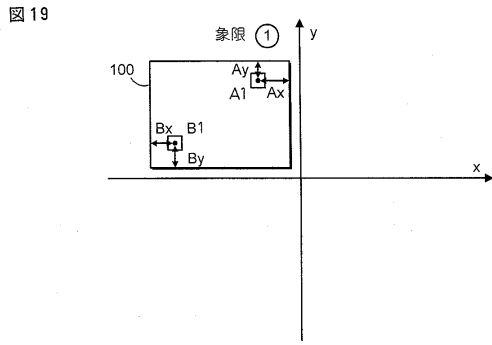


【 図 1 8 】

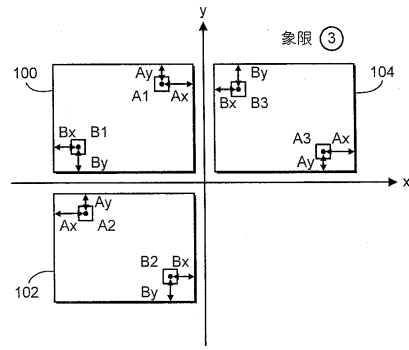
図 18



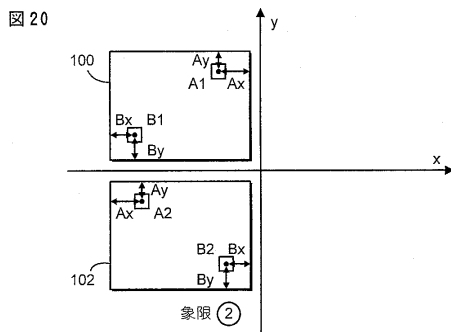
【 図 19 】



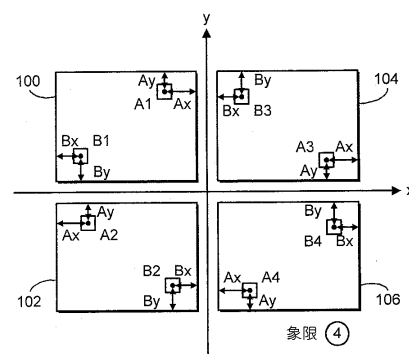
【 図 21 】



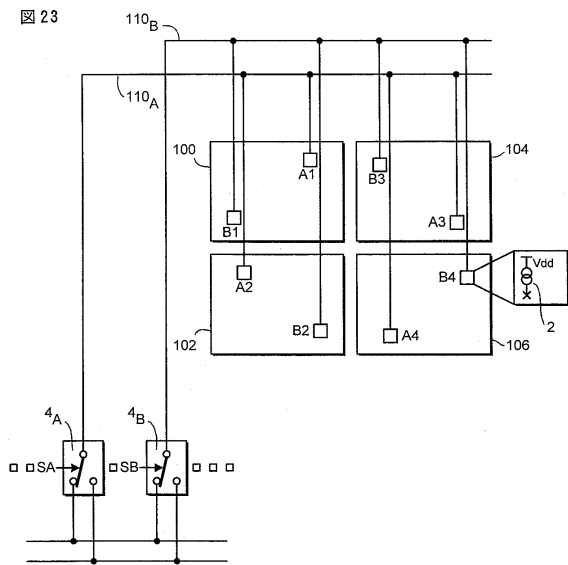
【 図 20 】



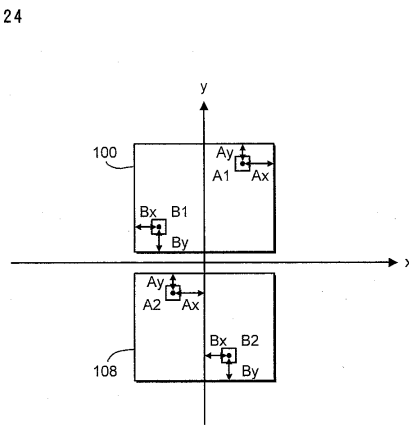
【 図 22 】



【 図 23 】



【 図 24 】



フロントページの続き

(72)発明者 ウィリアム ジョージ ジョン スコフィールド
イギリス国, パークシャー アールジ-42 4アールエー, ピンフィールド, パーク ファーム
, ウッドハウス ストリート 24

(72)発明者 イアン ジュソ デディク
イギリス国, ミドルセックス ユービー5 5エイチダブリュ, ノーソルト, ベルビュー ロード
15

審査官 栗栖 正和

(56)参考文献 特開平05-191290(JP, A)
特開平05-191289(JP, A)
特開平02-306723(JP, A)
特開平05-090968(JP, A)
特開平02-113630(JP, A)
特開平08-330966(JP, A)

(58)調査した分野(Int.Cl., DB名)
H03M 1/00-1/88