

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-86431
(P2014-86431A)

(43) 公開日 平成26年5月12日(2014.5.12)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 7 D	4 M 1 0 4
HO 1 L 27/04 (2006.01)	HO 1 L 29/78 6 5 2 T	5 F 0 4 8
HO 1 L 29/12 (2006.01)	HO 1 L 29/78 6 5 3 A	
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 5 2 S	
HO 1 L 21/28 (2006.01)	HO 1 L 29/78 6 5 2 N	

審査請求 未請求 請求項の数 5 O L (全 13 頁) 最終頁に続く

(21) 出願番号 特願2012-231399 (P2012-231399)
(22) 出願日 平成24年10月19日 (2012.10.19)

(71) 出願人 000003997
日産自動車株式会社
神奈川県横浜市神奈川区宝町2番地
(74) 代理人 100083806
弁理士 三好 秀和
(74) 代理人 100100712
弁理士 岩▲崎▼ 幸邦
(74) 代理人 100101247
弁理士 高橋 俊一
(74) 代理人 100095500
弁理士 伊藤 正和
(74) 代理人 100098327
弁理士 高松 俊雄

最終頁に続く

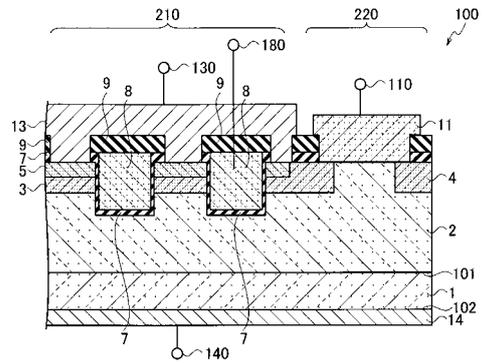
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 並列接続されたMOSトランジスタとダイオードが同一基板上に形成され、且つ半導体素子に流れる電流による内部での発熱の集中が抑制された半導体装置及びその製造方法を提供する。

【解決手段】 半導体基体上に配置されたドリフト領域と、ドリフト領域の上部に埋め込まれたウェル領域と、ウェル領域の上部に埋め込まれたソース領域と、ソース領域とウェル領域を貫通し、底部がドリフト領域に達する溝の内壁に配置されたゲート絶縁膜と、溝の内部に埋め込まれたゲート電極と、ゲート電極の周囲でソース領域と電気的に接続するソース電極と、半導体基体を介してドリフト領域と電気的に接続するドレイン電極と、ゲート電極及びソース電極が配置された領域として定義されるセル領域の周囲においてドリフト領域上に配置され、ドリフト領域との間でヘテロ接合を形成するアノード電極とを備える。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

半導体基体と、
 前記半導体基体上に配置された第 1 導電型のドリフト領域と、
 前記ドリフト領域の上部の一部に埋め込まれた第 2 導電型のウェル領域と、
 前記ウェル領域の上部の一部に埋め込まれた第 1 導電型のソース領域と、
 前記ソース領域と前記ウェル領域を貫通し、底部が前記ドリフト領域に達する溝の内壁に配置されたゲート絶縁膜と、
 前記溝の内部に埋め込まれたゲート電極と、
 前記ゲート電極の周囲で前記ソース領域と電氣的に接続するソース電極と、
 前記半導体基体上に配置され、前記半導体基体を介して前記ドリフト領域と電氣的に接続するドレイン電極と、
 前記ゲート電極及び前記ソース電極が配置された領域として定義されるセル領域の周囲において前記ドリフト領域上に配置され、前記ドリフト領域との間でヘテロ接合を形成するアノード電極と
 を備えることを特徴とする半導体装置。

【請求項 2】

前記半導体基体の外縁部に沿って、前記ドリフト領域の上部の一部に埋め込まれた環状の周辺ガードリングを更に備えることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記アノード電極が前記周辺ガードリングに接していることを特徴とする請求項 2 に記載の半導体装置。

【請求項 4】

前記アノード電極の底部の前記セル領域に近い側の端部に前記周辺ガードリングが配置されていることを特徴とする請求項 3 に記載の半導体装置。

【請求項 5】

半導体基体の第 1 の主面上に第 1 導電型のドリフト領域を形成するステップと、
 イオン注入により、前記ドリフト領域の上部の一部に第 2 導電型のウェル領域を選択的に形成するステップと、
 イオン注入により、前記ウェル領域の上部の一部に第 1 導電型のソース領域を選択的に形成するステップと、
 前記ソース領域と前記ウェル領域を貫通し、底部が前記ドリフト領域に達する溝を形成するステップと、
 前記溝の内面にゲート絶縁膜を形成するステップと、
 前記溝を埋め込んで第 1 導電型のゲート電極を形成するステップと、
 前記ゲート電極の周囲で前記ソース領域上にソース電極を形成するステップと、
 前記ゲート電極及び前記ソース電極が配置された領域として定義されるセル領域の周囲において、底部が前記ドリフト領域に達し、前記ドリフト領域との間でヘテロ接合を形成するアノード電極を形成するステップと、
 前記半導体基体の前記第 1 の主面に対向する第 2 の主面上に、前記アノード電極と共にヘテロ接合ダイオードを構成するカソード電極を兼ねるドレイン電極を形成するステップと
 を含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、複数の半導体素子を同一半導体基板上に形成した半導体装置及びその製造方法に関する。

【背景技術】

【0002】

10

20

30

40

50

半導体装置の面積の増大を抑制するために、同一半導体基板上に複数の半導体素子を形成する方法が採用されている。例えば、並列接続されたMOSトランジスタとダイオードとを同一半導体基板に形成する方法が提案されている（例えば、特許文献1参照）。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2005-183563号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

10

しかしながら、MOSトランジスタとダイオードとを同一半導体基板に形成した場合に、これらの素子が隣接して配置されていると、MOSトランジスタが導通状態になって電流が流れる経路（即ち、ソース電極からドレイン電極への経路）とダイオードの順方向に流れる電流の経路（即ち、アノード電極からカソード電極への経路）が近接する。このため、MOSトランジスタの導通とダイオードの導通が交互に繰り返される使い方の場合に、電流が流れることによる発熱が内部に集中するという問題があった。

【0005】

上記問題点に鑑み、本発明の目的は、並列接続されたMOSトランジスタとダイオードが同一基板上に形成され、且つこれらの半導体素子に流れる電流による内部での発熱の集中が抑制された半導体装置及びその製造方法を提供することである。

20

【課題を解決するための手段】

【0006】

本発明は、半導体基体上にそれぞれ配置された第1導電型のドリフト領域、第2導電型のウェル領域及び第1導電型のソース領域と、ソース領域とウェル領域を貫通して底部がドリフト領域に達する溝の内壁に配置されたゲート絶縁膜と、溝の内部に埋め込まれたゲート電極と、ソース領域と電氣的に接続するソース電極と、半導体基体を介してドリフト領域と電氣的に接続するドレイン電極と、ゲート電極及びソース電極が配置された領域として定義されるセル領域の周囲においてドリフト領域上に配置され、ドリフト領域との間でヘテロ接合を形成するアノード電極とを備える。

【発明の効果】

30

【0007】

本発明によれば、MOSトランジスタとダイオードが分離して配置されるので、これらの半導体素子に流れる電流による内部での発熱の集中が抑制された半導体装置及びその製造方法を提供することができる。

【図面の簡単な説明】

【0008】

【図1】本発明の第1の実施形態に係る半導体装置の構成を示す模式的な断面図である。

【図2】本発明の第1の実施形態に係る半導体装置の構成を示す模式的な平面図である。

【図3】本発明の第1の実施形態に係る半導体装置の製造方法を説明するための工程断面図である（その1）。

40

【図4】本発明の第1の実施形態に係る半導体装置の製造方法を説明するための工程断面図である（その2）。

【図5】本発明の第1の実施形態に係る半導体装置の製造方法を説明するための工程断面図である（その3）。

【図6】本発明の第1の実施形態に係る半導体装置の製造方法を説明するための工程断面図である（その4）。

【図7】本発明の第1の実施形態に係る半導体装置の製造方法を説明するための工程断面図である（その5）。

【図8】本発明の第1の実施形態に係る半導体装置の製造方法を説明するための工程断面図である（その6）。

50

【図 9】本発明の第 1 の実施形態に係る半導体装置の製造方法を説明するための工程断面図である（その 7）。

【図 10】本発明の第 1 の実施形態に係る半導体装置の製造方法を説明するための工程断面図である（その 8）。

【図 11】本発明の第 1 の実施形態に係る半導体装置の製造方法を説明するための工程断面図である（その 9）。

【図 12】本発明の第 1 の実施形態に係る半導体装置の製造方法を説明するための工程断面図である（その 10）。

【図 13】本発明の第 1 の実施形態に係る半導体装置の製造方法を説明するための工程断面図である（その 11）。

【図 14】本発明の第 2 の実施形態に係る半導体装置の構成を示す模式的な断面図である。

【発明を実施するための形態】

【0009】

次に、図面を参照して、本発明の実施形態を説明する。以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。ただし、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参酌して判断すべきものである。又、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることはもちろんである。

【0010】

又、以下に示す実施形態は、この発明の技術的思想を具体化するための装置や方法を例示するものであって、この発明の実施形態は、構成部品の材質、形状、構造、配置等を下記のものに特定するものでない。この発明の実施形態は、特許請求の範囲において、種々の変更を加えることができる。

【0011】

（第 1 の実施形態）

本発明の第 1 の実施形態に係る半導体装置 100 は、図 1 に示すように、半導体基体 1 と、半導体基体 1 上に配置された第 1 導電型のドリフト領域 2 と、ドリフト領域 2 の上部の一部に埋め込まれた第 2 導電型のウェル領域 3 と、ウェル領域 3 の上部の一部に埋め込まれた第 1 導電型のソース領域 5 と、ソース領域 5 とウェル領域 3 を貫通し、底部がドリフト領域 2 に達する溝の内壁に配置されたゲート絶縁膜 7 と、溝の内部に埋め込まれたゲート電極 8 とを備える。ソース領域 5 はソース電極 13 と電気的に接続され、半導体基体 1 はドレイン電極 14 と接続されている。

【0012】

図 1 に示した半導体装置 100 は、ゲート電極 8 及びソース電極 13 が配置された領域として定義されるセル領域 210 の周囲においてドリフト領域 2 上に配置され、ドリフト領域 2 との間でヘテロ接合を形成するアノード電極 11 を更に備える。

【0013】

第 1 導電型と第 2 導電型とは互いに反対導電型である。すなわち、第 1 導電型が N 型であれば、第 2 導電型は P 型であり、第 1 導電型が P 型であれば、第 2 導電型は N 型である。以下では、第 1 導電型が N 型、第 2 導電型が P 型の場合を例示的に説明する。なお、半導体基体 1 は高濃度の N 型の炭化珪素（SiC）基体であるとし、ドリフト領域 2 は低濃度の N 型の SiC 層であるとする。

【0014】

ソース電極 13 は、セル領域 210 においてソース領域 5 の上方に配置されている。ゲート電極 8 の上方に配置されたソース電極 13 とゲート電極 8 とは、ソース領域 5 上及びウェル領域 3 上に配置された層間絶縁膜 9 によって絶縁分離されている。そして、ゲート電極 8 が埋め込まれた溝の周囲に設けられた層間絶縁膜 9 の開口部において、ソース領域 5 とソース電極 13 が接続している。

10

20

30

40

50

【 0 0 1 5 】

ゲート電極 8 は、ゲート絶縁膜 7 を介して、ドリフト領域 2、ウェル領域 3 及び N+型ソース領域 5 と対向している。ゲート電極 8 は、例えば第 1 導電型 (N 型) のポリシリコンゲート電極である。

【 0 0 1 6 】

上記のドリフト領域 2、ウェル領域 3、ソース領域 5、ゲート電極 8 などによって、セル領域 2 1 0 にトレンチ構造の MOS トランジスタが構成される。

【 0 0 1 7 】

図 1 に示すように、セル領域 2 1 0 の周囲の領域 (以下において「外周領域 2 2 0」という。) において、アノード電極 1 1 の下部が、層間絶縁膜 9、及びウェル領域 3 上に延伸したゲート絶縁膜 7 に形成された溝に埋め込まれている。そして、外周領域 2 2 0 でウェル領域 3 の外周を囲むドリフト領域 2 の上面と、アノード電極 1 1 の下部とが接触している。これにより、アノード電極 1 1 とドリフト領域 2 との間でヘテロ接合が形成され、外周領域 2 2 0 においてヘテロ接合ダイオードが構成される。

10

【 0 0 1 8 】

アノード電極 1 1 としては、アノード電極 1 1 とドリフト領域 2 との界面にヘテロ接合が形成されるように、例えば P 型の半導体膜などを採用可能である。

上記のように、図 1 に示した半導体装置 1 0 0 は、セル領域 2 1 0 に MOS トランジスタが配置され、セル領域 2 1 0 の周囲の外周領域 2 2 0 にヘテロ接合ダイオードが配置された構造である。

20

【 0 0 1 9 】

図 1 に示した例では、半導体基体 1 の第 1 の主面 1 0 1 上にドリフト領域 2 が配置され、半導体基体 1 の第 1 の主面 1 0 1 に対向する第 2 の主面 1 0 2 上にドレイン電極 1 4 が配置されている。これにより、半導体基体 1 を介してドリフト領域 2 とドレイン電極 1 4 が電氣的に接続されている。また、アノード電極 1 1 とドリフト領域 2 によって構成されるヘテロ接合ダイオードのカソード電極としてもドレイン電極 1 4 は機能する。つまり、セル領域 2 1 0 に形成された MOS トランジスタと外周領域 2 2 0 に形成されたヘテロ接合ダイオードとは、並列接続されている。

【 0 0 2 0 】

ドリフト領域 2 の外縁部には、半導体基体 1 の外縁に沿ってドリフト領域 2 の上部の一部に埋め込まれた周辺ガードリング 4 が配置されている。周辺ガードリング 4 により、半導体装置 1 の端部における電界を緩和することができる。図 1 に示した例では、アノード電極 1 1 が周辺ガードリング 4 に接している。より具体的には、アノード電極 1 1 の底部のうち半導体基体 1 の外縁側の端部が、周辺ガードリング 4 の内側の上面に接している。

30

【 0 0 2 1 】

なお、ゲート電極 8 にゲート端子 1 8 0、ソース電極 1 3 にソース端子 1 3 0、ドレイン電極 1 4 のドレイン端子 1 4 0、アノード電極 1 1 にアノード端子 1 1 0 が、それぞれ電氣的に接続されている。これらの端子によって、半導体装置 1 0 0 の電氣的な入出力が行われる。

【 0 0 2 2 】

以下に、半導体装置 1 0 0 の基本的な動作例を説明する。以下の説明では、例えばインバータなどの電力変換装置の電力変換素子として半導体装置 1 0 0 が使用される場合を想定し、順方向動作ではスイッチング素子として動作し、いわゆる還流動作である逆方向動作では受動素子として動作する。

40

【 0 0 2 3 】

まず、順方向動作について説明する。ソース電極 1 3 の電位を基準としてドレイン電極 1 4 に正の電圧を印加した状態で、ゲート電極 8 の電圧を変化させる。これにより、ソース電極 1 3 とドレイン電極 1 4 間に流れる電流を制御することができる。

【 0 0 2 4 】

具体的には、しきい値電圧以上の正の電圧をゲート電極 8 に印加すると、ウェル領域 3

50

とゲート絶縁膜 7 の界面に反転層が形成され、伝導電子が発生する。このため、ソース電極 1 3 とドレイン電極 1 4 間に電流が流れる。

【 0 0 2 5 】

一方、ゲート電極 8 に印加する電圧がしきい値電圧よりも低い場合には、反転層は形成されない。このため、ソース電極 1 3 とドレイン電極 1 4 間に電流は流れない。

【 0 0 2 6 】

次に、逆方向動作について説明する。ソース電極 1 3 の電位を基準としてドレイン電極 1 4 に負の電圧を印加した場合に、アノードがアノード電極 1 1 であり、カソードがドリフト領域 2 であるヘテロ接合ダイオードに、還流電流が流れる。

【 0 0 2 7 】

即ち、ドリフト領域 2 からアノード電極 1 1 に向けては伝導電子に対するエネルギー障壁がほぼないために電子電流が流れる。これに対し、アノード電極 1 1 からドリフト領域 2 に向けては正孔（ホール）に対するエネルギー障壁が存在しているためにホール電流はほとんど流れない。つまり、アノード電極 1 1 とドリフト領域 2 により構成されるヘテロ接合ダイオードは、多数キャリア受動素子として動作する。

【 0 0 2 8 】

なお、しきい値電圧を負の方向にシフトさせ、最大電圧までゲート電圧を印加した時のドレイン電流を大きくするために、第 1 導電型の半導体膜をゲート電極 8 に使用することが好ましい。また、逆方向耐圧を高くするために、第 1 導電型のドリフト領域 2 との間のエネルギー障壁が高くなる第 2 導電型の半導体膜をアノード電極 1 1 に用いることが好ましい。

【 0 0 2 9 】

セル領域 2 1 0 には、任意の個数、形状の MOS トランジスタを配置できる。例えば、図 2 に示すように、半導体装置 1 0 0 の主面上に複数の MOS トランジスタを配置し、その周囲に環状のアノード電極 1 1 を配置してもよい。より具体的には、半導体基体 1 の中心領域のセル領域 2 1 0 に、マトリクス状に配置された複数のソース領域 5、各 MOS トランジスタのソース電極 1 3 にそれぞれ接続するソースパッド 1 6、及びゲート電極 8 に接続するゲートパッド 1 5 が配置されている。そして、セル領域 2 1 0 の周囲を囲んで、環状のアノード電極 1 1 が配置されている。また、アノード電極 1 1 の周囲には、半導体基体 1 の外縁部に沿って環状の周辺ガードリング 4 が配置されている。

【 0 0 3 0 】

以上に説明したように、本発明の第 1 の実施形態に係る半導体装置 1 0 0 では、MOS トランジスタとヘテロ接合ダイオードとが分離して同一半導体基板上に配置される。このため、MOS トランジスタに流れる電流に起因して発熱の生じる箇所と、ヘテロ接合ダイオードに流れる電流に起因して発熱の生じる箇所を分離することができる。その結果、順方向動作に MOS トランジスタが導通して電流が流れ、逆方向動作時にヘテロ接合ダイオードに電流が流れることが交互に繰り返されても、半導体装置 1 0 0 によれば、半導体素子に流れる電流による内部での発熱の集中を抑制することができる。

【 0 0 3 1 】

更に、周辺ガードリング 4 上にアノード電極 1 1 の外縁部を配置することにより、周辺ガードリング 4 のスペースを有効に活用することができる。

【 0 0 3 2 】

図 3 ~ 図 1 3 を参照して、本発明の第 1 の実施形態に係る半導体装置 1 0 0 の製造方法を説明する。なお、以下に述べる半導体装置 1 0 0 の製造方法は一例であり、この変形例を含めて、これ以外の種々の製造方法により実現可能であることは勿論である。

【 0 0 3 3 】

先ず、図 3 に示すように、N⁺型炭化珪素からなる半導体基体 1 の第 1 の主面 1 0 1 上に、N⁻型炭化珪素からなるドリフト領域 2 をエピタキシャル成長などにより形成する。

【 0 0 3 4 】

次に、図 4 に示すように、イオン注入によってドリフト領域 2 に第 2 導電型のウェル領

10

20

30

40

50

域 3 及び周辺ガードリング 4 を選択的に形成し、更にウェル領域 3 に第 1 導電型のソース領域 5 を選択的に形成する。これらの領域が選択的に形成されるようにイオン注入する領域をパターニングするためには、例えば下記に示す工程のように、ドリフト領域 2 上方に形成したマスク材を使用する。

【 0 0 3 5 】

マスク材には、シリコン酸化膜などが用いられる。また、マスク材の堆積方法としては、熱化学気相成長 (CVD) 法やプラズマ CVD 法などが採用可能である。堆積されたマスク材上に形成されたフォトレジスト膜をフォトリソグラフィ技術を用いてパターニングし、このフォトレジスト膜をエッチングマスクとしてマスク材をエッチングする。エッチング方法としては、フッ酸を用いたウェットエッチング法や、反応性イオンエッチングなどのドライエッチング法が使用される。以上により、イオン注入される領域に開口部を有するようにマスク材がパターニングされる。その後、フォトレジスト膜を酸素プラズマや硫酸などを用いて除去する。

10

【 0 0 3 6 】

次いで、パターニングされたマスク材をマスクにして、第 2 導電型不純物又は第 1 導電型不純物をそれぞれイオン注入し、所定の位置に第 2 導電型のウェル領域 3 や周辺ガードリング 4、第 1 導電型のソース領域 5 をそれぞれ形成する。第 2 導電型不純物としては、アルミニウム (Al) やボロン (B) などが用いられる。第 1 導電型不純物としては、砒素 (As) や窒素 (N) などが用いられる。なお、半導体基体 1 の基体温度を 600 程度に加熱して状態でイオン注入することにより、イオン注入領域に結晶欠陥が生じるのを抑制することができる。

20

【 0 0 3 7 】

イオン注入後、マスク材を例えばフッ酸を用いたウェットエッチングによって除去する。次いで、イオン注入した不純物を熱処理によって活性化する。熱処理温度は例えば 1700 程度である。好適には、アルゴン (Ar) 雰囲気中や窒素雰囲気中で熱処理が行われる。以上により、ウェル領域 3、周辺ガードリング 4 及びソース領域 5 が形成される。

【 0 0 3 8 】

次に、図 5 に示すように、ソース領域 5 とウェル領域 3 を貫通し、底部がドリフト領域 2 に達する溝 6 を、セル領域 210 に形成する。例えば、先ずドリフト領域 2 の上方に図示を省略するエッチング用マスクを形成する。エッチング用マスクの材料として絶縁膜などが使用され、溝 6 を形成する領域に開口部が形成されるようにエッチング用マスクはパターニングされている。そして、エッチング用マスクをマスクにしてソース領域 5、ウェル領域 3 及びドリフト領域 2 の一部をエッチング除去し、溝 6 を形成する。溝 6 の形成には、ドライエッチング法が採用可能である。図 5 に示すように、溝 6 の深さはウェル領域 3 の深さよりも深くなければならない。

30

【 0 0 3 9 】

次いで、図 6 に示すように、全面にゲート絶縁膜 7 を形成する。このとき、溝 6 の底面及び側面にもゲート絶縁膜が形成される。ゲート絶縁膜 7 には酸化膜などが使用され、膜厚は例えば 10 nm ~ 100 nm 程度である。

【 0 0 4 0 】

次に、図 7 に示すように、溝 6 を埋め込むようにして、ゲート絶縁膜 7 上に第 1 導電型 (N 型) 不純物がドーピングされた第 1 半導体膜 80 を成長させる。第 1 導電型不純物は砒素やリン (P) などが用いられる。第 1 半導体膜 80 の成長方法としては、公知の低圧 CVD 法などが用いられる。そして、図 8 に示すように、溝 6 内部にのみ第 1 半導体膜 80 が残るように、第 1 半導体膜 80 の上部をエッチング除去する。その後、第 1 半導体膜 80 中の第 1 導電型不純物を活性化することにより、ゲート電極 8 が形成される。

40

【 0 0 4 1 】

次に、図 9 に示すように、全面に層間絶縁膜 9 を形成する。そして、ヘテロ接合ダイオードが形成される領域のゲート絶縁膜 7 と層間絶縁膜 9 をドライエッチングにより除去し、図 10 に示すように、ヘテロ接合ダイオード形成用の溝 10 を形成する。この溝 10 を

50

埋め込んで、図 1 1 に示すようにアノード電極 1 1 が形成される。例えば、第 2 導電型 (P 型) 不純物がドーパされた第 2 半導体膜を形成した後、この第 2 半導体膜中の第 2 導電型不純物を活性化してアノード電極 1 1 を形成する。

【 0 0 4 2 】

その後、ソース電極 1 3 がソース領域 5 と接する部分のゲート絶縁膜 7 と層間絶縁膜 9 をドライエッチングにより除去し、図 1 2 に示すように、溝 1 2 を形成する。この溝 1 2 を埋め込むようにして、図 1 3 に示すように、ゲート電極 8 の周囲でソース領域 5 に接続するソース電極 1 3 がセル領域 2 1 0 内に形成される。更に、半導体基体 1 の第 2 の主面 1 0 2 上に、アノード電極 1 1 と共に外周領域 2 2 0 においてヘテロ接合ダイオードを構成するカソード電極を兼ねるドレイン電極 1 4 が形成される。以上により、半導体装置 1 0 0 が完成する。

10

【 0 0 4 3 】

上記のような本発明の第 1 の実施形態に係る半導体装置 1 0 0 の製造方法によれば、MOS トランジスタが形成されるセル領域 2 1 0 とヘテロ接合ダイオードが形成される外周領域 2 2 0 とを分離することにより、半導体素子に流れる電流による発熱の集中の抑制を可能にした半導体装置 1 0 0 を提供することができる。

【 0 0 4 4 】

(第 2 の実施形態)

図 1 4 に、本発明の第 2 の実施形態に係る半導体装置 1 0 0 を示す。図 1 4 に示した半導体装置 1 0 0 は、アノード電極 1 1 の底部がウェル領域 3 の底面の位置よりも深い位置でドリフト領域 2 に接している。つまり、図 1 に示した半導体装置 1 0 0 のアノード電極 1 1 よりも、図 1 4 に示した半導体装置 1 0 0 の方が膜厚が厚い。更に、図 1 4 に示した半導体装置 1 0 0 では、アノード電極 1 1 の底部の両端部を覆うようにして、周辺ガードリング 4 が配置されている。つまり、図 1 に示した半導体装置 1 0 0 では、アノード電極 1 1 の底部において半導体基体 1 の外縁側の端部にのみ周辺ガードリング 4 が配置されているのに対し、図 1 4 に示した半導体装置 1 0 0 では、アノード電極 1 1 の底部のセル領域 2 1 0 に近い側の端部にも周辺ガードリング 4 が配置されている。

20

【 0 0 4 5 】

このため、図 1 4 に示した半導体装置 1 0 0 では、MOS トランジスタの外側の端部に周辺ガードリング 4 が接近する。その結果、MOS トランジスタの外部の端部における電界を、より効果的に緩和することができる。

30

【 0 0 4 6 】

その他の構成については、図 1 に示す第 1 の実施形態と同様であり、重複した記載を省略する。

【 0 0 4 7 】

図 1 4 に示した半導体装置 1 0 0 を製造するためには、周辺ガードリング 4 を深く形成し、アノード電極 1 1 を埋め込むヘテロ接合ダイオード形成用の溝 1 0 を図 1 0 に示した場合よりも深く形成すればよい。

【 0 0 4 8 】

上記のように、本発明は第 1 及び第 2 の実施形態によって記載したが、この開示の一部をなす論述及び図面はこの発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施形態、実施例及び運用技術が明らかとなろう。即ち、本発明はここでは記載していない様々な実施形態等を含むことは勿論である。したがって、本発明の技術的範囲は上記の説明から妥当な特許請求の範囲に係る発明特定事項によってのみ定められるものである。

40

【 産業上の利用可能性 】

【 0 0 4 9 】

本発明の半導体装置及び半導体装置の製造方法は、トランジスタとダイオードが同一半導体基板に形成される半導体装置を製造する製造業を含む電子機器産業に利用可能である。

50

【符号の説明】

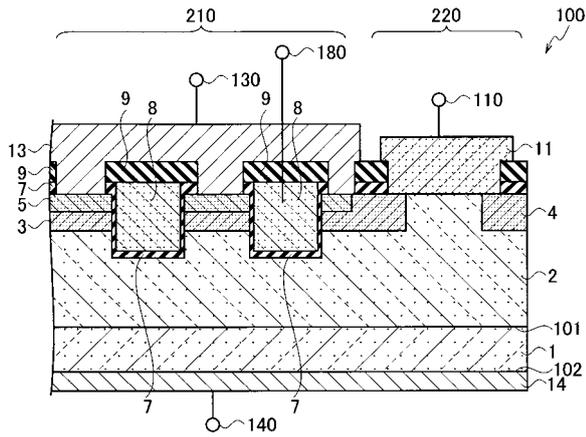
【0050】

- 1 ... 半導体基体
- 2 ... ドリフト領域
- 3 ... ウェル領域
- 4 ... 周辺ガードリング
- 5 ... ソース領域
- 6 ... 溝
- 7 ... ゲート絶縁膜
- 8 ... ゲート電極
- 9 ... 層間絶縁膜
- 11 ... アノード電極
- 13 ... ソース電極
- 14 ... ドレイン電極
- 15 ... ゲートパッド
- 16 ... ソースパッド
- 100 ... 半導体装置
- 101 ... 第1の主面
- 102 ... 第2の主面
- 210 ... セル領域
- 220 ... 外周領域

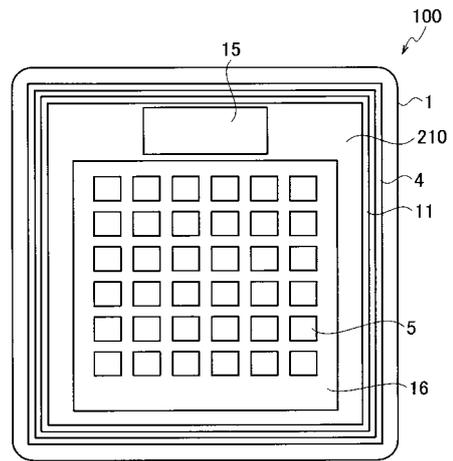
10

20

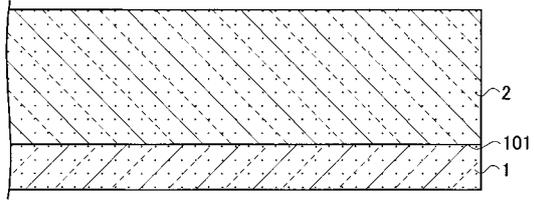
【図1】



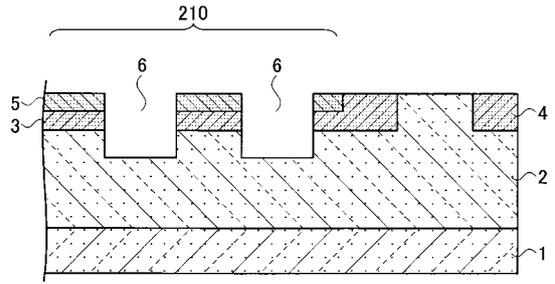
【図2】



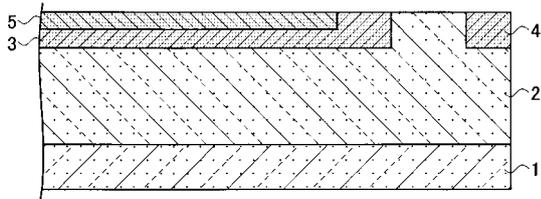
【 図 3 】



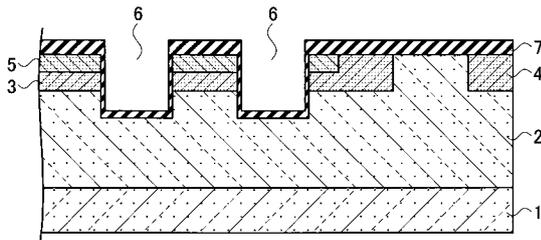
【 図 5 】



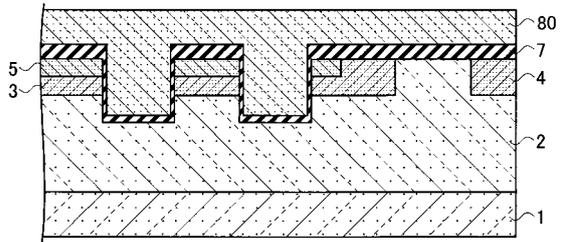
【 図 4 】



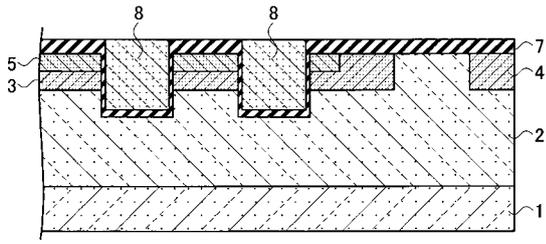
【 図 6 】



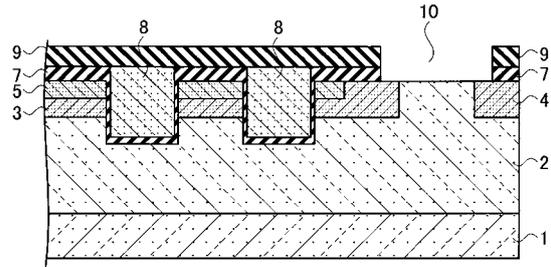
【 図 7 】



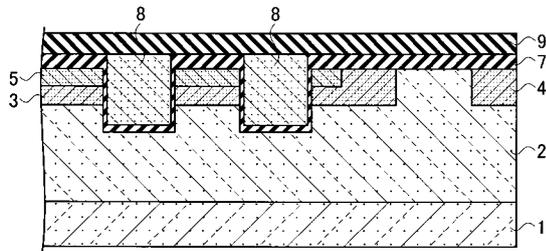
【 図 8 】



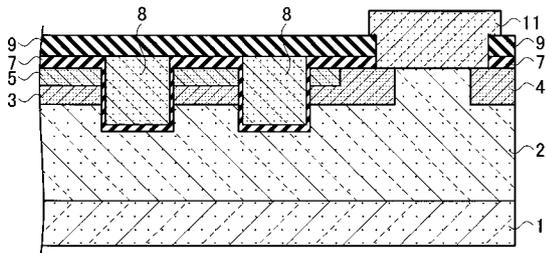
【 図 10 】



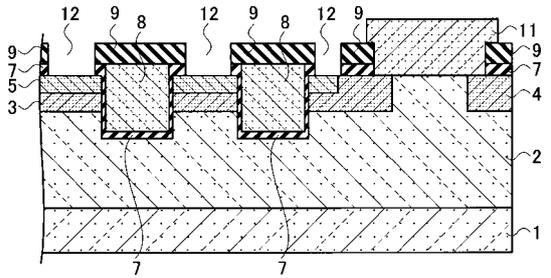
【 図 9 】



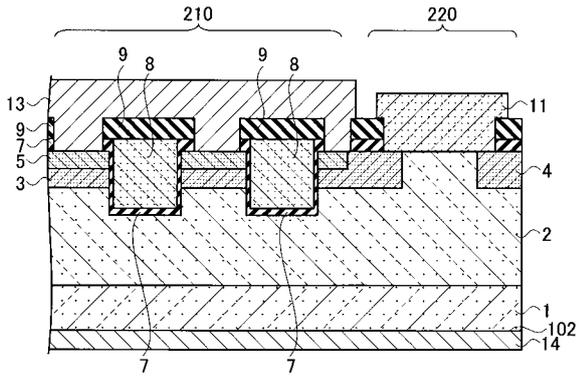
【 図 11 】



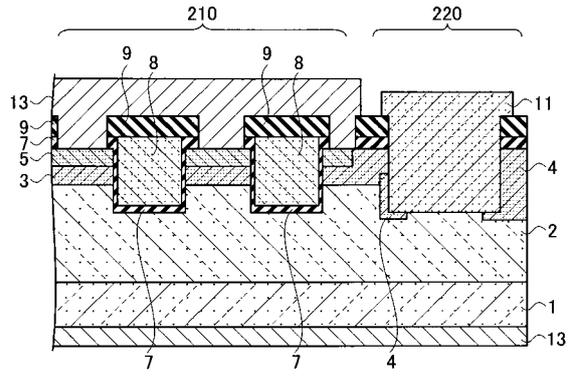
【 図 12 】



【 図 1 3 】



【 図 1 4 】



フロントページの続き

(51)Int.Cl.		F I		テーマコード(参考)
H 0 1 L	27/06 (2006.01)	H 0 1 L	29/78	6 5 8 F
H 0 1 L	21/8234 (2006.01)	H 0 1 L	29/78	6 5 6 Z
H 0 1 L	27/088 (2006.01)	H 0 1 L	21/28	3 0 1 B
H 0 1 L	29/06 (2006.01)	H 0 1 L	27/06	1 0 2 A
		H 0 1 L	27/08	1 0 2 E
		H 0 1 L	29/06	3 0 1 G

(72)発明者 丸井 俊治
神奈川県横浜市神奈川区宝町2番地 日産自動車株式会社内

(72)発明者 林 哲也
神奈川県横浜市神奈川区宝町2番地 日産自動車株式会社内

(72)発明者 山上 滋春
神奈川県横浜市神奈川区宝町2番地 日産自動車株式会社内

(72)発明者 倪 威
神奈川県横浜市神奈川区宝町2番地 日産自動車株式会社内

(72)発明者 江森 健太
神奈川県横浜市神奈川区宝町2番地 日産自動車株式会社内

Fターム(参考) 4M104 AA03 BB01 BB36 BB40 CC00 DD08 DD16 DD26 DD43 FF02
FF27 FF35 GG02 GG09
5F048 AC10 BA14 BB06 BB19 BC03 BC12 BD06 BH05