

【特許請求の範囲】

【請求項 1】

コア領域と、前記コア領域と離隔し且つ前記コア領域の外周を囲うように設けられた第 1 領域と、前記コア領域と前記第 1 領域との間を繋ぐ第 2 領域と、を有する基板と、
前記コア領域、前記第 1 領域、及び前記第 2 領域内で、前記基板の上方の第 1 層に設けられた第 1 導電体層と、

前記コア領域内の前記第 1 導電体層の上方で、互いが第 1 方向に離れて設けられた複数の第 2 導電体層と、

前記第 1 導電体層と前記複数の第 2 導電体層とを貫通し、前記第 2 導電体層との交差部分がメモリセルトランジスタとして機能するピラーと、

10

前記第 1 領域内で前記第 1 導電体層を分断する第 1 コンタクトと、

前記第 1 層において前記第 1 コンタクトと前記第 1 導電体層との間に設けられ、前記第 1 コンタクト及び前記第 1 導電体層間を絶縁し、不純物を含む酸化膜と、

を備える、半導体記憶装置。

【請求項 2】

前記第 1 コンタクトは、前記第 1 層において括れた部分を有し、

前記酸化膜は、前記括れた部分と接触している、

請求項 1 に記載の半導体記憶装置。

【請求項 3】

前記酸化膜は、前記複数の第 2 導電体層を含む配線層において、前記第 1 コンタクトと接触していない、

20

請求項 1 に記載の半導体記憶装置。

【請求項 4】

前記コア領域において、前記複数の第 2 導電体層と同じ層にそれぞれ設けられた複数の第 1 絶縁体層と、

前記第 1 導電体層と前記複数の第 1 絶縁体層とを貫通し、前記第 1 導電体層と絶縁された第 2 コンタクトと、

をさらに備え、

前記第 1 コンタクトの上面と、前記第 2 コンタクトの上面とは揃っている、

請求項 1 に記載の半導体記憶装置。

30

【請求項 5】

前記第 1 コンタクトは、四角環状に設けられる、

請求項 1 に記載の半導体記憶装置。

【請求項 6】

前記基板は、前記第 2 領域と離隔し且つ前記第 2 領域の外周を囲うように設けられた第 3 領域と、前記第 2 領域と前記第 3 領域との間を繋ぐ第 4 領域をさらに有し、

前記第 1 導電体層は、前記第 3 領域及び前記第 4 領域内の前記第 1 層にも設けられる、

請求項 1 に記載の半導体記憶装置。

【請求項 7】

前記第 1 導電体層は、前記第 3 領域において四角環状に設けられた部分と、前記第 1 領域において四角環状に設けられた部分とを有する、

40

請求項 6 に記載の半導体記憶装置。

【請求項 8】

前記第 2 領域において、前記第 1 導電体層を分断する第 3 コンタクトをさらに備える、

請求項 1 に記載の半導体記憶装置。

【請求項 9】

前記酸化膜にドーパされる不純物は、リン、ヒ素、又はボロンである、

請求項 1 に記載の半導体記憶装置。

【請求項 10】

基板の上方に位置する第 1 層に第 1 導電体層を形成することと、

50

前記基板のコア領域内且つ前記第 1 導電体層の上方に、第 1 方向に互いに離れた複数の犠牲部材を形成することと、

前記複数の犠牲部材を貫通するピラーを形成することと、

前記複数の犠牲部材の一部を除去し、前記複数の犠牲部材の一部が除去された空間に導電体を形成することと、

前記コア領域と離隔し且つ前記コア領域を囲む第 1 領域において、前記第 1 導電体層を分断するスリットを形成することと、

前記スリットを形成した後に、前記第 1 導電体層の一部を選択的に酸化することと、

前記酸化の後に、前記スリット内に導電体を埋め込むことと、

を備える、

10

半導体記憶装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

実施形態は、半導体記憶装置、及び半導体記憶装置の製造方法に関する。

【背景技術】

【0002】

データを不揮発に記憶することが可能な NAND 型フラッシュメモリが知られている。

【先行技術文献】

【特許文献】

20

【0003】

【特許文献 1】米国特許出願公開第 2018 / 247951 号明細書

【発明の概要】

【発明が解決しようとする課題】

【0004】

半導体記憶装置の消費電力を抑制する。

【課題を解決するための手段】

【0005】

実施形態の半導体記憶装置は、基板、第 1 導電体層、複数の第 2 導電体層、ピラー、第 1 コントラクト、及び酸化膜を含む。基板は、コア領域と、コア領域と離隔し且つコア領域の外周を囲うように設けられた第 1 領域と、コア領域と第 1 領域との間を繋ぐ第 2 領域とを有する。第 1 導電体層は、コア領域、第 1 領域、及び第 2 領域内で、基板の上方の第 1 層に設けられる。複数の第 2 導電体層は、コア領域内の第 1 導電体層の上方で、互いが第 1 方向に離れて設けられる。ピラーは、第 1 導電体層と複数の第 2 導電体層とを貫通し、第 2 導電体層との交差部分がメモリセルトランジスタとして機能する。第 1 コントラクトは、第 1 領域内で第 1 導電体層を分断する。酸化膜は、第 1 層において第 1 コントラクトと第 1 導電体層との間に設けられ、第 1 コントラクト及び第 1 導電体層間を絶縁し、不純物を含む。

30

【図面の簡単な説明】

【0006】

40

【図 1】実施形態に係る半導体記憶装置の構成例を示すブロック図。

【図 2】実施形態に係る半導体記憶装置が備えるメモリセルアレイの回路構成の一例を示す回路図。

【図 3】実施形態に係る半導体記憶装置の平面レイアウトの一例を示す平面図。

【図 4】実施形態に係る半導体記憶装置の平面レイアウトの一例を示す平面図。

【図 5】実施形態に係る半導体記憶装置のコア領域における平面レイアウトの一例を示す平面図。

【図 6】実施形態に係る半導体記憶装置のメモリ領域における詳細な断面構造の一例を示す断面図。

【図 7】実施形態に係る半導体記憶装置のコア領域における断面構造の一例を示す断面図

50

。

【図 8】実施形態に係る半導体記憶装置の貫通領域における断面構造の一例を示す断面図

。

【図 9】実施形態に係る半導体記憶装置の備える壁領域及び端部領域における断面構造の一例を示す断面図。

【図 10】実施形態に係る半導体記憶装置の備えるクラックストッパの断面構造の一例を示す断面図。

【図 11】実施形態に係る半導体記憶装置のブリッジ領域における断面構造の一例を示す断面図。

【図 12】実施形態に係る半導体記憶装置の製造方法の一例を示すフローチャート。

10

【図 13】実施形態に係る半導体記憶装置の製造途中の断面構造の一例を示す断面図。

【図 14】実施形態に係る半導体記憶装置の製造途中の断面構造の一例を示す断面図。

【図 15】実施形態に係る半導体記憶装置の製造途中の断面構造の一例を示す断面図。

【図 16】実施形態に係る半導体記憶装置の製造途中の断面構造の一例を示す断面図。

【図 17】実施形態の比較例に係る半導体記憶装置の断面構造の一例を示す断面図。

【図 18】実施形態の変形例に係る半導体記憶装置の断面構造の一例を示す断面図。

【発明を実施するための形態】

【0007】

以下に、実施形態について図面を参照して説明する。実施形態は、発明の技術的思想を具体化するための装置や方法を例示している。図面は模式的又は概念的なものであり、各図面の寸法及び比率等は必ずしも現実のものとは限らない。本発明の技術思想は、構成要素の形状、構造、配置等によって特定されるものではない。

20

【0008】

尚、以下の説明において、略同一の機能及び構成を有する構成要素については、同一符号を付す。参照符号を構成する文字の後の数字は、同じ文字を含んだ参照符号によって参照され、且つ同様の構成を有する要素同士を区別するために使用される。同様に、参照符号を構成する数字の後の文字は、同じ数字を含んだ参照符号によって参照され、且つ同様の構成を有する要素同士を区別するために使用される。同じ文字又は数字を含んだ参照符号で示される要素を相互に区別する必要がない場合、これらの要素はそれぞれ文字又は数字のみを含んだ参照符号により参照される。

30

【0009】

[1]実施形態

以下に、実施形態に係る半導体記憶装置 1 について説明する。

【0010】

[1-1]半導体記憶装置 1 の構成

[1-1-1]半導体記憶装置 1 の全体構成

図 1 は、実施形態に係る半導体記憶装置 1 の構成例を示している。半導体記憶装置 1 は、データを不揮発に記憶することが可能な NAND 型フラッシュメモリであり、外部のメモリコントローラ 2 によって制御可能である。

【0011】

図 1 に示すように、半導体記憶装置 1 は、例えばメモリセルアレイ 10、コマンドレジスタ 11、アドレスレジスタ 12、シーケンサ 13、ドライバモジュール 14、ロウデコーダモジュール 15、並びにセンスアンプモジュール 16 を備えている。

40

【0012】

メモリセルアレイ 10 は、複数のブロック BLK0 ~ BLKn (n は 1 以上の整数) を含んでいる。ブロック BLK は、データを不揮発に記憶することが可能な複数のメモリセルの集合であり、例えばデータの消去単位として使用される。また、メモリセルアレイ 10 には、複数のビット線及び複数のワード線が設けられる。各メモリセルは、例えば 1 本のビット線と 1 本のワード線とに関連付けられている。メモリセルアレイ 10 の詳細な構成については後述する。

50

【 0 0 1 3 】

コマンドレジスタ 1 1 は、半導体記憶装置 1 がメモリコントローラ 2 から受信したコマンド C M D を保持する。コマンド C M D は、例えばシーケンサ 1 3 に読み出し動作、書き込み動作、消去動作等を実行させる命令を含んでいる。

【 0 0 1 4 】

アドレスレジスタ 1 2 は、半導体記憶装置 1 がメモリコントローラ 2 から受信したアドレス情報 A D D を保持する。アドレス情報 A D D は、例えばブロックアドレス B A d、ページアドレス P A d、及びカラムアドレス C A d を含んでいる。例えば、ブロックアドレス B A d、ページアドレス P A d、及びカラムアドレス C A d は、それぞれブロック B L K、ワード線、及びビット線の選択に使用される。

10

【 0 0 1 5 】

シーケンサ 1 3 は、半導体記憶装置 1 全体の動作を制御する。例えば、シーケンサ 1 3 は、コマンドレジスタ 1 1 に保持されたコマンド C M D に基づいてドライバモジュール 1 4、ロウデコーダモジュール 1 5、及びセンスアンプモジュール 1 6 等を制御して、読み出し動作、書き込み動作、消去動作等を実行する。

【 0 0 1 6 】

ドライバモジュール 1 4 は、読み出し動作、書き込み動作、消去動作等で使用される電圧を生成する。そして、ドライバモジュール 1 4 は、例えばアドレスレジスタ 1 2 に保持されたページアドレス P A d に基づいて、選択されたワード線に対応する信号線に生成した電圧を印加する。

20

【 0 0 1 7 】

ロウデコーダモジュール 1 5 は、アドレスレジスタ 1 2 に保持されたブロックアドレス B A d に基づいて、対応するメモリセルアレイ 1 0 内の 1 つのブロック B L K を選択する。そして、ロウデコーダモジュール 1 5 は、例えば選択されたワード線に対応する信号線に印加された電圧を、選択されたブロック B L K 内の選択されたワード線に転送する。

【 0 0 1 8 】

センスアンプモジュール 1 6 は、書き込み動作において、メモリコントローラ 2 から受信した書き込みデータ D A T に応じて、各ビット線に所望の電圧を印加する。また、センスアンプモジュール 1 6 は、読み出し動作において、ビット線の電圧に基づいてメモリセルに記憶されたデータを判定し、判定結果を読み出しデータ D A T としてメモリコントローラ 2 に転送する。

30

【 0 0 1 9 】

以上で説明した半導体記憶装置 1 及びメモリコントローラ 2 は、それらの組み合わせにより 1 つの半導体装置を構成しても良い。このような半導体装置としては、例えば S D ^T M カードのようなメモリカードや、S S D (solid state drive) 等が挙げられる。

【 0 0 2 0 】

[1 - 1 - 2] メモリセルアレイ 1 0 の回路構成

図 2 は、実施形態に係る半導体記憶装置 1 が備えるメモリセルアレイ 1 0 の回路構成の一例を、メモリセルアレイ 1 0 に含まれた複数のブロック B L K のうち 1 つのブロック B L K を抽出して示している。図 2 に示すように、ブロック B L K は、例えば 4 つのストリングユニット S U 0 ~ S U 3 を含んでいる。

40

【 0 0 2 1 】

各ストリングユニット S U は、ビット線 B L 0 ~ B L m (m は 1 以上の整数) にそれぞれ関連付けられた複数の N A N D ストリング N S を含んでいる。各 N A N D ストリング N S は、例えばメモリセルトランジスタ M T 0 ~ M T 7、並びに選択トランジスタ S T 1 及び S T 2 を含んでいる。メモリセルトランジスタ M T は、制御ゲート及び電荷蓄積層を含み、データを不揮発に保持する。選択トランジスタ S T 1 及び S T 2 のそれぞれは、各種動作時におけるストリングユニット S U の選択に使用される。

【 0 0 2 2 】

各 N A N D ストリング N S において、メモリセルトランジスタ M T 0 ~ M T 7 は、直列

50

接続される。選択トランジスタST1のドレインは、関連付けられたビット線BLに接続され、選択トランジスタST1のソースは、直列接続されたメモリセルトランジスタMT0～MT7の一端に接続される。選択トランジスタST2のドレインは、直列接続されたメモリセルトランジスタMT0～MT7の他端に接続される。選択トランジスタST2のソースは、ソース線CELSRCに接続される。

【0023】

同一のブロックBLKにおいて、メモリセルトランジスタMT0～MT7の制御ゲートは、それぞれワード線WL0～WL7に共通接続される。ストリングユニットSU0～SU3内のそれぞれの選択トランジスタST1のゲートは、それぞれ選択ゲート線SGD0～SGD3に共通接続される。同一のブロックBLKに含まれた選択トランジスタST2のゲートは、選択ゲート線SGSに共通接続される。

10

【0024】

ビット線BL0～BLmには、それぞれ異なるカラムアドレスが割り当てられる。各ビット線BLは、複数のブロックBLK間で同一のカラムアドレスが割り当てられたNANDストリングNSによって共有される。ワード線WL0～WL7のそれぞれは、ブロックBLK毎に設けられる。ソース線SLは、複数のブロックBLK間で共有される。

【0025】

1つのストリングユニットSU内で共通のワード線WLに接続された複数のメモリセルトランジスタMTの集合は、例えばセルユニットCUと称される。例えば、それぞれが1ビットデータを記憶するメモリセルトランジスタMTを含むセルユニットCUの記憶容量が、「1ページデータ」として定義される。セルユニットCUは、メモリセルトランジスタMTが記憶するデータのビット数に応じて、2ページデータ以上の記憶容量を有し得る。

20

【0026】

尚、第1実施形態に係る半導体記憶装置1が備えるメモリセルアレイ10の回路構成は、以上で説明した構成に限定されない。例えば、各ブロックBLKが含むストリングユニットSUの個数や、各NANDストリングNSが含むメモリセルトランジスタMT並びに選択トランジスタST1及びST2の個数は、それぞれ任意の個数でも良い。

【0027】

[1-1-3] 半導体記憶装置1の構造

以下に、実施形態に係る半導体記憶装置1の構造の一例について説明する。尚、以下で参照される図面において、X方向はワード線WLの延伸方向に対応し、Y方向はビット線BLの延伸方向に対応し、Z方向は半導体記憶装置1の形成に使用される半導体基板20の表面に対する鉛直方向に対応している。平面図には、図を見易くするためにハッチングが適宜付加されている。平面図に付加されたハッチングは、ハッチングが付加された構成要素の素材や特性とは必ずしも関連していない。断面図では、図を見易くするために層間絶縁膜等の図示が適宜省略されている。

30

【0028】

(半導体記憶装置1の平面レイアウト)

図3は、実施形態に係る半導体記憶装置1の平面レイアウトの一例を示している。図3に示すように、半導体記憶装置1の平面レイアウトは、例えばコア領域CR、壁領域WR、カーフ領域KR、コンタクト領域C3T、及び端部領域ERに分割される。

40

【0029】

コア領域CRは、例えば半導体基板20の中央部に設けられた矩形の領域である。コア領域CRには、例えばメモリセルアレイ10が設けられる。コア領域CRは、任意の形状及び任意の領域に配置され得る。半導体記憶装置1が複数のメモリセルアレイ10を有する場合、半導体基板20上には複数のコア領域CRが設けられても良い。

【0030】

壁領域WRは、コア領域CRの外周を囲むように設けられた四角環状の領域である。壁領域WRには、例えば後述するクラックストッパCSが設けられる。半導体基板20上に

50

複数のコア領域CRが設けられる場合、壁領域WRは、複数のコア領域CRをまとめて囲むように設けられても良いし、コア領域CR毎に設けられても良い。

【0031】

壁領域WRに囲まれた領域には、例えばロウデコーダモジュール15やセンスアンプモジュール16等の周辺回路が形成される。これらの周辺回路は、コア領域CRとの重なりが許容される。このため、実施形態に係る半導体記憶装置1は、メモリセルアレイ10と周辺回路とが重なって設けられた構造を有する。

【0032】

壁領域WRとコア領域CRとの間の領域が、コンタクト領域C3Tに対応している。コンタクト領域C3Tには、例えばメモリセルアレイ10と周辺回路との間を接続するためのコンタクトが設けられる。例えば、ロウデコーダモジュール15は、コンタクト領域C3Tに設けられたコンタクトを介して、メモリセルアレイ10内の配線（例えばワード線WL）と電氣的に接続される。

10

【0033】

カーフ領域KRは、壁領域WRの外周を囲むように設けられた四角環状の領域であり、半導体基板20の最外周と接している。カーフ領域KRには、例えば半導体記憶装置1の製造時に使用されるアライメントマークや、ガードリング等が設けられる。カーフ領域KRと壁領域WRとの間の領域が、端部領域ERに対応している。カーフ領域KR内の構造体は、半導体記憶装置1の製造時のダイシング工程によって除去されても良い。

【0034】

そして、実施形態に係る半導体記憶装置1には、エッチング時のアーキング対策に使用されるストッパー層SPが設けられる。図4は、実施形態に係る半導体記憶装置1の備えるストッパー層SPの平面レイアウトの一例を示している。図4に示すように、半導体記憶装置1は、ストッパー層SP、スリットSLT、クラックストッパCS1及びCS2、並びに分断部DPをさらに備えている。

20

【0035】

ストッパー層SPは、例えばコア領域CR、壁領域WR、及びカーフ領域KRの全面に設けられる。また、ストッパー層SPは、コア領域CRとカーフ領域KRとの間で壁領域WRを介してY方向に延伸した部分（以下では、ブリッジ部BRと呼ぶ）を有している。本例では、ストッパー層SPが2つのブリッジ部BR1及びBR2を有する場合が例示されているが、ブリッジ部BRは少なくとも1つ設けられていれば良い。また、ブリッジ部BRは、任意の場所に配置され得る。

30

【0036】

スリットSLTは、コア領域CRに設けられ、Y方向に延伸した部分とX方向に延伸した部分とを有する。具体的には、X方向に延伸した複数のスリットSLTが、Y方向に配列している。そして、Y方向に延伸した2つのスリットSLTの一方が、X方向に延伸した複数のスリットSLTの一端に接続され、Y方向に延伸した2つのスリットSLTの他方が、X方向に延伸した複数のスリットSLTの他端に接続される。

【0037】

また、スリットSLTは、内部に絶縁部材が埋め込まれた構造を有し、同じ配線層に設けられ且つ当該スリットSLTを介して隣り合う導電体層間を分断している。例えば、スリットSLTは、ワード線WL0~WL7、並びに選択ゲート線SGD及びSGSにそれぞれ対応する複数の配線層を分断している。実施形態では、スリットSLTに囲まれた領域のそれぞれが、1つのブロックBLKに対応している。

40

【0038】

クラックストッパCS1は、壁領域WRにおいて、コア領域CRの外周を囲むように四角環状に設けられている。クラックストッパCS2は、壁領域WRにおいて、クラックストッパCS1をの外周を囲むように四角環状に設けられている。また、クラックストッパCSは、壁領域WR内に設けられたストッパー層SPを分断する。そして、クラックストッパCSを介して隣り合うストッパー層SPは、当該クラックストッパCSによって絶縁

50

されている。尚、クラックストップパＣＳは、壁領域WRに少なくとも１つ設けられていれば良い。また、各クラックストップパＣＳは複数に分割されて設けられても良い。

【 0 0 3 9 】

クラックストップパＣＳは、例えばダイシング工程において、半導体記憶装置１の端部にクラック等が発生した際に、半導体記憶装置１の内側にクラック等が到達することを抑制する。また、クラックストップパＣＳは、半導体記憶装置１の端部からコア領域ＣＲに水分等が浸透するのを抑制する。さらに、クラックストップパＣＳは、半導体記憶装置１の層間絶縁膜（例えばテトラエトキシシラン（ＴＥＯＳ））で発生する応力を抑制する。

【 0 0 4 0 】

分断部DPは、壁領域WRとカーフ領域KRとの間に設けられたストッパー層SPを分断する。そして、分断部DPを介して隣り合うストッパー層SPは、当該分断部DPによって絶縁される。本例において分断部DPは、ブリッジ部BR1と端部領域ERとが重なる部分と、ブリッジ部BR2と端部領域ERとが重なる部分とのそれぞれに設けられる。

10

【 0 0 4 1 】

（コア領域ＣＲにおける詳細な平面レイアウト）

図５は、実施形態に係る半導体記憶装置１のコア領域ＣＲにおける平面レイアウトの一例であり、１つのブロックBLK（すなわち、ストリングユニットSU0～SU3）に対応する領域を抽出して示している。図５に示すように、コア領域ＣＲは、例えばメモリ領域MA、引出領域HA、及びコンタクト領域C4Tを含んでいる。また、コア領域ＣＲにおいて半導体記憶装置１は、スリットSLTa及びSLTb、複数のメモリピラーMP、並びに複数のコンタクトCC及びC4を備えている。

20

【 0 0 4 2 】

メモリ領域MA、引出領域HA、及びコンタクト領域C4Tは、それぞれがY方向に延伸して設けられ、X方向に並んでいる。メモリ領域MAは、コア領域ＣＲの大部分を占めている。引出領域HAは、X方向における一端部分に設けられる。コンタクト領域C4Tは、コア領域CA内に適宜挿入され、例えばメモリ領域MAをX方向に分割している。尚、引出領域HAは、X方向における両端部分にそれぞれ設けられても良く、コンタクト領域C4Tは、引出領域HAに挿入されても良い。

【 0 0 4 3 】

引出領域HAにおいて、選択ゲート線SGS、ワード線WL0～WL7、並びに選択ゲート線SGDのそれぞれは、上層の配線層（導電体層）と重ならない部分（テラス部分）を有している。この上層の配線層と重ならない部分の形状は、階段(step)、段丘(terrace)畦石(rimstone)等と類似している。具体的には、選択ゲート線SGSとワード線WL0との間、ワード線WL0とワード線WL1との間、・・・、ワード線WL6とワード線WL7との間、ワード線WL7と選択ゲート線SGDとの間に、それぞれ段差が設けられる。

30

【 0 0 4 4 】

複数のスリットSLTaは、それぞれがX方向に沿って延伸して設けられ、Y方向において隣り合うスリットSLT間に配置される。例えば、隣り合うスリットSLT間において、３本のスリットSLTaがY方向に配列している。また、スリットSLTaは、内部に絶縁部材が埋め込まれた構造を有し、同じ配線層に設けられ且つ当該スリットSLTaを介して隣り合う導電体層間を分断している。スリットSLTaは、少なくとも選択ゲート線SGDに対応する導電体層を分断し、隣り合うスリットSLT間に４本の選択ゲート線SGD0～SGD3が設けられる。

40

【 0 0 4 5 】

複数のスリットSLTbは、コンタクト領域C4Tにおいて、それぞれがX方向に沿って延伸して設けられる。例えば２つのスリットSLTbの組が、スリットSLT及びSLTa間と２つのスリットSLTa間とのそれぞれに配置される。２つのスリットSLTbの組の間の一部には、貫通領域PAが設けられる。貫通領域PAにおけるメモリセルアレイ10の構造は、その他の領域におけるメモリセルアレイ10の構造と異なっている。貫

50

通領域 P A における構造の詳細については後述する。

【 0 0 4 6 】

複数のメモリピラー M P の各々は、例えば 1 つの N A N D ストリング N S として機能し、メモリ領域 M A に含まれている。複数のメモリピラー M P は、隣り合うスリット S L T 及び S L T a 間、及び隣り合う 2 つのスリット S L T a 間のそれぞれの領域において、例えば 4 列の千鳥状に配置される。これに限定されず、隣り合うスリット間におけるメモリピラー M P の個数及び配置は、適宜変更され得る。

【 0 0 4 7 】

また、メモリピラー M P の各々には、ストリングユニット S U 毎に少なくとも 1 本のビット線 B L が重なっている。例えば、複数のビット線 B L は、それぞれの少なくとも一部が Y 方向に延伸し、X 方向に配列している。本例において各メモリピラー M P には、2 本のビット線 B L が重なって配置され、メモリピラー M P に重なっている複数のビット線 B L のうち 1 本のビット線 B L と当該メモリピラー M P との間が電氣的に接続されている。

10

【 0 0 4 8 】

複数のコンタクト C C は、引出領域 H A 内で、選択ゲート線 S G S、ワード線 W L 0 ~ W L 7、並びに選択ゲート線 S G D のそれぞれのテラス部分にそれぞれ配置される。そして、選択ゲート線 S G S、ワード線 W L 0 ~ W L 7、並びに選択ゲート線 S G D は、それぞれが対応するコンタクト C C を介してロウデコードモジュール 1 5 と電氣的に接続される。このように、引出領域 H A は、ロウデコードモジュール 1 5 と、N A N D ストリング N S に接続された積層配線（例えば、ワード線 W L 並びに選択ゲート線 S G S 及び S G D

20

【 0 0 4 9 】

複数のコンタクト C 4 は、メモリセルアレイ 1 0 が形成される領域を貫通するコンタクトであり、コンタクト領域 C 4 T に含まれている。具体的には、複数のコンタクト C 4 のそれぞれは、隣り合うスリット S L T b 間の貫通領域 P A に設けられる。コンタクト C 4 は、例えばメモリセルアレイ 1 0 下に設けられた回路に対する電源の供給に使用される。尚、貫通領域 P A 内に設けられるコンタクト C 4 の個数は、2 本以上であっても良い。

【 0 0 5 0 】

以上で説明した半導体記憶装置 1 のコア領域 C R における平面レイアウトでは、スリット S L T 及び S L T a によって区切られた領域のそれぞれが、1 つのストリングユニット S U に対応している。つまり、各々が X 方向に延伸したストリングユニット S U 0 ~ S U 3 が Y 方向に配列し、コア領域 C R には、例えば図 5 に示された 1 つのブロック B L K に対応するレイアウトが Y 方向に繰り返し配置される。そして、1 本のビット線 B L には、スリット S L T 及び S L T a によって区切られた空間毎に、1 本のメモリピラー M P が電氣的に接続される。

30

【 0 0 5 1 】

（メモリ領域 M A における断面構造）

図 5 は、実施形態に係る半導体記憶装置 1 のメモリ領域 M A における断面構造の一例を示している。図 5 に示すように、メモリ領域 M A において半導体記憶装置 1 は、導電体層 G C 及び 2 1 ~ 2 3、導電体層 3 0 ~ 3 6、メモリピラー M P、コンタクト C 0 及び C V、並びに絶縁部材 5 0 を含んでいる。

40

【 0 0 5 2 】

半導体基板 2 0 上に、ゲート絶縁膜を介して導電体層 G C が設けられる。導電体層 G C は、メモリセルアレイ 1 0 下に設けられたトランジスタ T R のゲート電極として機能する。複数のコンタクト C 0 は、導電体層 G C 上と半導体基板 2 0 上とのそれぞれに設けられる。半導体基板 2 0 上に設けられたコンタクト C 0 は、半導体基板 2 0 に設けられた不純物拡散領域（図示せず）に接続される。

【 0 0 5 3 】

コンタクト C 0 上に、導電体層 2 1 が設けられる。導電体層 2 1 上に、コンタクト C 1 が設けられる。コンタクト C 1 上に、導電体層 2 2 が設けられる。導電体層 2 2 上に、コ

50

ンタクトC2が設けられる。コンタクトC2上に、導電体層23が設けられる。以下では、導電体層21~23がそれぞれ設けられた3層の配線層のことを、それぞれ配線層D0~D2と呼ぶ。

【0054】

導電体層23の上方に、層間絶縁膜を介して導電体層30が設けられる。導電体層30は、例えばXY平面に沿って広がった板状に形成され、ソース線SLとして使用される。導電体層30は、例えばリングドープされたポリシリコンを含んでいる。

【0055】

導電体層30の上方に、層間絶縁膜を介して導電体層31が設けられる。導電体層31は、例えばXY平面に沿って広がった板状に形成され、選択ゲート線SGSとして使用される。また、導電体層31は、前述したストッパー層SPに対応している。導電体層31は、例えばリングドープされたポリシリコンを含んでいる。導電体層31にドープされる不純物は、ボロンやヒ素であっても良い。

10

【0056】

導電体層31の上方に、層間絶縁膜を介して複数の導電体層32が設けられる。複数の導電体層32はZ方向に沿って積層され、隣り合う導電体層32間には層間絶縁膜が設けられる。導電体層32は、例えばXY平面に沿って広がった板状に形成される。積層された複数の導電体層32は、半導体基板20側から順に、それぞれワード線WL0~WL7として使用される。導電体層32は、例えばタングステンを含んでいる。

【0057】

20

最上層の導電体層32の上方に、層間絶縁膜を介して導電体層33が設けられる。導電体層33は、例えばXY平面に沿って広がった板状に形成され、選択ゲート線SGDとして使用される。導電体層33は、例えばタングステンを含んでいる。

【0058】

導電体層33の上方に、層間絶縁膜を介して導電体層34が設けられる。導電体層34は、例えばY方向に延伸したライン状に形成され、ビット線BLとして使用される。つまり、図示せぬ領域において複数の導電体層26は、X方向に沿って配列している。導電体層34は、例えば銅を含んでいる。

【0059】

導電体層34の上方に、層間絶縁膜を介して導電体層35が設けられる。導電体層35の上方に、層間絶縁膜を介して導電体層36が設けられる。導電体層35及び36は、半導体記憶装置1内の回路間の接続や、電源の供給等に使用される配線である。以下では、導電体層34~36がそれぞれ設けられた3層の配線層のことを、それぞれ配線層M0~M2と呼ぶ。

30

【0060】

メモリピラーMPの各々は、Z方向に沿って延伸した柱状に設けられる。メモリピラーMPは、導電体層31~33を貫通し、メモリピラーMPの底部は導電体層30に接触している。また、メモリピラーMPの各々は、例えば半導体層40、トンネル絶縁膜41、絶縁膜42、及びブロック絶縁膜43を含んでいる。

【0061】

40

半導体層40は、Z方向に沿って延伸して設けられる。例えば、半導体層40の上端は、導電体層33よりも上層に含まれ、半導体層40の下端は、導電体層30に接触している。トンネル絶縁膜41は、半導体層40の側面を覆っている。絶縁膜42は、トンネル絶縁膜41の側面を覆っている。ブロック絶縁膜43は、絶縁膜42の側面を覆っている。トンネル絶縁膜41及びブロック絶縁膜43のそれぞれは、例えば酸化シリコン(SiO₂)を含んでいる。絶縁膜42は、例えば窒化シリコン(SiN)を含んでいる。

【0062】

メモリピラーMPと導電体層31とが交差した部分は、選択トランジスタST2として機能する。メモリピラーMPと導電体層32とが交差した部分は、メモリセルトランジスタMTとして機能する。メモリピラーMPと導電体層33とが交差した部分は、選択トラ

50

ンジスタST1として機能する。つまり、半導体層40は、メモリセルトランジスタMT0～MT7並びに選択トランジスタST1及びST2のそれぞれのチャンネルとして機能する。絶縁膜42は、メモリセルトランジスタMTの電荷蓄積層として機能する。

【0063】

コンタクトCVは、メモリピラーMP内の半導体層40上に設けられる。コンタクトCVの上面には、1つの導電体層34、すなわち1本のビット線BLが接触している。図示された領域には、2本のメモリピラーMPのうち、1本のメモリピラーMPに対応するコンタクトCVが表示されている。当該領域においてコンタクトCVが接続されていないメモリピラーMPには、図示されない領域においてコンタクトCVが接続される。

【0064】

絶縁部材50は、例えばXZ平面に沿って広がった板状に形成され、導電体層31～33を分断している。絶縁部材50の上端は、導電体層33及び34間の層に含まれている。絶縁部材50の下端の一部分は、導電体層30に接触している。絶縁部材50は、スリットSLT又はSLTaに対応している。スリットSLTaに対応する絶縁部材50は、少なくとも導電体層33を分断していれば良い。

【0065】

以上で説明した半導体記憶装置1のメモリ領域MAにおける構造では、スリットSLT及びSLTa間の構造体が、1つのストリングユニットSUに対応している。前述の通り、1つの導電体層34（1本のビット線BL）には、スリットSLT及びSLTaによって区切られた空間毎に、1本のコンタクトCVが接続される。尚、スリットSLT内には、ライン状のコンタクトが形成されても良い。この場合、ライン状のコンタクトはソース線SLに接続され、当該コンタクトと導電体層31～33との間は絶縁される。

【0066】

（引出領域HA及びコンタクト領域C4Tにおける断面構造）

図7は、実施形態に係る半導体記憶装置1の引出領域HA及びコンタクト領域C4Tにおける断面構造の一例を示している。また、図7には、引出領域HAと隣り合うコンタクト領域C3Tの一部も併せて示されている。図7に示すように、例えば半導体記憶装置1は、引出領域HAにおいてコンタクトCC及び導電体層37を含み、コンタクト領域C4TにおいてコンタクトC4並びに導電体層24及び38を含み、コンタクト領域C3TにおいてコンタクトC3並びに導電体層25及び39を含んでいる。

【0067】

引出領域HAにおいて、ワード線WL並びに選択ゲート線SGD及びSGSにそれぞれ対応する複数の導電体層の端部は、例えば階段状に設けられる。そして、1本のコンタクトCCが、選択ゲート線SGSに対応する導電体層31と、ワード線WL0～WL7にそれぞれ対応する複数の導電体層32と、選択ゲート線SGDに対応する導電体層33とのそれぞれのテラス部分上のそれぞれに設けられる。図7には、複数のコンタクトCCのうち、ワード線WL0、WL3、及びWL6、並びに選択ゲート線SGDに対応する4本のコンタクトCCが表示されている。

【0068】

各コンタクトCC上には、1つの導電体層37が設けられ、当該コンタクトCC及び導電体層37間が電氣的に接続される。導電体層37は、例えば導電体層34と同じ層（配線層M0）に含まれている。尚、本例では、引出領域HA内に設けられたワード線WL等の積層配線が3列の階段構造を有する場合について例示したが、引出領域HAにおける積層配線は、任意の列数の階段状で設けられても良い。形成される階段構造は、選択ゲート線SGSと、ワード線WLと、選択ゲート線SGDとの間で異なっても良い。導電体層37は、導電体層34と異なる層に設けられても良い。

【0069】

コンタクト領域C4Tにおいて、導電体層24は、配線層D2に設けられる。導電体層24上に、コンタクトC4が設けられる。コンタクトC4は、Z方向に延伸した柱状に設けられ、導電体層30～33に対応する配線層を貫通している。コンタクトC4は導電体

10

20

30

40

50

を含み、導電体層 30 ~ 33 との間は絶縁されている。

【0070】

具体的には、コンタクト C4 と導電体層 30 との間に、絶縁体層 60 が設けられる。コンタクト C4 と導電体層 31 との間に、酸化膜 61 が設けられる。酸化膜 61 は、例えばリン、ボロン、又はヒ素を含んでいる。コンタクト C4 と導電体層 32 及び 33 との間に、酸化膜 62 及び犠牲部材 63 が設けられる。酸化膜 62 は、コンタクト C4 と犠牲部材 63 との間に設けられる。犠牲部材 63 は、貫通領域 PA 内に設けられ、後述する積層配線の置換処理において置換されずに残存した犠牲部材に対応している。犠牲部材 63 は、例えば窒化シリコン (SiN) を含んでいる。

【0071】

酸化膜 61 と対向する部分と、酸化膜 62 と対向する部分とのそれぞれにおいて、コンタクト C4 の外径は細くなっている。言い換えると、コンタクト C4 の側面は、酸化膜 61 と対向する部分と、酸化膜 62 と対向する部分とのそれぞれにおいて凹状に設けられる。さらに言い換えると、コンタクト C4 は、酸化膜 61 と対向する部分と、酸化膜 62 と対向する部分とのそれぞれにおいて括れている。

【0072】

コンタクト C4 上に、導電体層 38 が設けられる。これにより、ワード線 WL 等の積層配線よりも下層に設けられた導電体層 24 と、積層配線よりも上層に設けられた導電体層 38 との間が、コンタクト C4 を介して電氣的に接続される。導電体層 38 は、例えば導電体層 34 と同じ層 (配線層 M0) に含まれている。尚、導電体層 38 は、導電体層 34 と異なる層に設けられても良い。

【0073】

コンタクト領域 C3T において、導電体層 25 は、配線層 D2 に設けられる。導電体層 25 上に、コンタクト C3 が設けられる。コンタクト C3 は、Z 方向に延伸した柱状に設けられる。例えば、コンタクト C3 の上端は、コンタクト C4 の上端と揃っている。コンタクト C3 上に、導電体層 39 が設けられる。これにより、ワード線 WL 等の積層配線よりも下層に設けられた導電体層 25 と、積層配線よりも上層に設けられた導電体層 39 との間が、コンタクト C4 を介して電氣的に接続される。導電体層 39 は、例えば導電体層 34 と同じ層 (配線層 M0) に含まれている。尚、導電体層 39 は、導電体層 34 と異なる層に設けられても良い。

【0074】

図 8 は、図 7 の VII I - VII I 線に沿った断面図であり、実施形態に係る半導体記憶装置 1 のコンタクト領域 C4T における断面構造の一例を示し、ワード線 WL に対応する導電体層 32 を含む断面に対応している。図 8 に示すように、スリット SLT 及び SLTa にそれぞれ対応する 2 つの絶縁部材 50 間には、スリット SLTb に対応する 2 つの絶縁部材 51 が設けられる。

【0075】

図示が省略されているが、絶縁部材 51 の構造は、例えば絶縁部材 50 と同様である。つまり、絶縁部材 51 は、導電体層 31 ~ 33 を分断している。絶縁部材 50 の上端は、導電体層 33 及び 34 間の層に含まれている。絶縁部材 50 の下端の一部分は、導電体層 30 に接触している。そして、2 つの絶縁部材 51 間には、貫通領域 PA が配置される。

【0076】

貫通領域 PA には、コンタクト C4、酸化膜 62、及び犠牲部材 63 が含まれている。例えば、コンタクト C4 は、貫通領域 PA の中央部分に配置される。酸化膜 62 は、コンタクト C4 の側面を覆っている。貫通領域 PA 内且つ導電体層 32 又は 33 が設けられた配線層において、コンタクト C4 及び酸化膜 62 が設けられた領域外には、犠牲部材 63 が設けられる。犠牲部材 63 は、当該貫通領域 PA と隣り合う 2 つの絶縁部材 51 のそれぞれと接触している。犠牲部材 63 の絶縁部材 51 と接触した部分以外は、導電体層 32 と接触している。

【0077】

10

20

30

40

50

(壁領域WR及び端部領域ERにおける断面構造)

図9は、実施形態に係る半導体記憶装置1の壁領域WR及び端部領域ERにおける断面構造の一例を示し、ブリッジ部BRに含まれ且つY方向に沿った断面に対応している。図9に示すように、半導体記憶装置1は、壁領域WRにおいてクラックストップパCS1及びCS2を含み、端部領域ERにおいて分断部DPを含んでいる。

【0078】

壁領域WRにおける半導体基板20の表面近傍には、例えばクラックストップパCS1に対応して設けられたP型ウェル領域(P-well)と、クラックストップパCS2に対応して設けられたN型ウェル領域(N-well)とが含まれている。クラックストップパCS1及びCS2のそれぞれは、コンタクトC0W、C1W、C2W、及びC3W、導電体層26~28、コンタクトV0W、V1W、及びV2W、並びに導電体層70~72を含んでいる。

10

【0079】

クラックストップパCS1のコンタクトC0Wは、P型ウェル領域上に設けられる。クラックストップパCS2のコンタクトC0Wは、N型ウェル領域上に設けられる。クラックストップパCS1及びCS2のその他の構造は同様のため、以下ではクラックストップパCS1に注目して説明する。

【0080】

コンタクトC0W上に、導電体層26が設けられる。導電体層26上に、コンタクトC1Wが設けられる。コンタクトC1W上に、導電体層27が設けられる。導電体層27上に、コンタクトC2Wが設けられる。コンタクトC2W上に、導電体層28が設けられる。導電体層26~28は、それぞれ配線層D0~D2に含まれている。

20

【0081】

導電体層28上に、コンタクトC3Wが設けられる。コンタクトC3Wは、Z方向に延伸して設けられ、導電体層31が設けられた配線層を分断している。コンタクトC3Wと導電体層31の間には酸化膜61が設けられ、コンタクトC3Wと導電体層31の間は絶縁されている。酸化膜61は、ワード線WLに対応する複数の導電体層32を含む配線層において、コンタクトC3Wと接触していない。言い換えると、ストップパSP以外の層において、コンタクトC3Wの側面には酸化膜61は設けられない。また、コンタクトC3Wの上面は、図7に示されたコンタクトC3の上面と揃っている。

30

【0082】

コンタクトC3W上に、コンタクトV0Wが設けられる。コンタクトV0W上に、導電体層70が設けられる。導電体層70上に、コンタクトV1Wが設けられる。コンタクトV1W上に、導電体層71が設けられる。導電体層71上に、コンタクトV2Wが設けられる。コンタクトV2W上に、導電体層72が設けられる。導電体層70~72は、それぞれ配線層M0~M2に含まれている。

【0083】

端部領域ERにおいて、分断部DPは、導電体層29及びコンタクトC3Lを含んでいる。導電体層29は、例えば配線層D2に設けられる。導電体層29上に、コンタクトC3Lが設けられる。コンタクトC3Lは、Z方向に延伸して設けられ、導電体層31が設けられた配線層を分断している。コンタクトC3Lと導電体層31の間には酸化膜61が設けられ、コンタクトC3Lと導電体層31の間は絶縁されている。また、コンタクトC3Lの上面は、例えばコンタクトC3Wの上面と揃っている。

40

【0084】

図10は、実施形態に係る半導体記憶装置1の壁領域WRにおける断面構造の一例を示し、ブリッジ部BRと交差し且つX方向に沿ったクラックストップパCSの断面に対応している。図10に示すように、クラックストップパCSに含まれたコンタクトC0W、C1W、C2W、C3W、V0W、V1W、及びV2W、並びに導電体層26~28及び70~72のそれぞれは、X方向に延伸した部分を有している。

【0085】

50

また、図示されない領域において、クラックストップパCSに含まれたコンタクトC0W、C1W、C2W、C3W、V0W、V1W、及びV2W、並びに導電体層26~28及び70~72のそれぞれは、Y方向に延伸した部分も有している。これにより、クラックストップパCS内のコンタクトC0W、C1W、C2W、C3W、V0W、V1W、及びV2W、並びに導電体層26~28及び70~72のそれぞれは、例えば四角環状に設けられ、コア領域CRを囲っている。クラックストップパCSは、コア領域CRとカーフ領域KRとの間の壁とみなすことも出来る。

【0086】

図11は、実施形態に係る半導体記憶装置1のブリッジ部BRを含む断面構造の一例を示し、ストッパー層SPに対応する導電体層31を含む断面に対応している。図11に示すように、導電体層31は、ブリッジ部BRにおいてY方向に沿って延伸した部分を有し、壁領域WRにおいてX方向に沿って延伸した部分を有している。

10

【0087】

壁領域WRに設けられた導電体層31は、クラックストップパCS1及びCS2内のコンタクトC3Wによって分断される。そして、クラックストップパCS1に対応するコンタクトC3Wと導電体層31との間と、クラックストップパCS2に対応するコンタクトC3Wと導電体層31との間とのそれぞれには、酸化膜61が設けられる。

【0088】

端部領域ERに設けられた導電体層31は、分断部DP内のコンタクトC3Lによって分断される。そして、コンタクトC3Lと導電体層31の間には、酸化膜61が設けられる。コンタクトC3Lは、少なくともブリッジ部BRを横切っている。酸化膜61は、例えば導電体層31が設けられた層以外において、コンタクトC3Lの側面には形成されない。

20

【0089】

以上で説明したクラックストップパCS及び分断部DPによって、カーフ領域KR内の導電体層31と、コア領域CR内の導電体層31との間が絶縁される。尚、分断部DPは、複数個設けられても良い。また、分断部DPは、カーフ領域KRに印可された電圧をクラックストップパCSによって遮断することが可能であれば省略されても良い。言い換えると、分断部DPは、耐圧を十分に確保することが可能であれば省略されても良い。

【0090】

また、実施形態に係る半導体記憶装置1において、N型ウェル領域又はP型ウェル領域に対応するクラックストップパCSが2つ以上設けられる場合、同じ種類のウェル領域に接続される複数のクラックストップパCS間で導電体層72が共有されても良い。クラックストップパCSにおける導電体層及びコンタクトとして使用される材料としては、例えばチタン、チタン窒化物、タングステン等の金属材料が使用される。これに限定されず、クラックストップパCSには、任意の金属材料を使用することが可能である。

30

【0091】

[1-2] 半導体記憶装置1の製造方法

以下に、図12を適宜参照して、実施形態に係る半導体記憶装置1における、積層配線の形成からコンタクトC3Wの形成までの一連の製造工程の一例について説明する。図12は、実施形態に係る半導体記憶装置1の製造方法の一例を示すフローチャートである。図13~図16のそれぞれは、実施形態に係る半導体記憶装置1の製造途中の断面構造の一例であり、コンタクト領域C4T、メモリ領域MA、引出領域HA、コンタクト領域C3T、壁領域WR、及び端部領域ERのそれぞれの一部を抽出して示している。以下では、ワード線WL等の積層配線に対応する部分のことを積層配線部と呼ぶ。

40

【0092】

まず、メモリセルアレイ10よりも下層の構造(例えば、配線層D2内の導電体層24、25、28及び29等)が形成される。そして、導電体層30が形成され、当該導電体層30がエッチング加工されることによって絶縁体層60が形成される。次に、導電体層31が形成され、当該導電体層31がエッチング加工される。その結果、コア領域CR、

50

壁領域WR、カーフ領域KR、並びにブリッジ部BR1及びBR2に導電体層31が残った構造が形成される。それから、ステップS10～S13の処理が順に実行される。

【0093】

簡潔に述べると、ステップS10の処理によって、導電体層32及び33に対応する層に犠牲部材63が設けられる。そして、ステップS11の処理によって、引出領域HAの階段構造が形成される。それから、ステップS12の処理によって、メモリ領域MAにおいて積層配線部を貫通する複数のメモリピラーMPが形成される。その後、ステップS13の処理によって、スリットSLTを用いて積層配線部の置換処理が実行され、メモリ領域MAと、引出領域HAと、コンタクト領域C4Tの一部とに設けられた犠牲部材63が導電体に置換される。このとき、コンタクト領域C4T内で貫通領域PAに対応する箇所の犠牲部材63は、置換処理によって置換されずに残る。これにより、ワード線WL等に対応する積層配線が、図13に示すように形成される。

10

【0094】

次に、ステップS14の処理によって、図14に示すようにホールC3H及びC4H、並びにスリットC3Sが形成される。具体的には、ホールC3Hは、コンタクト領域C3Tにおいて、導電体層25の表面が露出するように形成される。ホールC4Hは、コンタクト領域C4Tにおいて、犠牲部材63と、導電体層31と、絶縁体層60とを貫通し、導電体層24の表面が露出するように形成される。スリットC3Sは、壁領域WRと端部領域ERとのそれぞれに形成され、壁領域WR内のスリットC3Sは、導電体層28の表面が露出するように形成され、端部領域ER内のスリットC3Sは、導電体層29の表面が露出するように形成される。ホールC3Hの形状は、コンタクトC3に対応している。ホールC4Hの形状は、コンタクトC4に対応している。壁領域WR内のスリットC3Sの形状は、コンタクトC3Wに対応している。端部領域ER内のスリットC3Sの形状は、コンタクトC3Lに対応している。

20

【0095】

次に、ステップS15の処理によって、図15に示すように酸化膜61が形成される。具体的には、選択酸化処理が実行され、ホールC4H及びスリットC3S内で露出している導電体層31及び犠牲部材63が酸化される。導電体層31としては、例えばリングドープされたポリシリコンが使用されるため、導電体層31は短時間で酸化され得る。犠牲部材63としては、例えば窒化シリコンが使用されるため、犠牲部材63の酸化速度は導電体層31よりも遅い。このため、導電体層31の一部が酸化されることにより形成された酸化膜61の厚さは、犠牲部材63の一部が酸化されることにより形成された酸化膜62よりも厚くなる。また、選択酸化処理では、酸化物の形成によって導電体層31及び犠牲部材63のそれぞれの一部が膨張するため、当該箇所においてホールの径又はスリットの幅が細くなる。

30

【0096】

次に、ステップS16の処理によって、図16に示すようにホールC3H及びC4H内とスリットC3S内とのそれぞれに導電体が形成される。すなわち、ホールC3H内にコンタクトC3が形成され、ホールC4H内にコンタクトC4が形成され、壁領域WR内のスリットC3SにコンタクトC3Wが形成され、端部領域ER内のスリットC3SにコンタクトC3Lが形成される。

40

【0097】

以上で説明した第1実施形態に係る半導体記憶装置1の製造工程によって、コンタクトC3Wと導電体層31との間が酸化膜61によって絶縁された構造が形成される。尚、以上で説明した製造工程はあくまで一例であり、各製造工程の間にはその他の処理が挿入されても良いし、製造工程の順番が問題が生じない範囲で入れ替えられても良い。

【0098】

[1-3] 実施形態の効果

以上で説明した実施形態に係る半導体記憶装置1に依れば、半導体記憶装置1のチップ面積を縮小することが出来る。以下に、実施形態に係る半導体記憶装置1の詳細な効果に

50

ついて説明する。

【0099】

メモリセルが三次元に積層された半導体記憶装置の製造工程では、例えば犠牲部材及び絶縁部材が交互に積層された積層体にメモリホールが形成され、メモリホール内にメモリセル等に対応する半導体部材等が形成される。このメモリホールを形成するエッチング工程では、エッチングの進行に伴いメモリホールの底部に正電荷が蓄積され、メモリホールの底部が到達した導電体（例えばソース線）が正に帯電する場合がある。そして、正に帯電した導電体と負に帯電したウエハとの間でアーキングが発生する恐れがある。

【0100】

この対策としては、メモリホールが形成されるエッチング工程において、コア領域CR内の導電体層31とカーフ領域KR内の導電体層31とが電氣的に接続された構造（ストッパー層SP）を設けることが考えられる。このような構造は、メモリホールを形成するエッチング工程においてメモリホールの底部に蓄積される正電荷を、導電体層31を介してウエハの外周に排出することが出来る。その結果、メモリホールの底部に蓄積される正電荷を減らすことが出来、アーキングの発生を抑制することが出来る。

10

【0101】

最終的には、カーフ領域KRとコア領域CAを電氣的に分断する必要があるため、導電体層31は、例えばクラックストップCSを形成する工程により分断される。具体的には、導電体層31は、コンタクトC3W及びC3Lを形成するためのスリットC3Sにより分断され、導電体層31のカーフ領域KR及びコア領域CR間の電流経路が遮断される。これにより、選択ゲート線SGSとして使用される導電体層31が、その他の領域に設けられた導電体層31と電氣的に絶縁され、制御に使用可能となる。

20

【0102】

導電体層31のカーフ領域KR及びコア領域CR間を絶縁する方法の一例について、図17を用いて説明する。図17は、実施形態の比較例に係る半導体記憶装置1の断面構造を示し、実施形態における図16と同様の領域を示している。図17に示すように、比較例に係る半導体記憶装置1では、コンタクトC3W、C3L、及びC4のそれぞれと導電体層31との間が、スペーサ絶縁膜SIによって絶縁されている。スペーサ絶縁膜SIは、ホールC3H及びC4H、並びにスリットC3Sの側面に設けられている。

30

【0103】

しかしながら、スペーサ絶縁膜SIが使用される場合、コンタクトC3W、C3L、C3、及びC4を形成する際に、ホールC3H及びC4H、並びにスリットC3Sの底部に設けられたスペーサ絶縁膜SIの一部を除去する必要がある。このような工程は、コンタクト不良の原因の一つとなる。また、スペーサ絶縁膜SIが形成される分、ホールC3H及びC4Hの径や、スリットC3Sの幅を大きくする必要がある。

【0104】

これに対して、実施形態に係る半導体記憶装置1は、スペーサ絶縁膜SIの代わりに酸化膜61が設けられた構造を有している。具体的には、実施形態に係る半導体記憶装置1の製造方法では、ホールC3H及びC4H、並びにスリットC3Sが形成された後に、選択酸化処理が実行される。その結果、ホールC3H及びC4H、並びにスリットC3S内で露出した導電体層31の一部が酸化され、酸化膜61が形成される。

40

【0105】

酸化膜61は、スペーサ絶縁膜SIと同様に、コンタクトC3、C4、C3W、及びC3Lのそれぞれと導電体層31との間を絶縁することが出来る。また、導電体層31にリンがドーブされたポリシリコンが使用される場合、導電体層31の酸化レートがノンドーブのポリシリコンの酸化レートよりも早くなる。このため、選択酸化処理を低温且つ時短で処理することが可能となる。

【0106】

以上のように、実施形態に係る半導体記憶装置1は、スペーサ絶縁膜SIを設けることなく、コンタクトC3W及びC3Lのそれぞれと導電体層31との間を絶縁することが出

50

来る。これにより、実施形態に係る半導体記憶装置 1 は、コンタクト C 3、C 4、C 3 W、及び C 3 L のそれぞれの径又は幅を小さくすることが出来、半導体記憶装置 1 のチップ面積を縮小することが出来る。また、酸化膜 6 1 は、熱酸化によって形成されることにより膜質が良好になるため、半導体記憶装置 1 の耐圧を向上することが出来る。

【 0 1 0 7 】

[2] その他の変形例等

実施形態の半導体記憶装置は、基板、第 1 導電体層、複数の第 2 導電体層、ピラー、第 1 コンタクト、及び酸化膜を含む。基板<例えば図 1 6 内の符号 2 0>は、コア領域<例えば図 4 内の符号 C R>と、コア領域と離隔し且つコア領域の外周を囲うように設けられた第 1 領域<例えば図 4 内の符号 W R>と、コア領域と第 1 領域との間を繋ぐ第 2 領域<例えば図 4 内の符号 B R>とを有する。第 1 導電体層は、コア領域、第 1 領域、及び第 2 領域内で、基板の上方の第 1 層に設けられる。複数の第 2 導電体層<例えば図 1 8 内の符号 3 2>は、コア領域内の第 1 導電体層の上方で、互いが第 1 方向に離れて設けられる。ピラー<例えば図 1 8 内の符号 M P>は、第 1 導電体層と複数の第 2 導電体層とを貫通し、第 2 導電体層との交差部分がメモリセルトランジスタとして機能する。第 1 コンタクト<例えば図 1 8 内の符号 C 3 W>は、第 1 領域内で第 1 導電体層を分断する。酸化膜<例えば図 1 8 内の符号 6 1>は、第 1 層において第 1 コンタクトと第 1 導電体層との間に設けられ、第 1 コンタクト及び第 1 導電体層間を絶縁し、不純物を含む。これにより、半導体記憶装置 1 のチップ面積を縮小することが出来る。

【 0 1 0 8 】

実施形態では、コンタクト C 4 と導電体層 3 1 との間に酸化膜 6 1 が設けられる場合について例示したが、コンタクト C 4 と導電体層 3 1 との間の絶縁には、その他の絶縁体を使用されても良い。図 1 8 は、実施形態の変形例に係る半導体記憶装置 1 の断面構造の一例を示している。図 1 8 に示すように、導電体層 3 1 の形成後の加工で貫通領域 P A に対応する部分の導電体層 3 1 が除去され、当該領域に絶縁体層 8 0 が設けられても良い。このような場合においても、コンタクト C 4 及び導電体層 3 1 間が絶縁体層 8 0 によって絶縁されるため、実施形態と同様にコンタクト C 4 を使用することが出来る。

【 0 1 0 9 】

実施形態では、メモリピラー M P 内の半導体層 4 0 がメモリピラー M P の底面を介して導電体層 3 0 (ソース線 S L) と電気的に接続される場合について例示したが、これに限定されない。例えば、半導体記憶装置 1 は、メモリピラー M P 内の半導体層 4 0 とソース線 S L とが、メモリピラー M P の側面を介して接続されても良い。また、メモリピラー M P は、複数のピラーが Z 方向に連結された構造であっても良く、選択ゲート線 S G D に対応するピラーとワード線 W L に対応するピラーとが連結された構造であっても良い。

【 0 1 1 0 】

実施形態では、例えばメモリピラー M P 及び導電体層 3 4 間が 1 本のコンタクト C V を介して接続される場合について例示したが、これに限定されない。コンタクト C V としては、Z 方向に連結された 2 本以上のコンタクトが使用されても良い。また、Z 方向に複数のコンタクトが連結される場合に、隣り合うコンタクト間に異なる導電体層が挿入されても良い。これは、その他のコンタクトについても同様である。

【 0 1 1 1 】

実施形態において、導電体層 3 2 の個数は、ワード線 W L の本数に基づいて設計される。選択ゲート線 S G S には、複数層に設けられた複数の導電体層 3 1 が割り当てられても良い。選択ゲート線 S G S が複数層に設けられる場合に、導電体層 3 1 と異なる導電体を使用されても良い。選択ゲート線 S G D には、複数層に設けられた複数の導電体層 3 3 が割り当てられても良い。

【 0 1 1 2 】

実施形態において、メモリセルアレイ 1 0 は、ワード線 W L 0 及び選択ゲート線 S G S 間と、ワード線 W L 7 及び選択ゲート線 S G D 間とのそれぞれに、1 本以上のダミーワード線を有していても良い。ダミーワード線が設けられる場合、メモリセルトランジスタ M

10

20

30

40

50

T 0 及び選択トランジスタ S T 2 間と、メモリセルトランジスタ M T 7 及び選択トランジスタ S T 1 間とのそれぞれには、ダミーワード線の本数に対応してダミートランジスタが設けられる。ダミートランジスタは、メモリセルトランジスタ M T と同様の構造を有し、データの記憶に使用されないトランジスタである。メモリピラー M P が Z 方向に 2 本以上連結される場合、ピラーの連結部分の近傍のメモリセルトランジスタ M T がダミートランジスタとして使用されても良い。

【 0 1 1 3 】

実施形態で説明に使用した図面では、メモリピラー M P の外径が層位置に応じて変化しない場合が例示されているが、これに限定されない。例えば、メモリピラー M P は、テーパ形状や、逆テーパ形状や、中間部分が膨らんだ形状を有していても良い。同様に、スリット S L T 及び S L T a は、テーパ形状や、逆テーパ形状や、中間部分が膨らんだ形状を有していても良い。

10

【 0 1 1 4 】

本明細書において“四角環状”は、対象の構成要素が少なくとも互いに交差する方向に延伸する部分を有しつつ環状に形成されていれば良い。また、“四角環状”は、角部分が斜めに形成されていても良く、辺が直線状に形成されていない部分を有していても良い。また、本明細書において“環状”は、円形に限定されず、四角環状も含んでいる。

【 0 1 1 5 】

本明細書において“外径”は、半導体基板の表面と平行な断面における、構成要素の直径のことを示している。また、“外径”は、例えば構成要素の形成に使用されるホール内の部材のうち、最外周の部材の直径のことを示している。“径”は、半導体基板の表面と平行な断面における、ホール等の内径のことを示している。“幅”は、例えば X 方向又は Y 方向における構成要素の幅のことを示している。

20

【 0 1 1 6 】

本明細書において“接続”は、電氣的に接続されている事を示し、例えば間に別の素子を介することを除外しない。“電氣的に接続される”は、電氣的に接続されたものと同様に動作することが可能であれば、絶縁体を介していても良い。“柱状”は、半導体記憶装置 1 の製造工程において形成されたホール内に設けられた構造体であることを示している。

【 0 1 1 7 】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことが出来る。これら実施形態やその変形は、発明の範囲や要旨に含まれると共に、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

30

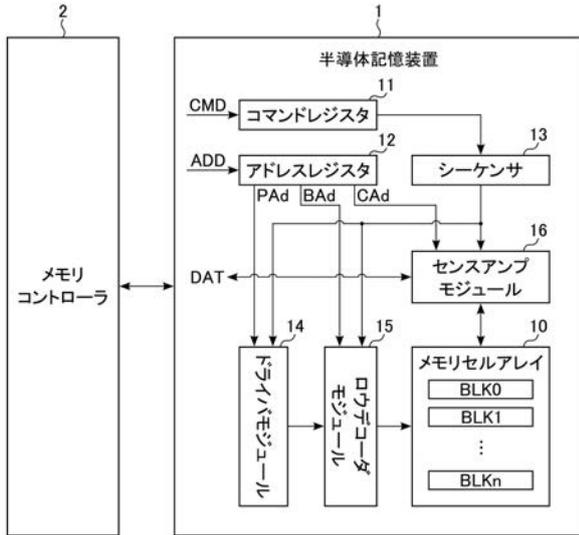
【 符号の説明 】

【 0 1 1 8 】

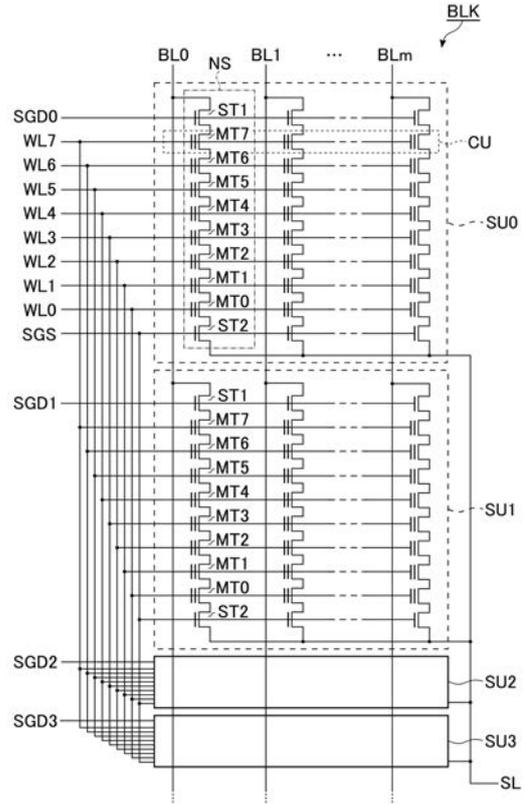
1 ... 半導体記憶装置、 2 ... メモリコントローラ、 1 0 ... メモリセルアレイ、 1 1 ... コマンドレジスタ、 1 2 ... アドレスレジスタ、 1 3 ... シーケンサ、 1 4 ... ドライバモジュール、 1 5 ... ロウデコーダモジュール、 1 6 ... センスアンプモジュール、 2 0 ... 半導体基板、 2 1 ~ 3 9 ... 導電体層、 4 0 ... 半導体層、 4 1 ... トネル絶縁膜、 4 2 ... 絶縁膜、 4 3 ... ブロック絶縁膜、 5 0 ... 絶縁部材、 5 1 ... 絶縁部材、 6 0 ... 絶縁体層、 6 1 ... 酸化膜、 6 2 ... 酸化膜、 6 3 ... 犠牲部材、 7 0 ~ 7 2 ... 導電体層、 8 0 ... 絶縁体層、 C 0 , C 1 , C 2 , C 3 , C 4 , C 0 W , C 1 W , C 2 W , C 3 W , C 3 L , V 0 W , V 1 W , V 2 W ... コンタクト、 C S ... クラックストップパ、 C R ... コア領域、 W R ... 壁領域、 K R ... カーフ領域、 B R ... ブリッジ部、 C 3 T , C 4 T ... コンタクト領域、 M A ... メモリ領域、 H A ... 引出領域、 D 0 ~ D 2 , M 0 ~ M 2 ... 配線層、 B L K ... ブロック、 S U ... スtringユニット、 M T ... メモリセルトランジスタ、 S T 1 , S T 2 ... 選択トランジスタ、 B L ... ビット線、 W L ... ワード線、 S G D , S G S ... 選択ゲート線

40

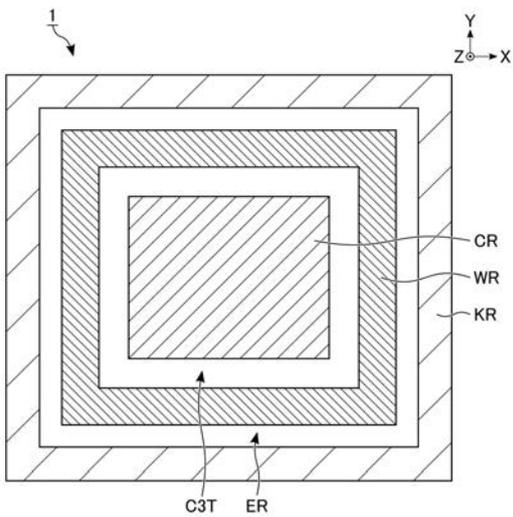
【 図 1 】



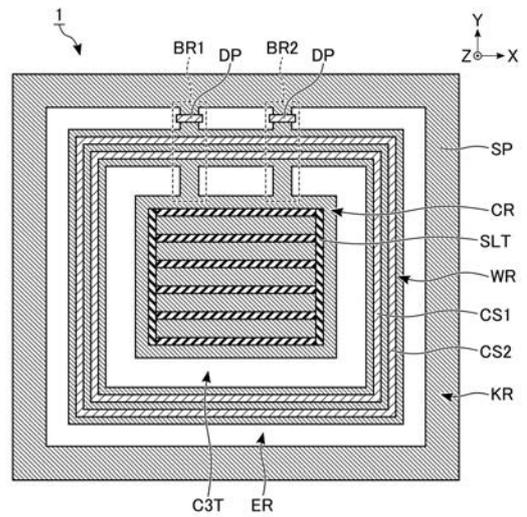
【 図 2 】



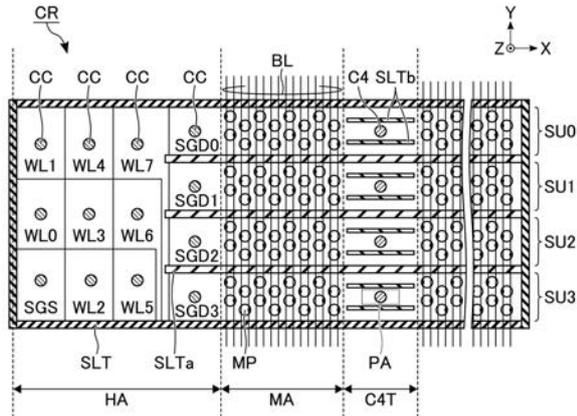
【 図 3 】



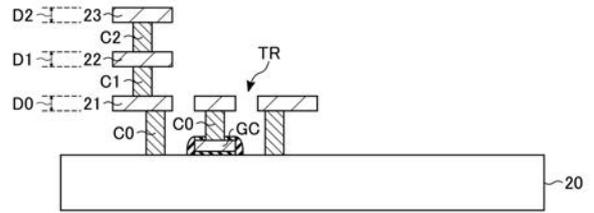
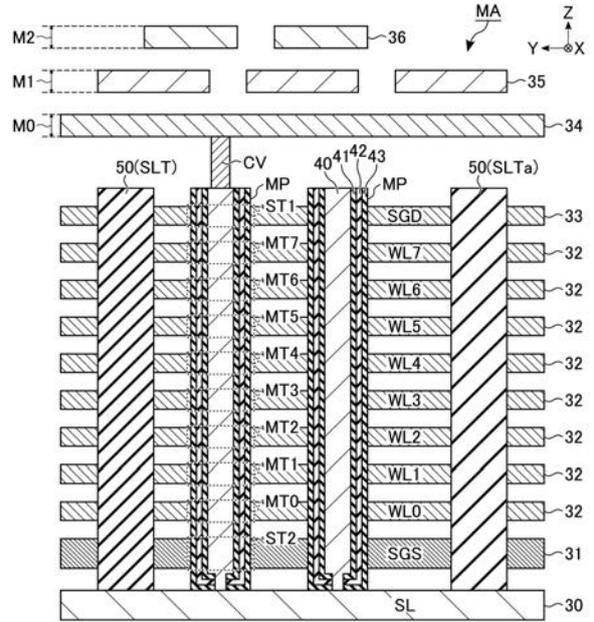
【 図 4 】



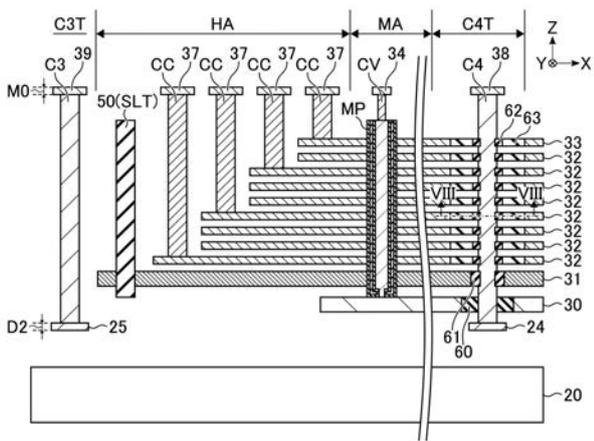
【 図 5 】



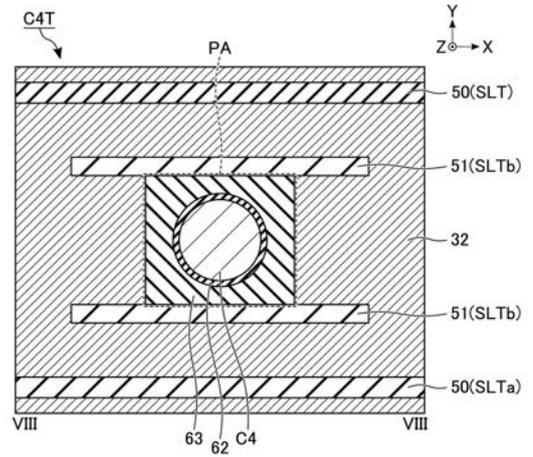
【 図 6 】



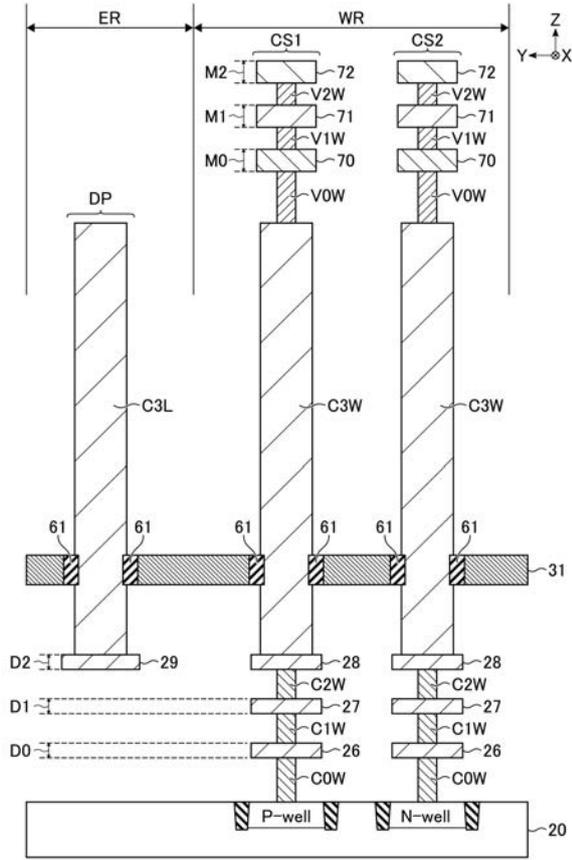
【 図 7 】



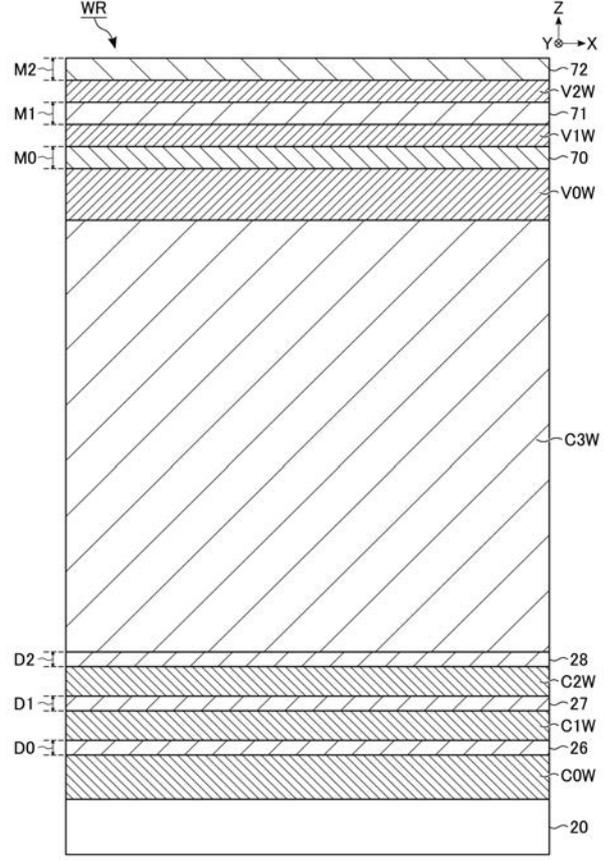
【 図 8 】



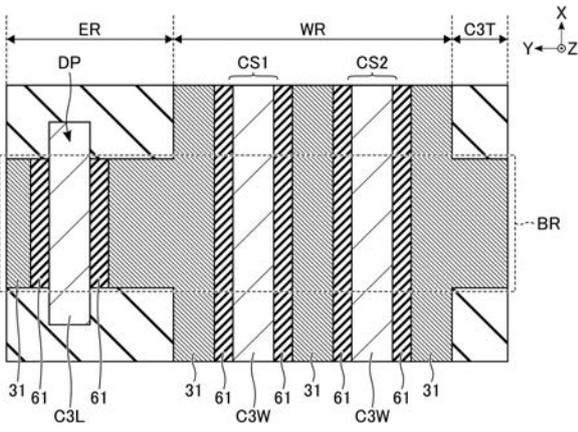
【 図 9 】



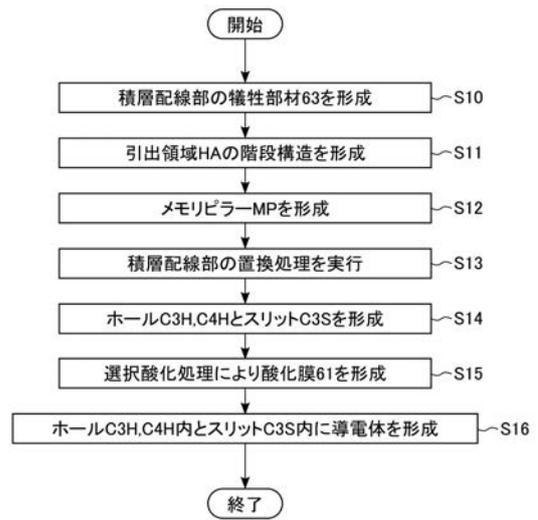
【 図 1 0 】



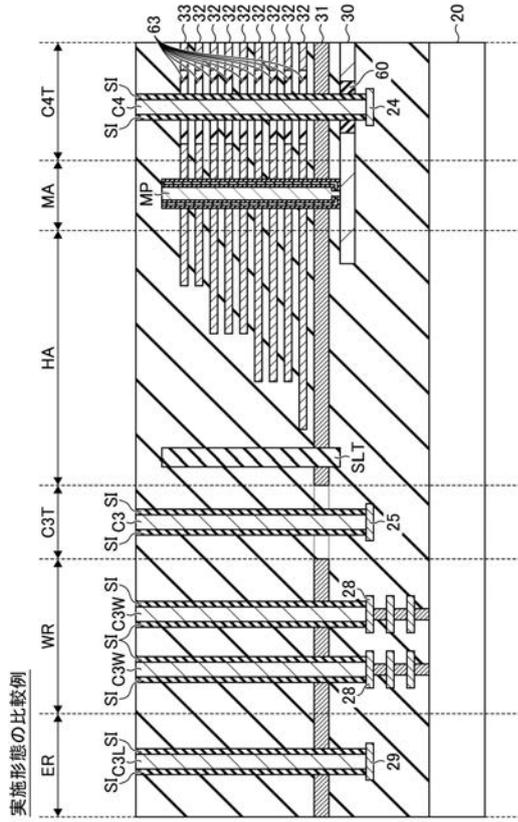
【 図 1 1 】



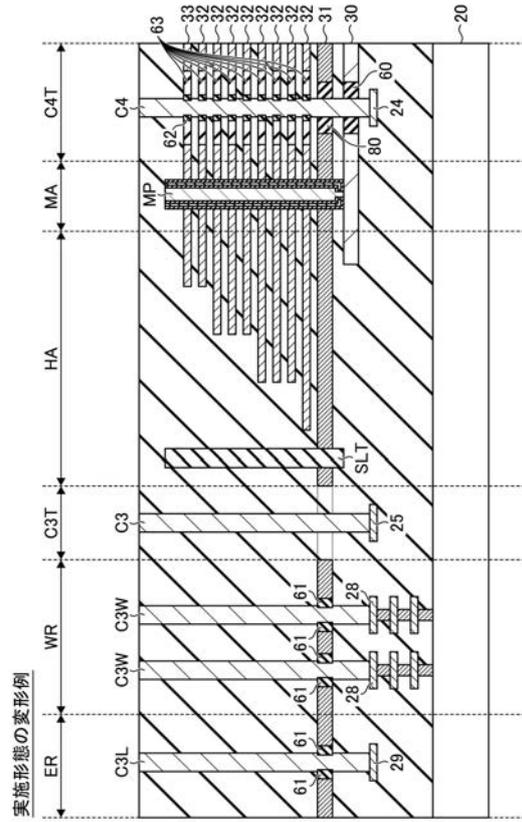
【 図 1 2 】



【 図 1 7 】



【 図 1 8 】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
H 0 1 L 21/768 (2006.01)
H 0 1 L 23/522 (2006.01)

(72)発明者 伊藤 孝政

東京都港区芝浦一丁目1番1号 東芝メモリ株式会社内

Fターム(参考) 5F033 HH04 HH18 HH19 HH33 JJ18 JJ19 JJ33 KK18 KK19 KK33
RR04 RR06 TT08 VV01 VV16 XX17
5F083 EP18 EP22 EP32 EP76 ER21 GA05 GA09 GA10 JA02 JA04
JA19 JA37 JA39 JA56 MA06 MA19
5F101 BA46 BB02 BD22 BD30 BD34 BE07