

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷
G02F 1/136

(11) 공개번호 10-2005-0055384
(43) 공개일자 2005년06월13일

(21) 출원번호 10-2003-0088591
(22) 출원일자 2003년12월08일

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 채기성
인천광역시연수구동춘동한양1차아파트111동607호
김우현
서울특별시서대문구봉원동45-9번지
김용범
서울특별시송파구신천동장미아파트27동1311호

(74) 대리인 김영호

심사청구 : 없음

(54) 액정표시패널 및 그 제조 방법

요약

본 발명은 마스크 공정 수를 절감할 수 있는 액정표시패널 및 그 제조 방법에 관한 것이다.

본 발명에 따른 액정표시패널은 컬러필터 어레이 기판을 마련하는 단계와; 상기 컬러필터 어레이 기판과 대향하며 하부 기판 상에 게이트절연패턴을 사이에 두고 교차하는 게이트 라인 및 데이터라인, 상기 게이트 라인 및 데이터 라인의 교차부에 형성된 박막 트랜지스터, 상기 박막트랜지스터와 접속된 화소전극, 상기 게이트라인과 접속되며 투명도전막이 노출되도록 형성된 게이트패드, 상기 데이터라인과 접속되며 상기 투명도전막이 노출되도록 형성된 데이터패드, 상기 컬러필터 어레이 기판과 중첩되는 영역에 형성되어 상기 패드에 포함된 투명도전막을 노출시키는 보호막을 갖는 박막트랜지스터 어레이 기판을 마련하는 단계와; 상기 박막트랜지스터 어레이 기판과 컬러필터 어레이 기판을 상기 게이트패드 및 데이터 패드를 포함하는 패드영역이 노출되도록 실재를 이용하여 합착하는 단계와; 상기 컬러필터 어레이 기판을 마스크로 상기 보호막을 제거하여 패드영역의 투명도전막을 노출시키는 단계를 포함하며; 상기 게이트라인 및 데이터라인 중 적어도 어느 하나는 구리 금속층을 포함하는 적어도 한 층 구조로 형성되는 것을 특징으로 한다.

대표도

도 5

명세서

도면의 간단한 설명

도 1은 종래 액정표시패널의 박막트랜지스터 어레이 기판을 나타내는 평면도이다.

도 2는 도 1에 도시된 박막트랜지스터 어레이 기판을 선"II-II'"를 따라 절단하여 도시한 단면도이다.

도 3a 내지 도 3d는 도 2에 도시된 박막트랜지스터 어레이 기판의 제조 방법을 단계적으로 도시한 단면도들이다.

도 4는 본 발명의 제1 실시 예에 따른 액정표시패널의 박막트랜지스터 어레이 기판을 도시한 평면도이다.

도 5는 도 4에 도시된 박막트랜지스터 어레이 기판을 선"V-V'"을 따라 절단하여 도시한 단면도이다.

도 6a 및 도 6b는 본 발명의 제1 실시 예에 따른 박막트랜지스터 어레이 기판의 제조 방법 중 제1 마스크 공정을 설명하기 위한 평면도 및 단면도이다.

도 7a 및 도 7b는 본 발명의 제1 실시 예에 따른 박막트랜지스터 어레이 기관의 제조 방법 중 제2 마스크 공정을 설명하기 위한 평면도 및 단면도이다.

도 8a 및 도 8b는 본 발명의 제1 실시 예에 따른 박막트랜지스터 어레이 기관의 제조 방법 중 제3 마스크 공정을 설명하기 위한 평면도 및 단면도이다.

도 9a 내지 도 9e는 도 8a 및 도 8b에 도시된 제3 마스크 공정을 구체적으로 설명하기 위한 단면도이다.

도 10은 본 발명의 제1 실시 예에 따른 박막트랜지스터 어레이 기관을 포함하는 액정표시패널을 나타내는 단면도이다.

도 11은 본 발명의 제2 실시 예에 따른 액정표시패널의 박막트랜지스터 어레이 기관을 도시한 평면도이다.

도 12는 도 11에 도시된 박막트랜지스터 어레이 기관을 선"X II-X II'"을 따라 절단하여 도시한 단면도이다.

도 13a 내지 도 13c는 도 12에 도시된 박막트랜지스터 어레이 기관의 제조방법을 설명하기 위한 단면도이다.

도 14는 본 발명의 제2 실시 예에 따른 액정표시패널의 박막트랜지스터 어레이 기관을 포함하는 액정표시패널을 나타내는 단면도이다.

< 도면의 주요 부분에 대한 부호의 설명 >

2,102 : 게이트 라인 4,104 : 데이터 라인

6,106 : 게이트전극 8,108 : 소스전극

10,110 : 드레인전극 12,112 : 게이트절연막

14,114 : 활성층 16,116 : 오믹접촉층

18,118 : 보호막 20,42,56,66,162,164 : 콘택홀

22,122 : 화소전극 28,128 : 스토리지전극

40,140 : 스토리지캐패시터 50,150 : 게이트패드

52 : 게이트 패드 하부 전극 54 : 게이트 패드 상부 전극

60,160 : 데이터패드 62 : 데이터 패드 하부 전극

64 : 데이터 패드 상부 전극 170 : 투명도전막

172 : 게이트금속막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시패널에 관한 것으로, 특히 공정을 단순화시킬 수 있는 액정표시패널 및 그 제조 방법에 관한 것이다.

액정 표시 장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이러한 액정 표시 장치는 액정 표시 장치는 상하부 기관에 대향하게 배치된 화소 전극과 공통 전극 사이에 형성되는 전계에 의해 액정을 구동하게 된다.

액정 표시 장치는 서로 대향하여 합착된 박막트랜지스터 어레이 기관(하부 어레이 기관) 및 칼라 필터 어레이 기관(상부 어레이 기관)과, 두 기관 사이에서 셀갭을 일정하게 유지시키기 위한 스페이서와, 그 셀갭에 채워진 액정을 구비한다.

박막트랜지스터 어레이 기관은 다수의 신호 배선들 및 박막 트랜지스터와, 그들 위에 액정 배향을 위해 도포된 배향막으로 구성된다. 칼라필터 어레이 기관은 칼라 구현을 위한 칼라 필터 및 빛샘 방지를 위한 블랙 매트릭스와, 그들 위에 액정 배향을 위해 도포된 배향막으로 구성된다.

이러한 액정 표시 장치에서 박막 트랜지스터 어레이 기판은 반도체 공정을 포함함과 아울러 다수의 마스크 공정을 필요로 함에 따라 제조 공정이 복잡하여 액정 패널 제조 단가 상승의 주요 원인이 되고 있다. 이를 해결하기 위하여, 박막 트랜지스터 어레이 기판은 마스크 공정수를 줄이는 방향으로 발전하고 있다. 이는 하나의 마스크 공정이 박막 증착 공정, 세정 공정, 포토리소그래피 공정, 식각 공정, 포토레지스트 박리 공정, 검사 공정 등과 같은 많은 공정을 포함하고 있기 때문이다. 이에 따라, 최근에는 박막트랜지스터 어레이 기판의 표준 마스크 공정이던 5 마스크 공정에서 하나의 마스크 공정을 줄인 4 마스크 공정이 대두되고 있다.

도 1은 종래의 4마스크 공정을 이용한 박막트랜지스터 어레이 기판을 나타내는 평면도이고, 도 2는 도 1에서 선"II-II"를 따라 절취한 박막트랜지스터 어레이 기판을 나타내는 단면도이다.

도 1 및 도 2를 참조하면, 종래 액정표시패널의 박막트랜지스터 어레이 기판은 하부 기판(1) 위에 게이트 절연막(12)을 사이에 두고 교차하게 형성된 게이트 라인(2) 및 데이터 라인(4)과, 그 교차부마다 형성된 박막 트랜지스터(30)와, 그 교차 구조로 마련된 화소 영역에 형성된 화소 전극(22)과, 게이트라인(2)과 스토리지전극(28)의 중첩부에 형성된 스토리지 캐패시터(40)와, 게이트 라인(2)과 접속된 게이트 패드(50)와, 데이터 라인(4)과 접속된 데이터 패드(60)를 구비한다.

게이트 신호를 공급하는 게이트 라인(2)과 데이터 신호를 공급하는 데이터 라인(4)은 교차 구조로 형성되어 화소 영역(5)을 정의한다.

박막 트랜지스터(30)는 게이트 라인(2)의 게이트 신호에 응답하여 데이터 라인(4)의 화소 신호가 화소 전극(22)에 충전되어 유지되게 한다. 이를 위하여, 박막 트랜지스터(30)는 게이트 라인(2)에 접속된 게이트 전극(6)과, 데이터 라인(4)에 접속된 소스 전극(8)과, 화소 전극(22)에 접속된 드레인 전극(10)을 구비한다. 또한, 박막 트랜지스터(30)는 게이트 전극(6)과 게이트 절연막(12)을 사이에 두고 중첩되면서 소스 전극(8)과 드레인 전극(10) 사이에 채널을 형성하는 활성층(14)을 더 구비한다.

그리고, 활성층(14)은 데이터 라인(4), 데이터 패드 하부 전극(62) 및 스토리지 전극(28)과도 중첩되게 형성된다. 이러한 활성층(14) 위에는 데이터 라인(4), 소스 전극(8), 드레인 전극(10), 데이터 패드 하부 전극(62) 및 스토리지 전극(28)과 오믹 접촉을 위한 오믹 접촉층(16)이 더 형성된다.

화소 전극(22)은 보호막(18)을 관통하는 제1 콘택홀(20)을 통해 박막 트랜지스터(30)의 드레인 전극(10)과 접속되어 화소 영역(5)에 형성된다.

이에 따라, 박막 트랜지스터(30)를 통해 화소 신호가 공급된 화소 전극(22)과 기준 전압이 공급된 공통 전극(도시하지 않음) 사이에는 전계가 형성된다. 이러한 전계에 의해 하부 어레이 기판과 상부 어레이 기판 사이의 액정 분자들이 유전 이방성에 의해 회전하게 된다. 그리고, 액정 분자들의 회전 정도에 따라 화소 영역(5)을 투과하는 광 투과율이 달라지게 됨으로써 계조를 구현하게 된다.

스토리지 캐패시터(40)는 게이트 라인(2)과, 그 게이트 라인(2)과 게이트 절연막(12), 활성층(14) 및 오믹 접촉층(16)을 사이에 두고 중첩되는 스토리지 전극(28)으로 구성된다. 여기서, 스토리지 전극(28)은 보호막(18)에 형성된 제2 콘택홀(42)을 통해 화소전극(22)과 접속된다. 이러한 스토리지 캐패시터(40)는 화소 전극(22)에 충전된 화소 신호가 다음 화소 신호가 충전될 때까지 안정적으로 유지되게 한다.

게이트패드(50)는 게이트드라이버(도시하지 않음)와 접속되어 게이트라인(2)에 게이트신호를 공급한다. 이러한 게이트패드(50)는 게이트 라인(2)으로부터 연장되는 게이트 패드 하부 전극(52)과, 게이트 절연막(12) 및 보호막(18)을 관통하는 제3 콘택홀(56)을 통해 게이트 패드 하부 전극(52)과 접속된 게이트 패드 상부 전극(54)으로 구성된다.

데이터패드(60)는 데이터 드라이버(도시하지 않음)와 접속되어 데이터라인(4)에 데이터신호를 공급한다. 이러한 데이터패드(60)는 데이터 라인(4)으로부터 연장되는 데이터 패드 하부 전극(62)과, 보호막(18)을 관통하는 제4 콘택홀(66)을 통해 데이터 패드 하부 전극(62)과 접속된 데이터 패드 상부 전극(64)으로 구성된다.

이러한 구성을 가지는 액정표시패널의 박막트랜지스터 어레이 기판의 제조 방법을 4마스크 공정을 이용하여 상세히 하면 도 3a 내지 도 3d에 도시된 바와 같다.

도 3a를 참조하면, 제1 마스크 공정을 이용하여 하부 기판(1) 상에 게이트 라인(2), 게이트 전극(6) 및 게이트 패드 하부 전극(52)을 포함하는 게이트패턴이 형성된다.

이를 상세히 설명하면, 하부 기판(1) 상에 스퍼터링 방법 등의 증착 방법을 통해 게이트금속층이 형성된다. 이어서, 제1 마스크를 이용한 포토리소그래피 공정과 식각 공정으로 게이트 금속층이 패터닝됨으로써 게이트 라인(2), 게이트 전극(6) 및 게이트 패드 하부 전극(52)을 포함하는 게이트패턴이 형성된다. 여기서, 게이트금속층으로는 알루미늄계 금속 등이 이용된다.

도 3b를 참조하면, 게이트패턴이 형성된 하부 기판(1) 상에 게이트 절연막(12)이 도포된다. 그리고 제2 마스크 공정을 이용하여 게이트 절연막(12) 위에 활성층(14) 및 오믹 접촉층(16)을 포함하는 반도체 패터닝과; 데이터 라인(4), 소스 전극(8), 드레인 전극(10), 데이터 패드 하부 전극(62), 스토리지 전극(28)을 포함하는 데이터패턴이 형성된다.

이를 상세히 설명하면, 게이트패턴이 형성된 하부 기관(1) 상에 PECVD, 스퍼터링 등의 증착 방법을 통해 게이트 절연막(12), 비정질 실리콘층, n+ 비정질 실리콘층, 그리고 데이터금속층이 순차적으로 형성된다. 여기서, 게이트 절연막(12)의 재료로는 산화 실리콘(SiO₂) 또는 질화 실리콘(Si₃N₄) 등의 무기 절연물질이 이용된다. 데이터 금속으로는 몰리브덴(Mo), 티타늄, 탄탈륨, 몰리브덴 합금(Mo alloy) 등이 이용된다.

이어서, 데이터 금속층 위에 제2 마스크를 이용한 포토리소그래피 공정으로 포토레지스트 패턴을 형성하게 된다. 이 경우 제2 마스크로는 박막 트랜지스터의 채널부에 회절 노광부를 갖는 회절 노광 마스크를 이용함으로써 채널부의 포토레지스트 패턴이 다른 소스/드레인 패턴부 보다 낮은 높이를 갖게 한다.

이어서, 포토레지스트 패턴을 이용한 습식 식각 공정으로 데이터금속층이 패터닝됨으로써 데이터 라인(4), 소스 전극(8), 그 소스 전극(8)과 일체화된 드레인 전극(10), 스토리지 전극(28)을 포함하는 데이터패턴이 형성된다.

그 다음, 동일한 포토레지스트 패턴을 이용한 건식 식각공정으로 n+ 비정질 실리콘층과 비정질 실리콘층이 동시에 패터닝됨으로써 오믹 접촉층(14)과 활성층(16)이 형성된다.

그리고, 애싱(Ashing) 공정으로 채널부에서 상대적으로 낮은 높이를 갖는 포토레지스트 패턴이 제거된 후 건식 식각 공정으로 채널부의 데이터금속층 및 오믹 접촉층(16)이 식각된다. 이에 따라, 채널부의 활성층(14)이 노출되어 소스 전극(8)과 드레인 전극(10)이 분리된다.

이어서, 스트립 공정으로 데이터패턴 위에 남아 있던 포토레지스트 패턴이 제거된다.

도 3c를 참조하면, 데이터패턴이 형성된 게이트 절연막(12) 상에 제3 마스크 공정을 이용하여 제1 내지 제4 콘택홀들(20,42,56,66)을 포함하는 보호막(18)이 형성된다.

상세히 하면, 데이터패턴이 형성된 게이트 절연막(12) 상에 PECVD 등의 증착 방법으로 보호막(18)이 전면 형성된다. 이어서, 보호막(18)이 제3 마스크를 이용한 포토리소그래피 공정과 식각 공정으로 패터닝됨으로써 제1 내지 제4 콘택홀들(20,42,56,66)이 형성된다. 제1 콘택홀(20)은 보호막(18)을 관통하여 드레인 전극(10)을 노출시키고, 제2 콘택홀(42)은 보호막(18)을 관통하여 스토리지 전극(28)을 노출시킨다. 제3 콘택홀(56)은 보호막(18) 및 게이트 절연막(12)을 관통하여 게이트 패드 하부 전극(52)을 노출시키고, 제4 콘택홀(66)은 보호막(18)을 관통하여 데이터 패드 하부 전극(62)을 노출시킨다. 여기서, 데이터 금속으로 몰리브덴(Mo)과 같이 건식 식각비 큰 금속이 이용되는 경우 제1, 제2, 제4 콘택홀(20, 42, 66) 각각은 드레인 전극(10), 스토리지 전극(28), 데이터 패드 하부 전극(62)까지 관통하여 그들의 측면을 노출시키게 된다.

보호막(18)의 재료로는 게이트 절연막(12)과 같은 무기 절연 물질이나 유전상수가 작은 아크릴(acryl)계 유기 화합물, BCB 또는 PFCB 등과 같은 유기 절연 물질이 이용된다.

도 3d를 참조하면, 제4 마스크 공정을 이용하여 보호막(18) 상에 화소 전극(22), 게이트 패드 상부 전극(54), 데이터 패드 상부 전극(64)을 포함하는 투명 도전 패턴이 형성된다.

상세히 하면, 보호막(18) 상에 스퍼터링 등의 증착 방법으로 투명 도전막이 도포된다. 이어서 제4 마스크를 이용한 포토리소그래피 공정과 식각 공정을 통해 투명 도전막이 패터닝됨으로써 화소 전극(22), 게이트 패드 상부 전극(54), 데이터 패드 상부 전극(64)을 포함하는 투명 도전 패턴이 형성된다. 화소 전극(22)은 제1 콘택홀(20)을 통해 드레인 전극(10)과 전기적으로 접속되고, 제2 콘택홀(42)을 통해 스토리지 전극(28)과 전기적으로 접속된다. 게이트 패드 상부 전극(54)은 제3 콘택홀(56)을 통해 게이트 패드 하부 전극(52)과 전기적으로 접속된다. 데이터 패드 상부 전극(64)은 제4 콘택홀(66)을 통해 데이터 패드 하부 전극(62)과 전기적으로 접속된다.

여기서, 투명 도전막의 재료로는 인듐 틴 옥사이드(Indium Tin Oxide : ITO), 틴 옥사이드(Tin Oxide : TO), 인듐 틴 징크 옥사이드(Indium Tin Zinc Oxide : ITZO) 및 인듐 징크 옥사이드(Indium Zinc Oxide : IZO) 중 어느 하나가 이용된다.

이와 같이, 종래 박막 트랜지스터 어레이 기관 및 그 제조 방법은 4마스크 공정을 채용함으로써 5마스크 공정을 이용한 경우보다 제조 공정수를 줄임과 아울러 그에 비례하는 제조 단가를 절감할 수 있게 된다. 그러나, 4 마스크 공정 역시 여전히 제조 공정이 복잡하여 원가 절감에 한계가 있으므로 제조 공정을 더욱 단순화하여 제조 단가를 더욱 줄일 수 있는 방안이 요구된다.

또한, 최근에는 기관이 대형화함에 따라서 신호지연으로 인한 화질저하를 방지하기 위해 저저항금속으로 이루어진 신호라인들이 요구되고 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 마스크 공정 수를 절감할 수 있는 액정표시패널 및 그 제조 방법을 제공하는 것이다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명에 따른 액정표시패널은 칼라필터 어레이 기관과; 상기 칼라필터 어레이 기관과 대향되어 합착되며, 하부기관 상에 절연되게 교차하는 게이트라인 및 데이터라인, 상기 게이트 라인 및 데이터 라인의 교차부에 형성된 박막 트랜지스터, 상기 박막트랜지스터와 접속된 화소전극, 상기 게이트라인과 접속되며 투명도전막을 포함

하는 게이트패드, 상기 데이터라인과 접속되며 상기 투명도전막을 포함하는 데이터패드, 상기 칼라필터 어레이 기판과 중첩되는 영역에 형성되어 상기 게이트패드 및 데이터패드 각각에 포함된 투명도전막을 노출시키는 보호막을 갖는 박막트랜지스터 어레이 기판을 구비하며, 상기 게이트라인 및 데이터라인 중 적어도 어느 하나는 구리금속층을 포함하는 적어도 한 층 구조로 형성되는 것을 특징으로 한다.

상기 액정표시패널은 상기 게이트라인 및 게이트전극을 포함하는 게이트패턴과 상기 데이터라인, 소스전극, 드레인전극을 포함하는 소스/드레인패턴을 절연하기 위해 형성된 게이트절연패턴과; 상기 게이트절연패턴 상에 형성되며 상기 게이트패턴과 부분적으로 중첩되는 반도체패턴과; 상기 반도체패턴과 소스/드레인패턴 사이에 형성되며 상기 반도체패턴과 동일패턴으로 형성되는 배리어금속패턴을 추가로 구비하는 것을 특징으로 한다.

상기 반도체패턴은 상기 소스 및 드레인전극 사이의 채널을 형성하며 상기 게이트패턴과 중첩되는 활성층과; 상기 활성층 상에 형성되며 상기 배리어금속패턴과 동일패턴으로 형성된 오믹접촉층을 포함하는 것을 특징으로 한다.

상기 배리어금속패턴은 몰리브덴(Mo), 크롬(Cr), 텅스텐(W) 및 티타늄(Ti) 중 적어도 어느 하나로 형성되는 것을 특징으로 한다.

상기 목적을 달성하기 위하여, 본 발명에 따른 액정표시패널의 제조방법은 컬러필터 어레이 기판을 마련하는 단계와; 상기 컬러필터 어레이 기판과 대향하며 하부기판 상에 게이트절연패턴을 사이에 두고 교차하는 게이트 라인 및 데이터라인, 상기 게이트 라인 및 데이터 라인의 교차부에 형성된 박막 트랜지스터, 상기 박막트랜지스터와 접속된 화소전극, 상기 게이트라인과 접속되며 투명도전막이 노출되도록 형성된 게이트패드, 상기 데이터라인과 접속되며 상기 투명도전막이 노출되도록 형성된 데이터패드, 상기 칼라필터 어레이 기판과 중첩되는 영역에 형성되어 상기 패드에 포함된 투명도전막을 노출시키는 보호막을 갖는 박막트랜지스터 어레이 기판을 마련하는 단계와; 상기 박막트랜지스터 어레이 기판과 컬러필터 어레이 기판을 상기 게이트패드 및 데이터패드를 포함하는 패드영역이 노출되도록 실재를 이용하여 합착하는 단계와; 상기 컬러필터 어레이 기판을 마스크로 상기 보호막을 제거하여 패드영역의 투명도전막을 노출시키는 단계를 포함하며; 상기 게이트라인 및 데이터라인 중 적어도 어느 하나는 구리 금속층을 포함하는 적어도 한 층 구조로 형성되는 것을 특징으로 한다.

상기 박막트랜지스터 어레이 기판을 마련하는 단계는 상기 기판 상에 투명도전막과 구리금속층을 포함하는 게이트라인, 게이트전극, 제1 게이트패드전극 및 제2 데이터패드전극을 포함하는 게이트패턴들과 화소전극을 형성하는 단계와; 상기 게이트패턴들과 화소전극이 형성된 기판 상에 게이트절연패턴, 상기 게이트절연패턴과 동일패턴의 반도체패턴 및 배리어금속패턴을 형성하고 상기 데이터패드전극, 게이트패드전극 및 화소전극에 포함된 투명도전막을 노출시키는 단계와; 상기 배리어금속패턴, 반도체패턴 및 게이트절연패턴이 형성된 기판 상에 구리금속층을 포함하는 적어도 한 층의 금속으로 상기 데이터패드전극과 접속되는 데이터라인, 소스전극 및 드레인전극을 포함하는 데이터패턴을 형성하는 단계와; 상기 데이터패턴이 형성된 기판 상에 보호막을 형성하는 단계를 포함하는 것을 특징으로 한다.

상기 목적 외에 본 발명의 다른 목적 및 이점들은 첨부 도면을 참조한 본 발명의 바람직한 실시 예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 본 발명의 바람직한 실시 예들을 도 4 내지 도 14를 참조하여 상세하게 설명하기로 한다.

도 4는 본 발명의 제1 실시 예에 따른 박막트랜지스터 어레이 기판을 나타내는 평면도이고, 도 5는 도 4에서 선 "V-V'"를 따라 절취한 박막트랜지스터 어레이 기판을 나타내는 단면도이다.

도 4 및 도 5에 도시된 박막트랜지스터 어레이 기판은 하부 기판(101) 위에 게이트 절연막(112)을 사이에 두고 교차하게 형성된 게이트 라인(102) 및 데이터 라인(104)과, 그 교차부마다 형성된 박막 트랜지스터(130)와, 그 교차 구조로 마련된 화소 영역(105)에 형성된 화소 전극(122)과, 화소전극(122)과 게이트라인(102)의 중첩부에 형성된 스토리지 캐패시터(140)와, 게이트 라인(102)에서 연장된 게이트 패드(150)와, 데이터 라인(104)에서 연장된 데이터 패드(160)를 구비한다.

게이트 신호를 공급하는 게이트 라인(102)과 데이터 신호를 공급하는 데이터 라인(104)은 교차 구조로 형성되어 화소 영역(105)을 정의한다.

박막 트랜지스터(130)는 게이트 라인(102)의 게이트 신호에 응답하여 데이터 라인(104)의 화소 신호가 화소 전극(122)에 충전되어 유지되게 한다. 이를 위하여, 박막 트랜지스터(130)는 게이트 라인(102)에 접속된 게이트 전극(106)과, 데이터 라인(104)에 접속된 소스 전극(108)과, 화소 전극(122)에 접속된 드레인 전극(110)을 구비한다.

또한, 박막 트랜지스터(130)는 게이트 전극(106)과 게이트절연막(112)을 사이에 두고 중첩되면서 소스 전극(108)과 드레인 전극(110) 사이에 채널을 형성하는 반도체패턴(114,116)을 구비한다.

반도체패턴은 소스전극(108)과 드레인전극(110) 사이의 채널을 형성하고, 게이트절연막(112)을 사이에 두고 게이트패턴과 부분적으로 중첩되게 형성된 활성층(114)을 구비한다. 그리고, 반도체패턴은 활성층(114) 위에 형성되어 데이터라인(104), 스토리지전극(128), 소스전극(108) 및 드레인전극(110)과 접촉되는 배리어금속패턴(180)과 오믹접촉을 위한 오믹접촉층(116)을 추가로 구비한다. 이러한 반도체패턴은 셀과 셀 사이에서는 분리되게 형성되어 그 반도체패턴에 의한 셀들간의 신호간섭을 방지하게 된다.

화소 전극(122)은 화소 영역(105)에 투명도전막(170)으로 형성되어 박막 트랜지스터(130)의 드레인 전극(110)과 직접 접촉된다.

이에 따라, 박막 트랜지스터(130)를 통해 화소 신호가 공급된 화소 전극(122)과 기준 전압이 공급된 공통 전극(도시하지 않음) 사이에는 수직전계가 형성된다. 이러한 전계에 의해 상부 어레이 기관과 하부 어레이 기관 사이의 액정 분자들이 유전 이방성에 의해 회전하게 된다. 그리고, 액정 분자들의 회전 정도에 따라 화소 영역(105)을 투과하는 광 투과율이 달라지게 됨으로써 계조를 구현하게 된다.

스토리지 캐패시터(140)는 게이트라인(102)과, 그 게이트라인(102)과 게이트절연막(112), 활성층(114), 오믹접촉층(116) 및 배리어금속패턴(180)을 사이에 두고 중첩되며 화소전극(122)과 직접 접촉된 스토리지전극(128)으로 구성된다. 이러한 스토리지 캐패시터(140)는 화소 전극(122)에 충전된 화소 신호가 다음 화소 신호가 충전될 때까지 안정적으로 유지되게 한다.

게이트패드(150)는 게이트 드라이버(도시하지 않음)와 접속되어 게이트 드라이버에서 생성된 게이트신호를 게이트라인(102)에 공급한다. 이를 위해, 게이트패드(150)는 게이트라인(102)에서 신장된 게이트패드전극(152)과, 게이트패드전극(152)의 투명도전막(170)을 노출시키는 게이트콘택홀(154)을 구비한다. 여기서, 게이트패드전극(152)은 투명도전막(170), 그 투명도전막(170) 상에 형성된 게이트금속막(172)으로 이루어진다. 게이트콘택홀(154)은 게이트절연막(112) 및 게이트금속막(172)을 관통하여 게이트패드전극(152)의 투명도전막(170)을 노출시킨다. 이와 같이, 게이트패드(150)는 부식에 강한 투명도전막(170)이 노출되도록 형성함으로써 수분에 의한 산화부식을 방지할 수 있어 신뢰성이 향상된다.

데이터패드(160)는 데이터 드라이버(도시하지 않음)와 접속되어 데이터 드라이버에서 생성된 데이터신호를 데이터라인(104)에 공급한다. 이를 위해, 데이터패드(160)는 데이터라인(104)과 접촉되는 데이터패드전극(162)과, 그 데이터패드전극(162)의 투명도전막(170)을 노출시키는 데이터콘택홀(164)을 구비한다. 여기서, 데이터패드전극(162)은 투명도전막(170), 그 투명도전막(170) 상에 형성된 게이트금속막(172)으로 이루어진다. 데이터 콘택홀(164)은 배리어금속패턴(180), 오믹접촉층(116), 활성층(114), 게이트절연막(112) 및 데이터패드전극(160)의 게이트금속막(172)을 관통하여 데이터패드전극(162)의 투명도전막(170)을 노출시킨다. 이와 같이, 데이터패드(160)는 부식에 강한 투명도전막(170)이 노출되도록 형성함으로써 수분에 의한 산화부식을 방지할 수 있어 신뢰성이 향상된다.

한편, 본 발명에 따른 박막트랜지스터 어레이 기관은 게이트전극(106), 게이트라인(102) 및 게이트패드전극(152)을 포함하는 게이트패턴은 투명도전막(170)과, 그 투명도전막(170) 상에 게이트금속막(172)이 적층된 구조로 형성된다. 여기서, 투명도전막(170)은 ITO, TO, ITZO, IZO 등과 같은 투명도전성물질이 이용되고, 게이트금속막(172)은 구리(Cu) 등을 포함하는 금속이 이용된다. 여기서, 구리로 형성되는 게이트라인(102)은 AlNd, Al, Cr 등과 같이 비교적 큰 비저항값(0.046)을 갖는 금속으로 형성된 게이트라인보다 상대적으로 낮은 비저항값을 가지므로 대면적 패널에서 신호지연을 방지할 수 있다.

소스전극(108), 드레인전극(110), 데이터라인(104) 및 스토리지전극(128)을 포함하는 데이터패턴은 구리(Cu) 등을 포함하는 금속으로 형성된다. 여기서, 구리로 형성된 데이터라인(104)은 AlNd, Al, Cr 등과 같이 비교적 큰 비저항값(0.046)을 갖는 금속으로 형성된 데이터라인보다 상대적으로 낮은 비저항값을 가지므로 대면적 패널에서 신호지연을 방지할 수 있다.

데이터패턴과 반도체패턴 사이에는 몰리브덴(Mo), 크롬(Cr), 텅스텐(W) 또는 티타늄(Ti) 등으로 형성된 배리어금속패턴(180)이 위치한다. 특히, 배리어금속패턴(180)은 데이터패턴과 반도체패턴 간의 접착력을 향상시키고 아울러 고온(예를 들어, 약 200°C)에서 구리(Cu)로 형성된 데이터패턴이 녹아 박막트랜지스터(130)의 채널부로 침투, 확산되는 것을 방지하여 박막트랜지스터의 특성저하를 방지한다.

도 6a 및 도 6b는 본 발명의 제1 실시 예에 따른 박막트랜지스터 어레이 기관의 제조방법 중 제1 마스크공정을 설명하기 위한 평면도 및 단면도이다.

도 6a 및 도 6b를 참조하면, 제1 마스크 공정으로 하부 기관(101) 상에 화소전극(122)과; 2층 구조의 게이트 라인(102), 게이트 전극(106), 게이트 패드 전극(152) 및 데이터 패드 전극(162)을 포함하는 게이트패턴이 형성된다.

이를 위해, 하부기관(101) 상에 스퍼터링 등의 증착방법을 통해 투명도전막(170)과 게이트금속막(172)이 순차적으로 형성된다. 여기서, 투명도전막(170)은 ITO, TO, ITZO, IZO 등과 같은 투명도전성물질이 이용되고, 게이트금속막(172)은 구리(Cu)를 포함하는 전기전도성이 좋은 금속이 이용된다. 이어서, 투명도전막(170)과 게이트 금속층(172)이 제1 마스크를 이용한 포토리소그래피공정과 식각공정에 의해 패터닝됨으로써 2층 구조의 게이트 라인(102), 게이트 전극(106), 게이트 패드 전극(152), 데이터 패드 전극(162) 및 게이트금속막(172)을 포함하는 화소전극(122)이 형성된다.

도 7a 및 도 7b는 본 발명의 제1 실시 예에 따른 박막트랜지스터 어레이 기관의 제조방법 중 제2 마스크공정을 설명하기 위한 평면도 및 단면도이다.

도 7a 및 도 7b를 참조하면, 제2 마스크공정으로 게이트패턴이 형성된 하부기관(101) 상에 게이트절연막(112)과; 활성층(114) 및 오믹접촉층(116)을 포함하는 반도체패턴과; 반도체패턴과 동일패턴의 배리어금속패턴(180)이 형성된다. 그리고, 화소전극(122)에 포함된 게이트금속막(172)이 제거되어 투명도전막(170)이 노출된다. 또한, 데이터 패드 전극(162) 및 게이트 패드 전극(152) 각각에 포함된 투명도전막을 노출시키는 데이터콘택홀(164)과 게이트콘택홀(154)이 형성된다.

이를 위해, 게이트패턴이 형성된 하부 기관(101) 상에 PECVD, 스퍼터링 등의 증착 방법을 통해 게이트 절연막, 제1 및 제2 반도체층, 배리어금속층이 순차적으로 형성된다. 여기서, 게이트 절연막의 재료로는 산화 실리콘(SiO_x) 또는 질화 실리콘(SiN_x) 등의 무기 절연 물질이 이용되며, 제1 반도체층은 불순물이 도핑되지 않은 비정질실리콘이 이용되며, 제2 반도체층은 N형 또는 P형의 불순물이 도핑된 비정질실리콘이 이용되며, 배리어금속층은 몰리브덴(Mo), 크롬(Cr), 탄탈(Ta), 텅스텐(W), 티타늄(Ti) 등이 이용된다. 이어서, 게이트절연막, 제1 및 제2 반도체층 및 배리어금속층이 제2 마스크

를 이용한 포토리소그래피공정과 식각공정에 의해 패터닝됨으로써 활성층(114) 및 오믹접촉층(116)을 포함하는 반도체패턴과, 반도체패턴과 동일패턴의 게이트절연막(112) 및 배리어금속패턴(180)이 형성된다. 이 때, 반도체패턴과 게이트절연막은 화소전극(122), 게이트패드(150) 및 데이터패드(160)가 노출되도록 형성된다.

그런 다음, 게이트절연막(112)과 반도체패턴(114,116) 및 배리어금속패턴(180)을 마스크로 이용하여 노출된 게이트금속막(172)이 습식식각으로 제거된다. 즉, 화소전극(122)에 포함된 게이트금속막(172)에 제거되어 이들(122)에 포함된 투명도전막(170)이 노출된다. 또한, 게이트패드전극(152) 및 데이터패드전극(162) 각각에 포함된 게이트금속막(172)이 일부 제거되어 이들에 포함된 투명도전막(170)을 노출시키는 게이트콘택홀(154) 및 데이터콘택홀(164)이 형성된다. 여기서, 데이터 콘택홀(164)은 데이터 패드 전극(162)의 게이트금속막(172), 게이트절연막(112), 반도체패턴(114,116) 및 배리어금속패턴(180)을 관통하여 투명도전막(170)을 노출시키며, 게이트 콘택홀(154)은 게이트패드전극(152)의 게이트금속막(172), 게이트절연막(112), 반도체패턴(114,116) 및 배리어금속패턴(180)을 관통하여 투명도전막(170)을 노출시킨다.

도 8a 및 도 8b는 본 발명의 제1 실시 예에 따른 박막트랜지스터 어레이 기관의 제조방법 중 제3 마스크공정을 설명하기 위한 평면도 및 단면도이다.

도 8a 및 도 8b를 참조하면, 제3 마스크 공정으로 게이트절연막(112)과 반도체패턴 및 배리어금속패턴(180)이 형성된 하부 기관(101) 상에 데이터라인(104), 소스전극(108), 드레인전극(110) 및 스토리지전극(128)을 포함하는 데이터패턴이 형성된다. 이에 대한 상세한 설명을 도 9a 내지 도 9e를 결부하여 상세히 설명하기로 한다.

먼저, 도 9a에 도시된 바와 같이 배리어금속패턴(180)이 형성된 하부기관(101) 상에 스퍼터링 등의 증착 방법을 데이터 금속층(109)과 포토레지스트막(328)이 순차적으로 형성된다. 여기서, 데이터금속층(109)은 구리(Cu) 등과 같은 금속으로 이루어진다.

그런 다음, 부분 노광 마스크인 제3 마스크(320)가 하부기관(101) 상부에 정렬된다. 제3 마스크(320)는 투명한 재질인 마스크 기관(322)과, 마스크 기관(322)의 차단 영역(S2)에 형성된 차단부(324)와, 마스크 기관(322)의 부분 노광 영역(S3)에 형성된 회절 노광부(326)(또는 반투과부)를 구비한다. 여기서, 마스크 기관(322)이 노출된 영역은 노광 영역(S1)이 된다. 이러한 제3 마스크(320)를 이용한 포토레지스트막(328)을 노광한 후 현상함으로써 도 9b에 도시된 바와 같이 제3 마스크(320)의 차단부(324)와 회절 노광부(326)에 대응하여 차단 영역(S2)과 부분 노광 영역(S3)에서 단차를 갖는 포토레지스트 패턴(330)이 형성된다. 즉, 부분 노광 영역(S3)에 형성된 포토레지스트 패턴(330)은 차단 영역(S2)에서 형성된 제1 높이를 갖는 포토레지스트 패턴(330)보다 낮은 제2 높이를 갖게 된다.

이러한 포토레지스트 패턴(330)을 마스크로 이용한 습식 식각 공정으로 데이터 금속층(109)이 패터닝됨으로써 스토리지전극(128), 데이터 라인(104), 데이터 라인(104)과 접속된 소스전극(108) 및 드레인 전극(110)을 포함하는 데이터패턴이 형성된다.

그리고, 포토레지스트 패턴(330)을 마스크로 이용한 건식 식각 공정으로 활성층(114), 오믹접촉층(116) 및 배리어금속패턴(180)은 데이터패턴을 따라 형성된다. 이 때, 데이터패턴과 중첩되는 활성층(114), 오믹접촉층(116) 및 배리어금속패턴(180)을 제외한 나머지 영역에 위치하는 활성층(114), 오믹접촉층(116) 및 배리어금속패턴(180)은 제거된다.

이어서, 산소(O₂) 플라즈마를 이용한 애싱(Ashing) 공정으로 부분 노광 영역(S3)에 제2 높이를 갖는 포토레지스트 패턴(330)은 도 9c에 도시된 바와 같이 제거되고, 차단 영역(S2)에 제1 높이를 갖는 포토레지스트 패턴(330)은 높이가 낮아진 상태가 된다. 이러한 포토레지스트 패턴(330)을 이용한 식각 공정으로 부분 노광 영역(S3), 즉 박막 트랜지스터의 채널부에 형성된 데이터 금속층과 배리어금속패턴(180) 및 오믹접촉층(116)이 도 9d에 도시된 바와 같이 제거됨으로써 소스 전극(108)과 드레인전극(110)이 분리된다. 그리고, 데이터패턴 위에 남아 있던 포토레지스트 패턴(330)은 스트립 공정으로 제거된다.

이어서, 데이터패턴이 형성된 기관(101)의 전면에 도 9e에 도시된 바와 같이 보호막(118)이 형성된다. 보호막(118)으로는 게이트 절연막(112)과 같은 무기 절연 물질이나 유전상수가 작은 아크릴(acryl)계 유기 화합물, BCB 또는 PFCB 등과 같은 유기 절연 물질이 이용된다.

도 10은 도 4 및 도 5에 도시된 박막트랜지스터 어레이 기관을 포함하는 액정표시패널을 나타내는 단면도이다.

도 10에 도시된 액정표시패널은 액정표시패널은 실재(308)에 의해 합착된 컬러필터 어레이 기관(302)과 박막트랜지스터 어레이 기관(300)을 구비한다.

컬러필터 어레이 기관(302)은 상부기관(304) 상에 형성된 블랙매트릭스, 컬러필터를 포함하는 상부 어레이(306)를 구비한다.

이 경우, 상부기관(304)은 박막 트랜지스터 어레이 기관(300)에서 게이트 패드(150) 및 데이터 패드(160)가 형성되는 패드 영역이 노출되도록 합착된다.

그런 다음, 패드 오픈 공정을 통해 상부기관(304)에 의해 노출된 패드영역의 보호막(118)을 제거하여 게이트패드(150) 및 데이터패드(160) 각각에 포함된 투명도전막(170)이 게이트콘택홀(154) 및 데이터콘택홀(164)을 통해 노출된다.

여기서, 패드오픈공정은 대기압 플라즈마 발생부에 의해 생성된 플라즈마를 이용하여 상부기관(304)에 의해 노출된 각각의 패드를 순차적으로 스캐닝하거나 패드 단위별로 일괄적으로 스캐닝하여 게이트패드(150) 및 데이터패드(160)의 투명도전막(170)을 노출시킨다. 또는 챔버 내에 상부기관(304)과 박막트랜지스터 어레이 기관(300)이 합착된 액정패널을

다수개 삽입한 후 상압 플라즈마를 이용하여 상부 어레이 기관(302)에 의해 노출된 패드영역의 보호막(118)을 식각하여 게이트패드(150) 및 데이터패드(160)의 투명도전막(170)을 노출시킨다. 또는 상부기관(304)과 박막트랜지스터 어레이 기관(300)이 합착된 액정셀 전체를 식각액에 침지시키거나 게이트패드(150) 및 데이터패드(160)를 포함하는 패드영역만을 식각액에 침지시켜 게이트패드(150) 및 데이터패드(160)의 투명도전막(170)을 노출시킨다. 또는 합착이전에 배향막(도시하지 않음)을 마스크로 이용한 식각공정으로 게이트패드 및 데이터패드의 투명도전막을 노출시킨다.

도 11은 본 발명의 제2 실시 예에 따른 박막트랜지스터 어레이 기관을 나타내는 평면도이며, 도 12는 도 11에서 선 "X II-X II"를 따라 절취한 박막트랜지스터 어레이 기관을 나타내는 단면도이다.

도 11 및 도 12에 도시된 박막트랜지스터 어레이 기관은 도 4 및 도 5에 도시된 박막트랜지스터 어레이 기관과 비교하여 게이트패드(150) 및 데이터패드(160)를 다층구조로 형성하고, 소스전극(108), 드레인전극(110), 데이터라인(104) 및 스토리지전극(128)을 포함하는 데이터패턴을 서로 다른 이종의 금속으로 형성하는 것을 제외하고는 동일한 구성요소를 구비한다.

게이트패드(150)는 게이트라인(102)과 접속된 게이트 패드 하부 전극(152)과, 그 게이트패드하부전극(152)과 게이트콘택홀(154)을 통해 접속되며 데이터패턴과 동일금속으로 형성된 게이트 패드 상부 전극(156)을 구비한다.

게이트 패드 하부 전극(152)은 투명도전막(170), 그 투명도전막(170) 상에 형성되는 게이트금속막(172)으로 이루어진다. 게이트 패드 상부 전극(156)은 제1 데이터금속막(182), 그 제1 데이터금속막(182) 상에 형성되는 제2 데이터금속막(184)으로 이루어진다. 게이트콘택홀(154)은 게이트절연막(112) 및 게이트 패드 하부 전극(152)의 게이트금속막(172)을 관통하여 게이트 패드 하부 전극(152)의 투명도전막(170)을 노출시킨다. 이에 따라, 게이트 패드 상부 전극(156)은 게이트콘택홀(154)을 통해 게이트 패드 하부 전극(152)의 투명도전막(170)과 평면 접촉하고 게이트 패드 하부 전극(152)의 게이트금속막(172)과 측면 접촉한다.

데이터패드(150)는 배리어금속패턴(180) 상에 형성되며 데이터라인(104)과 접속된 데이터 패드 전극(162)을 구비한다. 데이터 패드 전극(162)은 제1 데이터금속막(182), 그 제1 데이터금속막(182) 상에 형성되는 제2 데이터금속막(184)으로 이루어진다.

소스전극(108), 드레인전극(110), 데이터라인(104), 스토리지전극(128), 게이트 패드 상부 전극(156) 및 데이터 패드 전극(162)을 포함하는 데이터패턴은 제1 데이터금속막(182), 그 제1 데이터금속막(182) 상에 형성되는 제2 데이터금속막(184)으로 이루어진다. 여기서, 제1 데이터금속막(182)은 구리를 포함하는 금속으로 형성되며, 제2 데이터금속막(184)은 ITO, TO, ITZO, IZO 등과 같은 투명도전성물질로 형성된다.

이와 같이, 본 발명의 제2 실시 예에 따른 박막트랜지스터 어레이 기관은 게이트라인(102)을 구리(Cu)를 포함하는 게이트금속막, 데이터라인(104)을 구리(Cu)를 포함하는 제1 데이터금속막으로 형성함으로써 기관 대형화에 따른 신호지연을 방지할 수 있다.

또한, 본 발명의 제2 실시 예에 따른 박막트랜지스터 어레이 기관은 게이트패드(150) 및 데이터패드(160)를 강도 및 내식성이 큰 투명도전물질로 형성된 제2 데이터도전막을 최상층으로 하는 다층 구조로 형성한다. 이에 따라, 테이프 캐리어 패키지(Tape Carrier Package)의 부착 공정을 반복하더라도 게이트패드(150) 및 데이터패드(160)의 단선 불량은 방지되므로 리워크(Rework)공정이 용이해진다. 또한, 게이트패드(150) 및 데이터패드(160)가 부식에 강한 투명도전막(170)이 노출되도록 형성함으로써 수분에 의한 산화부식을 방지할 수 있어 신뢰성이 향상된다.

도 13a 내지 도 13c는 본 발명의 제2 실시 예에 따른 박막트랜지스터 어레이 기관의 제조방법을 나타내는 단면도이다.

도 13a를 참조하면, 제1 마스크 공정으로 하부 기관(101) 상에 게이트금속막을 포함하는 화소전극(122)과; 2층 구조의 게이트 라인(102), 게이트 전극(106) 및 게이트 패드 하부 전극(152)을 포함하는 게이트패턴이 형성된다.

이를 위해, 하부기관(101) 상에 스퍼터링 등의 증착방법을 통해 투명도전막과 게이트금속막이 순차적으로 형성된다. 이어서, 투명도전막과 게이트 금속층이 제1 마스크를 이용한 포토리소그래피공정과 식각공정에 의해 패터닝됨으로써 2층 구조의 게이트 라인(102), 게이트 전극(106) 및 게이트 패드 하부 전극(152)을 포함하는 게이트패턴과; 게이트금속막(172)을 포함하는 화소전극(122)이 형성된다.

도 13b를 참조하면, 제2 마스크공정으로 게이트패턴 및 화소전극(122)이 형성된 하부기관(101) 상에 게이트절연막(112)과; 활성층(114) 및 오믹접촉층(116)을 포함하는 반도체패턴(114,116)과; 반도체패턴과 동일패턴의 배리어금속패턴(180)이 형성된다. 그리고, 게이트 패드 하부 전극(152)의 게이트금속막(172), 게이트절연막(112) 및 반도체패턴(114,116)을 관통하는 게이트콘택홀(156)이 형성된다.

이를 위해, 게이트패턴이 형성된 하부 기관(101) 상에 PECVD, 스퍼터링 등의 증착 방법을 통해 게이트 절연막과 제1 및 제2 반도체층 및 배리어금속층이 순차적으로 형성된다. 이어서, 게이트절연막, 제1 및 제2 반도체층 및 배리어금속층이 제2 마스크를 이용한 포토리소그래피공정과 건식식각공정에 의해 패터닝됨으로써 게이트절연막(112)과, 그 게이트절연막(112) 상에 활성층(114) 및 오믹접촉층(116)을 포함하는 반도체패턴과; 반도체패턴과 동일패턴의 배리어금속패턴(180)이 형성된다.

그런 다음, 게이트절연막(112), 반도체패턴 및 배리어금속패턴(180)을 마스크로 이용한 습식식각공정에 의해 게이트패드하부전극(152) 및 화소전극(122)에 포함된 게이트금속막(172)이 패터닝됨으로써 화소전극(122)의 투명도전막(170)이 노출되며 게이트 패드 하부 전극(152)의 투명도전막(170)을 노출시키는 게이트콘택홀(154)이 형성된다.

도 13c를 참조하면, 제3 마스크 공정으로 게이트절연패턴(112)과 반도체패턴이 형성된 하부 기판(101) 상에 2층 구조의 데이터라인(104), 소스전극(108), 드레인전극(110), 스토리지전극(128), 게이트 패드 상부 전극(156) 및 데이터패드전극(162)을 포함하는 데이터패턴이 형성된다.

이를 위해, 하부기판(101) 상에 스퍼터링 등의 증착 방법을 제1 및 제2 데이터금속층이 형성된다. 부분 노광마스크를 이용한 포토리소그래피공정에 의해 형성된 단차진 포토레지스트패턴을 마스크로 이용한 습식식각공정으로 제1 및 제2 데이터 금속층(109)이 패터닝됨으로써 게이트 패드 상부 전극(156), 데이터 패드 전극(162), 스토리지전극(128), 데이터 라인(104), 데이터 라인(104)과 접속된 소스전극(108) 및 드레인 전극(110)을 포함하는 데이터패턴이 형성된다. 여기서, 게이트 패드 상부 전극(156)은 게이트콘택홀(154)을 통해 게이트 패드 하부 전극(152)과 접속된다. 즉, 게이트 패드 상부 전극(156)의 제1 데이터도전막(184)은 게이트패드 하부 전극(152)의 투명도전막(170)과 평면 접촉하고 게이트도전막(172)과 측면 접촉한다.

그리고, 포토레지스트 패턴을 마스크로 이용한 건식 식각 공정으로 활성층(114)과 오믹접촉층(116) 및 배리어금속패턴(180)은 데이터패턴을 따라 형성된다. 이어서, 에칭(Ashing) 공정에 의해 상대적으로 높이가 낮은 포토레지스트패턴은 제거되고 상대적으로 높이가 높은 포토레지스트패턴은 높이가 낮아지게 된다. 이러한 포토레지스트패턴을 이용하여 박막 트랜지스터의 채널부에 형성된 제1 및 제2 데이터 금속층, 배리어금속패턴(180) 및 오믹접촉층(116)이 제거됨으로써 드레인 전극(110)과 소스 전극(108)이 분리된다. 이어서, 데이터패턴이 형성된 기판(101)의 전면에 보호막(118)이 형성된다.

도 14는 도 11 및 도 12에 도시된 박막트랜지스터 어레이 기판을 포함하는 액정표시패널을 나타내는 단면도이다.

도 14에 도시된 액정표시패널은 액정표시패널은 실재(308)에 의해 합착된 컬러필터 어레이 기판(302)과 박막트랜지스터 어레이 기판(300)을 구비한다.

컬러필터 어레이 기판(302)은 상부기판(304) 상에 형성된 블랙매트릭스, 컬러필터를 포함하는 상부 어레이(306)를 구비한다. 상부기판(304)은 박막 트랜지스터 어레이 기판(300)에서 게이트 패드(150) 및 데이터 패드(160)가 형성되는 패드 영역이 노출되도록 합착된다.

그런 다음, 패드 오픈 공정을 통해 상부기판(304)에 의해 노출된 패드영역의 보호막(118)이 제거되어 게이트패드상부전극(156)에 포함된 제2 데이터금속막(184)이 노출되며, 데이터패드전극(162)에 포함된 제2 데이터금속막(184)이 노출된다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 액정표시패널 및 그 제조방법은 제1 마스크공정으로 화소전극과 게이트패턴을 형성하고, 제2 마스크공정으로 반도체패턴과 배리어금속패턴을 형성하고, 제3 마스크공정으로 적어도 한 층 구조의 데이터패턴을 형성함으로써 박막트랜지스터 어레이 기판이 완성된다. 이와 같이 박막트랜지스터 어레이 기판을 3마스크공정으로 형성함으로써 구조 및 제조공정이 단순화되고 제조단가를 절감할 수 있음과 아울러 제조수율이 향상된다. 또한, 본 발명에 따른 액정표시패널 및 그 제조방법은 게이트라인 및 데이터라인을 포함하는 신호라인을 구리를 포함하는 금속으로 형성함으로써 기판의 대형화에 따른 신호지연을 방지할 수 있다. 뿐만 아니라, 본 발명에 따른 액정표시패널 및 그 제조방법은 게이트패드 및 데이터패드를 다층 구조로 형성함으로써 리워크공정이 용이해진다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

(57) 청구의 범위

청구항 1.

컬러필터 어레이 기판과;

상기 컬러필터 어레이 기판과 대향되어 합착되며, 하부기판 상에 절연되게 교차하는 게이트라인 및 데이터라인, 상기 게이트라인 및 데이터라인의 교차부에 형성된 박막 트랜지스터, 상기 박막트랜지스터와 접속된 화소전극, 상기 게이트라인과 접속되며 투명도전막을 포함하는 게이트패드, 상기 데이터라인과 접속되며 상기 투명도전막을 포함하는 데이터패드, 상기 컬러필터 어레이 기판과 중첩되는 영역에 형성되어 상기 게이트패드 및 데이터패드 각각에 포함된 투명도전막을 노출시키는 보호막을 갖는 박막트랜지스터 어레이 기판을 구비하며,

상기 게이트라인 및 데이터라인 중 적어도 어느 하나는 구리금속층을 포함하는 적어도 한 층 구조로 형성되는 것을 특징으로 하는 액정표시패널.

청구항 2.

제 1 항에 있어서,

상기 게이트라인 및 게이트전극을 포함하는 게이트패턴과 상기 데이터라인, 소스전극, 드레인전극을 포함하는 소스/드레인패턴을 절연하기 위해 형성된 게이트절연패턴과;

상기 게이트절연패턴 상에 형성되며 상기 게이트패턴과 부분적으로 중첩되는 반도체패턴과;

상기 반도체패턴과 소스/드레인패턴 사이에 형성되며 상기 반도체패턴과 동일패턴으로 형성되는 배리어금속패턴을 추가로 구비하는 것을 특징으로 하는 액정표시패널.

청구항 3.

제 2 항에 있어서,

상기 반도체패턴은

상기 소스 및 드레인전극 사이의 채널을 형성하며 상기 게이트패턴과 중첩되는 활성층과;

상기 활성층 상에 형성되며 상기 배리어금속패턴과 동일패턴으로 형성된 오믹접촉층을 포함하는 것을 특징으로 하는 액정표시패널.

청구항 4.

제 2 항에 있어서,

상기 배리어금속패턴은 몰리브덴(Mo), 크롬(Cr), 텅스텐(W) 및 티타늄(Ti) 중 적어도 어느 하나로 형성되는 것을 특징으로 하는 액정표시패널.

청구항 5.

제 2 항에 있어서,

상기 게이트패턴은

상기 투명도전막과, 상기 투명도전막 상에 형성되는 상기 구리금속층을 포함하는 것을 특징으로 하는 액정표시패널.

청구항 6.

제 2 항에 있어서,

상기 소스/드레인 패턴은

상기 구리 금속층과, 상기 구리 금속층상에 형성되는 상기 투명도전막을 포함하는 것을 특징으로 하는 액정표시패널.

청구항 7.

제 1 항에 있어서,

상기 게이트 패드 및 데이터 패드 중 적어도 어느 하나는

상기 투명도전막과, 상기 투명도전막 상에 상기 투명도전막을 노출시키도록 형성되는 상기 구리 금속층을 포함하는 게이트패드전극을 포함하는 것을 특징으로 하는 액정표시패널.

청구항 8.

제 1 항에 있어서,

상기 게이트패드는

상기 투명도전막과, 상기 투명도전막 상에 형성되며 상기 투명도전막을 노출시키는 제1 구리 금속층을 포함하는 제1 게이트패드전극과;

상기 제1 구리 금속층과 접촉되며 제2 구리 금속층을 포함하는 제1 금속층과, 상기 제1 금속층 상에 상기 투명도전막과 동일금속으로 형성되는 제2 금속층을 포함하는 제2 게이트패드전극을 포함하는 것을 특징으로 하는 액정표시패널.

청구항 9.

제 2 항에 있어서,

상기 데이터패드는

상기 배리어금속패턴과 접촉되는 상기 구리 금속층을 포함하는 제1 금속층과, 상기 제1 금속층 상에 상기 투명도전막과 동일금속으로 형성되는 제2 금속층을 포함하는 제2 데이터패드전극을 포함하는 것을 특징으로 하는 액정표시패널.

청구항 10.

컬러필터 어레이 기판을 마련하는 단계와;

상기 컬러필터 어레이 기판과 대향하며 하부기판 상에 게이트절연패턴을 사이에 두고 교차하는 게이트 라인 및 데이터라인, 상기 게이트 라인 및 데이터 라인의 교차부에 형성된 박막 트랜지스터, 상기 박막트랜지스터와 접속된 화소전극, 상기 게이트라인과 접속되며 투명도전막이 노출되도록 형성된 게이트패드, 상기 데이터라인과 접속되며 상기 투명도전막이 노출되도록 형성된 데이터패드, 상기 칼라필터 어레이 기판과 중첩되는 영역에 형성되어 상기 패드에 포함된 투명도전막을 노출시키는 보호막을 갖는 박막트랜지스터 어레이 기판을 마련하는 단계와;

상기 박막트랜지스터 어레이 기판과 컬러필터 어레이 기판을 상기 게이트패드 및 데이터패드를 포함하는 패드영역이 노출되도록 실재를 이용하여 합착하는 단계와;

상기 컬러필터 어레이 기판을 마스크로 상기 보호막을 제거하여 패드영역의 투명도전막을 노출시키는 단계를 포함하며;

상기 게이트라인 및 데이터라인 중 적어도 어느 하나는 구리 금속층을 포함하는 적어도 한 층 구조로 형성되는 것을 특징으로 하는 액정표시패널의 제조방법.

청구항 11.

제 10 항에 있어서,

상기 박막트랜지스터 어레이 기판을 마련하는 단계는

상기 기판 상에 투명도전막과 구리금속층을 포함하는 게이트라인, 게이트전극, 제1 게이트패드전극 및 제2 데이터패드전극을 포함하는 게이트패턴들과 화소전극을 형성하는 단계와;

상기 게이트패턴들과 화소전극이 형성된 기판 상에 게이트절연패턴, 상기 게이트절연패턴과 동일패턴의 반도체패턴 및 배리어금속패턴을 형성하고 상기 데이터패드전극, 게이트패드전극 및 화소전극에 포함된 투명도전막을 노출시키는 단계와;

상기 배리어 금속패턴, 반도체패턴 및 게이트절연패턴이 형성된 기판 상에 구리금속층을 포함하는 적어도 한 층의 금속으로 상기 데이터패드전극과 접속되는 데이터라인, 소스전극 및 드레인전극을 포함하는 데이터패턴을 형성하는 단계와;

상기 데이터패턴이 형성된 기판 상에 보호막을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시패널의 제조방법.

청구항 12.

제 11 항에 있어서,

상기 배리어금속패턴은 몰리브덴(Mo), 크롬(Cr), 텅스텐(W) 및 티타늄(Ti) 중 적어도 어느 하나로 형성되는 것을 특징으로 하는 액정표시패널의 제조방법.

청구항 13.

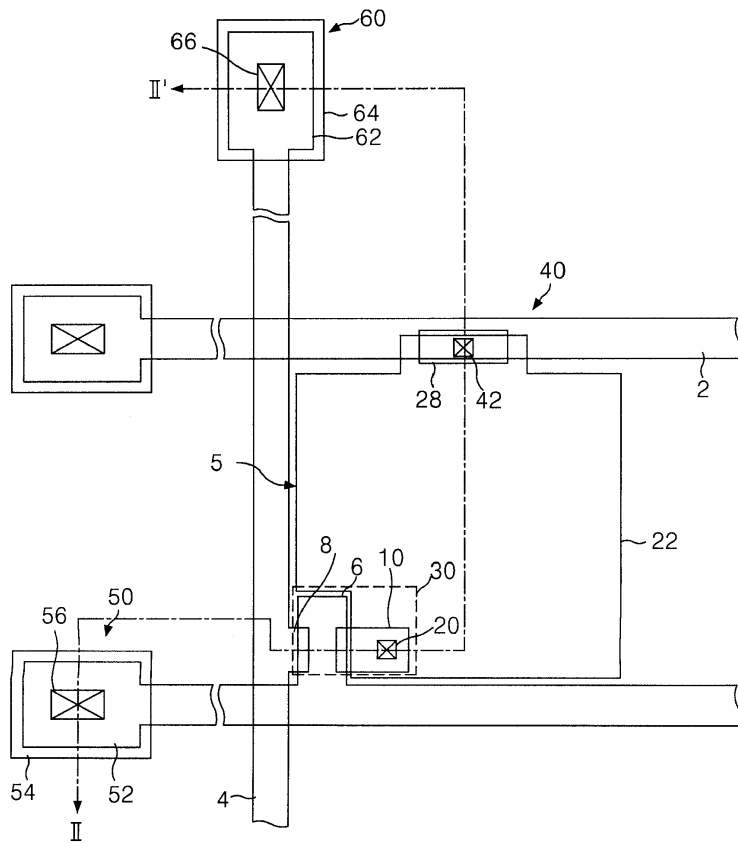
제 11 항에 있어서,

상기 배리어금속패턴, 반도체패턴 및 게이트절연패턴이 형성된 기판 상에 구리금속층을 포함하는 적어도 한 층의 금속으로 상기 데이터패드전극과 접속되는 데이터라인, 소스전극 및 드레인전극을 포함하는 데이터패턴을 형성하는 단계는

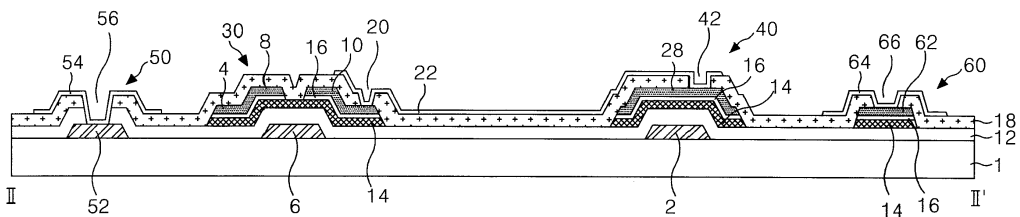
상기 구리 금속층과, 상기 구리 금속층상에 형성되는 상기 투명도전막을 포함하는 금속으로 상기 데이터라인, 소스전극, 드레인전극, 제2 게이트패드전극 및 제2 데이터패드전극을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시패널의 제조방법.

도면

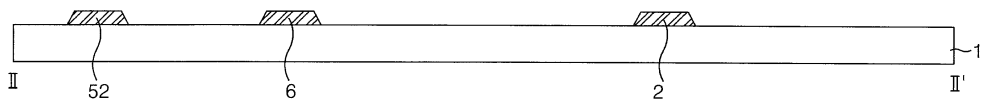
도면1



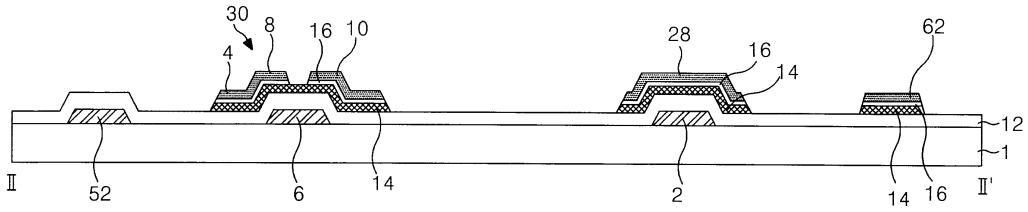
도면2



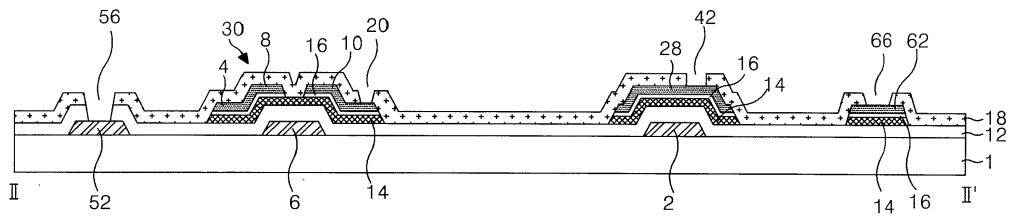
도면3a



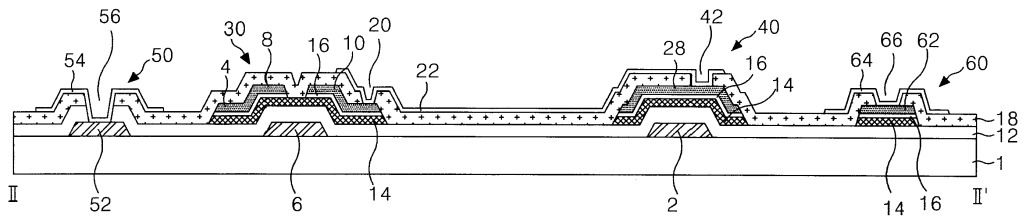
도면3b



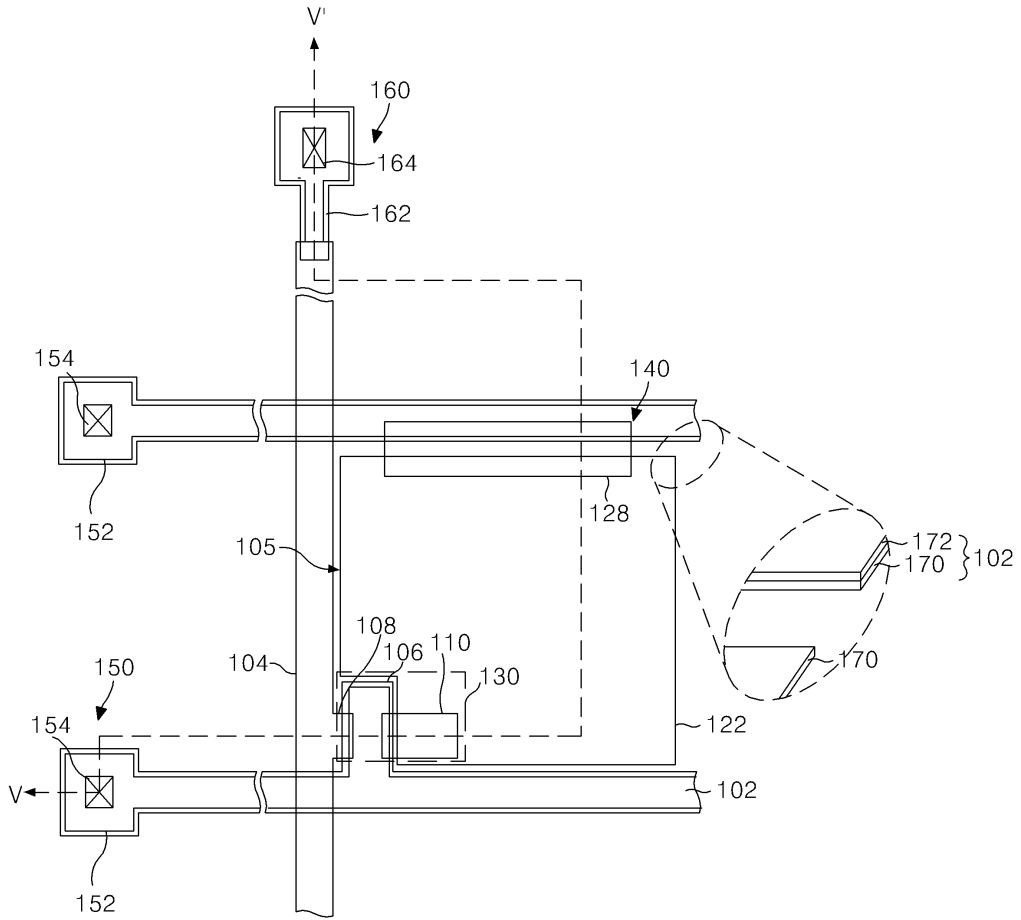
도면3c



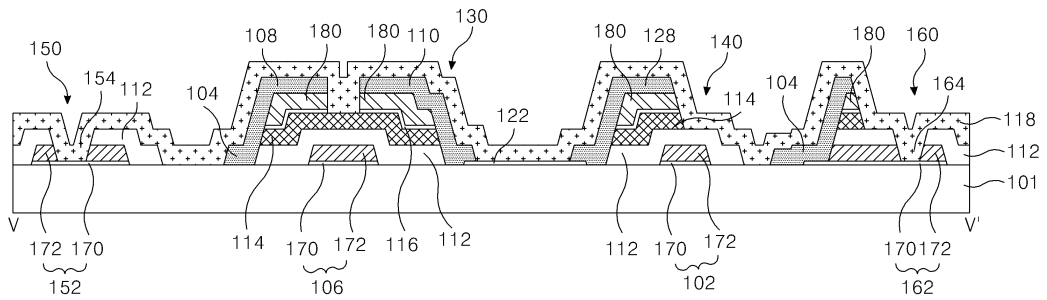
도면3d



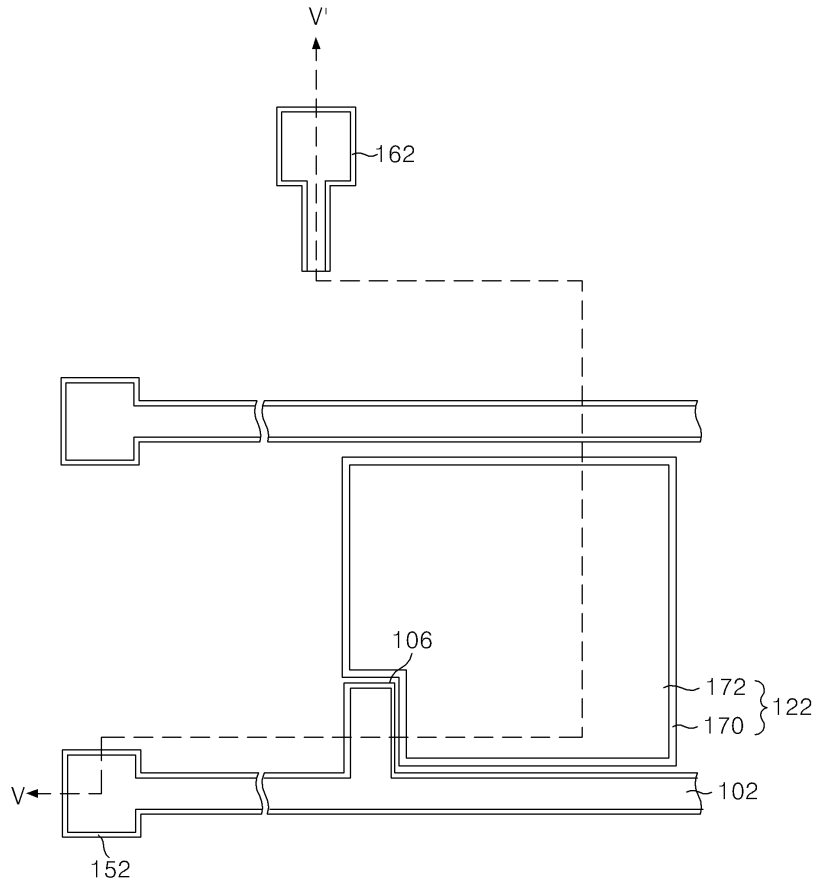
도면4



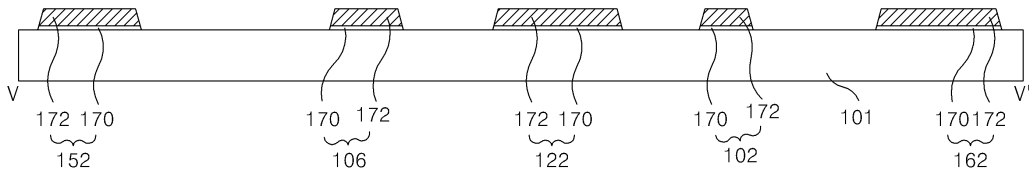
도면5



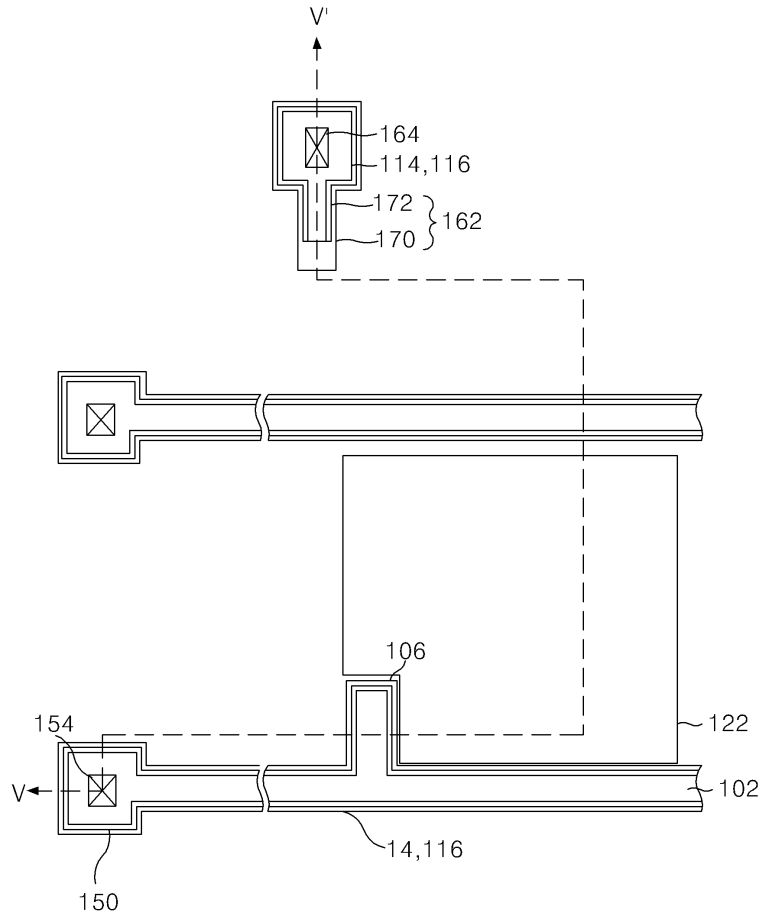
도면6a



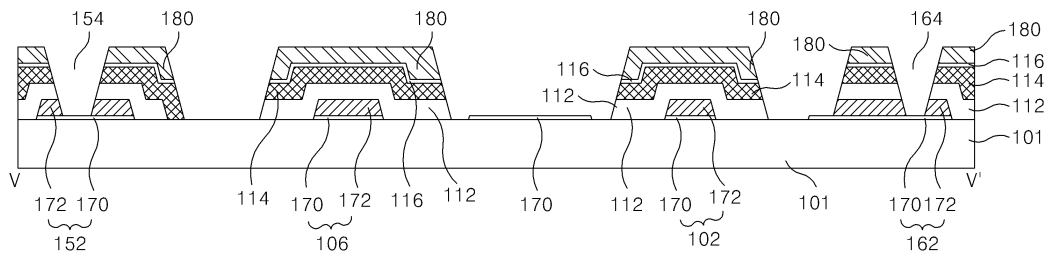
도면6b



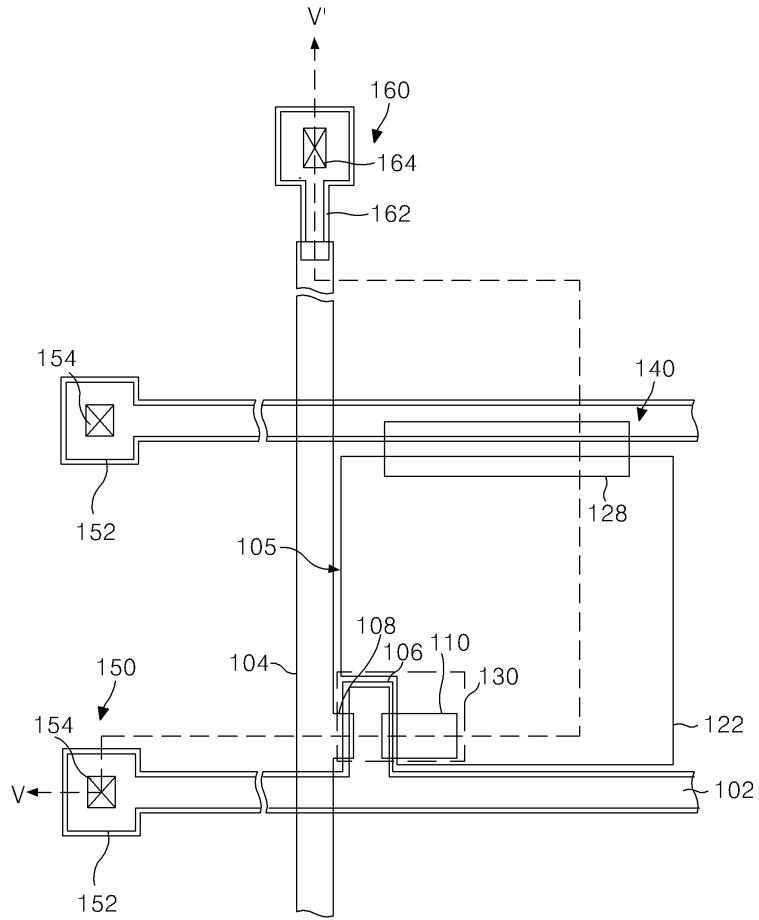
도면7a



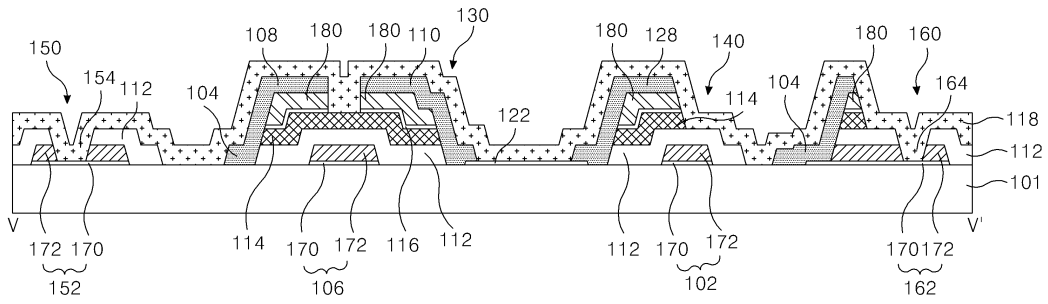
도면7b



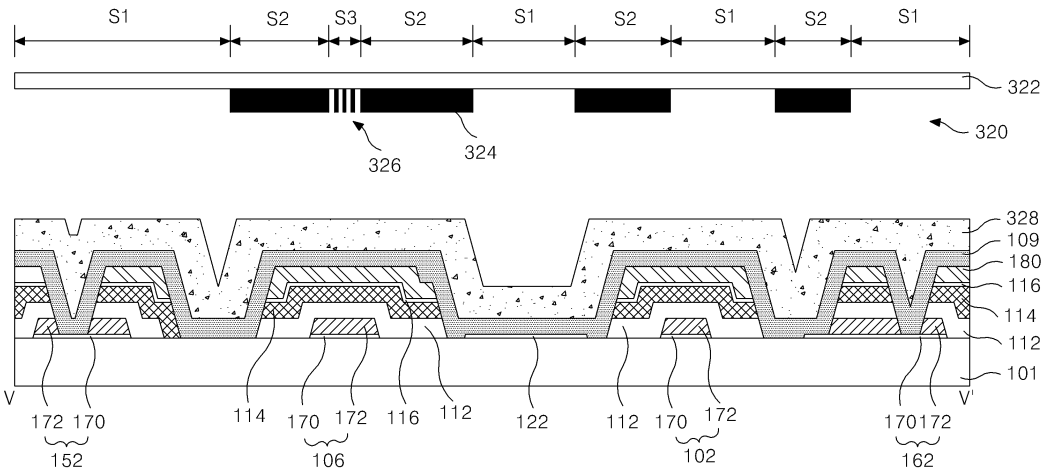
도면8a



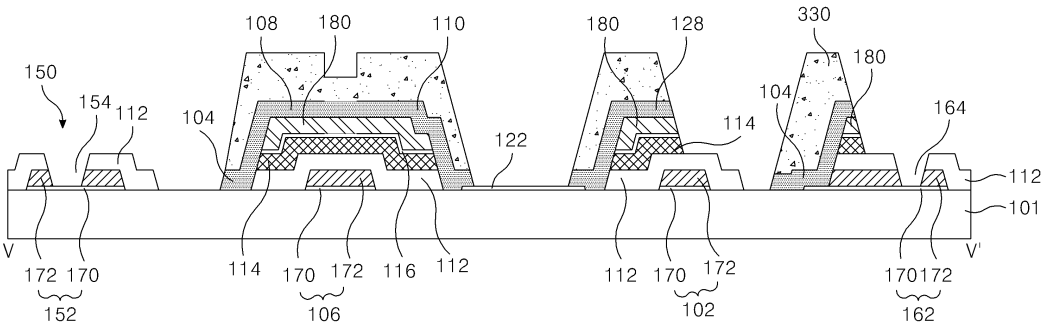
도면8b



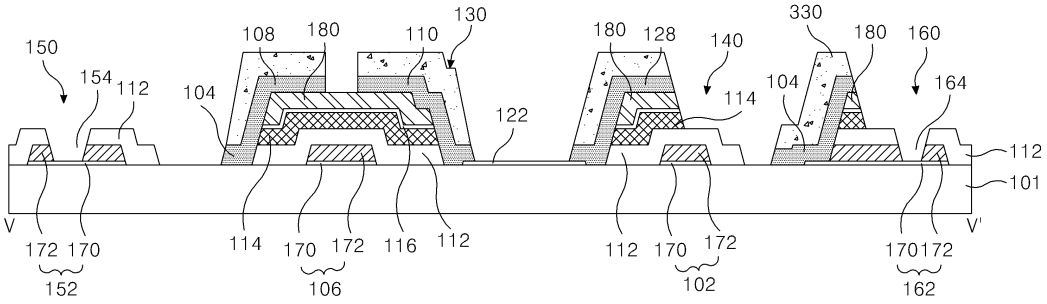
도면9a



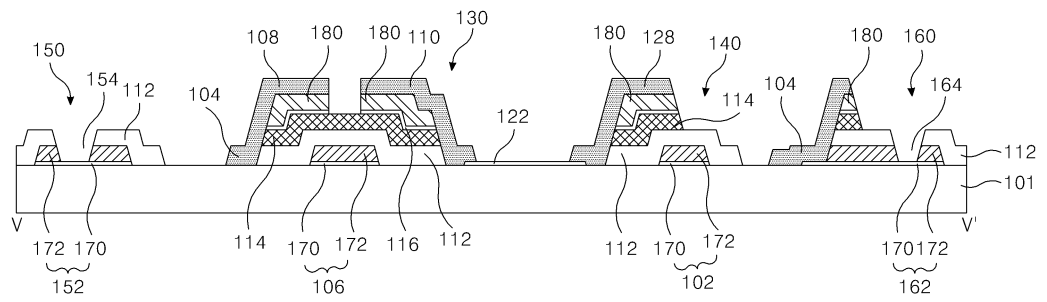
도면9b



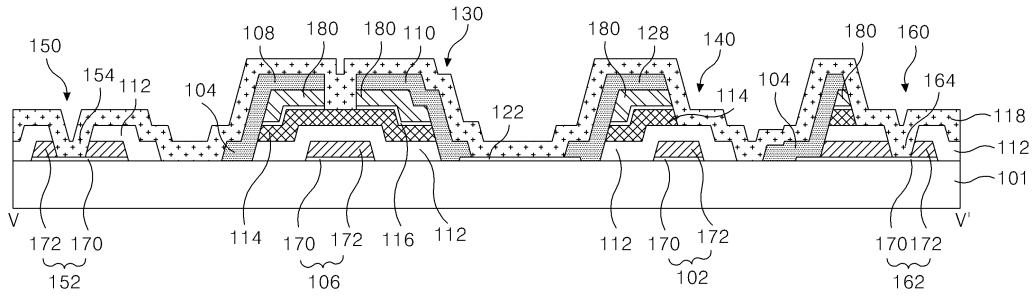
도면9c



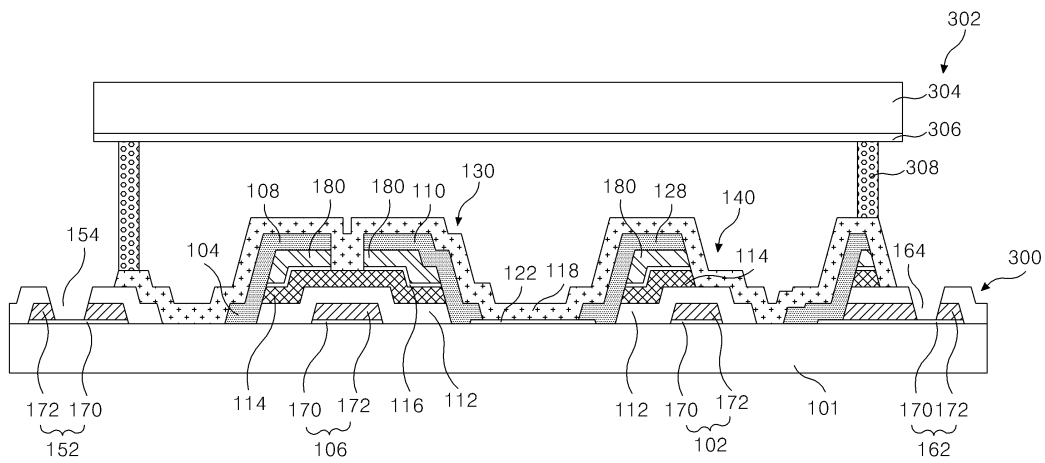
도면9d



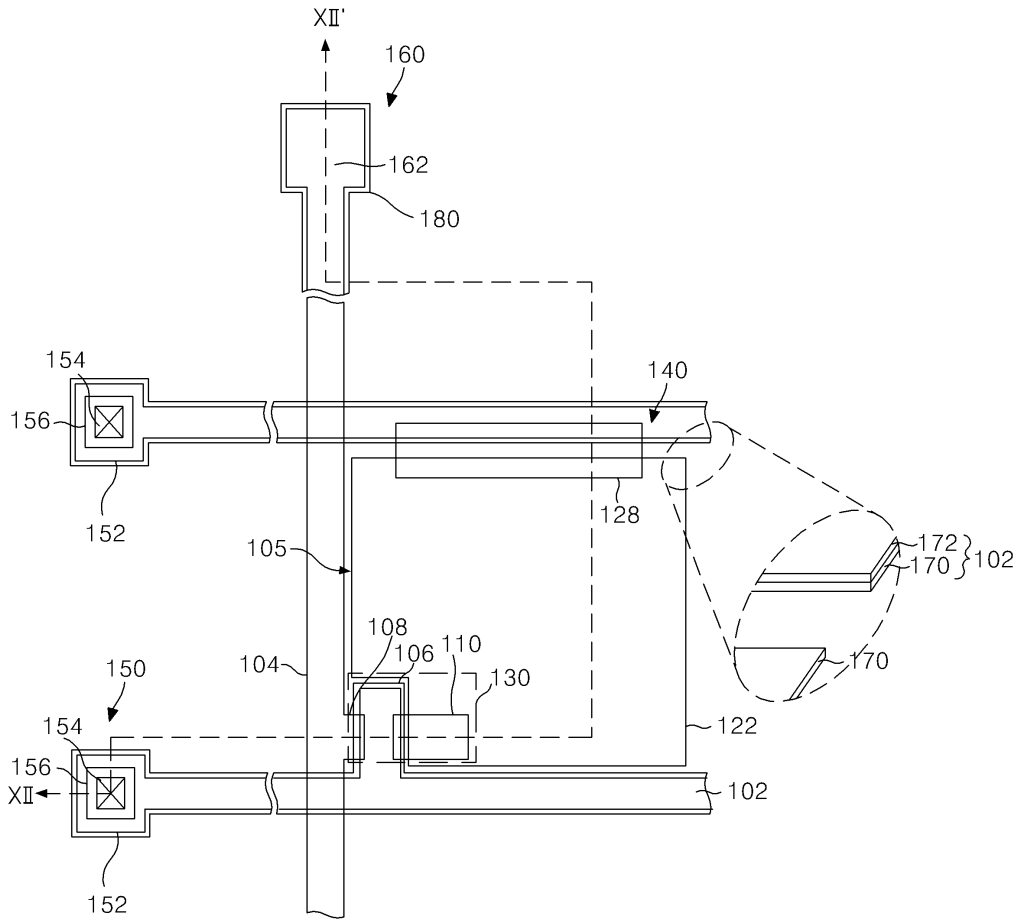
도면9e



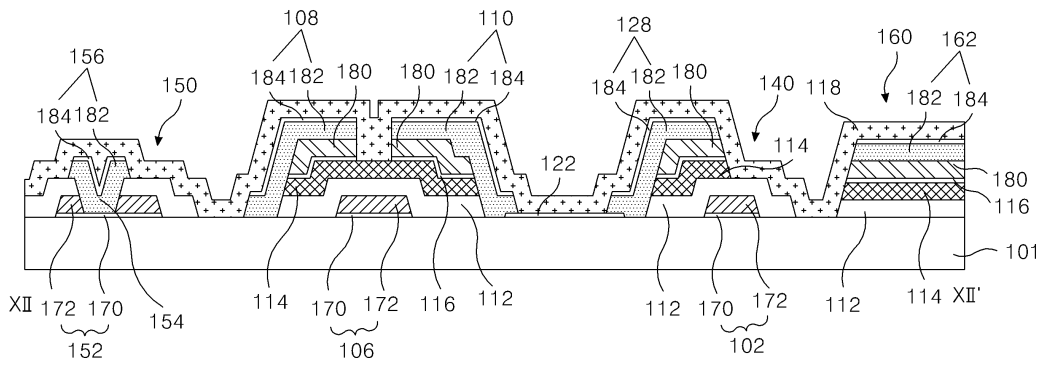
도면10



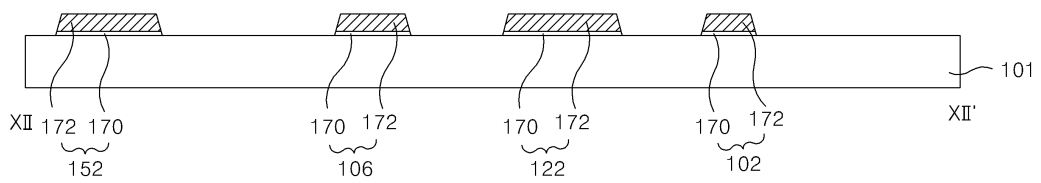
도면11



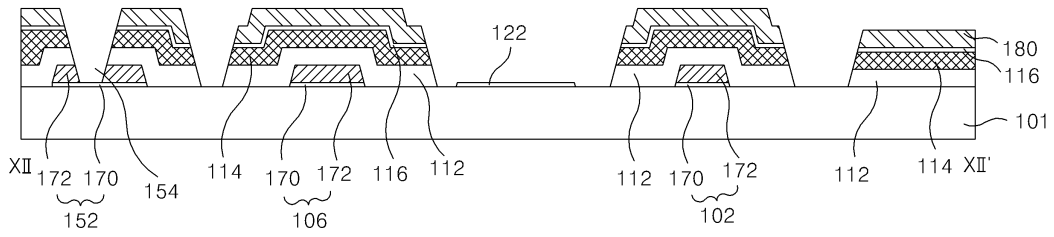
도면12



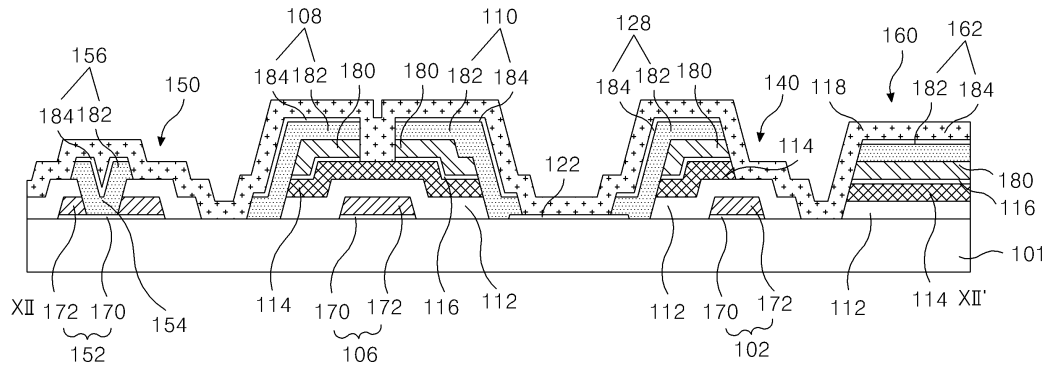
도면13a



도면13b



도면13c



도면14

