

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4671456号
(P4671456)

(45) 発行日 平成23年4月20日(2011.4.20)

(24) 登録日 平成23年1月28日(2011.1.28)

(51) Int.Cl.		F I		
HO 1 L 29/78	(2006.01)	HO 1 L 29/78	6 5 2 F	
HO 1 L 27/04	(2006.01)	HO 1 L 29/78	6 5 2 D	
		HO 1 L 29/78	6 5 3 A	
		HO 1 L 29/78	6 5 7 A	

請求項の数 18 (全 18 頁)

(21) 出願番号	特願平11-149760	(73) 特許権者	591077450
(22) 出願日	平成11年5月28日(1999.5.28)		シリコンックス・インコーポレイテッド
(65) 公開番号	特開2000-31484(P2000-31484A)		S I L I C O N I X I N C O R P O R A
(43) 公開日	平成12年1月28日(2000.1.28)		T E D
審査請求日	平成18年1月10日(2006.1.10)		アメリカ合衆国カリフォルニア州9505
(31) 優先権主張番号	09/089250		4・サンタクララ・ローレルウッドロード
(32) 優先日	平成10年6月2日(1998.6.2)		2 2 0 1
(33) 優先権主張国	米国 (US)	(74) 代理人	100089266
前置審査			弁理士 大島 陽一
		(72) 発明者	リチャード・ケイ・ウィリアムズ
			アメリカ合衆国カリフォルニア州9501
			4・クーペルティノー・ノーウィッチアベ
			ニュー 1 0 2 9 2

最終頁に続く

(54) 【発明の名称】 高セル密度のバッチカルトレンチゲート型MOSFET

(57) 【特許請求の範囲】

【請求項1】

1 個以上の MOSFET セルを有する半導体チップに形成されたバッチカルパワー MOSFET において、

前記 MOSFET セルが、長さ及び幅を有する細長い縞形状のストライプ形セルとして形成され、前記ストライプ形セルは、それぞれ両縁部に対向する2つのゲート部分である第1のゲート部分及び第2のゲート部分を有する形態で配置され、前記ストライプ形セルの上側表面が前記チップの表面と一致しており、前記ゲート部分のそれぞれがトレンチ内に形成されていることを特徴とし、

前記 MOSFET セルが、

前記上側表面の一部に隣接する位置に配置され、前記対向する2つのゲート部分の前記第1のゲート部分と前記第2のゲート部分との間に延在する第1導電型のソース領域と、

前記ソース領域の下に配置された第2導電型のボディ領域であって、前記トレンチの壁に隣接したチャンネル領域を含む、該ボディ領域と、

前記ボディ領域に隣接する前記第1導電型のドレイン領域と、

前記ボディ領域内部の高濃度ドーピング領域であって、前記高濃度ドーピング領域が、前記第2導電型であり、前記ボディ領域の残りの部分のドーパント濃度より極めて高いドーパント濃度を有し、前記セルの前記長さ方向に沿って延在し、前記セルの前記表面に達するまで延びている1以上のコンタクト部分を有し、前記高濃度ドーピング領域は、前

記コンタクト部分以外の領域で、前記ソース領域の下の前記ボディ領域内部において前記セルの前記長さ方向に沿って延在する部分を有する、該高濃度ドーピング領域とを有することを特徴とするパワーMOSFET。

【請求項2】

前記高濃度ドーピング領域が、 $5 \times 10^{18} \sim 8 \times 10^{19} \text{ cm}^{-3}$ のドーパント濃度を有することを特徴とする請求項1に記載のパワーMOSFET。

【請求項3】

前記ボディ領域が、 $8 \times 10^{15} \sim 7 \times 10^{17} \text{ cm}^{-3}$ のドーパント濃度を有することを特徴とする請求項2に記載のパワーMOSFET。

【請求項4】

前記セルの長さが、前記セルの幅の10倍以上であることを特徴とする請求項1に記載のパワーMOSFET。

【請求項5】

前記ストライプ形セルの行が複数あり、前記行の数が10未満であることを特徴とする請求項1に記載のパワーMOSFET。

【請求項6】

前記コンタクト部分が、前記セルの末端に配置されていることを特徴とする請求項1に記載のパワーMOSFET。

【請求項7】

前記セルの長さ方向に沿って間隔をおいて配置された複数の前記コンタクト部分を有することを特徴とする請求項1に記載のパワーMOSFET。

【請求項8】

前記コンタクト部分が、前記セルの長さ方向に沿って延在するバンド部を有し、前記バンド部が前記ゲート部分の間の、両ゲート部分から等距離の位置に配置されていることを特徴とする請求項1に記載のパワーMOSFET。

【請求項9】

前記高濃度ドーピング領域が、前記ソース領域によって前記チップの前記表面から隔離されていることを特徴とする請求項1に記載のパワーMOSFET。

【請求項10】

1個以上のMOSFETセルを有する半導体チップに形成されたバッチカルパワーMOSFETにおいて、

前記MOSFETセルが、長さ及び幅を有する細長い縞形状のストライプ形セルとして形成され、前記ストライプ形セルは、それぞれ両縁部に対向する2つのゲート部分である第1のゲート部分及び第2のゲート部分を有する形態で配置され、前記ストライプ形セルの上側表面が前記チップの表面と一致しており、前記ゲート部分のそれぞれがトレンチ内に形成されていることを特徴とし、

前記MOSFETセルが、

前記上側表面に位置し、前記ストライプの前記長さ及び幅に沿って配置され、前記対向する2つのゲート部分の前記第1のゲート部分と前記第2のゲート部分との間に延在する第1導電型のソース領域と、

前記ソース領域の下に配置された第2導電型のボディ領域であって、前記トレンチの壁に隣接したチャンネル領域を含む、該ボディ領域と、

前記ボディ領域に隣接する前記第1導電型のドレイン領域と、

前記ボディ領域内部の高濃度ドーピング領域であって、前記高濃度ドーピング領域が、前記第2導電型であり、前記ボディ領域の残りの部分のドーパント濃度より極めて高いドーパント濃度を有し、前記ソース領域の下で前記セルの前記長さ方向に沿って延在し、前記セルの末端において前記チップの前記表面に達するまで延びている1以上のコンタクト部分を有し、前記高濃度ドーピング領域は、前記コンタクト部分以外の領域で、前記ソース領域の下の前記ボディ領域内部において前記セルの前記長さ方向に沿って延在する部分を有し、前記高濃度ドーピング領域は、前記セルの前記幅より短い幅を有する、該ボデ

10

20

30

40

50

イ領域内部の高濃度ドーピング領域と、

前記ドレイン領域に隣接して配置された、第2導電型の高濃度ドーピング領域を含む保護用のダイオードセルとを有することを特徴とするパワーMOSFET。

【請求項11】

複数の前記MOSFETセルと、

反復的なパターンに配置された複数の前記ダイオードセルとを有し、

それぞれのダイオードセルは、選択された数の前記MOSFETセルに対応して設けられていることを特徴とする請求項10に記載のパワーMOSFET。

【請求項12】

前記高濃度ドーピング領域は、前記チップの前記表面に延在し、前記セルの前記長さ方向に沿って間隔をおいて周期的に配置された2以上の前記コンタクト部分を有し、

前記高濃度ドーピング領域の前記ソース領域の下の前記ボディ領域内部において前記セルの前記長さ方向に沿って延在する部分は、長さ方向に平行に2本存在し、かつ

前記高濃度ドーピング領域は、前記コンタクト部分の間に位置し、かつ前記セルの前記長さ方向に沿って延在する2つの部分の間の位置において前記チップの前記表面まで延在する、中央の薄いバンド部を有することを特徴とする請求項10に記載のパワーMOSFET。

【請求項13】

半導体チップにパーティクルパワーMOSFETを形成する方法であって、

1個以上のMOSFETセルを形成する過程であって、前記MOSFETセルが、長さ及び幅を有する細長い縞形状のストライプ形セルとして形成され、前記ストライプ形セルは、それぞれ両縁部に対向する2つのゲート部分である第1のゲート部分及び第2のゲート部分を有する形態で配置され、前記ストライプ形セルの上側表面が前記チップの表面と一致しており、前記ゲート部分のそれぞれがトレンチ内に形成される、該過程を有し、

前記MOSFETセルを形成する過程が、

前記上側表面の一部分に隣接する位置に配置され、前記対向する2つのゲート部分の前記第1のゲート部分と前記第2のゲート部分との間に延在する第1導電型のソース領域を形成する過程と、

前記ソース領域の下に配置された第2導電型のボディ領域を形成する過程であって、前記ボディ領域は前記トレンチの壁に隣接したチャンネル領域を含む、該過程と、

前記ボディ領域に隣接する前記第1導電型のドレイン領域を形成する過程と、

前記ボディ領域内部の高濃度ドーピング領域を形成する過程であって、前記高濃度ドーピング領域は、前記第2導電型であり、前記ボディ領域の残りの部分のドーパント濃度より極めて高いドーパント濃度を有し、前記セルの前記長さ方向に沿って延在し、前記セルの前記表面に達するまで延びている1以上のコンタクト部分を有し、前記高濃度ドーピング領域は、前記コンタクト部分以外の領域で、前記ソース領域の下の前記ボディ領域内部において前記セルの前記長さ方向に沿って延在する部分を有する、該過程とを有することを特徴とする方法。

【請求項14】

前記高濃度ドーピング領域が $5 \times 10^{18} \sim 8 \times 10^{19} \text{ cm}^{-3}$ のドーパント濃度を有し、前記ボディ領域が $8 \times 10^{15} \sim 7 \times 10^{17} \text{ cm}^{-3}$ のドーパント濃度を有し、前記ソース領域が前記高濃度ドーピング領域を前記チップの前記表面から離隔していることを特徴とする請求項13に記載の方法。

【請求項15】

前記セルの長さが、前記セルの幅の10倍以上であることを特徴とし、

前記ストライプ形セルの行が複数あり、前記行の数が10未満であることを特徴とする請求項13に記載の方法。

【請求項16】

前記コンタクト部分が、前記セルの末端に配置されていることを特徴とする請求項13に記載の方法。

10

20

30

40

50

【請求項 17】

前記セルの長さ方向に沿って間隔をおいて配置された複数の前記コンタクト部分を有することを特徴とする請求項 13 に記載の方法。

【請求項 18】

前記コンタクト部分が、前記セルの長さ方向に沿って延在するバンド部を有し、前記バンド部が前記ゲート部分の間の、両ゲート部分から等距離の位置に配置されていることを特徴とする請求項 13 に記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、バッチカルトレンチゲート型パワー MOSFET に関するものである。

【0002】

【従来の技術】

パワー MOSFET は、幾何学的パターンで配置されたセル群に形成されるのが一般的である。各セルは、正方形又は五角形のような箱形状であるか、或いは連続した平行な細長いストライプ（縞）形状を有し得る。セルはゲート電極によってその周囲を画定され、通常各セルの内部にはソース拡散領域及びボディ拡散領域が存在する。バッチカルパワー MOSFET では、通常 1 つのドレインが、チップのソース及びボディ領域の反対側に配置され、つまりセルの下層をなしている。

【0003】

図 1 A、図 1 B、及び図 1 C は、それぞれ正方形、五角形、及びストライプ形状の、トレンチゲート型 MOSFET の 1 個のセルの平面図である。各図では、最も外側の領域がトレンチ型ゲートの 1 / 2 の部分を表し（残りの 1 / 2 の部分は隣接するセルに属している）、中間の領域はボディコンタクト領域を表している。ボディ領域は、事実上ボディコンタクト領域の延長であり、ソース領域の下を通過してトレンチの側壁に達するまで延びており、そのトレンチの側壁にはチャンネルが配置されている。斜線を引かれた領域は上層をなす金属ソースコンタクトを表しており、多くのパワー MOSFET ではこの金属ソースコンタクトはボディ領域にも接触しており、寄生バイポーラトランジスタがオン状態となるのを防止している。

【0004】

各セルの寸法は Y_{sb} 及び Y_g によって定義される。 Y_{sb} はソース及びボディ領域、即ちゲートトレンチ内部のメサ（mesa）の幅を表し、 Y_g はゲートの幅である。図に示すように、 Y_g の 1 / 2 は、ソース及びボディ領域の両側に位置している。セルの全幅、つまりピッチは、 $Y_{sb} + Y_g$ に等しい。

【0005】

オン状態にあるときの MOSFET の抵抗は、トレンチの壁に沿って存在するチャンネルの幅に正比例する。パワー MOSFET の効果尺度（figure of merit）は、面積 / 外周比（ A / W ）であり、これは所定のチャンネル幅を与えるのに必要となる面積の大きさである。一般に面積 / 外周比が小さくなるほど MOSFET のオン抵抗値は小さくなる。

【0006】

簡単な幾何学の公式を用いて、図 1 A、図 1 B、及び図 1 C に示す各セルについて、面積及びチャンネル幅（トレンチの壁に沿って水平に測定された幅）、及び得られる A / W の値を計算することができる。

【0007】

図 1 A に示す正方形のセルの場合は、

$$A = (Y_{sb} + Y_g)^2$$

$$W = 4 \cdot Y_{sb}$$

従って、

$$A / W = (Y_{sb} + Y_g)^2 / (4 \cdot Y_{sb})$$

となる。

10

20

30

40

50

【 0 0 0 8 】

図 1 B に示す五角形のセルの場合は、

$$A = (3^{1/2}) / 2 \cdot (Ysb + Yg)^2$$

$$W = 2 (3^{1/2}) \cdot Ysb$$

従って、

$$A / W = (Ysb + Yg)^2 / (4 \cdot Ysb)$$

となる。

【 0 0 0 9 】

最後に、図 1 C に示すストライプ形セルの場合は、

$$A = (Ysb + Yg) \cdot Z$$

$$W = 2 \cdot Z$$

従って、

$$A / W = (Ysb + Yg) / 2$$

となるか、そのセルピッチの $1 / 2$ となる。ストライプ形セルの長さを表す Z は、 A / W の式では消える。

【 0 0 1 0 】

セルピッチ ($Ysb + Yg$) が小さくなるほど、面積 / 外周比 A / W が小さくなるということは、これらの式から明らかである。図 2 は、3 つのタイプのセルについて、 A / W をセル密度の関数として示したグラフである。曲線 A はストライプ形セルの A / W を表し、曲線 B はゲート長さ Yg が 1 ミクロンの正方形のセルの A / W を表しており、曲線 C は、ゲートの長さが 0.65 ミクロンの正方形のセルの A / W を表している。10⁶セル / 平方インチ (Mセル / 平方インチ) を単位として測定されるセル密度は、フォトリソグラフィ処理によって確定されなければならないセルの寸法の測定値とみなすことを意図したものではないということに注意されたい。従って、ストライプ形セルの密度は、正方形セルの密度と等しくするために、1 平方インチを占めるストライプの幅に等しい横寸法を有する正方形セルの数に基づいて計算される。対応するセルピッチはグラフの上に示されており、例えば約 4.5 ミクロンのピッチは、32 Mセル / 平方インチのセル密度に対応する。

【 0 0 1 1 】

現時点での実際のセル密度の限界は 32 ~ 40 Mセル / 平方インチ程度であり、これは $Yg = 1$ ミクロン、 A / W が約 1.44 の正方形のセルの場合で約 4.5 ミクロンのセルピッチに対応する。またこの限界は、図 1 A ~ 図 1 C に示す寄生バイポーラトランジスタがオン状態になるのを回避するために各セル内にボディコンタクト領域を形成する必要性から一部生じている。限界の生じさせる別の要因は、Bulucea 等に付与された米国特許第 5,072,266 号に記載されているような、ゲート酸化層を保護するための各セル内の深い拡散領域を形成する必要性である。総じて、これらの要因により、各セルの横向き寸法に下限が生じ、従ってセル密度に下限が生じる。

【 0 0 1 2 】

図 2 に示すように、32 ~ 40 Mセル / 平方インチ未満のセル密度に対しては、正方形セルの面積 / 外周比は、ストライプ形セルの面積 / 外周比より著しく小さくなる。実際、1.44 の A / W を達成するのに、ストライプ形セルの場合は約 80 Mセル / 平方インチの密度が必要となるのに対し、正方形のセルでは 32 Mセル / 平方インチの密度でよい。

【 0 0 1 3 】

【 発明が解決しようとする課題 】

従って、本発明の目的は、ストライプ形 (縞形状の) セルを備えたトレンチゲート型パワー MOSFET のセル密度を更に高め、かつオン抵抗値の低下を図ることである。

【 0 0 1 4 】

【 課題を解決するための手段 】

本発明によれば、ストライプ形の幾何学的形状のセルを用いて、セル密度が 178 Mセル / 平方インチであるトレンチゲート型パワー MOSFET が製造される。このためには、

10

20

30

40

50

図2に示すように約1.9ミクロンのセルピッチが必要である。この小さいセルピッチは、「ストライプ」形セルに沿った様々な位置にボディコンタクト領域を形成することにより得られる。或る実施例では、このボディコンタクト領域はストライプ形セルの末端に形成され、別の実施例では、このボディコンタクト領域がストライプ形セルに沿って間隔をおいて形成されており、ストライプ形セルの一部に存在するソース及びボディの間に発生する抵抗性の損失及びそれに伴う電圧降下を制限している。

【0015】

更にこのゲート酸化層は、セル格子全体に渡って周期的な間隔をおいて深い拡散領域を形成することにより保護されている。この技術は1995年6月2日出願の米国特許出願第08/459,555号に記載されており、ここに引用することによりこの出願の内容全体が本出願に一体とされるものとする。

10

【0016】

これらの技術を用いて、セルピッチを約1.9ミクロンまで下げることができ、これによって面積/外周比を約36%低下させることができる。

【0017】

【発明の実施の形態】

本発明によるMOSFETセルの断面図が図3に示されている。MOSFETセル30は、N型エピタキシャル層(N-epi層)302上に形成されており、このエピタキシャル層302はN+基板300上に堆積したものである。セル30は、ストライプ形状を有し、N-epi層302の上面の上に形成された溝形部分(トレンチ)内に位置する対向するゲート部分304A及び304Bによって両側が画定されている。部分304A及び304Bは、ゲート304の2つの部分であり、このゲート304は平行な配列に整列された複数の類似のゲート部分を含み、それに対応する複数の平行な縞形状、つまりストライプ形状のセルを形成している。ゲート部分304A及び304Bは、それぞれゲート酸化層306A及び306BによってN-epi層302から電氣的に絶縁されている。ゲート部分304A及び304Bは、MOSFET上の一定の位置において互いに電氣的に結合されている。例えば、ゲート304を形成するために通常用いられるポリシリコン層をパターンニングして、平行なゲート部分が一定の領域において併合するような形態とすることができる。

20

【0018】

一般に、セル30の、ゲート部分304A及び304Bに平行な長さ方向の寸法は、ゲート部分304A及び304Bに対して垂直な向きの幅寸法の10倍以上である。セル30が形成され、パワーMOSFETを形成する半導体チップ上には、チップの表面に平行な方向に通常数千のセルが存在する箱形セル(例えば正方形又は五角形の)を含むチップと比較して、より少ない行数のストライプ形状(例えば10本未満)のセルが存在する。例えば、図23には、ストライプ形MOSFETセルの3本の行を含むパワーMOSFETチップの平面図が示されている。各行には通常数千のセルが含まれている。

30

【0019】

セル30はN+ソース領域308及びP-ボディ310を含む。電氣的コンタクトは、酸化層314の開口部を貫通する金属層312を用いてN+ソース領域308を介して形成される。酸化層314は、通常ゲート部分304A及び304Bの上層をなすが、金属層312がゲート部分304A及び304Bと接触しないように、ある程度N+ソース領域の上にまで延び出している。ゲートとソースが短絡すると、MOSFETは動作不能状態になる。

40

【0020】

周知のように、MOSFETがオン状態になると、電流は金属層312と、N+基板300の底部に形成されているドレインコンタクト(図示せず)との間を垂直方向に流れる。電流経路はN+ソース領域308、P-ボディ310、N-epi層302及びN+基板300を通っている。電流は、P-ボディにおけるトレンチに隣接するチャネル領域を通して流れ、このチャネル領域を通しての電流の流れは、MOSFETがオフ状態となるよ

50

うにゲート304を適切にバイアスを印加することによって中断され得る。

【0021】

また、図3に示されているのは、前に引用した米国特許出願第08/459,555号に記載のような深いP+拡散領域316を有する保護用ダイオードセル32である。深いP+拡散領域316はN-epi層302のN型材料とPN接合を形成している。このPN接合はダイオードとして機能する。金属層312は、深いP+拡散領域316（即ちダイオードの一方の終端）を、MOSFETセル30のN+ソース領域308に接続し、これによってダイオードがMOSFETセルのチャネルと並列に接続された形となっている。

【0022】

深いP+拡散領域316は、ゲート酸化層306A、306Bを横断する電界の強度及びトレンチの角部における電界強度を低下させるように作用し、トレンチ近傍でのホットキャリアの形成を制限する。またダイオードは電圧クランプとしても作用し、ゲート酸化層の両端の電圧を制限している。図面ではダイオードセル32におけるPN接合はトレンチの底部のより低い位置に存在するが、MOSFETセル30の前でダイオードがブレークダウンするようになっていない限りこれは必ずしも必要なことではない。

【0023】

好適実施例では、MOSFETセルがMOSFET全体に渡って規則的なパターンで配置されており、選択された個数のこのMOSFETセルに対して1個の保護用ダイオードセルが設けられる。MOSFETセル数に対するダイオードセルの数は、MOSFETの設計基準に基づいて決定される。一般に、例えば、より頻繁にブレークダウンすることが予測されるMOSFETにはより大きな比率のダイオードセルが必要である。

【0024】

図6及び図7にはそれぞれMOSFET60及び70の平面図が示されており、これらのMOSFETは各ダイオードセル64、74に対して2つのMOSFETセル62、72を有している。符号66A~66D及び76A~76Dは、MOSFET60及び70のゲートの部分を表している。ダイオードセル64は、ゲート部分66Cと66Dの間の全領域を占めており、ダイオードセル74はゲート部分76Cと76Dの間の領域の一部分に挟み込まれており、それらの間に追加のMOSFETセル78を形成できるようになっている。

【0025】

再度図3を参照されたい。MOSFETセル30は、N+ソース領域308の直下にP+領域317も有している。P-ボディ310のドーパント濃度は一般に $8 \times 10^{15} \sim 7 \times 10^{17} \text{ cm}^{-3}$ であるのに対し、P+領域317のドーパント濃度は $5 \times 10^{18} \sim 8 \times 10^{19} \text{ cm}^{-3}$ （好ましくは約 $3 \sim 4 \times 10^{19} \text{ cm}^{-3}$ ）の範囲にある。しかし、従来型のボディコンタクト領域とは異なり、P+領域317は、図3の平面におけるepi層302の表面に達していない。代わりに、図4に示すようにP+領域317へのコンタクトが形成されている。図4は、金属層312及び酸化層314を取り除いた状態のMOSFET30の斜視図である（図から明らかなように、図3と図4では縮尺が異なっている）。P+領域317は、図3の面からはずれた位置においてepi層302の表面に達している。この位置はストライプ形セルの末端にあるか、若しくは図6に示すように、ストライプ形のセルに沿ってはしご形状に配置された一連のP+コンタクト領域が存在し得る。金属層を、図3に示すようにトレンチ上の酸化層と共に構造体の上に設けたとき、N+ソース領域及びP-ボディ領域は短絡される。図6に示す構成によって、P-ボディ領域における電圧降下を小さくし、従って寄生バイポーラトランジスタがオン状態になるのをより効果的に防止できる。この構成では、ボディコンタクトがセルの長さ方向全体に渡ってではなく特定の位置にのみ形成されることから、Ysbは、1.9ミクロン以下の低いレベルまで小さくすることができ、セル密度を178Mセル/平方インチ以上まで高めることができる。

【0026】

図5に示す実施例では、P-ボディにおける電圧降下を更に効果的に小さくすることがで

10

20

30

40

50

きる。MOSFETセル50はあらゆる点でMOSFETセル30に類似しているが、ただしP+領域317の代わりにP+領域517が設けられ、このP+領域517はセル中央の薄いバンド部に沿ったepi層302の表面に達し得る。バンド部の幅Ybが、良好なボディコンタクトを与えるために通常必要となる幅より極めて小さいことから、薄い表面バンド部が存在することで、ゲート部分304Aと304Bの間のメサの幅Ysbが大きく影響を受けることはない。図4の実施例の場合のように、P+ボディコンタクト領域がゲート部分304Aと304Bの間の全メサにわたって表面に達している形態の領域を、セルの末端部分、若しくはセルの長さ方向に沿って間隔をおいて周期的に配置することができる。

【0027】

図8は、1.9ミクロンのピッチを有する、本発明によるMOSFETセルの実写である。トレンチの幅(Yg)は0.65ミクロンであり、トレンチ間のメサの幅(Ysb)は1.25ミクロンである。ゲートトレンチの上の酸化層は、メサ上に0.325ミクロン伸び出しており、ソース/ボディコンタクト用に0.6ミクロンの幅を残している。

【0028】

本発明によるMOSFETの製造のためのプロセスは数多くの種類が存在するが、図9～図13に、図3～図5に示すMOSFETの製造のためのプロセスの一例が示されている。

【0029】

図9を参照すると、開始点はN+基板300であり、この上にN-エピタキシャル層302を周知のプロセスを用いて成長させる。

【0030】

厚い酸化層930を成長させマスクしてエッチングし、また薄い酸化層931を、後に深いP+拡散領域316が形成される構造体の上側表面上に成長させる。次に深いP+拡散領域316を、薄い酸化層931を通して10～100KeVのエネルギーで $1 \times 10^{14} \sim 7 \times 10^{15} \text{ cm}^{-2}$ のドーズ量で注入し、更に1～3ミクロンの深さ(典型的には1.5～2ミクロン)までドライブインする。得られた構造が図9に示されている。続けて酸化層930及び931を除去する。

【0031】

このプロセスの或る形態では、厚い酸化層932を成長させて深いP+酸化領域316の上を除いてフォトマスクをかけることにより除去し、薄い酸化層933を形成する。薄い酸化層933は、図10に示すように、マスクして後にトレンチが形成される構造の部分から除去する。次にトレンチをマスクし、既知の反応性イオンエッチング又はプラズマドライエッチングの技術を用いてエッチングする。次にこのトレンチを酸化してゲート酸化層306A、306Bを形成し、トレンチ内にトレンチの上側から溢れ出るまでポリシリコンを堆積させる。次にこのポリシリコンに、 POCl_3 プレデポジション又は60KeVのエネルギーと $5 \times 10^{13} \sim 5 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でイオン注入を行うことにより燐イオンをドーブする。これによって20～70 / の面抵抗値が得られる。Pチャネルデバイスの場合には、ポリシリコンにイオン注入でホウ素をドーブし、面抵抗値が概ね40～120 / となる。次にポリシリコンをエッチバックして、マスクで保護された部分以外のトレンチの表面を平坦化し、そこに金属が接触できるようにする。

【0032】

次にP-ボディ310に薄い酸化層933を通してイオン注入(例えば40～10KeV、典型的には90KeVのエネルギーでの $5 \times 10^{12} \sim 9 \times 10^{13} \text{ cm}^{-2}$ のドーズ量のホウ素によるイオン注入)し、105°Cで3～10時間かけて2～3ミクロンの深さまでイオンのドライブインを行う。P-チャネルデバイスの製造の場合は、ドーパントが燐イオンである点を除いて類似した方法を用いることができる。得られた構造は図11に示されている。

【0033】

次にN+ソース領域34を、マスクを用いて、10～100KeVでの $1 \times 10^{15} \sim 1 \times$

10

20

30

40

50

10^{16} cm^{-2} のドーズ量の砒素又は燐イオン注入（Pチャネルデバイスの場合はホウ素イオン注入）を行うことにより導入する。次に結晶構造の損傷をなおすためにアニーリングを行う。得られた構造は図12に示されている。

【0034】

N+ソース領域注入の際に用いられるマスクは、後にソース領域を形成する部分以外の全ての領域をカバーさせる。従って、図4及び図5に示すように、N+ソースマスクは、P-ボディ領域と接触することが許される表面上のP+ドーピング領域をカバーすることになる。例えば、図14に示すようにストライプ形セルの一端若しくは両端に1個のP+ボディコンタクト領域が存在する形態か、図4及び図15に示すようにストライプ形セルに沿って周期的に間隔をおいてP+ボディコンタクト領域が存在する形態か、若しくは図5及び図16に示すようにセルの長さ方向に沿った中央の薄いP+バンド部を備えたストライプ形セルに沿って周期的に間隔をおいてP+ボディコンタクトが存在する形態があり得る。

10

【0035】

N+ソース領域308を形成した後、N+ソース領域308の下にP+領域317が形成される。P+領域317は、全ストライプに沿って高いエネルギー（例えば200 KeV ~ 2 MeV）でホウ素を注入し、ドーパントが最終的にN+ソース領域308の下で高濃度となるようにすることによって形成することができる。この注入のドーズ量は通常 $1 \times 10^{14} \sim 5 \times 10^{15} \text{ cm}^{-2}$ の範囲である。別法として、この注入を、N+ソース領域308が形成される前に行うことができる。P+ドーパントがチャネル領域に入り込み閾値電圧に干渉しないようにするために、P+注入は、トレンチの上に酸化層314が形成された後にコンタクトホールを通して行うのがよい。そうでない場合には、P+注入のために別のマスクが必要となる。このプロセスは図13に示されている。

20

【0036】

別法として、P+ドーパントを、N+領域308が形成される前により低いエネルギー（例えば20 ~ 60 KeV）で注入することができ、またP+ドーパントは後に形成されるN+ソース領域308の下となる所望の深さに達するまでドライブインすることができる。

【0037】

P+注入の際に、深いP+拡散領域をマスクする必要はない。追加のP+ドーパントがダイオードセル32に悪影響を及ぼすことはないからである。

30

【0038】

更に金属層312を被着して、ソース及びボディ領域及び深いP+領域と共にコンタクトホールを通してコンタクトを形成する。

【0039】

次にSiN又はBPSGを用いてダイをパッシベーション処理し、ボンディングを容易にするためにパッドマスクウインドウをエッチングする。

【0040】

図17は、図5に示すMOSFETセル50の詳細図であり、P+領域17がどのように形成されるかを示している。破線522は、N+ソース領域308を形成するために用いられるマスクのエッジがくる位置を表している。文字「a」は、ゲートトレンチ間のメサに重なる酸化層314の長さを示している。従って、N+ソースマスクのエッジは、トレンチから距離a+bだけ離隔していたことになる。文字「c」は、ドライブイン過程におけるN+ソース領域308の横方向の拡散を表している。Ysbが1.25ミクロンであると仮定すると、N+ソースマスクはトレンチから0.325ミクロンだけ離れており、酸化層314は0.225ミクロンだけメサと重なっていたことになる。そして横方向の拡散cは0.16ミクロンであった。MOSFETセル50がメサの中心線に対して対称的であることから、以下の方程式

40

$$Ysb = 2a + 2b + 2c + d$$

$$1.25 \mu = (2 \cdot 0.225 \mu) + (2 \cdot 0.1 \mu) + (2 \cdot 0.16 \mu) + d$$

50

$$d = 0.2 \mu$$

はソース/ボディの幅 Y_{sb} を表す。

【0041】

従って、全ピッチ ($Y_{sb} + Y_b$) が 1.96 ミクロンの場合、上述の寸法を用いると、中央 P+バンド部 520 の幅は 0.2 ミクロンであった。金属コンタクト (図示せず) の幅 ($2b + 2c + d$) は 0.72 ミクロンであり、N+ソース領域 308 とのコンタクトの幅 ($2b + 2c$) は、0.52 ミクロンである。金属コンタクト開口部の幅を小さくすること (0.72 ミクロン) は、金属層 314 を被着したときにボイドが形成されないようにするための十分な薄さに酸化層 314 を保つために必要である。

【0042】

中央 P+バンド部 520 と、その上層をなす金属層の双方が存在することにより、図 5、図 16、及び図 17 の実施例では、ボディにおける電圧降下の大きさを実質的に小さくすることができる。しかし、ダイオードセル 32 のブレイクダウン電圧が MOSFET セル 30 のブレイクダウン電圧より著しく低い場合にはより大きなボディ電圧降下にも耐えることができる。この場合、寄生バイポーラトランジスタ (N+ソース領域 308、P-ボディ 310、及び N-epi 層 302) がオン状態になる危険性が少なくなるからである。そのような場合には、図 3、図 4、図 14、及び図 15 に示す実施例で十分であり得る。

【0043】

本発明の MOSFET の別の利点は、米国特許第 5,468,982 号に記載されているような、漏れ電流を防止するためのチャネルブロックの必要性が小さくなるということである。箱型セル構造では、セルの中央に配置されたチャネルブロックにより占められる面積の比率が、セルの寸法が小さくなるにつれて大きくなる。ストライプ形セル構造の場合は、チャネルブロックの効果がほとんどない。

【0044】

図 18 ~ 図 22 に示すのは 178 Mセル / 平方インチデバイスの利点である。

【0045】

図 18 は、比オン抵抗値 R_{onA} ($m\Omega \cdot cm^2$) を、面積 / 外周比の関数として示したものである。曲線 D は、セル密度が 8 ~ 32 M ($\times 10^6$) セル / 平方インチの範囲の 500 A 60 V デバイスの場合である。曲線 E は、セル密度が 12 ~ 178 M セル / 平方インチの範囲の 500 A 30 V デバイスの場合である。曲線 F は、セル密度が 12 ~ 178 M セル / 平方インチの範囲の 300 A 20 V デバイスの場合である。各場合のゲート電圧は 10 V であった。178 Mセル / 平方インチデバイスにおいて比オン抵抗値が著しく小さいことが明らかである。図 19 は、同じデータを片対数グラフにプロットしたものであり、曲線 G、H、及び I は、それぞれ曲線 D、E、及び F に対応する。

【0046】

図 20 は、 R_{onA} をセル密度の関数として示したものである。曲線 J は 500 A 60 V デバイスの場合、曲線 K は 500 A 30 V デバイスの場合、そして曲線 L は 300 A 30 V デバイスの場合である。同様にゲート電圧はすべて 10 V であった。

【0047】

図 21 は、4 つのシミュレーションについて、 R_{onA} を面積 / 外周比の関数として示したものであり、曲線 M は 500 A デバイスの場合、曲線 N は 300 A デバイスの場合、曲線 O は 175 A デバイスの場合、そして曲線 P は 125 A デバイスの場合である。500 A 及び 300 A デバイスの場合の測定データ点も示されており、これでシミュレーションデータを確認できる。

【0048】

図 22 は、4 つの 178 Mセル / 平方インチデバイスについてシミュレートした R_{onA} をゲート電圧の関数として示したものであり、曲線 Q は 500 A デバイスの場合、曲線 R は 300 A デバイスの場合、曲線 S は 175 A デバイスの場合、そして曲線 T は 125 A デバイスの場合である。は、300 A デバイスの場合の測定データ点を示している。

10

20

30

40

50

【0049】

いくつかの本発明の特定の実施例について説明してきたが、これらの実施例は発明の内容の説明を意図したものであり、本発明の範囲の限定を意図したものではない。他の多くの本発明の別実施態様も可能であることは当業者には明らかであろう。

【0050】

【発明の効果】

以上のように、本発明により、ボディコンタクトが形成される領域を制限し、かつダイオードセルを用いることにより、MOSFETセルの幅を小さくし、パワーMOSFETのオン抵抗を小さくすることができる。即ち、従来よりセル密度が高く、オン抵抗値が小さいトレンチゲート型パワーMOSFETが提供される。

10

【図面の簡単な説明】

【図1】A、B、及びCからなり、Aは正方形のMOSFETセル、Bは五角形のMOSFETセル、Cはストライプ形のMOSFETセルの平面図である。

【図2】パワーMOSFETにおける面積/外周比A/Wをセル密度の関数として示したグラフである。

【図3】1個のストライプ形のMOSFETセル及びゲート酸化層を保護するための深い拡散領域の断面図である。

【図4】図3のMOSFETの斜視図である。

【図5】ボディ領域とその上層をなす金属コンタクト層との接触を改善するための薄い中央バンド部が半導体表面に設けられている別の実施例の斜視図である。

20

【図6】ダイオードセルが中断されていない実施例の平面図である。

【図7】ダイオードセルが、MOSFETセルによって周期的に中断されている実施例の平面図である。

【図8】本発明によるMOSFETの断面写真である。

【図9】本発明によるMOSFETの製造プロセスの1段階を示す図である。

【図10】本発明によるMOSFETの製造プロセスの1段階を示す図である。

【図11】本発明によるMOSFETの製造プロセスの1段階を示す図である。

【図12】本発明によるMOSFETの製造プロセスの1段階を示す図である。

【図13】本発明によるMOSFETの製造プロセスの1段階を示す図である。

【図14】ボディコンタクト領域が、ストライプ形セルの一端のセル表面上に設けられた実施例の平面図である。

30

【図15】ボディコンタクト領域が、ストライプ形セルの長さ方向に沿って周期的に間隔をおいてセル表面上に設けられた実施例の平面図である。

【図16】ボディコンタクト領域が、ストライプ形セルの中央に沿って薄いバンド部を有する実施例の平面図である。

【図17】図5及び図16に示すMOSFETの詳細図である。

【図18】異なるセル密度を有する複数のMOSFETに対する比オン抵抗値を、面積/外周比の関数として示したグラフである。

【図19】図18のデータを片対数グラフにプロットしたグラフである。

【図20】いくつかの異なるMOSFETについて、比オン抵抗値をセル密度の関数として示したグラフである。

40

【図21】いくつかの異なるMOSFETについて、比オン抵抗値を面積/外周比の関数として示したグラフである。

【図22】178Mセル/平方インチのセル密度を有するいくつかのMOSFETについて、比オン抵抗値をゲート電圧の関数として示したグラフである。

【図23】3本の行をなすように配置されたストライプ形MOSFETセルを含むパワーMOSFETチップの平面図である。

【符号の説明】

30 MOSFETセル

32 保護用ダイオードセル

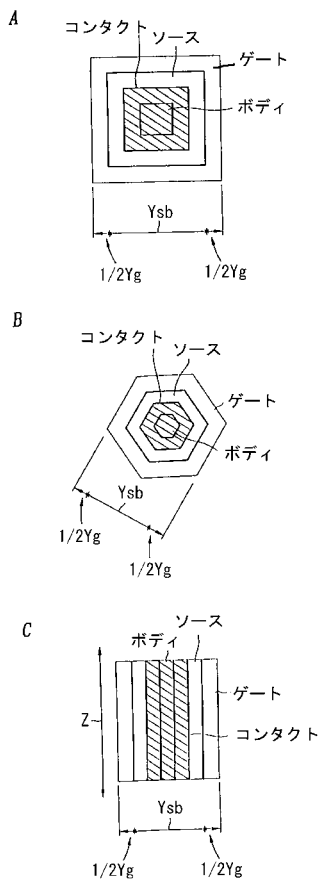
50

- 3 0 0 N + 基板
- 3 0 2 N - エピタキシャル層
- 3 0 4 ゲート
- 3 0 4 A、3 0 4 B ゲート部分
- 3 0 6 A、3 0 6 B ゲート酸化層
- 3 0 8 N + ソース領域
- 3 1 0 P - ボディ
- 3 1 2 金属層
- 3 1 4 酸化層
- 3 1 6 深いP + 拡散領域
- 3 1 7 P + 領域
- 5 2 0 中央P + バンド部
- 6 0、7 0 MOSFET
- 6 2、7 2 MOSFETセル
- 6 4、7 4 ダイオードセル
- 6 6 A ~ D、7 6 A ~ D ゲート部分
- 7 8 MOSFETセル
- 9 3 0 厚い酸化層
- 9 3 1 薄い酸化層
- 9 3 2 厚い酸化層
- 9 3 3 薄い酸化層

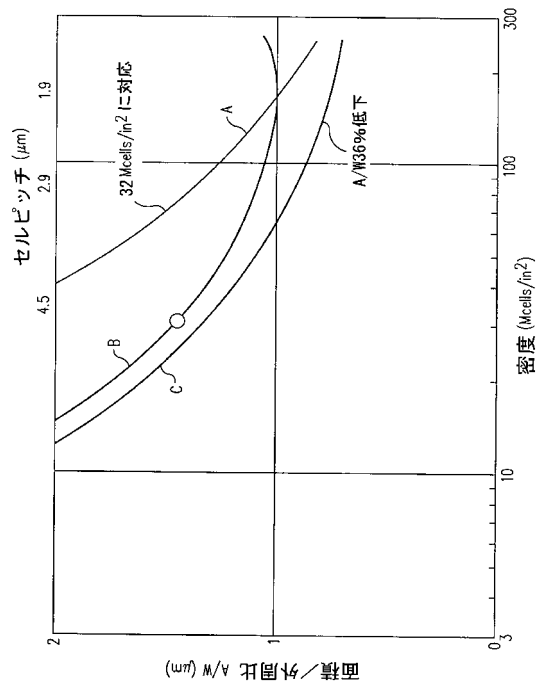
10

20

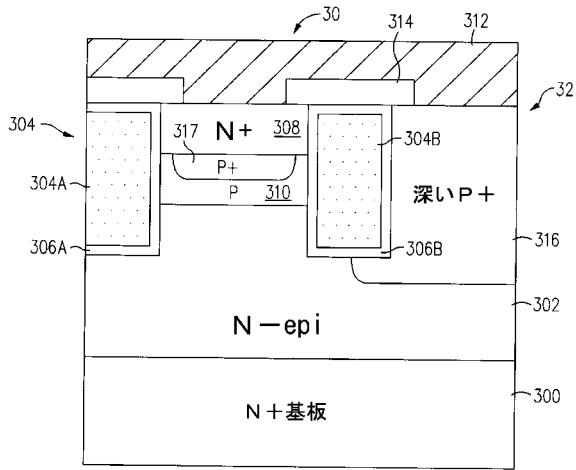
【図1】



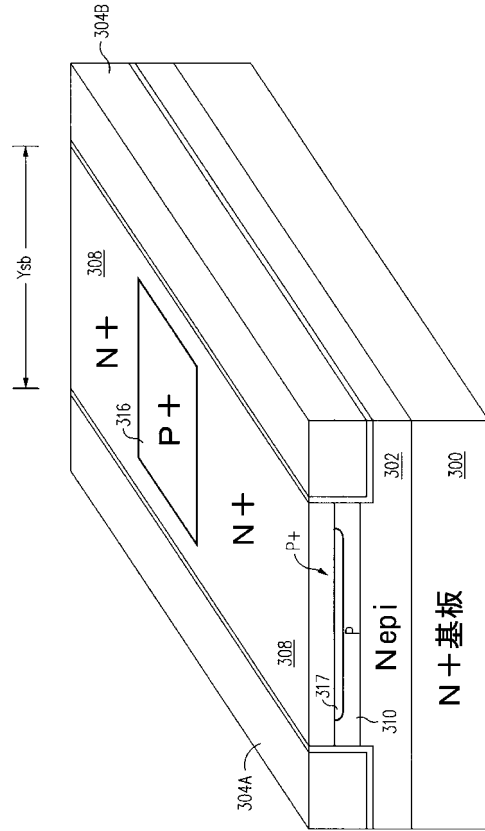
【図2】



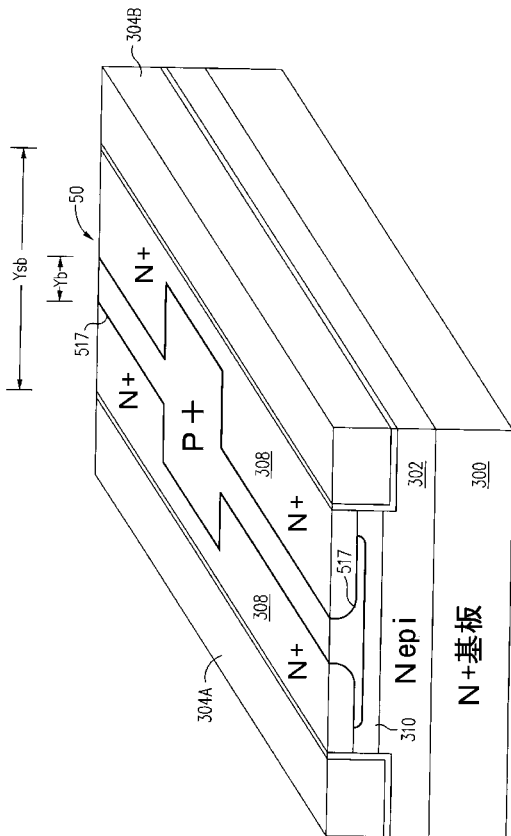
【図3】



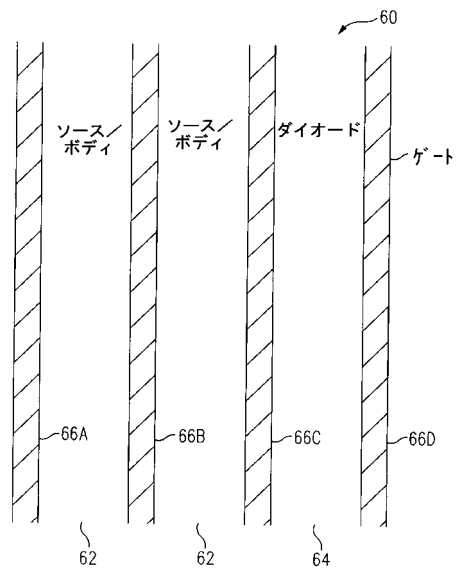
【図4】



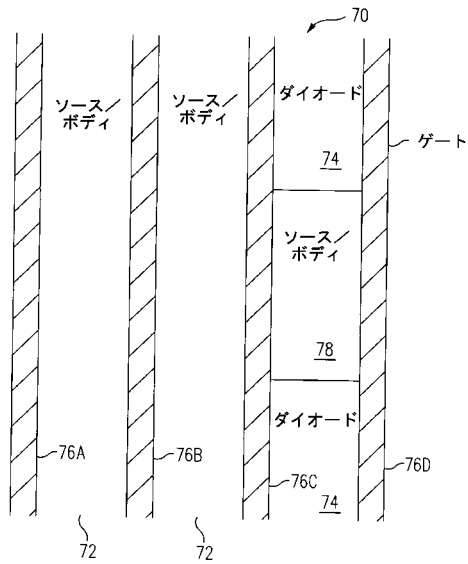
【図5】



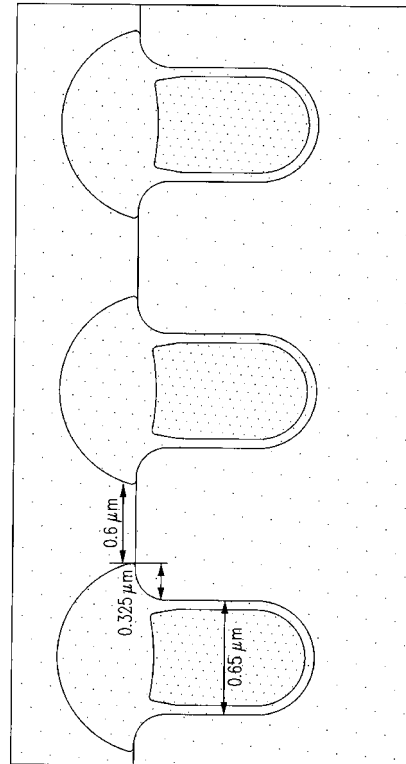
【図6】



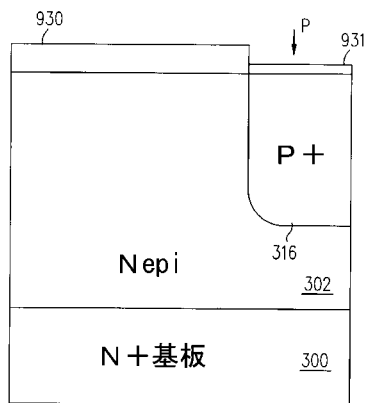
【図7】



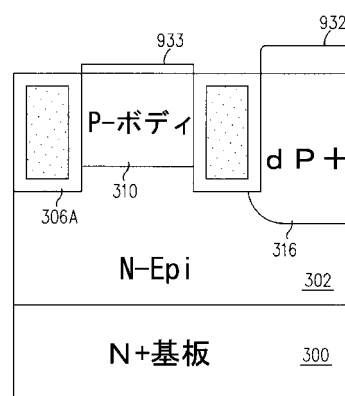
【図8】



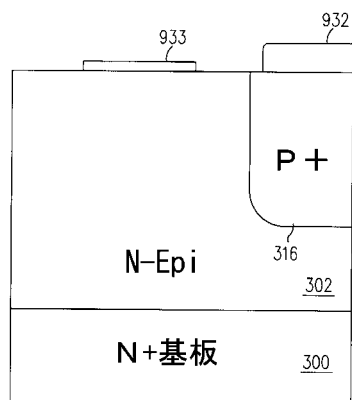
【図9】



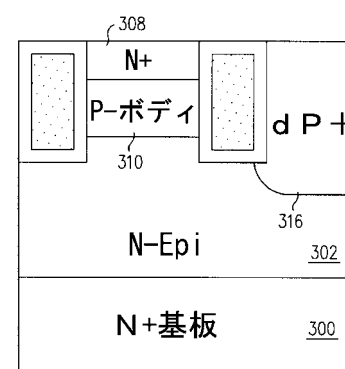
【図11】



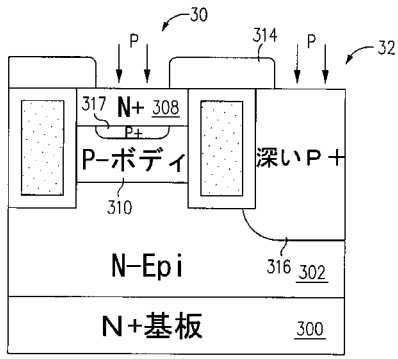
【図10】



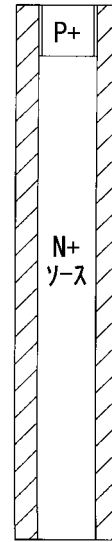
【図12】



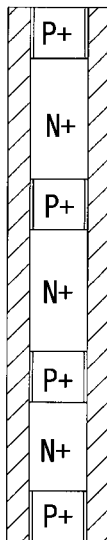
【図13】



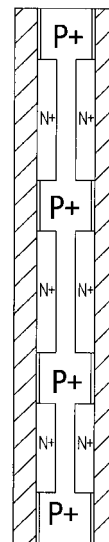
【図14】



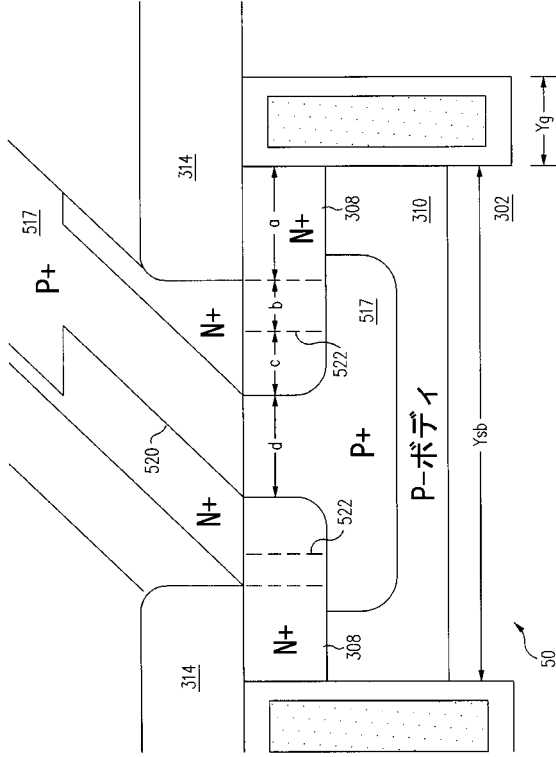
【図15】



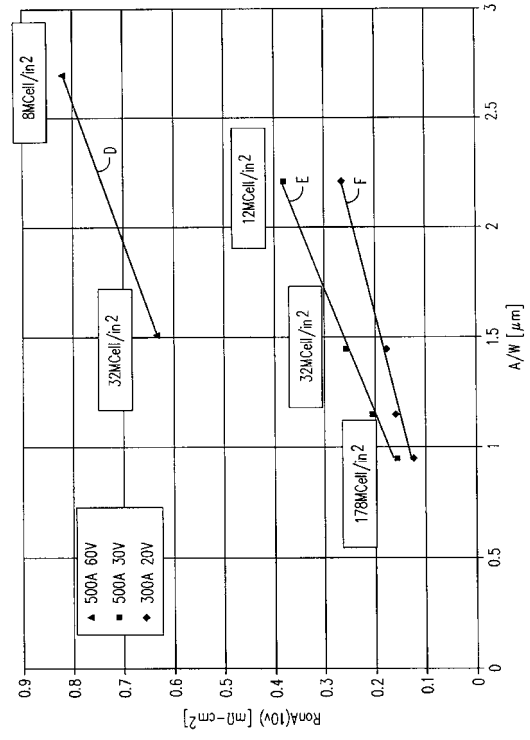
【図16】



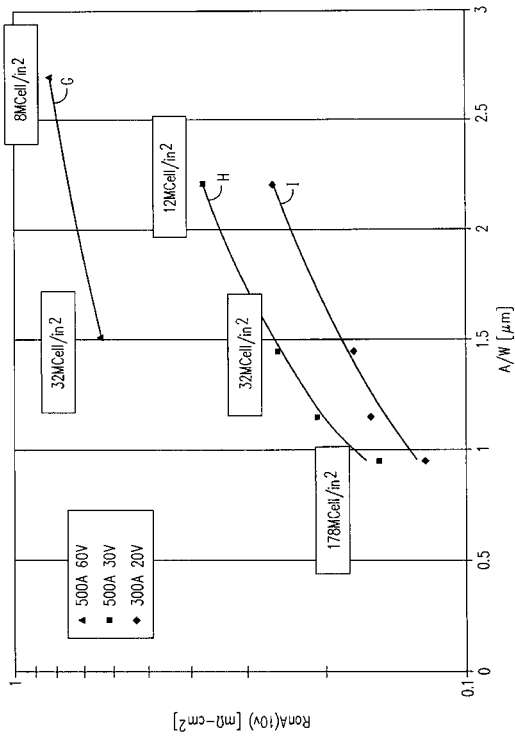
【図 17】



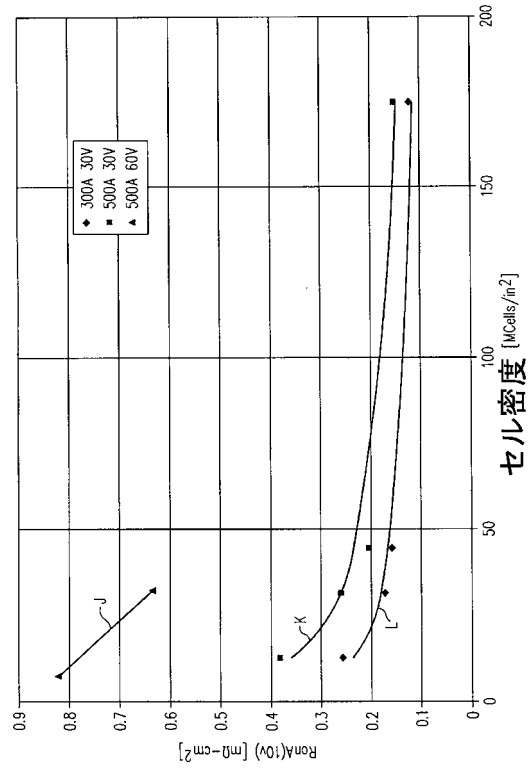
【図 18】



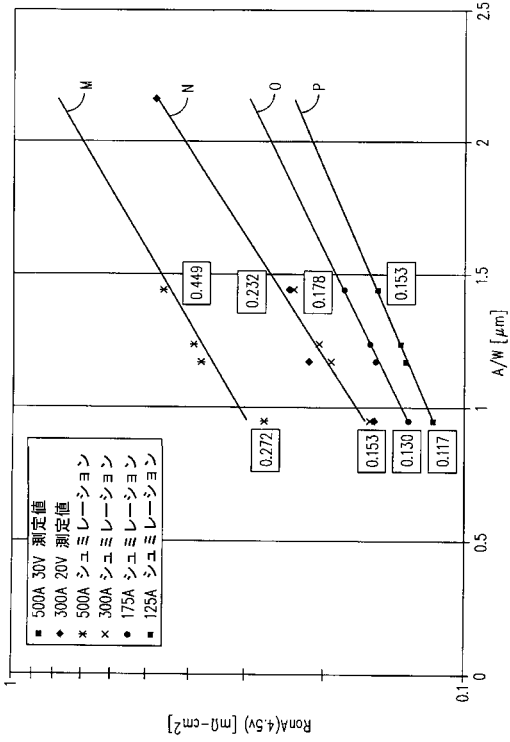
【図 19】



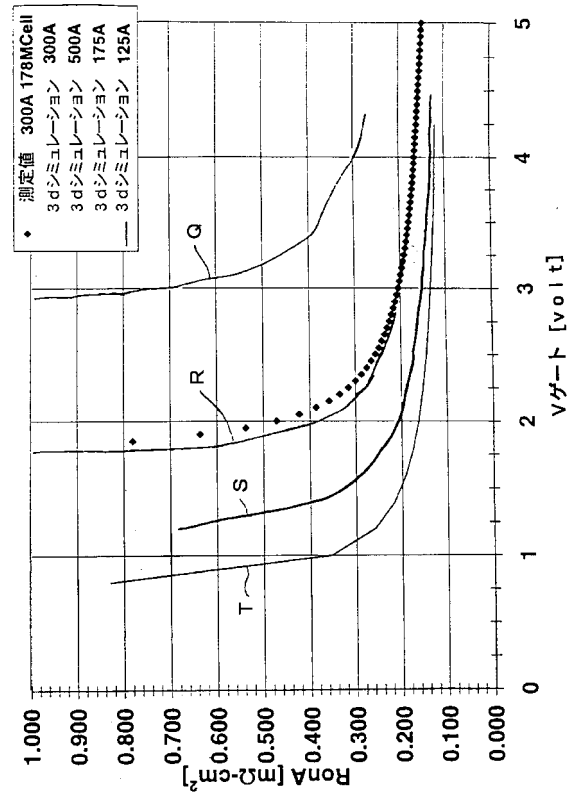
【図 20】



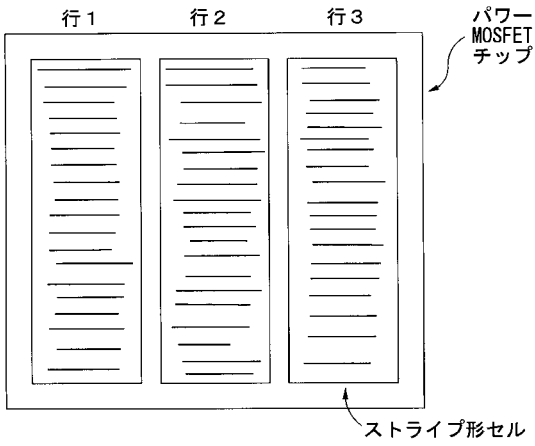
【図 2 1】



【図 2 2】



【図 2 3】



フロントページの続き

(72)発明者 ウェイン・ビー・グラボウスキー
アメリカ合衆国カリフォルニア州 9 4 0 2 4 ・ ロスアルトス ・ ミラバルアベニュー 1 3 9 0

審査官 原 和秀

(56)参考文献 特開昭 6 0 - 2 5 4 6 5 8 (J P , A)
特開平 0 2 - 0 8 6 1 7 1 (J P , A)
特開平 0 5 - 0 4 1 5 1 5 (J P , A)
特開平 0 7 - 2 7 3 3 1 9 (J P , A)
特開平 0 9 - 1 0 2 6 0 7 (J P , A)
特開平 0 9 - 2 7 0 5 1 2 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
H01L 29/78
H01L 27/04