

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4273881号
(P4273881)

(45) 発行日 平成21年6月3日(2009.6.3)

(24) 登録日 平成21年3月13日(2009.3.13)

(51) Int.Cl.		F I			
H03K	19/0175	(2006.01)	H03K	19/00	I O I F
H03F	3/45	(2006.01)	H03F	3/45	Z
H04L	25/02	(2006.01)	H04L	25/02	S
			H04L	25/02	V

請求項の数 4 (全 9 頁)

(21) 出願番号	特願2003-304671 (P2003-304671)	(73) 特許権者	000002369
(22) 出願日	平成15年8月28日(2003.8.28)		セイコーエプソン株式会社
(65) 公開番号	特開2005-79645 (P2005-79645A)		東京都新宿区西新宿2丁目4番1号
(43) 公開日	平成17年3月24日(2005.3.24)	(74) 代理人	100110858
審査請求日	平成18年5月1日(2006.5.1)		弁理士 柳瀬 睦肇
		(74) 代理人	100110777
			弁理士 宇都宮 正明
		(74) 代理人	100100413
			弁理士 渡部 温
		(72) 発明者	二村 良彦
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		審査官	官島 郁美

最終頁に続く

(54) 【発明の名称】 差動信号出力回路及びそれを内蔵した半導体集積回路

(57) 【特許請求の範囲】

【請求項1】

第1の出力信号と第2の出力信号とによって構成される差動信号を出力する差動信号出力回路であって、

直列接続されたPチャンネルの第1のトランジスタとNチャンネルの第2のトランジスタとを含み、前記第1及び第2のトランジスタのドレインから第1の出力信号を出力する第1の出力段と、

直列接続されたPチャンネルの第3のトランジスタとNチャンネルの第4のトランジスタとを含み、前記第3及び第4のトランジスタのソースが前記第1及び第2のトランジスタのソースにそれぞれ接続されており、前記第3及び第4のトランジスタのドレインから第2の出力信号を出力する第2の出力段と、

前記第1及び第2の出力段に所定の電流を供給する電流供給手段と、

入力信号を反転して前記第1及び第2のトランジスタのゲートに印加するインバータと

、
入力信号を遅延して前記第3及び第4のトランジスタのゲートに印加する遅延回路と、
前記遅延回路から出力される信号の一部の成分を前記第1及び第2のトランジスタのドレインに供給する第1の補助駆動手段と、

前記インバータから出力される信号の一部の成分を前記第3及び第4のトランジスタのドレインに供給する第2の補助駆動手段と、
を具備する差動信号出力回路。

【請求項 2】

前記第 1 の補助駆動手段が、前記遅延回路の出力端子と前記第 1 及び第 2 のトランジスタのドレインとの間に接続された第 1 のコンデンサを含み、

前記第 2 の補助駆動手段が、前記インバータの出力端子と前記第 3 及び第 4 のトランジスタのドレインとの間に接続された第 2 のコンデンサを含む、

請求項 1 記載の差動信号出力回路。

【請求項 3】

前記遅延回路が、Pチャネルの第 5 のトランジスタとNチャネルの第 6 のMOSトランジスタとによって構成され、前記インバータの遅延時間に相当する遅延時間を有するトランスミッションゲートを含む、請求項 1 又は 2 記載の差動信号出力回路。

10

【請求項 4】

請求項 1 ~ 3 のいずれか 1 項記載の差動信号出力回路を具備する半導体集積回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、発振器等における出力回路やバッファ回路として用いられる差動信号出力回路に関し、特に、低電圧の差動信号を使用するLVDS (Low Voltage Differential Signal) インターフェースに用いられるLVDS出力回路に関する。さらに、本発明は、そのような差動信号出力回路を内蔵した半導体集積回路に関する。

【背景技術】

20

【0002】

一般に、回路の消費電力や電磁障害を低減させるために、複数の回路間、又は、複数の装置間の信号伝送において、振幅の小さい差動信号を用いることが進められている。その中でも、LVDSインターフェースは、IEEEにおいて標準化作業が進められている小振幅差動信号を用いたインターフェースであり、IEEEの規格において、信号レベル等の詳細が定められている。

【0003】

特許文献 1 には、LVDSインターフェースの概要が掲載されている。図 5 に、そのようなLVDSインターフェースの概要を示す。図 5 に示すように、送信側回路 100 と受信側回路 200 とは、往路伝送線 301 及び復路伝送線 302 によって接続されている。往路伝送線 301 と復路伝送線 302 の各々は、理想的には 50 の特性インピーダンスを有している。

30

【0004】

送信側回路 100 は、高電位側の電源電位 V_{DD} と低電位側の電源電位 V_{SS} (ここでは接地電位とする) とが供給され、出力電流 I_O を差動信号として出力する差動信号出力回路 101 を含んでいる。また、受信側回路 200 は、終端抵抗 R_T を有し、差動信号出力回路 101 から出力される差動信号を入力する差動信号入力回路 201 を含んでいる。

【0005】

この終端抵抗 R_T の値は、往路伝送線 301 と復路伝送線 302 の特性インピーダンスとマッチングをとるために、100 とされる。この場合、出力電流 I_O の値が $\pm 3\text{mA}$ であるとする、終端抵抗 R_T の両端に発生する電位差は $\pm 300\text{mV}$ となる。LVDSインターフェースの規格においては、ハイレベルの信号電位が約 1.35V、ローレベルの信号電位が約 1.05V とされている。

40

【0006】

図 6 に、従来の差動信号出力回路の回路構成例を示す。この差動信号出力回路は、PチャネルMOSトランジスタQP1とNチャネルMOSトランジスタQN1とによって構成される第 1 の出力段と、PチャネルMOSトランジスタQP2とNチャネルMOSトランジスタQN2とによって構成される第 2 の出力段と、これらの出力段に所定の電流を供給するPチャネルMOSトランジスタQP3及び抵抗R1とを含んでおり、差動入力信号IN1及びIN2を入力して、差動出力信号OUT1及びOUT2を出力する。

50

【 0 0 0 7 】

第1の出力段は、入力端子11に印加される入力信号IN1を反転し、入力信号IN1と逆相の出力信号を出力端子21に供給する。同様に、第2の出力段は、入力端子12に印加される入力信号IN2を反転し、入力信号IN2と逆相の出力信号を出力端子22に供給する。

【 0 0 0 8 】

しかしながら、各々の出力段におけるPチャンネルMOSトランジスタとNチャンネルMOSトランジスタは、入力信号がハイレベルとローレベルとの間で遷移する際に、共に導通状態となり、これらのトランジスタを貫通する貫通電流が流れてしまう。その結果、図7に示すように、入力信号(ここでは、IN2を示す)の遷移点において電源電圧の値($V_{DD} - V_{SS}$)が低下して、出力信号OUT1及びOUT2の波形がなまったり、段がついたように歪んでしまうという問題が発生している。

【特許文献1】特開平9-214314号公報(第1頁、図1)

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 9 】

そこで、上記の点に鑑み、本発明は、入力信号の遷移点における貫通電流等の影響による出力信号の波形なまりや波形歪を改善した差動信号出力回路を提供することを目的とする。さらに、本発明は、そのような差動信号出力回路を内蔵した半導体集積回路を提供することを目的とする。

【課題を解決するための手段】

【 0 0 1 0 】

以上の課題を解決するため、本発明に係る差動信号出力回路は、第1の出力信号と第2の出力信号とによって構成される差動信号を出力する差動信号出力回路であって、直列接続されたPチャンネルの第1のトランジスタとNチャンネルの第2のトランジスタとを含み、第1及び第2のトランジスタのドレインから第1の出力信号を出力する第1の出力段と、直列接続されたPチャンネルの第3のトランジスタとNチャンネルの第4のトランジスタとを含み、第3及び第4のトランジスタのソースが第1及び第2のトランジスタのソースにそれぞれ接続されており、第3及び第4のトランジスタのドレインから第2の出力信号を出力する第2の出力段と、第1及び第2の出力段に所定の電流を供給する電流供給手段と、入力信号を反転して第1及び第2のトランジスタのゲートに印加するインバータと、入力信号を遅延して第3及び第4のトランジスタのゲートに印加する遅延回路と、遅延回路から出力される信号の一部の成分を第1及び第2のトランジスタのドレインに供給する第1の補助駆動手段と、インバータから出力される信号の一部の成分を第3及び第4のトランジスタのドレインに供給する第2の補助駆動手段とを具備する。

【 0 0 1 1 】

ここで、第1の補助駆動手段が、遅延回路の出力端子と第1及び第2のトランジスタのドレインとの間に接続された第1のコンデンサを含み、第2の補助駆動手段が、インバータの出力端子と第3及び第4のトランジスタのドレインとの間に接続された第2のコンデンサを含むようにしても良い。

【 0 0 1 5 】

また、遅延回路が、Pチャンネルの第5のトランジスタとNチャンネルの第6のMOSトランジスタとによって構成され、インバータの遅延時間に相当する遅延時間を有するトランスミッションゲートを含むようにしても良い。

さらに、本発明に係る半導体集積回路は、以上述べたような差動信号出力回路を具備している。

【発明の効果】

【 0 0 1 6 】

本発明によれば、第1の補助駆動手段によって第1の出力段の出力点を補助的に駆動すると共に、第2の補助駆動手段によって第2の出力段の出力点を補助的に駆動することに

10

20

30

40

50

より、入力信号の遷移点における貫通電流等の影響による出力信号の波形なまりや波形歪を改善することができる。

【発明を実施するための最良の形態】

【0017】

以下、本発明を実施するための最良の形態について、図面を参照しながら詳しく説明する。なお、同一の構成要素には同一の参照番号を付して、説明を省略する。

図1は、本発明の第1の実施形態に係る差動信号出力回路の構成を示す回路図である。この差動信号出力回路は、IC又はLSI等の半導体集積回路に内蔵されており、図5に示すようなLVDSインターフェースの送信側回路100において使用することができる。図5に示すように、差動信号出力回路は、例えばCMOSレベルで供給される入力信号IN1に基づいて、往路伝送線301と復路伝送線302とを介して出力電流 I_o を差動信号として出力する。一方、受信側回路200は、終端抵抗 R_T を有し、差動信号出力回路101から出力される差動信号を入力する。

10

【0018】

再び図1を参照すると、この差動信号出力回路は、PチャンネルMOSトランジスタQP1とNチャンネルMOSトランジスタQN1とによって構成される第1の出力段と、PチャンネルMOSトランジスタQP2とNチャンネルMOSトランジスタQN2とによって構成される第2の出力段と、これらの出力段に所定の電流を供給するPチャンネルMOSトランジスタQP3及び抵抗R1とを含んでいる。

20

【0019】

トランジスタQP1のドレインとトランジスタQN1のドレインは、出力端子21に接続されており、トランジスタQP2のドレインとトランジスタQN2のドレインは、出力端子22に接続されている。差動信号出力回路は、出力端子21及び22から、差動出力信号OUT1及びOUT2を出力する。

【0020】

トランジスタQP1のソースとトランジスタQP2のソースは、第1の接続点において、PチャンネルMOSトランジスタQP3のドレインに接続されている。トランジスタQP3は、バイアス電圧に従って、高電位側の電源電位 V_{DD} から第1の接続点に所定の電流を供給する。また、トランジスタQN1のソースとトランジスタQN2のソースは、第2の接続点において、抵抗R1の一端に接続されている。抵抗R1の他端は、低電位側の電源電位 V_{SS} （ここでは接地電位とする）に接続されている。

30

【0021】

また、この差動信号出力回路は、第1及び第2の出力段におけるトランジスタのゲートに差動信号を供給するために、インバータ1及び2と、トランスミッションゲート3とを含んでいる。トランスミッションゲート3は、PチャンネルMOSトランジスタQP4とNチャンネルMOSトランジスタQN4とによって構成され、インバータ2の遅延時間に相当する遅延時間を有している。

【0022】

さらに、本実施形態においては、トランスミッションゲート3の出力と、第1の出力段を構成するトランジスタQP1及びQN1のドレインとの間に、コンデンサC1が接続されている。また、インバータ2の出力と、第2の出力段を構成するトランジスタQP2及びQN2のドレインとの間に、コンデンサC2が接続されている。

40

【0023】

ここで、コンデンサC1は、出力信号OUT1の波形なまりや波形歪をブートストラップにより改善する第1の補助駆動手段としての役割を有しており、コンデンサC2は、出力信号OUT2の波形なまりや波形歪をブートストラップにより改善する第2の補助駆動手段としての役割を有している。このように、本実施形態におけるコンデンサC1及びC2の役割は、一般的なネガティブフィードバックループにおいてコンデンサによって行われる位相補償とは根本的に異なっている。

【0024】

50

次に、本実施形態に係る差動信号出力回路の動作について説明する。

本実施形態においては、トランジスタQP3を流れる電流の値が3.5mAとなるようにバイアス電圧を調整することにより、出力端子21及び22の各々から出力される出力電流の値を±3.5mAとしている。この場合には、出力端子21と出力端子22との間に100Ωの負荷抵抗が接続されることを想定すると、負荷抵抗の両端に発生する電位差は±350mVとなり、出力端子21及び22の各々に印加される信号電圧の大きさは350mV_{p-p}となる。

【0025】

インバータ1は、入力端子11に印加される入力信号IN1を反転することにより、反転された入力信号IN2を生成する。反転された入力信号IN2は、一方では、インバータ2によってさらに反転されて、第1の出力段を構成するトランジスタQP1及びQN1のゲートに印加され、他方では、トランスミッションゲート3を介して非反転のまま、第2の出力段を構成するトランジスタQP2及びQN2のゲートに印加される。電源電圧の値($V_{DD} - V_{SS}$)が5Vであるとする、これらのトランジスタのゲートに印加される信号電圧の大きさは約5V_{p-p}となる。

10

【0026】

本実施形態においては、第1の出力段を構成するトランジスタQP1及びQN1のドレインに、トランスミッションゲート3の出力、即ち、第2の出力段を構成するトランジスタQP2及びQN2のゲートから、コンデンサC1を介して交流信号成分(補償成分)が供給される。同様に、第2の出力段を構成するトランジスタQP2及びQN2のドレインに、インバータ2の出力、即ち、第1の出力段を構成するトランジスタQP1及びQN1のゲートから、コンデンサC2を介して交流信号成分(補償成分)が供給される。

20

【0027】

ここで、出力端子21と出力端子22との間に100Ωの負荷抵抗が接続されているとすると、差動出力信号OUT1及びOUT2の各々における信号電圧(350mV_{p-p})よりも、出力段のトランジスタのゲートに印加される信号電圧(約3V_{p-p})の方が大きくなる。また、これらの信号電圧の位相は同相である。従って、トランジスタQP2及びQN2のゲートからトランジスタQP1及びQN1のドレインに向けて、コンデンサC1を介して微分電流が流れ、この微分電流は、出力信号OUT1の過渡特性を改善するように働く。同様に、トランジスタQP1及びQN1のゲートからトランジスタQP2及びQN2のドレインに向けて、コンデンサC2を介して微分電流が流れ、この微分電流は、出力信号OUT2の過渡特性を改善するように働く。

30

【0028】

図2は、本実施形態に係る差動信号出力回路において波形歪が改善される様子を示す図である。入力信号(ここでは、IN2を示す)の遷移点において電源電圧の値($V_{DD} - V_{SS}$)が降下して、補償前の出力信号OUT1においては、波形がなまったり、段がついたように歪んでしまう。ところが、図2に示すような補償成分を生成して出力信号に加えることにより、補償前の出力信号OUT1におけるような波形なまりや波形歪を改善することが可能となる。

【0029】

次に、本発明の第2の実施形態について説明する。

40

図3は、本発明の第2の実施形態に係る差動信号出力回路の構成を示す回路図である。図3に示すように、第2の実施形態においては、2つの入力端子11及び12を用いて差動入力信号IN1及びIN2を入力するようにしており、さらに、補助駆動手段の構成を変更している。その他の点に関しては、第1の実施形態と同じである。

【0030】

本実施形態において、入力端子11は、第1の出力段を構成するトランジスタQP1及びQN1のゲートに接続され、入力端子12は、第2の出力段を構成するトランジスタQP2及びQN2のゲートに接続されている。また、入力端子11及び12には、インバータ4及び5の入力が接続されている。

50

【 0 0 3 1 】

インバータ 4 の出力は、コンデンサ C 1 の一端に接続され、コンデンサ C 1 の他端は、第 1 の出力段を構成するトランジスタ Q P 1 及び Q N 1 のドレインに接続されている。また、インバータ 5 の出力は、コンデンサ C 2 の一端に接続され、コンデンサ C 2 の他端は、第 2 の出力段を構成するトランジスタ Q P 2 及び Q N 2 のドレインに接続されている。

【 0 0 3 2 】

ここで、インバータ 4 及びコンデンサ C 1 は、出力信号 O U T 1 の波形なまりや波形歪をブートストラップにより改善する第 1 の補助駆動手段としての役割を有しており、インバータ 5 及びコンデンサ C 2 は、出力信号 O U T 2 の波形なまりや波形歪をブートストラップにより改善する第 2 の補助駆動手段としての役割を有している。

10

【 0 0 3 3 】

コンデンサ C 1 の一端における信号は、第 2 の出力段を構成するトランジスタ Q P 2 及び Q N 2 のゲートにおける入力信号 I N 2 と同相であり、コンデンサ C 2 の一端における信号は、第 1 の出力段を構成するトランジスタ Q P 1 及び Q N 1 のゲートにおける入力信号 I N 1 と同相である。従って、第 2 の実施形態に係る差動信号出力回路においても、第 1 の実施形態に係る差動信号出力回路と同じように、出力信号 O U T 1 及び O U T 2 の波形なまりや波形歪を改善することができる。

【 0 0 3 4 】

次に、本発明の第 3 の実施形態について説明する。

図 4 は、本発明の第 3 の実施形態に係る差動信号出力回路の構成を示す回路図である。図 4 に示すように、第 3 の実施形態においては、各トランジスタのゲートに信号を供給するためのインバータを追加しており、さらに、一部の接続を変更している。その他の点に関しては、第 2 の実施形態と同じである。

20

【 0 0 3 5 】

本実施形態において、入力端子 1 1 は、インバータ 3 1 ~ 3 3 の入力に接続され、入力端子 1 2 は、インバータ 4 1 ~ 4 3 の入力に接続されている。インバータ 3 1 の出力は、第 1 の出力段を構成するトランジスタ Q P 1 のゲートに接続され、インバータ 3 2 の出力は、第 1 の出力段を構成するトランジスタ Q N 1 のゲートに接続されている。また、インバータ 4 1 の出力は、第 2 の出力段を構成するトランジスタ Q P 2 のゲートに接続され、インバータ 4 2 の出力は、第 2 の出力段を構成するトランジスタ Q N 2 のゲートに接続されている。

30

【 0 0 3 6 】

インバータ 4 3 の出力は、コンデンサ C 1 の一端に接続され、コンデンサ C 1 の他端は、第 1 の出力段を構成するトランジスタ Q P 1 及び Q N 1 のドレインに接続されている。また、インバータ 3 3 の出力は、コンデンサ C 2 の一端に接続され、コンデンサ C 2 の他端は、第 2 の出力段を構成するトランジスタ Q P 2 及び Q N 2 のドレインに接続されている。

【 0 0 3 7 】

ここで、インバータ 4 3 及びコンデンサ C 1 は、出力信号 O U T 1 の波形なまりや波形歪をブートストラップにより改善する第 1 の補助駆動手段としての役割を有しており、インバータ 3 3 及びコンデンサ C 2 は、出力信号 O U T 2 の波形なまりや波形歪をブートストラップにより改善する第 2 の補助駆動手段としての役割を有している。

40

【 0 0 3 8 】

コンデンサ C 1 の一端における信号は、第 2 の出力段を構成するトランジスタ Q P 2 及び Q N 2 のゲートにおける信号と同相かつ同レベルであり、コンデンサ C 2 の一端における信号は、第 1 の出力段を構成するトランジスタ Q P 1 及び Q N 1 のゲートにおける信号と同相かつ同レベルである。従って、第 3 の実施形態に係る差動信号出力回路においても、第 1 の実施形態に係る差動信号出力回路と同じように、差動出力信号 O U T 1 及び O U T 2 の波形なまりや波形歪を改善することができる。

【 産業上の利用可能性 】

50

【0039】

本発明は、発振器等における出力回路やバッファ回路として用いられる差動信号出力回路、及び、そのような差動信号出力回路を含む半導体集積回路において利用することが可能である。

【図面の簡単な説明】

【0040】

【図1】本発明の第1の実施形態に係る差動信号出力回路の構成を示す回路図。

【図2】図1の差動信号出力回路において波形歪が改善される様子を示す図。

【図3】本発明の第2の実施形態に係る差動信号出力回路の構成を示す回路図。

【図4】本発明の第3の実施形態に係る差動信号出力回路の構成を示す回路図。

【図5】LVDSインターフェースの概要を示す図。

【図6】従来の差動信号出力回路の回路構成例を示す図。

【図7】従来の差動信号出力回路における波形歪を示す図。

【符号の説明】

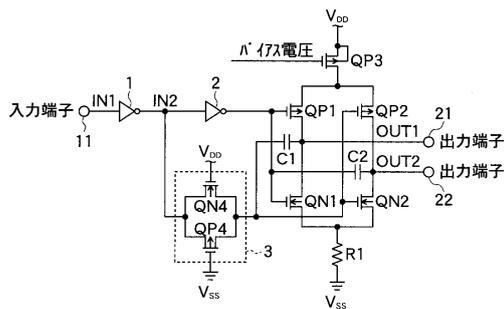
【0041】

- 1、2、4、5、31～33、41～43 インバータ、 3 トランSMISSIONゲート、 11、12 入力端子、 21、22 出力端子、 100 送信側回路、 101 差動信号出力回路、 200 受信側回路、 201 差動信号入力回路、 301 往路伝送線、 302 復路伝送線、 QP1～QP4 PチャネルMOSトランジスタ、 QN1～QN4 NチャネルMOSトランジスタ、 C1、C2 コンデンサ、 R1 抵抗

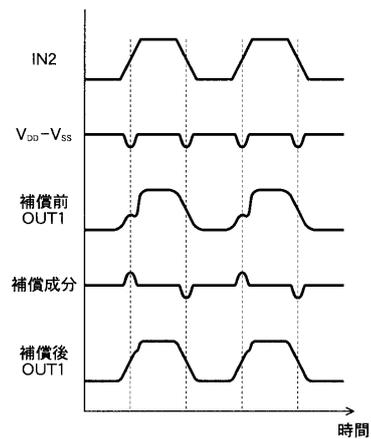
10

20

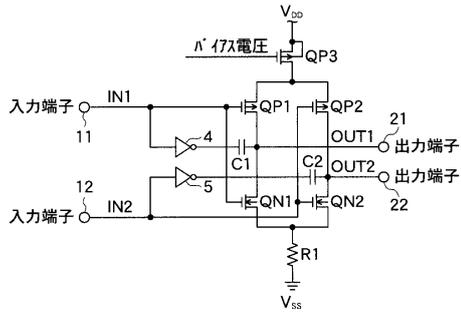
【図1】



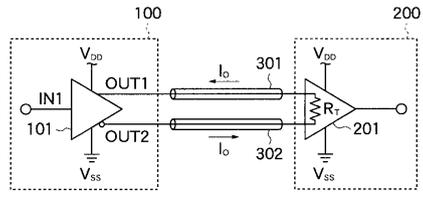
【図2】



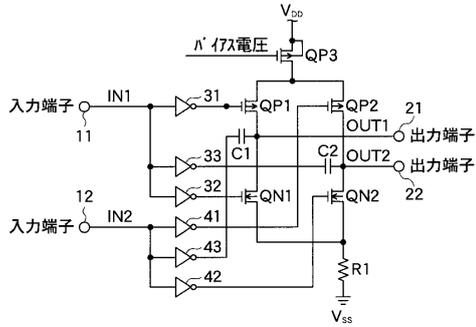
【 図 3 】



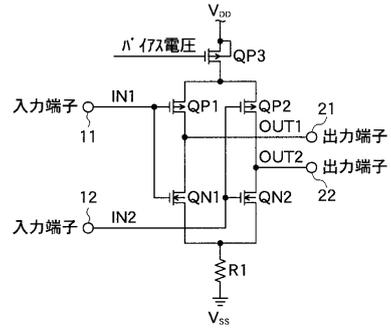
【 図 5 】



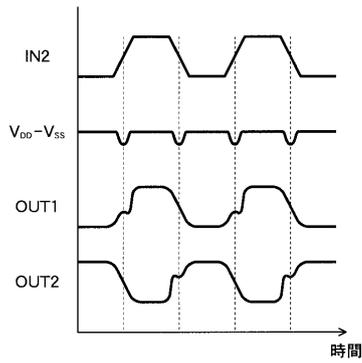
【 図 4 】



【 図 6 】



【 図 7 】



フロントページの続き

(56)参考文献 特開2004-357004(JP,A)
特開2002-368600(JP,A)
特開2002-314397(JP,A)
特開2000-031810(JP,A)
特開2004-015621(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03K19/00, 19/01 - 19/082, 19/092 - 19/096

H04L25/00 - 25/66

H03F1/00 - 3/45, 3/50 - 3/52, 3/62 - 3/64, 3/68 - 3/72