



(21) 申請案號：112143099 (22) 申請日：中華民國 112 (2023) 年 11 月 08 日
(51) Int. Cl. : *H01L21/768 (2006.01)* *H01L23/544 (2006.01)*
(30) 優先權：2022/11/09 南韓 10-2022-0149019
(71) 申請人：南韓商三星電子股份有限公司 (南韓) SAMSUNG ELECTRONICS CO., LTD. (KR)
南韓
(72) 發明人：崔圭勳 CHOI, KYUHOON (KR)；河承錫 HA, SEUNGSEOK (KR)；姜錫明 KANG,
SEOKMYEONG (KR)；南瑞祐 NAM, SEOWOO (KR)
(74) 代理人：林孟閱；盧嫻君；陳怡如
申請實體審查：無 申請專利範圍項數：10 項 圖式數：9 共 31 頁

(54) 名稱

半導體裝置及其製造方法

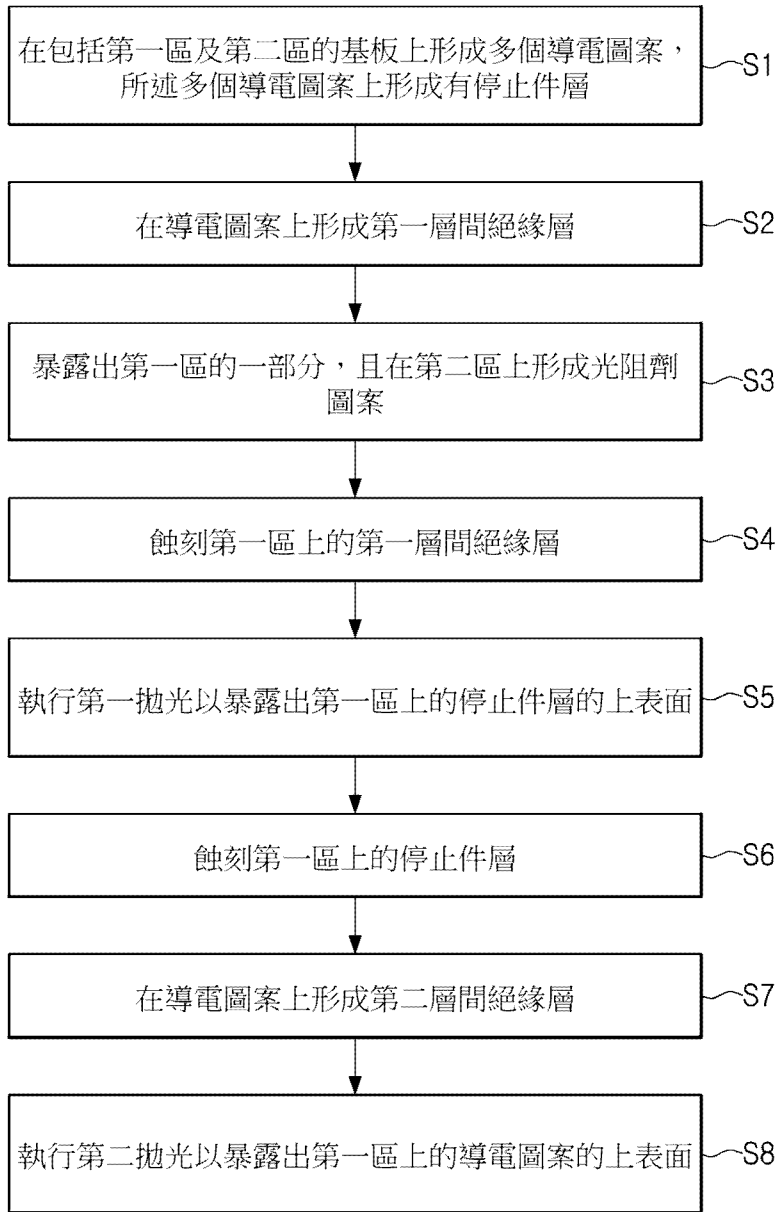
(57) 摘要

提供一種半導體裝置及其製造方法。所述方法包括：在基板上形成導電圖案，導電圖案上分別形成有停止件層，基板包括具有第一圖案密度的第一區及具有第二圖案密度的第二區，第二圖案密度低於第一圖案密度；在導電圖案上形成第一層間絕緣層；暴露出第一區上的第一層間絕緣層的至少一部分且在第二區上形成光阻劑圖案；蝕刻第一區上的第一層間絕緣層的所述至少一部分；執行第一拋光以暴露出停止件層中位於第一區上的停止件層的上表面；蝕刻停止件層中位於第一區上的停止件層；在導電圖案上形成第二層間絕緣層；以及執行第二拋光以暴露出導電圖案中位於第一區上的導電圖案的上表面。

A semiconductor device and a method of manufacturing the same are provided. The method includes forming conductive patterns on which stopper layers are formed, respectively, on a substrate including a first region having a first pattern density and a second region having a second pattern density lower than the first pattern density, forming a first interlayer insulating layer on the conductive patterns, exposing at least a portion of the first interlayer insulating layer on the first region and forming a photoresist pattern on the second region, etching the at least a portion of the first interlayer insulating layer on the first region, performing first polishing to expose upper surfaces of ones of the stopper layers on the first region, etching the ones of the stopper layers on the first region, forming a second interlayer insulating layer on the conductive patterns, and performing second polishing to expose upper surfaces of ones of the conductive patterns on the first region.

指定代表圖：

符號簡單說明：

S1、S2、S3、S4、
S5、S6、S7、S8:方
塊

【圖1】

【發明摘要】

【中文發明名稱】半導體裝置及其製造方法

【英文發明名稱】 SEMICONDUCTOR DEVICES AND METHOD
OF MANUFACTURING THE SAME

【中文】提供一種半導體裝置及其製造方法。所述方法包括：在基板上形成導電圖案，導電圖案上分別形成有停止件層，基板包括具有第一圖案密度的第一區及具有第二圖案密度的第二區，第二圖案密度低於第一圖案密度；在導電圖案上形成第一層間絕緣層；暴露出第一區上的第一層間絕緣層的至少一部分且在第二區上形成光阻劑圖案；蝕刻第一區上的第一層間絕緣層的所述至少一部分；執行第一拋光以暴露出停止件層中位於第一區上的停止件層的上表面；蝕刻停止件層中位於第一區上的停止件層；在導電圖案上形成第二層間絕緣層；以及執行第二拋光以暴露出導電圖案中位於第一區上的導電圖案的上表面。

【英文】 A semiconductor device and a method of manufacturing the same are provided. The method includes forming conductive patterns on which stopper layers are formed, respectively, on a substrate including a first region having a first pattern density and a second region having a second pattern density lower than the first pattern density, forming a first interlayer insulating layer on the conductive patterns, exposing at least a portion of the first

interlayer insulating layer on the first region and forming a photoresist pattern on the second region, etching the at least a portion of the first interlayer insulating layer on the first region, performing first polishing to expose upper surfaces of ones of the stopper layers on the first region, etching the ones of the stopper layers on the first region, forming a second interlayer insulating layer on the conductive patterns, and performing second polishing to expose upper surfaces of ones of the conductive patterns on the first region.

【指定代表圖】圖1。

【代表圖之符號簡單說明】

S1、S2、S3、S4、S5、S6、S7、S8:方塊

【特徵化學式】

無

【發明說明書】

【中文發明名稱】半導體裝置及其製造方法

【英文發明名稱】 SEMICONDUCTOR DEVICES AND METHOD
OF MANUFACTURING THE SAME

【技術領域】

[相關申請案的交叉參考]

【0001】 本申請案主張優先於 2022 年 11 月 9 日於韓國智慧財產局提出申請的韓國專利申請案第 10-2022-0149019 號，所述韓國專利申請案的全部揭露內容併入本案供參考。

【0002】 本揭露是有關於一種半導體裝置及其製造方法。

【先前技術】

【0003】 半導體裝置可包括形成於半導體基板上的半導體元件、用於連接所述半導體元件的配線及諸如此類。隨著半導體裝置的積體程度增大，已積極地研究如何減小用於連接半導體裝置的配線的面積且高效地排列配線。

【發明內容】

【0004】 實例性實施例提供一種具有改良的積體度及/或電性特性的半導體裝置及其製造方法。

【0005】 根據實例性實施例，一種製造半導體裝置的方法包括：在基板上形成多個導電圖案，所述多個導電圖案上分別形成有多個停止件層，所述基板包括具有所述多個導電圖案的第一圖案密

度的第一區及具有所述多個導電圖案的第二圖案密度的第二區，且所述第二圖案密度低於所述第一圖案密度；在所述多個導電圖案上形成第一層間絕緣層；在所述第二區上形成光阻劑圖案，所述光阻劑圖案暴露出所述第一區上的所述第一層間絕緣層的至少一部分；使用所述光阻劑圖案作為蝕刻遮罩來蝕刻所述第一區上的所述第一層間絕緣層；執行第一拋光以暴露出所述多個停止件層中位於所述第一區上的第一停止件層的上表面；蝕刻所述多個停止件層中位於所述第一區上的所述第一停止件層；在所述多個導電圖案上形成第二層間絕緣層；以及執行第二拋光以暴露出所述多個導電圖案中位於所述第一區上的第一導電圖案的上表面。

【0006】 根據實例性實施例，一種製造半導體裝置的方法包括：在基板上形成第一導電圖案及第二導電圖案，所述第一導電圖案上形成有第一停止件層，所述第二導電圖案上形成有第二停止件層；在所述第一導電圖案及所述第二導電圖案上形成第一層間絕緣層；暴露出形成於所述基板的第一區上的所述第一層間絕緣層的至少一部分，且在形成於所述基板的第二區上的所述第一層間絕緣層上形成光阻劑圖案，所述第一區上存在所述第一導電圖案，所述第二區上存在所述第二導電圖案；蝕刻所述基板的所述第一區上的所述第一層間絕緣層的所述至少一部分；執行第一拋光以暴露出所述第一停止件層的上表面；蝕刻所述第一停止件層；在所述第一導電圖案及所述第二導電圖案上形成第二層間絕緣層；以及執行第二拋光以暴露出所述第一導電圖案的上表面。

所述第一導電圖案的第一圖案密度大於周圍區域的圖案密度，且所述第二導電圖案的第二圖案密度小於所述第一圖案密度。

【0007】 根據實例性實施例，一種製造半導體裝置的方法包括：在下部絕緣層上形成第一導電圖案及第二導電圖案，所述第一導電圖案上形成有第一停止件層，所述第二導電圖案上形成有第二停止件層；在所述第一導電圖案及所述第二導電圖案上形成第一層間絕緣層；暴露出所述下部絕緣層的第一區上的所述第一層間絕緣層的至少一部分，且在形成於所述下部絕緣層的第二區上的所述第一層間絕緣層上形成光阻劑圖案，所述第一區上存在所述第一導電圖案，所述第二區上存在所述第二導電圖案；蝕刻所述下部絕緣層的所述第一區上的所述第一層間絕緣層的所述至少一部分；執行第一拋光以暴露出所述第一停止件層的上表面；蝕刻所述第一停止件層；在所述第一導電圖案及所述第二導電圖案上形成第二層間絕緣層；以及執行第二拋光以暴露出所述第一導電圖案的上表面。所述第一導電圖案的第一圖案密度大於周圍區域的圖案密度，且所述第二導電圖案的第二圖案密度小於所述第一圖案密度。

【0008】 根據實例性實施例，一種半導體裝置包括：基板，包括具有第一圖案密度的第一區及具有第二圖案密度的第二區，所述第二圖案密度小於所述第一圖案密度；多個導電圖案，包括位於所述第一區上的第一導電圖案及位於所述第二區上的第二導電圖案；停止件層，位於所述第二導電圖案上；第一層間絕緣層，位

於所述第二區上且在所述第二導電圖案的至少一部分上延伸（例如，覆蓋所述第二導電圖案的至少一部分）；以及第二層間絕緣層，位於所述第一區及所述第二區上以及所述多個導電圖案之間的空間中。所述第二導電圖案是對準鍵及/或覆疊圖案。

【圖式簡單說明】

【0009】 結合附圖閱讀以下詳細說明，將更清楚地理解本揭露的以上及其他態樣、特徵及優點，在附圖中：

圖 1 是根據實例性實施例的製造半導體裝置的方法的流程圖。

圖 2 是根據實例性實施例的半導體裝置的平面圖。

圖 3 是根據實例性實施例的半導體裝置的剖視圖。

圖 4、圖 5、圖 6、圖 7 及圖 8 是說明根據實例性實施例的製造半導體裝置的方法的剖視圖。

圖 9 是根據實例性實施例的半導體裝置的剖視圖。

【實施方式】

【0010】 在下文中，將參考附圖闡述實例性實施例。

【0011】 圖 1 是根據實例性實施例的製造半導體裝置的方法的流程圖。

【0012】 參考圖 1，根據實例性實施例的製造半導體裝置的方法可開始於在基板（例如，圖 4 中的基板）101 上形成多個導電圖案（例如，圖 4 中的導電圖案 120、121、122 及 130），所述多個導電圖案上形成有第一停止件層及第二停止件層（例如，圖 4 中

的第一停止件層 125 及第二停止件層 126) (方塊 S1)。

【0013】 接下來，可在所述多個導電圖案上形成第一層間絕緣層 (例如，圖 4 中的第一層間絕緣層 151)。舉例而言，所述第一層間絕緣層可被形成為覆蓋所述多個導電圖案、第一停止件層及第二停止件層 (方塊 S2)。

【0014】 然後，可暴露出上面存在第一導電圖案的第一區 (例如，圖 5 中的第一區 A) 上的第一層間絕緣層，且可形成光阻劑圖案 (例如，圖 5 中的光阻劑圖案 200) 以覆蓋上面存在第二導電圖案的第二區 (例如，圖 5 中的第二區 B) 上的第一層間絕緣層 (方塊 S3)。舉例而言，可暴露出第一區上的第一層間絕緣層的至少一部分，且可形成設置於第二區 B 上的光阻劑圖案 (方塊 S3)。

【0015】 在形成光阻劑圖案之後，可蝕刻第一區上的暴露的第一層間絕緣層的至少一部分 (方塊 S4)。

【0016】 接下來，在移除光阻劑圖案之後，可使用例如化學機械拋光 (chemical mechanical polishing, CMP) 製程執行第一拋光操作以暴露出第一停止件層的上表面 (方塊 S5)。

【0017】 接下來，可執行回蝕製程以蝕刻第一停止件層，所述第一停止件層的上表面在第一區上暴露出 (方塊 S6)。

【0018】 在藉由蝕刻移除第一停止件層之後，可形成第二層間絕緣層 (例如，圖 8 中的第二層間絕緣層 152) 以覆蓋所述多個導電圖案及第二停止件層。(方塊 S7)。

【0019】 接下來，可使用化學機械拋光（CMP）製程對第二層間絕緣層執行第二拋光操作以暴露出第一導電圖案的上表面及第二停止件層的上表面（方塊 S8）。由於即使在暴露出第一導電圖案的上表面之後第二停止件層仍保留下來，因此第二停止件層可保護第二導電圖案。因此，在後續製程中，第二導電圖案可充當對準鍵及/或覆疊圖案，藉此提供具有改良的積體度及/或電性特性的半導體裝置。

【0020】 圖 2 是根據實例性實施例的半導體裝置的平面圖。

【0021】 圖 3 是根據實例性實施例的半導體裝置的剖視圖。

【0022】 圖 3 說明圖 2 的半導體裝置的沿著線 I-I' 截取的橫截面。

【0023】 為了便於闡釋，在圖 2 及圖 3 中，僅說明半導體裝置 100 的主要組件，且如同基板 101 一樣，僅說明基板（例如，半導體晶圓）的一部分。

【0024】 參考圖 2 及圖 3，半導體裝置 100 可包括基板 101；第一導電圖案 120、121 及 122 以及第二導電圖案 130，位於基板 101 上，第二導電圖案 130 上形成有第二停止件層 126；第一層間絕緣層 151；以及第二層間絕緣層 152。

【0025】 如在圖 2 中，標記為「A」的一部分可被稱為第一區 A，且標記為「B」的一部分可被稱為第二區 B。第一區 A 對應於其中圖案密度相對大於周圍區域的密度且可具有第一圖案密度的區。第二區 B 對應於其中圖案密度相對低於周圍區域的密度且

可具有低於所述第一圖案密度的第二圖案密度的區。根據實例性實施例，第一區 A 可對應於單元區，且第二區 B 可對應於周邊區。由於複雜的半導體裝置形成於第一區 A 中，因此第一區 A 可為圖案密度可明顯高的區，且第二區 B 可為形成有用於光微影製程的對準鍵及/或覆疊圖案的區且可為圖案密度明顯低的區。

【0026】 基板 101 可包括具有第一圖案密度的第一區 A 及具有第二圖案密度的第二區 B，第二圖案密度小於第一圖案密度。基板 101 可具有在第一方向 (X) 及第二方向 (Y) 上延伸的上表面。基板 101 可為多層基板，例如半導體基板或絕緣體上矽 (silicon on insulator, SOI)。半導體基板可包含例如矽 (Si)、鍺 (Ge)、矽鍺 (SiGe)、碳化矽 (SiC)、氮化鎵 (GaN) 或砷化鎵 (GaAs)。基板 101 是摻雜有 p 型雜質或 n 型雜質的半導體基板且可包括形成有裝置 (例如電晶體) 的主動區。基板 101 可包含半導體材料，例如第 IV 族半導體、第 III-V 族化合物半導體或第 II-VI 族化合物半導體。基板 101 可被設置為塊狀晶圓或磊晶層。

【0027】 由構成半導體裝置的各種導電層或絕緣層形成的基底層可夾置於基板 101 與所述多個導電圖案 120、121、122 及 130 之間。絕緣層可設置於基板 101 的上面形成有主動區的表面上。絕緣層可被設置為用於形成配線走線 (例如後段製程 (back end of line, BEOL)) 的區，但並不僅限於此。欲在後續製程中形成於絕緣層上的配線走線可經由接觸結構 (未示出) 電性連接至主動

區。所述絕緣層可包含例如原矽酸四乙酯 (tetraethyl ortho silicate, TEOS)、氧化矽 (SiO_2)、氮氧化矽 (SiON)、奈米多孔二氧化矽、氫倍半矽氧烷 (hydrogensilsesquioxanes, HSQ)、聚四氟乙烯 (polytetrafluorethylene, PTFE) (特夫綸 AF)、氟氧化矽 (FSG)、摻雜碳的 SiO_2 (SiCO)、氫化的碳氧化矽 (SiCOH) 或低介電常數或超低介電常數 (ultra-low-k, ULK) 介電材料 (例如, 介電常數為 2.5 或小於 2.5)。在下文中, 將闡述直接在基板 101 上形成所述多個導電圖案 120、121、122 及 130 作為實例。

【0028】 所述多個導電圖案 120、121、122 及 130 可包括位於第一區 A 上的第一導電圖案 120、121 及 122 以及位於第二區 B 上的第二導電圖案 130。第一導電圖案 120、121 及 122 可包括排列於第二方向 (Y) 上的第一電力分配圖案 121、第二電力分配圖案 122 及配線圖案 120。第一電力分配圖案 121 及第二電力分配圖案 122 可在與第二方向 (Y) 交叉的第一方向 (X) 上延伸。根據實例性實施例, 第一電力分配圖案 121 可將第一電力 VDD 供應至單元, 且第二電力分配圖案 122 可將低於第一電力 VDD 的第二電力 VSS 供應至單元。配線圖案 120 設置於與第一電力分配圖案 121 及第二電力分配圖案 122 相同的水平高度處且可在與第二方向 (Y) 相交的第一方向 (X) 上延伸。第一導電圖案 120、121 及 122 可包含導電材料。舉例而言, 第一導電圖案 120、121 及 122 可包含貴金屬。具體而言, 第一導電圖案可包含

鈦 (Ru)、銠 (Rh)、鈀 (Pd)、銀 (Ag)、銱 (Ir)、鉑 (Pt)、金 (Au) 或諸如此類。

【0029】 第二導電圖案 130 可排列於第二方向 (Y) 上。第二導電圖案 130 可作為對準鍵及/或覆疊圖案。第二導電圖案 130 可包含與第一導電圖案 120、121 及 122 的材料實質上相同的材料，但並不僅限於此。由於配線圖案 120 的寬度窄於第二導電圖案 130 的寬度，因此存在於第一區 A 中的配線圖案 120 的數目可大於存在於第二區 B 中的第二導電圖案 130 的數目。因此，第一區 A 可具有較第二區 B 高的圖案密度。第一區 A 的圖案密度可為第一導電圖案 120、121 及 122 的圖案密度，且第二區 B 的圖案密度可為第二導電圖案 130 的圖案密度。

【0030】 停止件層 125 及 126 可包括第一停止件層 125 及第二停止件層 126。第一停止件層 125 可設置於第一導電圖案 120、121 及 122 上。第二停止件層 126 可設置於第二導電圖案 130 上。第二停止件層 126 可減輕或防止對第二區 B 上的第二導電圖案 130 的損壞且可在後續製程中保護充當對準鍵及/或覆疊圖案的第二導電圖案 130。第二停止件層 126 可例如由氧化物、氮化物及氮氧化物形成，且詳細而言可包含 SiO、SiN、SiCN、SiOC、SiON 及 SiOCN 中的至少一種。

【0031】 第一層間絕緣層 151 可存在於第二區 B 上。第一層間絕緣層 151 可覆蓋基板 101 的上表面。第一層間絕緣層 151 可設置於第二導電圖案 130 之間。第一層間絕緣層 151 的上表面可位於

低於第二導電圖案 130 的上表面的水平高度處。第一層間絕緣層 151 可包含例如氧化物、氮化物、氮氧化物及低介電常數介電質中的至少一種。在一些實施例中，低介電常數介電質可由 SiOC、SiO、SiOF 或 SiCOH 形成。本文中所使用的「表面 A 低於表面 B」(或類似語言)意指表面 A 較表面 B 更靠近基板 101。

【0032】 第二層間絕緣層 152 可設置於第一區 A 及第二區 B 上。第二層間絕緣層 152 可設置於第一導電圖案 120、121、122 及第二導電圖案 130 之間。第二層間絕緣層 152 可覆蓋基板 101 及第一層間絕緣層 151。第二層間絕緣層 152 的上表面可與第一導電圖案 120、121、122 的上表面及第二導電圖案 130 的上表面實質上共面。根據一些實施例，第二停止件層 126 的上表面可位於較第二層間絕緣層 152 的上表面高的水平高度處。第二層間絕緣層 152 可延伸至基板 101 的一部分中(例如，穿過基板 101 的一部分)。第二層間絕緣層 152 可為例如氧化物層。第二層間絕緣層 152 可包含與第一層間絕緣層 151 的材料實質上相同的材料，但並不僅限於此。

【0033】 圖 4 至圖 8 是說明根據實例性實施例的製造半導體裝置的方法的剖視圖。圖 4 至圖 8 說明圖 2 的半導體裝置的沿著線 I-I' 截取的橫截面。

【0034】 參考圖 1 及圖 4，於在第一區 A 上形成第一導電圖案 120、121、122 且在第二區 B 上形成第二導電圖案 130 (方塊

S1) 之後，可形成第一層間絕緣層 151 (方塊 S2)。

【0035】 首先，可在第一區 A 上形成第一導電圖案 120、121 及 122 且在第二區 B 上形成第二導電圖案 130 (方塊 S1)。設置於第一區 A 上的第一電力分配圖案 121 及第二電力分配圖案 122 以及配線圖案 120 之間間距可小於設置於第二區 B 上的第二導電圖案 130 之間間距。在形成第一導電圖案 120、121 及 122 及第二導電圖案 130 之後，可在第一導電圖案 120、121 及 122 上形成第一停止件層 125 且在第二導電圖案 130 上形成第二停止件層 126。根據一些實施例，在圖案密度相對高的第一區 A 中，配線圖案 120 上的第一停止件層 125 的上表面可設置於低於第一電力分配圖案 121 及第二電力分配圖案 122 上的第一停止件層 125 的上表面的水平高度處。另外，配線圖案 120 上的第一停止件層 125 的上表面可設置於低於第二導電圖案 130 上的第二停止件層 126 的上表面的水平高度處，但本揭露並不僅限於此。

【0036】 接下來，可形成第一層間絕緣層 151 以覆蓋基板 101、第一導電圖案 120、121 及 122、第二導電圖案 130、第一停止件層 125 及第二停止件層 126。如圖 4 中所說明，第一層間絕緣層 151 的上表面被說明為在第一區 A 與第二區 B 上具有實質上相同的水平高度，但本揭露並不僅限於此。舉例而言，具有相對高的圖案密度的第一區 A 上的第一層間絕緣層 151 的上表面可位於高於第二區 B 上的第一層間絕緣層 151 的上表面的水平高度處。

【0037】 參考圖 1 及圖 5，可暴露出第一區 A 上的第一層間絕緣

層 151，且可形成設置於第二區 B 上的第一層間絕緣層 151 上的光阻劑圖案 200（方塊 S3）。接下來，可使用光阻劑圖案 200 作為蝕刻遮罩來蝕刻第一區 A 上的第一層間絕緣層 151 的至少一部分（方塊 S4）。

【0038】 於在不形成光阻劑圖案 200 的情況下執行後續化學機械拋光（CMP）製程的情形中，由於在具有相對較低的圖案密度的第二區 B 中較在具有高圖案密度的第一區 A 中發生更多的化學機械拋光（CMP），因此會發生凹陷。在已發生凹陷的第二區 B 中，在化學機械拋光（CMP）繼續時會暴露出第二停止件層 126，且若過度地執行化學機械拋光（CMP）製程，則第二區 B 上的第二停止件層 126 被拋光成變薄或被移除，因此會導致加諸於第二區 B 上的第二導電圖案 130 的損壞。因此，在後續製程中，第二導電圖案 130 可無法作為對準鍵及/或覆疊圖案而適當地發揮功能。因此，暴露出具有高圖案密度的第一區 A，在具有低圖案密度的第二區 B 上形成光阻劑圖案 200，且使用光阻劑圖案 200 在第一區 A 及第二區 B 上的第一層間絕緣層 151 中形成階梯，藉此減輕/防止以上問題。

【0039】 具體而言，可使用光阻劑圖案 200 蝕刻第一區 A 中的第一層間絕緣層 151 的至少一部分（方塊 S4）。第一層間絕緣層 151 可由相對於光阻劑圖案 200 具有蝕刻選擇性的材料形成。另外，可經由例如乾式蝕刻製程及/或濕式蝕刻製程來執行蝕刻第一區 A 上的第一層間絕緣層 151 的至少一部分的製程。在蝕刻第一

區 A 上的第一層間絕緣層 151 的至少一部分（方塊 S4）之後，第二區 B 上的第一層間絕緣層 151 的上表面可位於高於第一區 A 上的第一層間絕緣層 151 的上表面的水平高度處。舉例而言，第二區 B 上的第一層間絕緣層 151 的上表面可位於較第一區 A 上的第一層間絕緣層 151 的上表面高約 500 埃至約 1500 埃的水平高度處。具體而言，第二區 B 上的第一層間絕緣層 151 的上表面可位於較第一區 A 上的第一層間絕緣層 151 的上表面高約 500 埃至約 1000 埃的水平高度處。在實例性實施例中，已量測出第二區 B 上的第一層間絕緣層 151 的上表面位於較第一區 A 上的第一層間絕緣層 151 的上表面高約 700 埃的水平高度處。若第二區 B 上的第一層間絕緣層 151 的上表面與第一區 A 上的第一層間絕緣層 151 的上表面之間的水平高度差小於約 500 埃，則在後續製程中，第二停止件層 126 被移除且第二導電圖案 130 可受損。若第二區 B 上的第一層間絕緣層 151 的上表面與第一區 A 上的第一層間絕緣層 151 的上表面之間的水平高度差大於約 1500 埃，則第一導電圖案 120、121 及 122 可受損，且半導體裝置的電性特性可減弱或劣化。

【0040】 參考圖 1 及圖 6，在移除光阻劑圖案 200 之後，可執行第一拋光製程（例如，化學機械拋光（CMP）製程）以暴露出第一停止件層 125 的上表面（方塊 S5）。

【0041】 當在進行第一拋光製程時，可降低第一區 A 及第二區 B 上的第一層間絕緣層 151 的上表面的水平高度。在執行第一拋光

製程之後，第一區 A 上的第一層間絕緣層 151 的上表面可位於低於第二區 B 上的第一層間絕緣層 151 的上表面的水平高度處。舉例而言，第二區 B 上的第一層間絕緣層 151 的上表面可位於高於第一區 A 上的第一層間絕緣層 151 的上表面的水平高度處。因此，在移除第一停止件層 125 的後續製程中，第二區 B 上的第一層間絕緣層 151 可部分地保護第二停止件層 126。

【0042】 參考圖 1 及圖 7，可藉由蝕刻來移除第一停止件層 125（方塊 S6）。

【0043】 可藉由回蝕製程移除第一停止件層 125。蝕刻第一區 A 上的第一停止件層 125 可包括進行蝕刻以暴露出第一導電圖案 120、121 及 122 的上表面。並且，蝕刻第一停止件層 125 可包括蝕刻第一層間絕緣層 151 的一部分及第二停止件層 126 的一部分。舉例而言，在移除第一停止件層 125 的製程中，可移除第一層間絕緣層 151 的一部分及第二停止件層 126 的一部分。並且，可移除基板 101 的一部分，但並不僅限於此。由於移除第一停止件層 125 的製程，可在第一導電圖案 120、121 及 122 之間以及在第二導電圖案 130 之間形成開口 OH。在移除第一停止件層 125 之前的操作中，第二區 B 上的第一層間絕緣層 151 的上表面可位於高於第一區 A 上的第一層間絕緣層 151 的上表面的水平高度處。另外，第一停止件層 125 及第二停止件層 126 與第一層間絕緣層 151 可相對於彼此具有蝕刻選擇性，且第一停止件層 125 及第二停止件層 126 與第二層間絕緣層 152 可相對於彼此具

有蝕刻選擇性。因此，在移除第一停止件層 125 之後，第二區 B 上的第一層間絕緣層 151 及第二停止件層 126 可保留下來。

【0044】 參考圖 1 及圖 8，可在第一導電圖案 120、121 及 122 及第二導電圖案 130 上形成第二層間絕緣層 152 以填充開口 OH（方塊 S7）。

【0045】 第一區 A 上的第二層間絕緣層 152 的上表面與第二區 B 上的第二層間絕緣層 152 的上表面可共面，但本揭露並不僅限於此。第二層間絕緣層 152 可接觸第一導電圖案 120、121 及 122 的上表面、基板 101 的上表面、第一層間絕緣層 151 的上表面及第二停止件層 126。

【0046】 接下來，參考圖 1 及圖 3，可執行第二拋光製程（例如，化學機械拋光（CMP）製程）以暴露出第一導電圖案 120、121 及 122 的上表面（方塊 S8）。

【0047】 當進行第二拋光製程時，第二停止件層 126 可保護第二導電圖案 130。因此，當執行後續製程時，第二導電圖案 130 可充當對準鍵及/或覆疊圖案。在執行第二拋光製程之後，第一導電圖案 120、121 及 122 的上表面與第二層間絕緣層 152 的上表面可形成共面表面，但並不僅限於此。在執行第二拋光製程之後，第二停止件層 126 可保留下來。因此，在第二拋光操作之後，第二停止件層 126 的上表面可位於高於第一導電圖案 120、121 及 122 的上表面的水平高度處。

【0048】 圖 9 是說明根據實例性實施例的半導體裝置的剖視圖。

圖 9 說明根據一些其他實施例的圖 2 的半導體裝置的沿著切割線 I-I' 截取的橫截面。在以下說明中，將省略與參考圖 1 至圖 3 提供的以上說明重複的說明。

【0049】 參考圖 9，半導體裝置 100a 可包括下部絕緣層 102；第一導電圖案 120、121 及 122 以及第二導電圖案 130，位於下部絕緣層 102 上，第二導電圖案 130 上形成有第二停止件層 126；第一層間絕緣層 151；及第二層間絕緣層 152。半導體裝置 100a 可更包括通孔 109。

【0050】 下部絕緣層 102 可包括第一區 A 及第二區 B。下部絕緣層 102 可包含與第一層間絕緣層 151 及第二層間絕緣層 152 實質上相同的材料，但並不僅限於此。下部絕緣層 102 可設置於上面形成有基板 101 的主動區的表面上。下部絕緣層 102 可具有前段製程（front-end-of-line，FEOL）結構及/或中段製程（middle-of-line，MOL）結構。下部絕緣層 102 可包含低介電常數介電材料及/或氧化矽。舉例而言，所述低介電常數介電材料可包括可流動氧化物（flowable oxide，FOX）、東燃矽氮烷（tonen silazen，TOSZ）、未經摻雜的二氧化矽玻璃（undoped silica glass，USG）、硼矽酸鹽玻璃（borosilicate glass，BSG）、磷矽酸鹽玻璃（phosphosilicate glass，PSG）、硼磷矽酸鹽玻璃（borophosphosilicate glass，BPSG）、電漿增強原矽酸四乙酯（plasma enhanced tetra ethyl ortho silicate，PETEOS）、氟化物矽酸鹽玻璃（fluoride silicate glass，FSG）、高密度電漿（high

density plasma，HDP) 氧化物、電漿增強氧化物 (plasma enhanced oxide，PEOX)、可流動化學氣相沈積 (flowable chemical vapor deposition，FCVD) 氧化物或其組合。

【0051】 下部絕緣層 102 中可形成有通孔 109。通孔 109 可穿過下部絕緣層 102 的至少一部分。通孔 109 可接觸第一導電圖案 120、121 及 122 中的至少一者。舉例而言，通孔 109 可接觸配線圖案 120。通孔 109 可具有其中根據縱橫比下部部分的寬度小於上部部分的寬度的傾斜側表面。通孔 109 可包含金屬材料，例如鋁 (Al)、銅 (Cu)、鎢 (W)、鈷 (Co)、鈳 (Ru) 及鉬 (Mo) 中的至少一種，但本揭露並不僅限於此。

【0052】 可藉由與圖 3 的半導體裝置 100 的製程類似的製程來製造圖 9 的半導體裝置 100a。首先，可在下部絕緣層 102 上形成通孔 109。接下來，可執行與上述圖 3 至圖 8 相同的製程。接下來，一起參考圖 9，可執行用於執行化學機械拋光 (CMP) 製程的第二拋光製程，以暴露出第一導電圖案 120、121 及 122 的上表面 (方塊 S8)。在執行第二拋光製程之後，第二停止件層 126 可保留下來。因此，當執行後續製程時，第二導電圖案 130 可充當對準鍵及/或覆疊圖案。因此，可提供具有改良的積體度及/或電性特性的半導體裝置 100a。

【0053】 如上文所述，根據一些實施例，藉由形成暴露出具有相對高的圖案密度的區的光阻劑圖案，可在第一層間絕緣層中形成階梯，且可藉由其中具有相對低的圖案密度的區中存在停止件層

的結構來提供具有改良的積體度及/或電性特性的半導體裝置及其製造方法。

【0054】 儘管本文中可使用用語（例如，第一、第二或第三）來闡述各種元件，但該些元件不應受該些用語限制。該些用語僅用於將一個元件與另一元件區分開。舉例而言，第一元件可被稱為第二元件，且類似地，第二元件可被稱為第一元件，而此並不背離本揭露的教示。

【0055】 亦應注意，在一些替代實施方案中，本文中的流程圖方塊中所提及的功能/動作可不按照流程圖中所提及的次序進行。舉例而言，事實上可實質上同時地執行連續示出的兩個方塊，或有時可按照相反的次序執行方塊，具體情形視所涉及的功能/動作而定。此外，可將流程圖及/或方塊圖的給定方塊的功能拆分至多個方塊中，及/或可至少部分地整合流程圖及/或方塊圖的兩個或更多個方塊的功能。最後，可在所說明的方塊之間添加/插入其他方塊，及/或可省略方塊/操作，而此並不背離本發明概念的範疇。

【0056】 如本文中所使用，「覆蓋」或「環繞」或「填充」另一元件或區的元件或區可完全或部分地覆蓋或環繞或填充另一元件或區。

【0057】 雖然上文已說明且闡述了實例性實施例，但對於熟習此項技術者而言將顯而易見的是，可做出修改及變化，而此並不背離隨附申請專利範圍所界定的本揭露的範疇。

【符號說明】

【0058】

100、100a:半導體裝置

101:基板

109:通孔

120:導電圖案/第一導電圖案/配線圖案

121:導電圖案/第一導電圖案/第一電力分配圖案

122:導電圖案/第一導電圖案/第二電力分配圖案

125:第一停止件層/停止件層

126:第二停止件層/停止件層

130:導電圖案/第二導電圖案

151:第一層間絕緣層

152:第二層間絕緣層

200:光阻劑圖案

A:第一區/表面

B:第二區/表面

I-I':線/切割線

OH:開口

S1、S2、S3、S4、S5、S6、S7、S8:方塊

X:第一方向

Y:第二方向

Z:第三方向

【發明申請專利範圍】

【請求項1】 一種製造半導體裝置的方法，包括：

在基板上形成多個導電圖案，所述多個導電圖案上分別形成有多個停止件層，所述基板包括具有所述多個導電圖案的第一圖案密度的第一區及具有所述多個導電圖案的第二圖案密度的第二區，且所述第二圖案密度低於所述第一圖案密度；

在所述多個導電圖案上形成第一層間絕緣層；

在所述第二區上形成光阻劑圖案，所述光阻劑圖案暴露出所述第一區上的所述第一層間絕緣層的至少一部分；

使用所述光阻劑圖案作為蝕刻遮罩來蝕刻所述第一區上的所述第一層間絕緣層；

執行第一拋光以暴露出所述多個停止件層中位於所述第一區上的第一停止件層的上表面；

蝕刻所述多個停止件層中位於所述第一區上的所述第一停止件層；

在所述多個導電圖案上形成第二層間絕緣層；以及

執行第二拋光以暴露出所述多個導電圖案中位於所述第一區上的第一導電圖案的上表面。

【請求項2】 如請求項1所述的方法，其中在執行所述第一拋光之後，所述第一層間絕緣層位於所述多個停止件層中位於所述第二區上的第二停止件層的上表面上。

【請求項3】 如請求項1所述的方法，其中在執行所述第一拋光之後，所述第一區上的所述第一層間絕緣層的上表面位於低於所述第二區上的所述第一層間絕緣層的上表面的水平高度處。

【請求項4】 如請求項1所述的方法，其中蝕刻所述多個停止件層中位於所述第一區上的所述第一停止件層暴露出所述多個導電圖案中位於所述第一區上的所述第一導電圖案。

【請求項5】 如請求項1所述的方法，其中所述多個停止件層與所述第一層間絕緣層相對於彼此具有蝕刻選擇性，且所述多個停止件層與所述第二層間絕緣層相對於彼此具有蝕刻選擇性。

【請求項6】 如請求項1所述的方法，其中在蝕刻所述多個停止件層中位於所述第一區上的所述第一停止件層之後，所述第二區上存在所述第一層間絕緣層。

【請求項7】 如請求項1所述的方法，其中所述多個導電圖案包含貴金屬。

【請求項8】 如請求項1所述的方法，其中在執行所述第二拋光之後，所述多個停止件層中位於所述第二區上的第二停止件層的上表面位於高於所述第二區上的所述第一層間絕緣層的上表面的水平高度處。

【請求項9】 一種製造半導體裝置的方法，包括：

在基板上形成第一導電圖案及第二導電圖案，所述第一導電圖案上形成有第一停止件層，所述第二導電圖案上形成有第二停止件層；

在所述第一導電圖案及所述第二導電圖案上形成第一層間絕緣層；

暴露出形成於所述基板的第一區上的所述第一層間絕緣層的至少一部分，且在形成於所述基板的第二區上的所述第一層間絕緣層上形成光阻劑圖案，所述第一區上存在所述第一導電圖案，所述第二區上存在所述第二導電圖案；

蝕刻所述基板的所述第一區上的所述第一層間絕緣層的所述至少一部分；

執行第一拋光以暴露出所述第一停止件層的上表面；

蝕刻所述第一停止件層；

在所述第一導電圖案及所述第二導電圖案上形成第二層間絕緣層；以及

執行第二拋光以暴露出所述第一導電圖案的上表面，

其中所述第一導電圖案的第一圖案密度大於所述第二導電圖案的圖案密度。

【請求項10】 一種半導體裝置，包括：

基板，包括具有第一圖案密度的第一區及具有第二圖案密度的第二區，所述第二圖案密度小於所述第一圖案密度；

多個導電圖案，包括位於所述第一區上的第一導電圖案及位於所述第二區上的第二導電圖案；

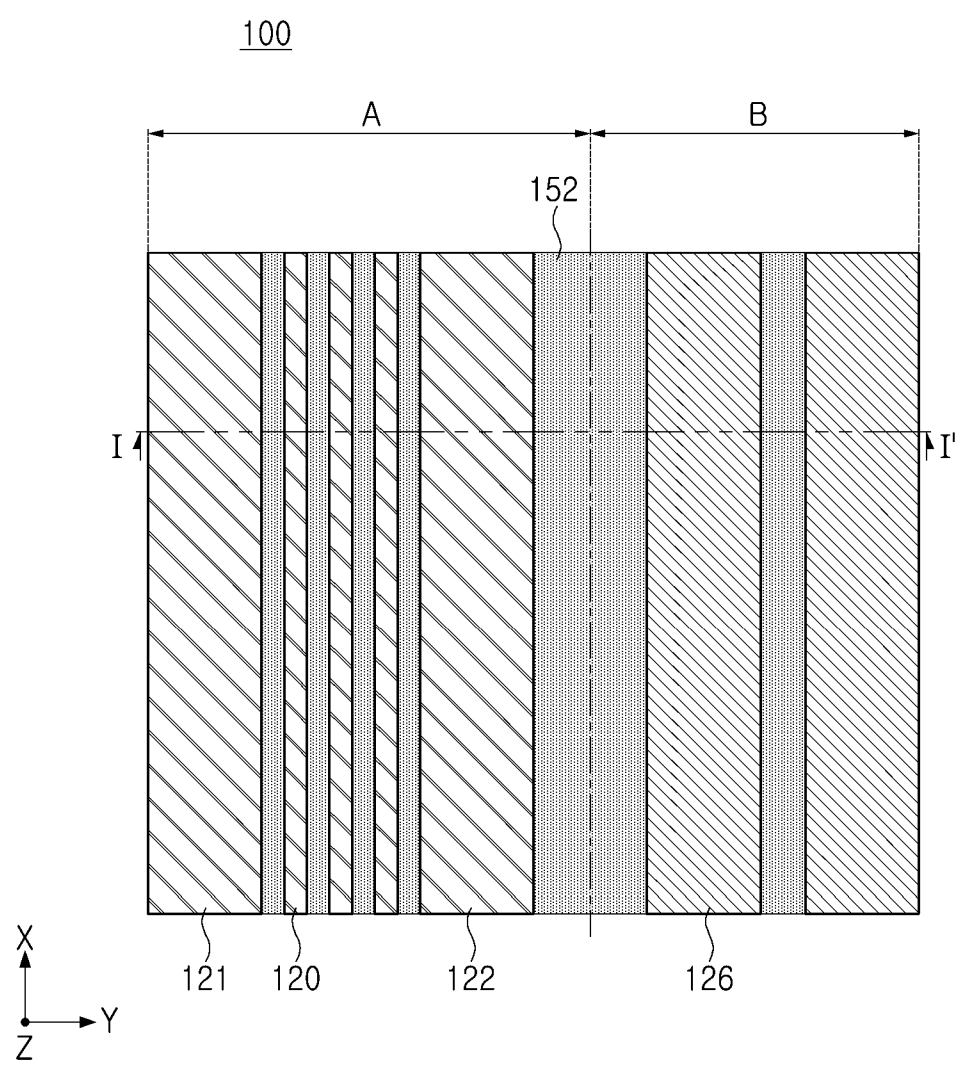
停止件層，位於所述第二導電圖案上；

第一層間絕緣層，位於所述第二區上且覆蓋所述第二導電圖

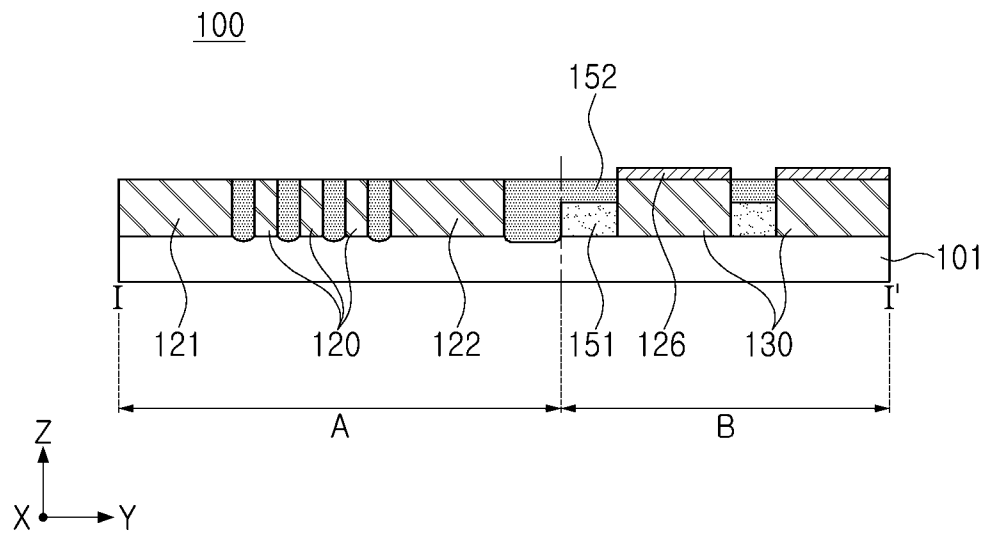
案的至少一部分；以及

第二層間絕緣層，位於所述第一區及所述第二區上且設置於所述多個導電圖案之間的相應間隙中，

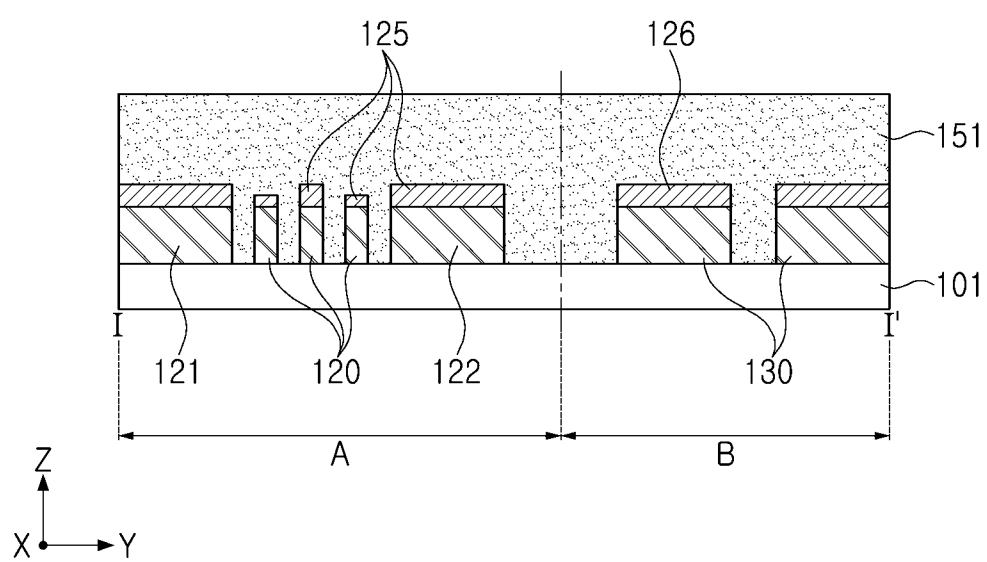
其中所述第二導電圖案是對準鍵及/或覆疊圖案。



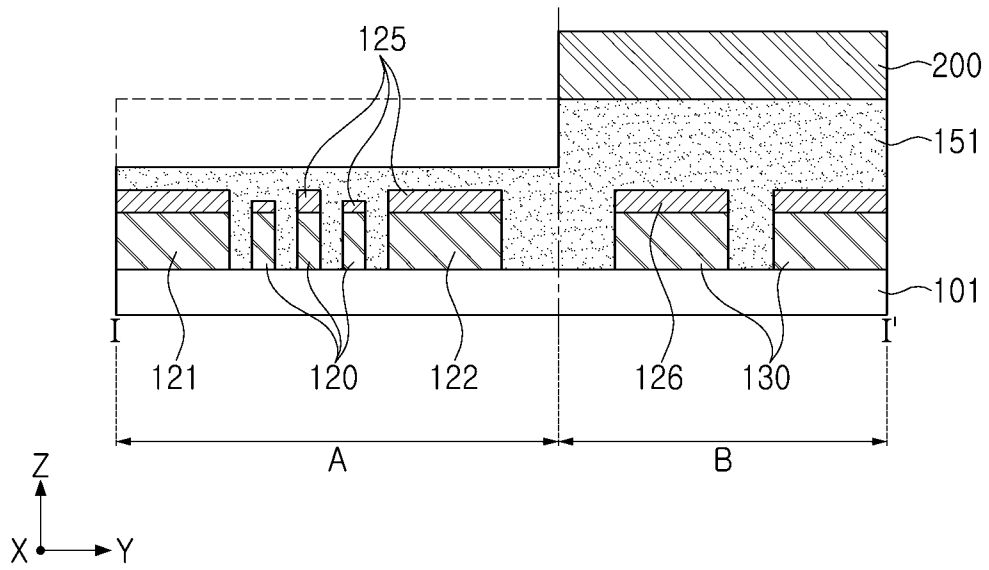
【圖2】



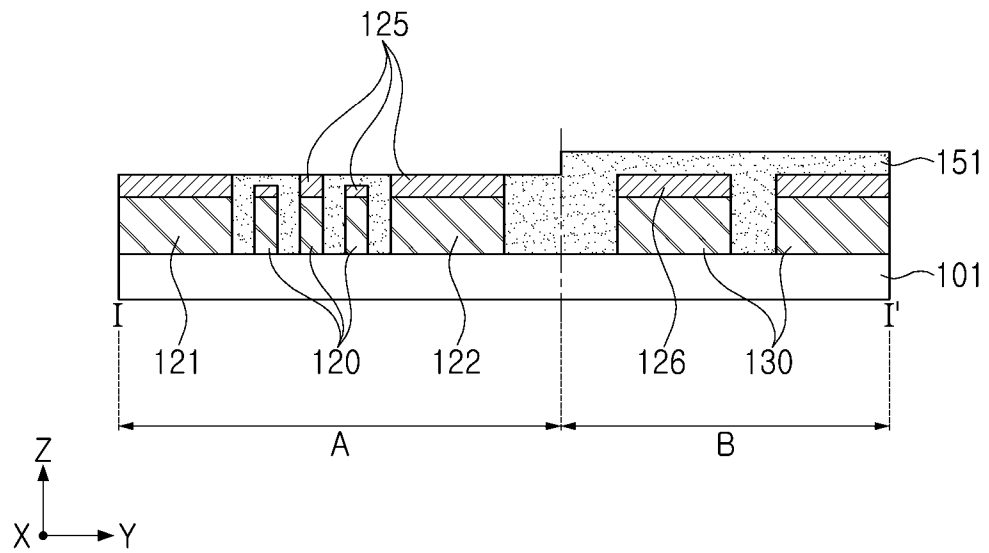
【圖3】



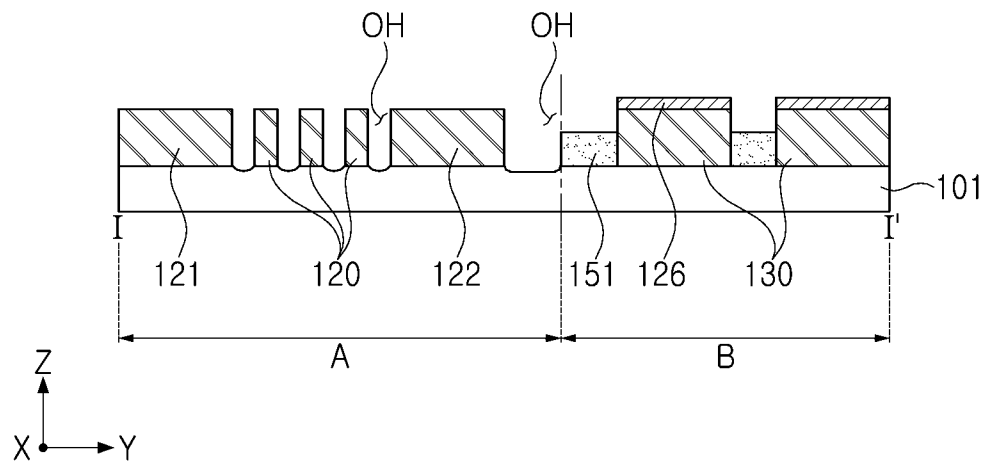
【圖4】



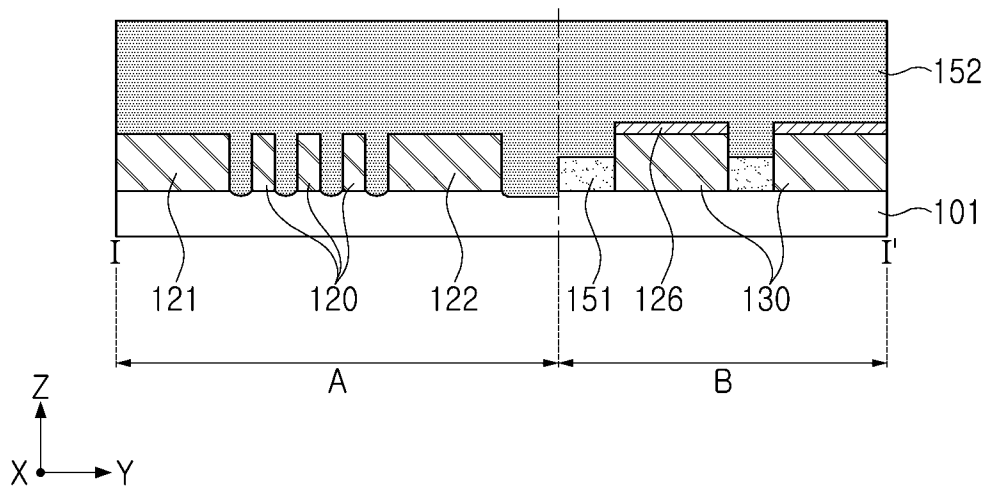
【圖5】



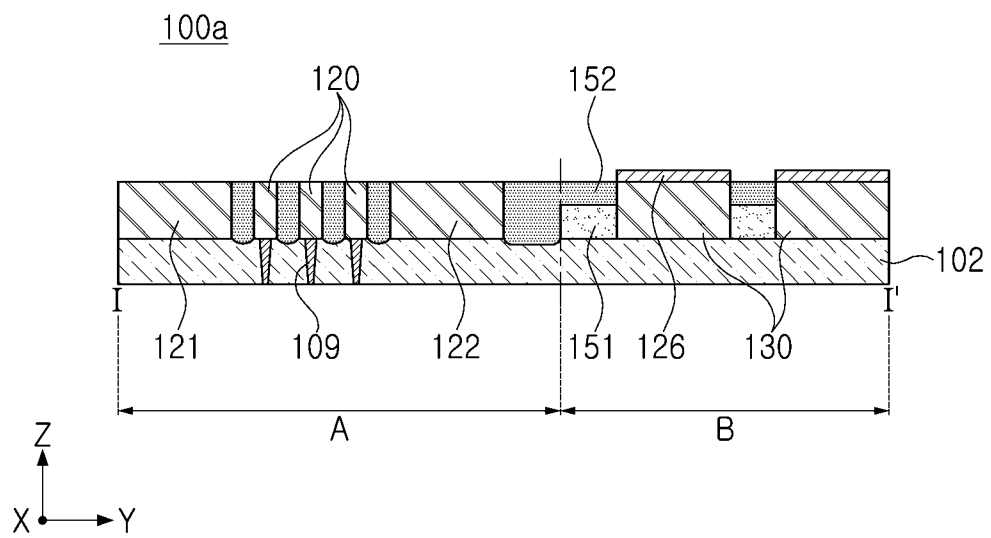
【圖6】



【圖7】



【圖8】



【圖9】