



(12) 发明专利申请

(10) 申请公布号 CN 103703557 A

(43) 申请公布日 2014. 04. 02

(21) 申请号 201180072617. 9

(51) Int. Cl.

(22) 申请日 2011. 07. 29

H01L 21/8244(2006. 01)

H01L 27/11(2006. 01)

(85) PCT国际申请进入国家阶段日  
2014. 01. 27

(86) PCT国际申请的申请数据  
PCT/JP2011/067478 2011. 07. 29

(87) PCT国际申请的公布数据  
W02013/018163 JA 2013. 02. 07

(71) 申请人 瑞萨电子株式会社  
地址 日本神奈川县

(72) 发明人 柴田健 柳谷优太

(74) 专利代理机构 北京市金杜律师事务所  
11256  
代理人 陈伟 金杨

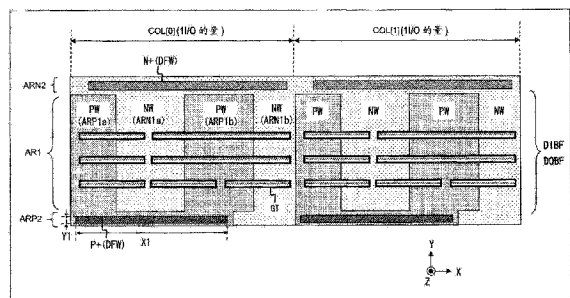
权利要求书4页 说明书22页 附图28页

(54) 发明名称

半导体器件及半导体器件的制造方法

(57) 摘要

提供一种具有高自由度的布局的半导体器件及该半导体器件的制造方法。在该半导体器件中，在第1部分(AR1)中，沿X轴方向交替地邻接地配置有多个p型阱(PW)和多个n型阱(NW)，在沿Y轴方向夹着该AR1的一侧配置有相对于该多个PW的公共的供电区域(ARP2)，在另一侧配置有相对于该多个NW的公共的供电区域(ARN2)。例如，在相对于PW的供电区域(ARP2)内形成有在X轴方向上具有细长形状的p<sup>+</sup>型的供电用扩散层(P<sup>+</sup>(DFE))。在AR1中，配置有跨着PW、NW的边界且沿X轴方向延伸的多个栅极层(GT)。由此形成多个MIS晶体管。



1. 一种半导体器件,其特征在于,具有:  
包含第 1 部分至第 3 部分的第 1 导电型的第 1 阱区域;  
具有比所述第 1 阱区域高的杂质浓度的所述第 1 导电型的第 1 供电区域;和  
包含第 4 部分的第 2 导电型的第 2 阱区域,  
所述第 1 部分和所述第 2 部分在第 1 方向上与所述第 4 部分的两侧邻接地配置,  
所述第 3 部分具有向着所述第 1 方向延伸的形状,并在与所述第 1 方向相交的第 2 方向上与所述第 1 部分及第 2 部分连结且与所述第 4 部分邻接地配置,  
所述第 1 供电区域在所述第 3 部分内以大致矩形形状形成,并经由所述第 1 阱区域而对所述第 1 部分和所述第 2 部分供给规定的电压,  
所述第 1 供电区域的所述第 1 方向上的尺寸大于所述第 2 方向上的尺寸。
2. 如权利要求 1 所述的半导体器件,其特征在于,  
所述第 1 供电区域包含在所述第 2 方向上与所述第 4 部分相对地配置的区间。
3. 如权利要求 1 所述的半导体器件,其特征在于,还具有:  
第 1 栅极层,其跨着所述第 1 部分与所述第 4 部分的边界或所述第 4 部分与所述第 2 部分的边界,并向着所述第 1 方向而延伸;  
所述第 2 导电型的第 1 半导体区域,其形成在所述第 1 部分或所述第 2 部分上,并成为以所述第 1 栅极层为栅极的 MIS 晶体管的源极-漏极区域;和  
所述第 1 导电型的第 2 半导体区域,其形成在所述第 4 部分上,并成为以所述第 1 栅极层为栅极的 MIS 晶体管的源极-漏极区域。
4. 如权利要求 3 所述的半导体器件,其特征在于,  
还具有虚拟栅极层,该虚拟栅极层与所述第 1 栅极层并列地延伸,并在所述第 2 方向上配置在所述第 1 栅极层与所述第 1 供电区域之间,  
所述虚拟栅极层在所述第 1 供电区域侧不具有成为源极或漏极的半导体区域。
5. 如权利要求 1 所述的半导体器件,其特征在于,还具有:  
存储阵列,其包括向着所述第 1 方向延伸的字线、向着所述第 2 方向延伸的多条位线、和配置在所述字线与多条所述位线的交点处的多个存储单元;以及  
对多条所述位线进行信号的输入输出的列控制电路,  
多个所述存储单元各自所含有的 MIS 晶体管的栅极层向着所述第 1 方向延伸,  
在所述第 1 阱区域及所述第 2 阱区域中形成有所述列控制电路的一部分。
6. 如权利要求 5 所述的半导体器件,其特征在于,  
在所述第 1 阱区域及第 2 阱区域形成有:读取向多条所述位线施加的外部输入数据的输入缓冲电路、和将从多条所述位线读取的信号作为外部输出数据而输出的输出缓冲电路。
7. 如权利要求 1 所述的半导体器件,其特征在于,  
所述半导体器件具有向着所述第 1 方向依次并列地配置的多个第 1 单位区域,  
多个所述第 1 单位区域分别具有包含所述第 1 部分至第 3 部分的所述第 1 阱区域、所述第 1 供电区域、和包含所述第 4 部分的所述第 2 阱区域,  
多个所述第 1 单位区域各自所含有的所述第 1 阱区域的所述第 3 部分跨着多个所述第 1 单位区域而被共同连结。

8. 如权利要求 1 所述的半导体器件,其特征在于,  
还具有所述第 2 导电型的第 2 供电区域,该第 2 供电区域具有比所述第 2 阱区域高的杂质浓度,

所述第 2 阱区域还具有:

第 5 部分,其在所述第 1 方向上隔着所述第 2 部分而与所述第 4 部分相对地配置;和  
第 6 部分,其具有朝向所述第 1 方向延伸的形状,并在所述第 2 方向上的、隔着所述第 4 部分、第 2 部分、第 5 部分而与所述第 3 部分相对的一侧,与所述第 4 部分及第 5 部分连结且与所述第 2 部分邻接地配置,

所述第 2 供电区域在所述第 6 部分内以大致矩形形状形成,并经由所述第 2 阱区域而对所述第 4 部分和所述第 5 部分供给规定的电压,

所述第 2 供电区域的所述第 1 方向上的尺寸大于所述第 2 方向上的尺寸。

9. 如权利要求 8 所述的半导体器件,其特征在于,还具有:

第 2 栅极层,其跨着所述第 1 部分与所述第 4 部分的边界、所述第 4 部分与所述第 2 部分的边界、或所述第 2 部分与所述第 5 部分的边界,并向着所述第 1 方向而延伸;

所述第 2 导电型的第 3 半导体区域,其形成在所述第 1 部分或所述第 2 部分上,并成为以所述第 2 栅极层为栅极的 MIS 晶体管的源极-漏极区域;和

所述第 1 导电型的第 4 半导体区域,其形成在所述第 4 部分或所述第 5 部分上,并成为以所述第 2 栅极层为栅极的 MIS 晶体管的源极-漏极区域。

10. 如权利要求 8 所述的半导体器件,其特征在于,

所述半导体器件具有向着所述第 1 方向依次并列地配置的多个第 2 单位区域,

多个所述第 2 单位区域分别具有包含所述第 1 部分至第 3 部分的所述第 1 阱区域、所述第 1 供电区域、包含所述第 4 部分至第 6 部分的所述第 2 阱区域、和所述第 2 供电区域,

多个所述第 2 单位区域各自所含有的所述第 1 阱区域的所述第 3 部分跨着多个所述第 2 单位区域而被共同连结。

11. 一种半导体器件,其特征在于,具有:

包含第 1 部分至第 4 部分的第 1 导电型的第 1 阱区域;

具有比所述第 1 阱区域高的杂质浓度的所述第 1 导电型的第 1 供电区域;和

第 2 导电型的第 2 阱区域至第 4 阱区域,

所述第 1 部分和所述第 2 部分在第 1 方向上与所述第 2 阱区域的两侧邻接地配置,

所述第 3 阱区域和所述第 4 阱区域在所述第 1 方向上与所述第 3 部分的两侧邻接地配置,

所述第 4 部分具有向着所述第 1 方向延伸的形状,并在与所述第 1 方向相交的第 2 方向上的一侧,与所述第 1 部分及第 2 部分连结且与所述第 2 阱区域邻接,在所述第 2 方向上的另一侧,与所述第 3 部分连结且与所述第 3 阱区域及第 4 阱区域邻接地配置,

所述第 1 供电区域在所述第 4 部分内以大致矩形形状形成,并经由所述第 1 阱区域而对所述第 1 部分至第 3 部分供给规定的电压,

所述第 1 供电区域的所述第 1 方向上的尺寸大于所述第 2 方向上的尺寸。

12. 如权利要求 11 所述的半导体器件,其特征在于,

所述第 4 部分与所述第 3 部分之间的连结部分的长度不同于所述第 4 部分与所述第 1

部分之间的连结部分的长度、或所述第 4 部分与所述第 2 部分之间的连结部分的长度。

13. 如权利要求 11 所述的半导体器件,其特征在于,

所述半导体器件具有向着所述第 1 方向依次并列地配置的多个第 1 单位区域,

多个所述第 1 单位区域分别具有包含所述第 1 部分至第 4 部分的所述第 1 阱区域、所述第 1 供电区域、和所述第 2 阱区域至第 4 阱区域,

在所述第 1 单位区域内,在所述第 2 方向上的一侧与所述第 4 部分连结的所述第 1 阱区域的部分的数量、和在所述第 2 方向上的另一侧与所述第 4 部分连结的所述第 1 阱区域的部分的数量不同。

14. 如权利要求 13 所述的半导体器件,其特征在于,

还具有所述第 2 导电型的第 2 供电区域,该第 2 供电区域形成在所述第 3 阱区域或所述第 4 阱区域内,并具有比所述第 3 阱区域或所述第 4 阱区域高的杂质浓度,

所述第 2 供电区域的所述第 2 方向上的尺寸大于所述第 1 方向上的尺寸。

15. 如权利要求 11 所述的半导体器件,其特征在于,还具有:

第 1 栅极层,其跨着所述第 1 部分与所述第 2 阱区域的边界或所述第 2 阱区域与所述第 2 部分的边界,并向着所述第 1 方向延伸;

所述第 2 导电型的第 1 半导体区域,其形成在所述第 1 部分或所述第 2 部分上,并成为以所述第 1 栅极层为栅极的 MIS 晶体管的源极-漏极区域;

所述第 1 导电型的第 2 半导体区域,其形成在所述第 2 阱区域中,并成为以所述第 1 栅极层为栅极的 MIS 晶体管的源极-漏极区域;

第 2 栅极层,其跨着所述第 3 阱区域与所述第 3 部分的边界或所述第 3 部分与所述第 4 阱区域的边界,并向着所述第 1 方向延伸;

所述第 2 导电型的第 3 半导体区域,其形成在所述第 3 部分上,并成为以所述第 2 栅极层为栅极的 MIS 晶体管的源极-漏极区域;和

所述第 1 导电型的第 4 半导体区域,其形成在所述第 3 阱区域或所述第 4 阱区域中,并成为以所述第 2 栅极层为栅极的 MIS 晶体管的源极-漏极区域。

16. 如权利要求 15 所述的半导体器件,其特征在于,还具有:

第 1 虚拟栅极层,其与所述第 1 栅极层并列地延伸,并在所述第 2 方向上配置在所述第 1 栅极层与所述第 1 供电区域之间;和

第 2 虚拟栅极层,其与所述第 2 栅极层并列地延伸,并在所述第 2 方向上配置在所述第 2 栅极层与所述第 1 供电区域之间,

所述第 1 虚拟栅极层及第 2 虚拟栅极层在所述第 1 供电区域侧不具有成为源极或漏极的半导体区域。

17. 如权利要求 11 所述的半导体器件,其特征在于,

在所述第 1 部分至第 3 部分的任一部分中,还形成有具有比所述第 1 阱区域高的杂质浓度的所述第 1 导电型的第 3 供电区域,

所述第 3 供电区域的所述第 2 方向上的尺寸大于所述第 1 方向上的尺寸。

18. 一种半导体器件的制造方法,其特征在于,具有以下工序:

(a) 在半导体衬底上形成包含第 4 部分的第 2 导电型的第 2 阱区域的工序;

(b) 在所述半导体衬底上形成第 1 导电型的第 1 阱区域的工序,该第 1 阱区域包含在

第 1 方向上与所述第 4 部分的两侧邻接地配置的第 1 部分及第 2 部分、和在与所述第 1 方向相交的第 2 方向上与所述第 1 部分及第 2 部分连结并且与所述第 4 部分邻接地配置的第 3 部分；

(c) 在所述第 1 阱区域及第 2 阱区域上形成第 1 绝缘膜的工序,该第 1 绝缘膜形成在除第 1 源极-漏极图案、第 2 源极-漏极图案、以及供电图案以外的部位,其中,所述第 1 源极-漏极图案为所述第 4 部分的一部分区域,所述第 2 源极-漏极图案为所述第 1 部分或所述第 2 部分的一部分区域,所述供电图案为所述第 3 部分的一部分区域且为所述第 1 方向上的尺寸大于所述第 2 方向上的尺寸的大致矩形形状的区域；

(d) 形成栅极层的工序,该栅极层具有线状的形状,并向着所述第 1 方向且跨在所述第 1 源极-漏极图案上及所述第 2 源极-漏极图案上而延伸；

(e) 通过掩模加工对所述栅极层的一部分进行蚀刻的工序；和

(f) 向所述第 1 源极-漏极图案导入所述第 1 导电型的杂质、向所述第 2 源极-漏极图案导入所述第 2 导电型的杂质、向所述供电图案导入所述第 1 导电型的杂质的工序。

19. 如权利要求 18 所述的半导体器件的制造方法,其特征在于,

所述供电图案包含有在所述第 2 方向上与所述第 4 部分相对地配置的区域。

20. 如权利要求 18 所述的半导体器件的制造方法,其特征在于,

所述栅极层隔着栅极绝缘膜而搭载在所述第 1 源极-漏极图案及第 2 源极-漏极图案上,

所述栅极绝缘膜具有比二氧化硅高的介电常数,

所述栅极层由金属膜形成。

## 半导体器件及半导体器件的制造方法

### 技术领域

[0001] 本发明涉及半导体器件及半导体器件的制造方法,尤其涉及适用于具有 SRAM 等存储器的半导体器件及其制造方法的有效技术。

### 背景技术

[0002] 例如,专利文献 1 及专利文献 2 公开了动态型 RAM 中的存储阵列的阱配置。具体而言,在 p 型衬底或深阱内,与 n 型阱的两侧邻接地形成有 p 型阱,在 p 型阱内形成有存储单元的选择晶体管、读出放大器等 n 沟道型 MOSFET,在 n 型阱内形成有读出放大器等 p 沟道型 MOSFET。另外,专利文献 2 公开了动态型 RAM 中的存储阵列的周边电路和输入输出电路的阱配置。具体而言,以字线的延伸方向为长度方向而具有细长形状的 n 型阱及 p 型阱沿着字线的排列方向交替地配置。

[0003] 现有技术文献

[0004] 专利文献

[0005] 专利文献 1:日本特开平 11-54726 号公报

[0006] 专利文献 2:日本特开平 8-181292 号公报

### 发明内容

[0007] 近年来,半导体器件的微细化日益推进。其中,例如,在搭载有存储器等的半导体器件中,使用将 p 型阱和 n 型阱交替地配置那样的布局。在 p 型阱内形成有 n 沟道型 MOSFET,在 n 型阱内形成有 p 沟道型 MOSFET,但需要在各阱内确保除了对这样的 MOSFET 以外还用于对阱进行供电的供电区域。此时,根据本发明人等的研究发现,若仅单纯地确保供电区域,则布局的自由度会下降,其结果是,可能妨碍半导体器件的小面积化(微细化)。

[0008] 尤其是,在采用最小加工尺寸为例如 28nm 等的制造工艺的情况下,为了充分地确保加工精度,期望在半导体器件(半导体芯片)上使栅极层全部沿同一方向延伸。但是,若使栅极层全部沿同一方向延伸,则与不限制栅极层的延伸方向的情况相比,布局的自由度下降,因此,从结果上来看,存在无法实现半导体器件的小面积化(微细化)的情况。在这样的情况下,与上述的供电区域一起,谋求更加有效的布局方法。

[0009] 本发明是鉴于该情况而研发的,其目的之一在于提供具有自由度高的布局的半导体器件及该半导体器件的制造方法。本发明的上述目的和其他目的、以及新特征能够通过本说明书的记载及附图得以明确。

[0010] 如下简单说明本申请所公开的发明中的具有代表性的实施方式的概要。

[0011] 本实施方式的半导体器件具有:包含第 1 部分(ARN1a)、第 2 部分(ARN1b)、第 3 部分(ARN2)的第 1 导电型的第 1 阱区域(NW);具有比第 1 阱区域高的杂质浓度的第 1 导电型的第 1 供电区域(N+(DFW));和包含第 4 部分(ARP1b)的第 2 导电型的第 2 阱区域(PW)。第 1 部分(ARN1a)和第 2 部分(ARN1b)在第 1 方向上与第 4 部分(ARP1b)的两侧邻接地配置。第 3 部分(ARN2)具有向着第 1 方向延伸的形状,并在与第 1 方向相交的第 2 方向上,与

第 1 部分(ARN1a)及第 2 部分(ARN1b)连结且与第 4 部分(ARP1b)邻接地配置。第 1 供电区域(N+ (DFW))在第 3 部分(ARN2)内以大致矩形形状形成,经由第 1 阱区域(NW)而对第 1 部分(ARN1a)和上述第 2 部分(ARN1b)供给规定的电压。在此,第 1 供电区域(N+ (DFW))形成为第 1 方向上的尺寸大于第 2 方向上的尺寸。

[0012] 另外,本实施方式的半导体器件的制造方法具有(a)~(f)工序。在(a)工序中,在半导体衬底(SUBp)上形成包含第 4 部分(ARP1b)的第 2 导电型的第 2 阱区域(PW)。在(b)工序中,在半导体衬底(SUBp)上形成第 1 导电型的第 1 阱区域(NW),该第 1 阱区域(NW)包括在第 1 方向上与第 4 部分(ARP1b)的两侧邻接地配置的第 1 部分(ARN1a)及第 2 部分(ARN1b)、和在与第 1 方向相交的第 2 方向上与第 1 部分及第 2 部分连结且与第 4 部分邻接地配置的第 3 部分(ARN2)。在(c)工序中,在第 1 阱区域及第 2 阱区域上形成第 1 绝缘膜(STI),该第 1 绝缘膜形成在除第 1 源极-漏极图案(N+ (DF)用 PW (露出部分))、第 2 源极-漏极图案(P+ (DF)用 NW (露出部分))、以及供电图案(N+ (DFW)用 NW (露出部分))以外的部位,其中,该第 1 源极-漏极图案为第 4 部分的一部分区域,该第 2 源极-漏极图案为第 1 部分或第 2 部分的一部分区域,该供电图案为第 3 部分的一部分区域。此外,供电区域为第 1 方向上的尺寸大于第 2 方向上的尺寸的大致矩形形状的区域。在(d)工序中,形成栅极层(GT),该栅极层(GT)具有线状的形状,并向着第 1 方向且跨在第 1 源极-漏极图案上及第 2 源极-漏极图案上而延伸。在(e)工序中,通过掩模加工(GTRE)对栅极层的一部分进行蚀刻。在(f)工序中,向第 1 源极-漏极图案导入第 1 导电型的杂质,向第 2 源极-漏极图案导入第 2 导电型的杂质,向供电图案导入第 1 导电型的杂质。

[0013] 发明效果

[0014] 通过本申请所公开的发明中的具有代表性的实施方式而得到的效果,简单来说是能够提高布局的自由度。

## 附图说明

[0015] 图 1 是在本发明的实施方式 1 的半导体器件中表示其整体的概略结构例的框图。

[0016] 图 2 是表示图 1 中的存储器的使用例的说明图。

[0017] 图 3 是在图 1 的半导体器件中表示其所包括的存储器的主要部分的概略结构例的框图。

[0018] 图 4 是表示图 3 的存储器中的各存储单元的结构例的电路图。

[0019] 图 5 是表示图 4 的存储单元的布局结构例的俯视图。

[0020] 图 6 是在图 5 的存储单元中表示其 A-A' 间的概略的器件构造例的剖视图。

[0021] 图 7 是在图 3 的存储器中表示其存储阵列的一部分的概略的布局结构例的俯视图。

[0022] 图 8 是在图 3 的存储器中表示其列控制电路块的概略的结构例的电路图。

[0023] 图 9 是表示使用了图 8 的列控制电路块的实际上的结构例的示意图。

[0024] 图 10 是在图 8 及图 9 的列控制电路块中表示与其阱配置及阱供电相关的概略的布局结构例的俯视图。

[0025] 图 11 是在图 10 的布局中表示其 B-B' 间的概略的器件构造例的剖视图。

[0026] 图 12 是在图 10 的布局中表示其 C-C' 间的概略的器件构造例的剖视图。

[0027] 图 13 是在本发明的实施方式 1 的半导体器件中表示其阱配置及阱供电方式的基本概念的俯视图。

[0028] 图 14 的(a)是表示图 13 的阱配置及阱供电方式的效果的一例的说明图,图 14 的(b)是表示图 14 的(a)的比较例的说明图。

[0029] 图 15 的(a)是表示图 13 的阱配置及阱供电方式的效果的一例的说明图,图 15 的(b)是表示图 15 的(a)的比较例的说明图。

[0030] 图 16 的(a)是表示图 13 的阱配置及阱供电方式的效果的一例的说明图,图 16 的(b)是表示图 16 的(a)的比较例的说明图。

[0031] 图 17 是在本发明的实施方式 2 的半导体器件中表示其阱配置及阱供电方式的概略结构例的俯视图。

[0032] 图 18 是在图 17 的半导体器件中表示其局部区域的更为详细的结构例的俯视图。

[0033] 图 19 的(a)是表示图 18 中的 E-E' 间的概略的器件构造例的剖视图,图 19 的(b)是表示图 18 中的 F-F' 间的概略的器件构造例的剖视图。

[0034] 图 20 的(a)是表示图 18 中的 G-G' 间的概略的器件构造例的剖视图,图 20 的(b)是表示图 18 中的 H-H' 间的概略的器件构造例的剖视图。

[0035] 图 21 的(a)是在本发明的实施方式 3 的半导体器件中表示其阱配置及阱供电方式的结构例的俯视图,图 21 的(b)是表示图 21 的(a)的比较例的俯视图。

[0036] 图 22 是表示图 21 的(a)所示的半导体器件的制造方法的一例的说明图。

[0037] 图 23 是表示与图 22 接续的半导体器件的制造方法的一例的说明图。

[0038] 图 24 的(a)是在本发明的实施方式 4 的半导体器件中表示其阱配置方式的基本概念的一例的俯视图,图 24 的(b)是表示成为图 24 的(a)的比较例的阱配置方式的俯视图。

[0039] 图 25 的(a)、(b)是表示采用了图 24 的(a)的阱配置方式的情况下的效果的一例的说明图。

[0040] 图 26 的(a)~(c)是表示采用了图 24 的(b)的阱配置方式的情况下的问题点的一例的说明图。

[0041] 图 27 是在本发明的实施方式 4 的半导体器件中表示图 8 及图 9 的列控制电路块中的概略的阱配置的结构例的俯视图。

[0042] 图 28 的(a)是在本发明的实施方式 4 的半导体器件中表示与图 3 的字线驱动电路块的阱配置及阱供电相关的概略的布局结构例的俯视图,图 28 的(b)是表示图 28 的(a)中的 I-I' 间的概略的器件构造例的剖视图。

[0043] 图 29 的(a)是在本发明的实施方式 4 的半导体器件中表示与图 3 的整体控制电路块的阱配置及阱供电相关的概略的布局结构例的俯视图,图 29 的(b)是表示图 29 的(a)中的 J-J' 间的概略的器件构造例的剖视图。

## 具体实施方式

[0044] 在以下实施方式中,为方便起见,必要时分成多个部分或实施方式进行说明,但是,除特别明示的情况以外,它们之间并不是毫无关系的,而是一方为另一方的部分或全部变形例、详细、补充说明等关系。另外,在以下实施方式中,在涉及到要素的数等(包含个数、数值、量、范围等)情况下,除特别明示的情况以及原理上明确限定为特定数的情况等,不限



于该特定数,可以是特定数以上也可以是特定数以下。

[0045] 而且,在以下实施方式中,其结构要素(还包含要素步骤等)除特别明示的情况以及原理上明确认为是必需的情况等,当然不必是必需的。同样地,在以下实施方式中,涉及到结构要素等的形状、位置关系等时,除特别明示的情况以及原理上明确认为不成立的情况等,还包含实质上与其形状等近似或类似的情况等。关于这一点,上述数值及范围也是一样的。

[0046] 此外,在实施方式中,将 MIS (Metal Insulator Semiconductor ;金属绝缘体半导体)型的场效晶体管(FET :Field Effect Transistor)称作 MIS 晶体管,将 p 沟道型的 MIS 晶体管称作 PMIS 晶体管,将 n 沟道型的 MIS 晶体管称作 NMIS 晶体管。以下,基于附图详细说明本发明的实施方式。此外,在用于说明实施方式的全部附图中,对相同部件原则上标注相同附图标记,并省略其重复说明。

[0047] (实施方式 1)

[0048] 《半导体器件整体的概略结构》

[0049] 图 1 是在本发明的实施方式 1 的半导体器件中表示其整体的概略结构例的框图。图 2 是表示图 1 中的存储器的使用例的说明图。图 1 示出在一个半导体芯片内形成有各种逻辑电路和存储电路的称作 SOC (System On a Chip ;单芯片系统)等的半导体器件(LSI)。图 1 的半导体器件是例如移动电话用 LSI,具有两个处理器单元 CPU1、CPU2、应用程序单元 APPU、存储器 MEMU、基带单元 BBU、和输入输出单元 IOU。

[0050] CPU1、CPU2 进行基于程序的规定的运算处理, APPU 进行移动电话所需要的规定的应用程序处理, BBU 进行伴随着无线电通信的规定的基带处理, IOU 担任与外部之间的输入输出接口。MEMU 包含例如 SRAM (Static Random Access Memory ;静态随机存取存储器)等,随着这样的各电路块的处理而进行适宜的存取。例如,如图 2 所示, MEMU 具有双端口型的 SRAM (DPRAM)和单端口型的 SRAM (SPRAM),用作处理器单元 CPU 的高速缓存存储器。此时,例如通过使 MEMU 等所具有的高速缓存控制器 CCN 对 DPRAM、SPRAM 进行适宜的存取,从而能够进行高速缓存的命中 / 非命中的判定、以及高速缓存数据的读取处理 / 更新处理。

[0051] 在这样的半导体器件中,多是通过例如称作存储器编译器(memory compiler)等的自动设计工具来安装 DPRAM、SPRAM,并将由此生成的 SRAM 称作编译 SRAM 等。存储器编译器例如通过根据指定的位线和字线的数量等依次反复地配置某单位布局等来自动生成编译 SRAM。该情况下,相对于这样的反复配置,也谋求自由度高、还有面积效率高的布局方式。

[0052] 《存储器的主要部分的概略结构》

[0053] 图 3 是在图 1 的半导体器件中表示其所包括的存储器的主要部分的概略结构例的框图。图 3 所示的存储器 MEMU 具有 :整体控制电路块 CTLBK、字线驱动电路块 WLDBK、复制电路 REP、存储阵列 MARY、和列控制电路块 COLBK。MARY 具有 :沿第 1 方向延伸的(m+1)条字线 WL [0] ~ WL [m]、沿与第 1 方向交叉的第 2 方向延伸的(n+1)个位线对(BL [0], ZBL [0]) ~ (BL [n], ZBL [n])、和配置在(m+1)条字线与(n+1)个位线对的交点处的多个存储单元 MC。各位线对由输送互补信号的两条位线(例如 BL [0] 和 ZBL [0])构成。

[0054] 整体控制电路块 CTLBK 例如根据从外部输入的读取用 / 写入用控制信号和地址信号等来适宜地控制字线驱动电路块 WLDBK、复制电路 REP、列控制电路块 COLBK。WLDBK 接收

由 CTLBK 基于地址信号而生成的行选择信号,并与之相应地激活(m+1)条字线 WL [0]~WL [m]中的某一条。COLBK 具有读出放大器电路和输入/输出缓冲电路等,COLBK 接收由 CTLBK 基于地址信号而生成的列选择信号,并与之相应地选择(n+1)个位线对中的规定的位线对。COLBK 在读取动作时,将该选择的位线对的数据通过读出放大器电路进行放大之后经由输出缓冲电路而输出到外部,在写入动作时,向该选择的位线对经由输入缓冲电路输送从外部输入的数据。

[0055] 复制电路 REP 在内部具有定时调整电路,接收由 CTLBK 基于读取用控制信号而生成的起动作信号,并对该起动作信号施加规定的延迟,由此确定 COLBK 内的读出放大器电路的激活定时。另外,REP 接收例如由 CTLBK 基于写入用控制信号而生成的起动作信号,并对该起动作信号施加规定的延迟,由此确定在 WLDBK 中激活的字线的非激活定时。

[0056] 《存储阵列的详细说明》

[0057] 图 4 是表示图 3 的存储器中的各存储单元的结构例的电路图。图 4 所示的存储单元 MC 在此为具有四个 NMIS 晶体管 MN\_\_AC1、MN\_\_AC2、MN\_\_DR1、MN\_\_DR2 和两个 PMIS 晶体管 MP\_\_LD1、MP\_\_LD2 的 SRAM 存储单元。MN\_\_DR1、MN\_\_DR2 为驱动器用晶体管,MN\_\_AC1、MN\_\_AC2 为存取用晶体管,MP\_\_LD1、MP\_\_LD2 为负载用晶体管。MN\_\_AC1 的栅极与字线 WL 连接,源极-漏极的一方与正极侧的位线 BL 连接。MN\_\_AC2 的栅极与 WL 连接,源极-漏极的一方与负极侧的位线 ZBL 连接。

[0058] MN\_\_DR1、MP\_\_LD1 和 MN\_\_DR2、MP\_\_LD2 分别在电源电压 VDD 与接地电源电压 VSS 之间构成互补型 MIS 倒相电路(称作 CMIS 倒相电路)。这两个 CMIS 倒相电路通过使一方的输入与另一方的输出连接而构成门锁电路。MN\_\_AC2 的源极-漏极的另一方与 CMIS 倒相电路(MN\_\_DR1、MP\_\_LD1)的输入(CMIS 倒相电路(MN\_\_DR2、MP\_\_LD2)的输出)连接。MN\_\_AC1 的源极-漏极的另一方与 CMIS 倒相电路(MN\_\_DR2、MP\_\_LD2)的输入(CMIS 倒相电路(MN\_\_DR1、MP\_\_LD1)的输出)连接。

[0059] 图 5 是表示图 4 的存储单元的布局结构例的俯视图。在图 5 中,使字线的延伸方向(长度方向)为 X 轴方向,使位线的延伸方向(长度方向)为 Y 轴方向,将在与 X 轴方向和 Y 轴方向交叉的 Z 轴方向上依次形成的阱~第 1 金属布线层的布局、和第 1 金属布线层~第 3 金属布线层的布局分离表示。在图 5 所示的存储单元 MC 中,首先配置有 n 型阱 NW,在 X 轴方向上与 NW 的两侧邻接地配置有 p 型阱 PW。在两个 PW 和 NW 的上部(Z 轴方向),隔着栅极绝缘膜(未图示)而分别配置有并列地沿 X 轴方向延伸的两条栅极层 GT。

[0060] 但是,这两条栅极层 GT 分别通过使用了栅极二次分割掩模图案 GTRE 的栅极二次分割加工而被分割成两个 GT。其结果为,形成了在 PW 的一方和 NW 的上部延伸的 GT(使其为 GTa)、在 GTa 的延长线上且在 PW 的另一方的上部延伸的 GT(使其为 GTb)、在 PW 的另一方和 NW 的上部延伸的 GT(使其为 GTc)、和在 GTc 的延长线上且在 PW 的一方的上部延伸的 GT(使其为 GTd)。此外,栅极二次分割加工是指这样的技术:例如,在形成隔着不连续点而沿一条直线延伸的两条线状图案时,在暂时通过掩模加工形成一条线状图案之后,使用 GTRE 来切断该线状图案的一部分,由此分离成两条线状图案。由此,与通过一次掩模加工而各自独立地形成两条线状图案的情况相比,能够提高线状图案的加工精度,有益于微细化。

[0061] 在 PW 的一方的上部中的 GTa 部分处,形成有上述的驱动器用的 NMIS 晶体管 MN\_\_DR1,在 NW 的上部中的 GTa 部分处,形成有上述负载用的 PMIS 晶体管 MP\_\_LD1。另外,在

GTb 部分处形成有上述的存取用的 NMIS 晶体管 MN \_\_ AC2。同样地,在 PW 的另一方的上部中的 GTc 部分处,形成有驱动器用的 NMIS 晶体管 MN \_\_ DR2,在 NW 的上部中的 GTc 部分处,形成有负载用的 PMIS 晶体管 MP \_\_ LD2。另外,在 GTd 部分处形成有存取用的 NMIS 晶体管 MN \_\_ AC1。

[0062] 在 PW 的一方,在构成 MN \_\_ DR1、MN \_\_ AC1 的各栅极层 GT 的两侧(Y 轴方向)形成有 n<sup>+</sup> 型的半导体区域(扩散层)DF。其中,位于 MN \_\_ DR1 的 GT 与 MN \_\_ AC1 的 GT 之间的 DF 由 MN \_\_ DR1、MN \_\_ AC1 共有,并经由配置在其上部的接点层 CT 而与第 1 金属布线层 M1 连接。同样地,在 PW 的另一方,在构成 MN \_\_ DR2、MN \_\_ AC2 的各 GT 的两侧形成有 n<sup>+</sup> 型的半导体区域(扩散层)DF。其中,位于 MN \_\_ DR2 的 GT 与 MN \_\_ AC2 的 GT 之间的 DF 由 MN \_\_ DR2、MN \_\_ AC2 共有,并经由配置在其上部的 CT 而与 M1 连接。

[0063] 在 NW 中,在构成 MN \_\_ LD1 的栅极层 GT 和构成 MN \_\_ LD2 的 GT 的两侧(Y 轴方向)分别形成有 p<sup>+</sup> 型的半导体区域(扩散层)DF。MN \_\_ LD1 中的一方的 DF 相对于由上述的 MN \_\_ DR1、MN \_\_ AC1 共有的 DF、以及 MN \_\_ LD2、MN \_\_ DR2 的通用的 GT,适宜地经由接点层 CT 及 / 或第 1 金属布线层 M1 而连接。同样地,MN \_\_ LD2 中的一方的 DF 相对于由上述的 MN \_\_ DR2、MN \_\_ AC2 共有的 DF、以及 MN \_\_ LD1、MN \_\_ DR1 的公用的 GT,适宜地经由 CT 及 / 或 M1 而连接。此外,n 型的扩散层(或阱)通过例如在硅(Si)中导入磷(P)或砷(As)等杂质而形成,p 型的扩散层(或阱)通过例如在硅(Si)中导入硼(B)等杂质而形成。另外,n<sup>+</sup> 型的杂质浓度比 n 型的杂质浓度高,p<sup>+</sup> 型的杂质浓度比 p 型的杂质浓度高。

[0064] MN \_\_ LD1、MN \_\_ LD2 中的另一方的半导体区域(扩散层)DF 分别经由配置在其上部的接点层 CT 而与第 1 金属布线层 M1 连接。该两个 M1 经由分别配置在各 M1 的上部的第 1 过孔层 V1 而与配置在 V1 的上部且沿 Y 轴方向延伸的第 2 金属布线层 M2 通用地连接。该 M2 成为电源电压 VDD 用的布线。MN \_\_ AC1 中的不与 MN \_\_ DR1 共有的一侧的 DF 经由配置在其上部的 CT 而与 M1 连接,再进一步经由配置在 M1 的上部的 V1 而与沿 Y 轴方向延伸的 M2 连接。该 M2 成为位线 BL 用的布线。同样地,MN \_\_ AC2 中的不与 MN \_\_ DR2 共有的一侧的 DF 经由配置在其上部的 CT 而与 M1 连接,再进一步经由配置在 M1 的上部的 V1 而与沿 Y 轴方向延伸的 M2 连接。该 M2 成为位线 ZBL 用的布线。

[0065] 而且,在该存储单元 MC 的上部,配置有并列地沿 X 轴方向延伸的三条第 3 金属布线层 M3。其中,中间的 M3 为字线 WL 用的布线,其两侧的 M3 为接地电源电压 VSS 用的布线。WL 用的 M3 在两个 p 型阱 PW 的各自上部经由配置在 M3 的下部的第 2 过孔层 V2 而与第 2 金属布线层 M2 连接,再进一步经由配置在 M2 的下部的第 1 过孔层 V1 而与第 1 金属布线层 M1 连接。这两个 M1 的一方经由配置在其下部的接点层 CT 而与 MN \_\_ AC1 的栅极层 GT 连接,这两个 M1 的另一方也同样地经由 CT 而与 MN \_\_ AC2 的 GT 连接。

[0066] 另外,除字线 WL 用的第 3 金属布线层 M3 以外,其余两条 M3 中的一条在 PW 的一方的上部经由配置在 M3 的下部的 V2 而与 M2 连接,再进一步经由配置在 M2 的下部的 V1 而与 M1 连接。该 M1 经由配置在其下部的 CT 而与 MN \_\_ DR1 中的不与 MN \_\_ AC1 共有的一侧的 DF 连接。同样地,其余两条 M3 中的另一条在 PW 的另一方的上部经由配置在 M3 的下部的 V2 而与 M2 连接,再进一步经由配置在 M2 的下部的 V1 而与 M1 连接。该 M1 经由配置在其下部的 CT 而与 MN \_\_ DR2 中的不与 MN \_\_ AC2 共有的一侧的 DF 连接。

[0067] 图 6 是在图 5 的存储单元中表示其 A-A' 间的概略的器件构造例的剖视图。在图

6 中,在 p 型的半导体衬底 SUBp 上配置有 n 型阱 NW 及两个 p 型阱 PW。两个 PW 在 X 轴方向上与 NW 的两侧邻接地配置。在半导体衬底的主面上,在两个 PW 内分别形成有 n<sup>+</sup> 型的半导体区域(扩散层)N<sup>+</sup> (DF),在 NW 内形成有 p<sup>+</sup> 型的半导体区域(扩散层)P<sup>+</sup> (DF)。另外,在半导体衬底的主面上,在 PW、NW 内形成有嵌入绝缘膜(元件分隔膜)STI。该 STI 在 XY 平面上以将 N<sup>+</sup> (DF)、P<sup>+</sup> (DF) 分别包围的方式形成。

[0068] 在半导体衬底的主面上,隔着栅极绝缘膜 GOX 而形成有栅极层 GT。GOX 优选由例如以铪类等为代表的、介电常数比二氧化硅高的高介电常数膜构成,GT 由金属膜等构成。不过,当然如广泛公知那样,也能够使用二氧化硅(SiO<sub>2</sub>) 等的 GOX、和由通过多晶硅、金属膜(氮化钛(TiN)等)、硅化物膜等适宜地组合而成的层叠膜构成的 GT。在 GT 及半导体衬底的主面上形成有层间绝缘膜 ISL1,在其一部分上,以一端与 GT 连接的方式形成有接点层 CT。ISL1 例如由 TEOS (Tetra Ethyl Ortho Silicate;原硅酸四乙酯)膜或二氧化硅等构成,CT 例如由通过钛(Ti)、氮化钛、钨(W) 等组合而成的层叠膜等构成。在 ISL1 上,以与 CT 的另一端连接的方式形成有第 1 金属布线层 M1。M1 例如以铜(Cu)等为主体而构成。在 M1 及 ISL1 上形成有层间绝缘膜 ISL2,而且,在其上部还形成有第 2 金属布线层 M2。

[0069] 图 7 是在图 3 的存储器中表示其存储阵列的一部分的概略的布局结构例的俯视图。图 7 示出存储阵列内的 4×4 位的量的存储单元 MC 的布局结构例。实际上,与 X 轴方向的位数(即位线对的个数)及 Y 轴方向的位数(即字线的条数)相应地,该 4×4 位的量的布局朝向 X 轴方向及 Y 轴方向依次连续地配置。如图 7 所示,彼此邻接的 MC 的布局呈轴对称关系。例如,在 X 轴方向上邻接的两个 MC 的布局以 Y 轴为基准而呈轴对称,在 Y 轴方向上邻接的两个 MC 的布局以 X 轴为基准而呈轴对称。此外,在图 7 中,作为各 MC 的布局,代表性示出了 p 型阱 PW、n 型阱 NW、栅极层 GT 及栅极二次分割掩模图案 GTRE,但更具体而言,适用上述的图 5 的布局。

[0070] 《列控制电路块的详细说明》

[0071] 图 8 是在图 3 的存储器中表示其列控制电路块的概略的结构例的电路图。图 9 是表示使用了图 8 的列控制电路块的实际上的结构例的示意图。图 8 所示的列控制电路块 COLBK 具有列控制电路 COLCTL、列选择电路 YSEL、位线预充电电路 BLPRE。而且, COLBK 具有输入缓冲电路 DIBF、写入放大器电路 WAMP、写入用开关电路 WSW 来作为写入系统电路,并具有输出缓冲电路 DOBF、读取用开关电路 RSW、读出放大器预充电电路 SAPRE、读出放大器电路 SA 来作为读取系统电路。

[0072] 列控制电路 COLCTL 基于来自整体控制电路块 CTLBK 或复制电路 REP 的控制信号来控制 COLBK 整体。在来自 CTLBK 的控制信号中,包含例如列选择信号(列选择信号)、以及读取动作和写入动作的识别信号等,在来自 REP 的控制信号中,包含读出放大器电路的激活信号等。此外,通过闩锁电路 FF 锁存从外部对 CTLBK 输入的地址信号,并通过地址译码电路 ADRDEC 对该地址信号进行译码,由此生成列选择信号,通过对从外部对 CTLBK 输入的控制信号进行译码而生成读取动作和写入动作的识别信号。

[0073] 位线预充电电路 BLPRE 在此由三个 PMIS 晶体管构成,基于列选择电路 YSEL 的控制,在读取动作和写入动作的前阶段预先将位线对(BL, ZBL) 预充电至电源电压 VDD。DIBF 例如由多个 PMIS 晶体管及 NMIS 晶体管的组合构成,在写入动作时,读取来自外部的数据输入信号 Din,并输出到写入放大器电路 WAMP。WAMP 例如由多个 PMIS 晶体管及 NMIS 晶体管

的组合构成,对从 DIBF 输入的信号进行放大,并将其作为互补的数据信号而输出。写入用开关电路 WSW 在此由两个 NMIS 晶体管构成,基于列选择电路 YSEL 的控制,将从 WAMP 输入的互补的数据信号传递到规定的位线对(BL,ZBL)。在图 8 中,简化成相对于一个 WAMP 连接有一个 WSW,但实际上,如图 9 所示,相对于一个 WAMP 并联地连接有多个(例如四个等)WSW,并经由 YSEL 对其中的一个 WSW 进行选择。

[0074] 在图 9 的例子中,在列控制电路块 COLBK 内的与 1I/O 的量对应的列电路 COL [0] 中,与数据输入信号 Din[0]对应的一个 WAMP 的输出经由四个 WSW 而与四个位线对(BL[0],ZBL [0])~(BL [3],ZBL [3])分别连接。另外,在 COLBK 内的其他与 1I/O 的量对应的列电路 COL [1]中也是同样地,虽然省略了一部分图示,但与数据输入信号 Din [1]对应的一个 WAMP 的输出经由四个 WSW 而与四个位线对(BL [4],ZBL [4])~(BL [7],ZBL [7])分别连接。YSEL 在写入动作时,从 COL [0]、COL [1]中分别各选择一个 WSW。

[0075] 其结果为,Din [0]的信息被传送到与 COL [0]对应的四个位线对中的一个(例如(BL [0],ZBL [0])),在位于该一个位线对与另行选择的字线 WL 的交点处的存储单元 MC 中写入 Din [0]的信息。而且,与此并行地,Din [1]的信息被传送到与 COL [1]对应的四个位线对中的一个(例如(BL [4],ZBL [4])),在位于该一个位线对与该选择的 WL 的交点处的 MC 中写入 Din [1]的信息。此外,在此示出了 2I/O 的量的列电路 COL [0]、COL [1],但在例如具有 32I/O 的情况下,同样地,存在 COL [0]~COL [31]。另外,在此,相对于 1I/O 使四个位线对与之对应,但相对于 1I/O 当然也能够使 8 个、16 个等的位线对与之对应。

[0076] 在图 8 中,读取用开关电路 RSW 在此由两个 PMIS 晶体管构成,在读取动作时,基于列选择电路 YSEL 的控制而使规定的位线对(BL,ZBL)与读出放大器电路 SA 的互补输入节点连接。在此,与 WSW 的情况同样地,简化成相对于一个 SA 连接有一个 RSW,但实际上,如图 9 所示,相对于一个 SA 并联地连接有多个(例如四个等)RSW,并经由 YSEL 对其中一个 RSW 进行选择。在图 9 的例子中,在列电路 COL [0]中,四个位线对(BL [0],ZBL [0])~(BL [3],ZBL [3])分别经由四个 RSW 而与一个 SA 连接,并从该 SA 的输出得到数据输出信号 Dout [0]。同样地,在列电路 COL [1]中,虽然省略了一部分图示,但四个位线对(BL [4],ZBL [4])~(BL [7],ZBL [7])分别经由四个 RSW 而与一个 SA 连接,并从该 SA 的输出得到数据输出信号 Dout [1]。在该读取动作时,YSEL 从 COL [0]、COL [1]中分别选择一个 RSW。

[0077] 在图 8 中,读出放大器预充电电路 SAPRE 在此由三个 PMIS 晶体管构成,在将 RSW 驱动成接通的前阶段预先将 SA 的互补输入节点预充电至电源电压 VDD。读出放大器电路 SA 例如由 CMIS 交叉耦合型的放大器电路构成,对 SA 的互补输入节点的信号进行放大。此时,SA 的激活定时基于来自上述的复制电路 REP 的控制信号而确定。输出缓冲电路 DOBF 例如由多个 PMIS 晶体管及 NMIS 晶体管的组合构成,将 SA 的输出信号作为数据输出信号 Dout 而输出到外部。其结果为,在图 9 的例子中,位于和 COL [0]对应的四个位线对中的一个位线对(例如(BL [0],ZBL [0]))与另行选择的字线 WL 的交点处的存储单元 MC 的信息被作为 Dout [0]而读取。与此并行地,位于和 COL [1]对应的四个位线对中的一个位线对(例如(BL [4],ZBL [4]))与该选择的 WL 的交点处的 MC 的信息被作为 Dout [1]而读取。

[0078] 此外,在图 8 中,列选择电路 YSEL 在此由多个逻辑运算电路构成,基于来自列控制电路 COLCTL 的输入信号,进行上述那样的 WSW、RSW、BLPRE、SAPRE 的选择以及控制。即,基

于 COLCTL 所识别的读取动作和写入动作的识别信息而选择 WSW 或 RSW 的某一方,并且,基于 COLCTL 所识别的列选择信息而从上述的多个 WSW 或多个 RSW 中将特定的开关驱动成接通。另外,与该 WSW、RSW 的控制同时地,也适宜控制 BLPRE、SAPRE 内的各开关(MIS 晶体管)的接通/断开。

[0079] 《列控制电路块的阱配置、供电结构(本实施方式 1 的主要特征)》

[0080] 图 10 是在图 8 及图 9 的列控制电路块中表示与其阱配置及阱供电相关的概略的布局结构例的俯视图。在图 10 中,关于图 9 中的列电路 COL [0]、COL [1] 和与其连接的存储阵列 MARY 的一部分,示出了它们的阱以及阱供电的布局结构例。在图 10 中,在 Y 轴方向(未图示的位线的延伸方向)上,按顺序配置有伴随着 MARY、WSW、BLPRE、RSW、YSEL、SA (NMIS)、COLCTL、WAMP、SA (PMIS)、和 DIBF、DOBF 的各阱。

[0081] 在存储阵列 MARY 中,如图 5 及图 7 所示,在 X 轴方向(未图示的字线的延伸方向)上,p 型阱 PW 和 n 型阱 NW 交替地反复配置。在写入用开关电路 WSW 中,为了形成图 8 所示那样的各 NMIS 晶体管,沿 X 轴方向连续地配置有 PW。在位线预充电电路 BLPRE、读取用开关电路 RSW 中,为了形成图 8 所示那样的各 PMIS 晶体管,沿 X 轴方向连续地配置有 NW。在列选择电路 YSEL 中,为了形成图 8 所示那样的各种逻辑运算电路(即 CMIS 型的电路),在 X 轴方向上交替地配置有 PW 和 NW。

[0082] 在读出放大器电路 SA (NMIS)中,为了形成在图 8 中说明的 CMIS 交叉耦合型放大器电路的 NMIS 晶体管,沿 X 轴方向连续地配置有 PW。在列控制电路 COLCTL、写入放大器电路 WAMP、读出放大器电路 SA (PMIS)中,为了形成分别构成 COLCTL、WAMP 的 PMIS 晶体管及 NMIS 晶体管,在 X 轴方向上交替地配置有 PW 和 NW。而且,在该 NW 内,形成有 SA (CMIS 交叉耦合型放大器电路)的 PMIS 晶体管。在输入缓冲电路 DIBF、输出缓冲电路 DOBF 中,为了形成构成输入缓冲电路 DIBF、输出缓冲电路 DOBF 的 PMIS 晶体管及 NMIS 晶体管,在 X 轴方向上交替地反复地配置有 PW 和 NW。

[0083] 在这样的阱配置例中,首先,在 MARY 中,与在 X 轴方向上交替地配置的 PW 及 NW 分别相应地,在 X 轴方向上依次排列地配置有 p<sup>+</sup> 型的半导体区域(供电用扩散层)P<sup>+</sup> (DFW)及 n<sup>+</sup> 型的半导体区域(供电用扩散层)N<sup>+</sup> (DFW)。对配置于各 PW 内的各 P<sup>+</sup> (DFW)供给接地电源电压 VSS,由此对该各 PW 进行供电。另外,对配置于各 NW 内的各 N<sup>+</sup> (DFW)供给电源电压 VDD,由此对该各 NW 进行供电。

[0084] 另一方面,在上述的 WSW ~ SA (PMIS) 的区域中,在彼此邻接的列电路 COL [0]、COL [1] 的边界部分处,设有沿 Y 轴方向延伸的供电区域 WPA1。WPA1 由分别以 Y 轴方向为长边而具有细长的大致矩形形状的两个 P<sup>+</sup> (DFW)和一个 N<sup>+</sup> (DFW)构成。该两个 P<sup>+</sup> (DFW)中的一方配置在 WSW 的区域中的 PW 内,另一方配置在 YSEL ~ SA (PMIS)的区域中的 PW 内。该一个 N<sup>+</sup> (DFW)配置在 BLPRE、RSW 的区域中的 NW 内。对该两个 P<sup>+</sup> (DFW)供给 VSS,对该一个 N<sup>+</sup> (DFW)供给 VDD,由此对各自对应的 PW 及 NW 进行供电。像这样,通过在各个列电路的边界部分处配置供电区域 WPA1,在如上所述,使用存储器编译器将列电路重复与 I/O 数相应的数目而配置时,能够使 WPA1 被其两侧的列电路所共有,因此能够提高面积效率。

[0085] 在此,在图 10 的阱配置例中,进一步地,在 Y 轴方向上、且在 DIBF、DOBF 的区域的两侧,还分别具有沿 X 轴方向延伸的供电区域 WPA<sub>n</sub>、WPA<sub>p</sub>。该 WPA<sub>n</sub>、WPA<sub>p</sub> 为本实施方式 1 的主要特征之一。WPA<sub>n</sub> 配置在 DIBF、DOBF 的区域与 SA (PMIS) 等的区域之间,具有以纵贯

COL [0]、COL [1] 的方式朝向 X 轴方向连续地延伸的 n 型阱 NW、和形成于该 NW 内的 n<sup>+</sup> 型的半导体区域(供电用扩散层)N<sup>+</sup> (DFW)。该 NW 与上述的 SA (PMIS) 等的区域内的 NW、和 DIBF、DOBF 的区域内的 NW 分别连结。对该 N<sup>+</sup> (DFW) 供给 VDD, 由此对 SA (PMIS) 等的区域内的 NW、和 DIBF、DOBF 的区域内的 NW 进行供电。此外, 在图 10 的例子中, 为了进一步强化从上述的 WPA<sub>n</sub> 向 SA (PMIS) 用的 NW 的供电, 使向该 SA (PMIS) 用的 NW 内供给 VDD 的 N<sup>+</sup> (DFW) 另行形成。

[0086] 另一方面, WPA<sub>p</sub> 在 Y 轴方向上隔着 DIBF、DOBF 的区域而配置在与 WPA<sub>n</sub> 相对的位置, 具有在 COL [0] 中朝向 X 轴方向延伸的 p 型阱 PW、形成于该 PW 内的 p<sup>+</sup> 型的半导体区域(供电用扩散层)P<sup>+</sup> (DFW)、在 COL [1] 中朝向 X 轴方向延伸的 PW、和形成于该 PW 内的 P<sup>+</sup> (DFW)。与 COL [0] 对应的 WPA<sub>p</sub> 内的 PW 和与 COL [0] 对应的 DIBF、DOBF 的区域内的 PW 连结, 与 COL [1] 对应的 WPA<sub>p</sub> 内的 PW 和与 COL [1] 对应的 DIBF、DOBF 的区域内的 PW 连结。对 WPA<sub>p</sub> 内的各 P<sup>+</sup> (DFW) 供给 VSS, 由此对 DIBF、DOBF 的区域内的各 PW 进行供电。

[0087] 图 11 是在图 10 的布局中表示其 B-B' 间的概略的器件构造例的剖视图。在图 11 中, 示出了与图 10 的存储阵列 MARY 相关的供电部分的器件构造例, 除图 10 所示的阱及其供电部分以外, 也同时示出其上部(Z 轴方向)的器件构造。在图 11 中, 在 p 型半导体衬底 SUB<sub>p</sub> 上, 沿 X 轴方向交替地连续配置有 p 型阱 PW 和 n 型阱 NW。在半导体衬底的主面上, 在各 PW 内分别形成有 p<sup>+</sup> 型的半导体区域(供电用扩散层)P<sup>+</sup> (DFW), 在各 NW 内分别形成有 n<sup>+</sup> 型的半导体区域(供电用扩散层)N<sup>+</sup> (DFW)。另外, 在半导体衬底的主面上, 在 PW、NW 内形成有嵌入绝缘膜(元件分隔膜)STI。该 STI 在 XY 平面上以将 N<sup>+</sup> (DFW)、P<sup>+</sup> (DFW) 分别包围的方式形成。

[0088] 在半导体衬底的主面上层叠有层间绝缘膜 ISL1, 在 ISL1 内形成有多个接点层 CT。多个 CT 中的一部分, 一端与上述的各 PW 内的 P<sup>+</sup>(DFW) 分别连接, 多个 CT 中的另外一部分, 一端与上述的各 NW 内的 N<sup>+</sup> (DFW) 分别连接。在 ISL1 上形成有第 1 金属布线层 M1, 在该 ISL1、M1 上层叠有层间绝缘膜 ISL2。在 ISL2 上形成有第 2 金属布线层 M2, 在该 ISL2、M2 上层叠有层间绝缘膜 ISL3。在 ISL3 上形成有第 3 金属布线层 M3。另外, 在 ISL2 内形成有用于连接 M1 和 M2 的第 1 过孔层 V1, 在 ISL3 内形成有用于连接 M2 和 M3 的第 2 过孔层 V2。

[0089] 在此, 一端与上述的各 PW 内的 P<sup>+</sup>(DFW) 连接的各 CT, 其另一端按顺序经由 M1、V1、M2、V2 而与 M3 连接。该 M3 在此为沿 X 轴方向延伸的一条布线, 相对于该 M3 通用地连接有上述的各 PW 内的 P<sup>+</sup> (DFW)。对该 M3 供给接地电源电压 VSS。另一方面, 一端与上述的各 NW 内的 N<sup>+</sup> (DFW) 连接的各 CT, 其另一端按顺序经由 M1、V1 而与 M2 连接。该 M2 在此为并列地沿 Y 轴方向延伸的多条布线。该多条 M2 在未图示的区域中共同连接。对该 M2 供给电源电压 VDD。

[0090] 图 12 是在图 10 的布局中表示其 C-C' 间的概略的器件构造例的剖视图。在图 12 中, 示出了与图 10 的 COLCTL、WAMP、SA (PMIS) 的区域相关的供电部分的器件构造例, 除图 10 所示的阱及其供电部分以外, 同时还示出其上部(Z 轴方向)的器件构造。图 12 的器件构造例与上述的图 11 的器件构造例相比, 交替地配置的各阱的数量不同, 除此以外, 其他基本构造与图 11 的情况相同。

[0091] 《阱供电方式的详细说明(本实施方式 1 的主要特征及效果的详细说明)》

[0092] 图 13 是在本发明的实施方式 1 的半导体器件中表示其阱配置及阱供电方式的基

本概念的俯视图。图 13 是提取出了图 10 中的 DIBF、DOBF 的区域周边的图,其特征在于 p 型阱 PW 具有第 1 部分 AR1 和第 2 部分 ARP2,以及 n 型阱 NW 具有第 1 部分 AR1 和第 2 部分 ARN2。关于图 13 的布局结构,概略地说,在 AR1 中,沿 X 轴方向交替地邻接配置有多个 PW 和 NW,在 Y 轴方向上隔着该 AR1 在一侧配置有相对于该多个 PW 通用的供电区域(第 2 部分 ARP2),在另一侧配置有相对于该多个 NW 通用的供电区域(第 2 部分 ARN2)。

[0093] 在 AR1 中,沿 X 轴方向按顺序邻接地配置有 PW 的第 1A 部分 ARP1a、NW 的第 1A 部分 ARN1a、PW 的第 1B 部分 ARP1b、NW 的第 1B 部分 ARN1b。PW 的第 2 部分 ARP2 具有朝向 X 轴方向延伸的细长带状的形状,在 Y 轴方向上,与 ARP1a、ARP1b 连结并且与 ARN1a 邻接地配置。NW 的第 2 部分 ARN2 具有朝向 X 轴方向延伸的细长带状的形状,在 Y 轴方向上,在隔着 ARN1a、ARP1b、ARN1b 而与 ARP2 相对的一侧,与 ARN1a、ARN1b 连结并且与 ARP1b 邻接地配置。

[0094] 在此,在 PW 的第 2 部分 ARP2 内形成有  $p^+$  型的半导体区域(供电用扩散层)P+(DFW)。为了对 ARP1a、ARP1b 充分地进行供电,P+(DFW)具有 X 轴方向的尺寸 X1 大于 Y 轴方向的尺寸 Y1 的大致矩形的形状。换言之,P+(DFW)包含相对于夹在 ARP1a 与 ARP1b 之间的 ARN1a 在 Y 轴方向上相对的区间。同样地,在 NW 的第 2 部分 ARN2 内形成有  $n^+$  型的半导体区域(供电用扩散层)N+(DFW)。为了对 ARN1a、ARN1b 充分地进行供电,N+(DFW)具有 X 轴方向的尺寸大于 Y 轴方向的尺寸的大致矩形的形状。换言之,N+(DFW)包含相对于夹在 ARN1a 与 ARN1b 之间的 ARP1b 在 Y 轴方向上相对的区间。

[0095] 另外,在第 1 部分 AR1 中配置有朝向 X 轴方向延伸的多个栅极层 GT。该多个 GT 以跨着 ARP1a 与 ARN1a 的边界部分、ARN1a 与 ARP1b 的边界部分、ARP1b 与 ARN1b 的边界部分中的至少任意一个的方式配置。此外,虽然省略了图示,但在 Y 轴方向上,在隔着该 GT 的两侧适宜地形成有以该 GT 为 MIS 晶体管的栅极的源极-漏极区域。该源极-漏极区域在 PW (ARP1a、ARP1b) 内为  $n^+$  型的半导体区域(扩散层),在 NW (ARN1a、ARN1b) 内为  $p^+$  型的半导体区域(扩散层)。

[0096] 而且,在图 13 中,如同时在图 10 等中所述那样,沿 X 轴方向按顺序并列地配置有多个列电路 COL [0]、COL [1],各个列电路为具有上述的 PW 的第 1 部分(ARP1a、ARP1b)及第 2 部分 ARP2、和 NW 的第 1 部分(ARN1a、ARN1b)及第 2 部分 ARN2 的结构。在此,随着列电路的反复配置,NW 的第 2 部分 ARN2 成为在 X 轴方向上且在各个列电路中连续的结构。另一方面,关于 ARN2 内的供电用扩散层 N+(DFW),在此为在各个列电路中不连续的结构,当然也能够是连续的结构。

[0097] 此外,在图 13 中,第 1 部分 AR1 所含有的 PW (ARP1a、ARP1b)及 NW (ARN1a、ARN1b) 分别具有并列地沿 Y 轴方向在一条直线上延伸的两条边,该两条边未必位于一条直线上,例如,也可以为朝向 Y 轴方向阶梯状地延伸那样的形状。即,在例如 PW 的 ARP1a 内沿 Y 轴方向依次形成有多个 NMIS 晶体管那样的情况下、且其各 NMIS 晶体管的晶体管尺寸不同的情况下,存在根据该尺寸的不同而使 PW 的 X 轴方向的尺寸(即栅极宽度)依存于 Y 轴方向的位置而适宜地改变以提高面积效率的情况。另外,在各个列电路中,供电用扩散层 P+(DFW)、N+(DFW) 在此由连续的一条线状图案实现,但根据情况的不同也能够通过将该一条线状图案在 X 轴方向的任意部位适宜地分割而使供电用扩散层 P+(DFW)、N+(DFW) 由多条线状图案实现。但是,由于希望 P+(DFW)、N+(DFW) 的面积尽可能较大,所以优选由一条线状图案



实现。

[0098] 通过使用这样的阱配置及阱供电方式,例如,能够得到下述(1)~(3)那样的效果。图 14 的(a)、图 15 的(a)、图 16 的(a)分别是表示图 13 的阱配置及阱供电方式的效果的一例的说明图,图 14 的(b)、图 15 的(b)、图 16 的(b)分别是表示图 14 的(a)、图 15 的(a)、图 16 的(a)的比较例的说明图。

[0099] (1)在向 X 轴方向反复地配置某单位布局时,由于该单位布局中的阱的个数无限制,所以布局的自由度提高了,其结果是实现了半导体器件的小面积化。即,例如如图 14 的(b)所示,在以 I/O 的量为单位布局而沿 X 轴方向反复地配置时,若采用在该各 I/O 的边界部分处设置供电用扩散层(在此为 P+ (DFW))那样的方式,则需要使该单位布局内的阱的个数为奇数个。即,在单位布局内,作为在 X 轴方向上交替地配置 p 型阱 PW 和 n 型阱 NW 的结构,需要其两端均为 PW 或均为 NW。因此,当采用图 13 那样的方式时,如图 14 的(a)所示,无论单位布局内的阱的个数为奇数个还是偶数个,均能够没有问题地采用向 X 轴方向反复配置。

[0100] (2)在各阱内,能够从较宽范围选择形成于内部的各晶体管的晶体管尺寸(即布局的自由度提高),其结果为实现了半导体器件的小面积化。即,例如在图 15 的(b)所示的比较例中,相对于在 X 轴方向上交替地配置的 PW 及 NW,设有沿 Y 轴方向延伸的供电用扩散层 P+ (DFW)及 N+ (DFW)。在 PW、NW 内适宜地形成有 MIS 晶体管,期望使该 MIS 晶体管的栅极层 GT 连同例如图 5 所示的 SRAM 存储单元中的栅极层的延伸方向均为沿 X 轴方向延伸。在 PW 内且在 GT 的两侧形成有成为 NMIS 晶体管的源极-漏极的 n<sup>+</sup> 型的半导体区域(扩散层) N+ (DF),在 NW 内且在 GT 的两侧形成有成为 PMIS 晶体管的源极-漏极的 p<sup>+</sup> 型的半导体区域(扩散层) P+ (DF)。

[0101] 在此,根据栅极宽度来调整各 PMIS 晶体管及各 NMIS 晶体管的尺寸,该栅极宽度与各 N+ (DF)、P+ (DF)的 X 轴方向上的尺寸相符。于是,如图 15 的(b)所示,当设置沿 Y 轴方向延伸的供电用扩散层 P+ (DFW)、N+ (DFW)时,其成为阻碍,难以扩大各 N+ (DF)、P+ (DF)的 X 轴方向上的尺寸。尤其在图 10 及图 13 所示那样的列电路 COL [0]、COL [1]中,各个列电路的 X 轴方向上的最大尺寸受到存储阵列 MARY 内的 SRAM 存储单元的 X 轴方向上的尺寸(在图 10 的例子中为四个 SRAM 存储单元的量的尺寸)的限制。该情况下,难以通过单纯地扩大 PW、NW 自身的 X 轴方向上的尺寸来确保晶体管尺寸。因此,当采用图 13 那样的方式时,如图 15 的(a)所示,由于消除了上述那样的阻碍(Y 轴方向的供电用扩散层),所以能够沿 X 轴方向充分地扩大 PW、NW 内的各 N+ (DF)、P+ (DF)。

[0102] (3)由于能够充分地确保供电用扩散层自身的面积,所以例如能够提高对闩锁效应等的耐性,提高半导体器件的可靠性。即,为了解决上述的(1)及(2)所述的问题,考虑采用例如图 16 的(b)所示那样的方式。在图 16 的(b)的比较例中,按各 PW,在 Y 轴方向的一端部配置沿 X 轴方向延伸的供电用扩散层 P+ (DFW),按各 NW,在 Y 轴方向的另一端部配置沿 X 轴方向延伸的供电用扩散层 N+ (DFW)。但是,该情况下,供电用扩散层的面积(或面积比率(=供电用扩散层的面积 / 阱面积))减小。因此,当采用图 13 那样的方式时,如图 16 的(a)所示,与图 16 的(b)的情况相比,能够增大供电用扩散层的面积。

[0103] 以上,通过使用本实施方式 1 的半导体器件,代表性地能够实现具有高自由度的布局的半导体器件。其结果为,实现了半导体器件的小面积化。

[0104] (实施方式 2)

[0105] 《阱供电方式的详细说明(变形例 1)》

[0106] 图 17 是在本发明的实施方式 2 的半导体器件中表示其阱配置及阱供电方式的概略结构例的俯视图。图 17 所示的半导体器件是提取出的图 10 中的从 COLCTL、WAMP、SA (PMIS) 的区域至 DIBF、DOBF 的区域。在图 17 中,其特征在于,实施方式 1 所述那样的沿 X 轴方向延伸的供电区域对位于其 Y 轴方向的两侧的阱进行供电;在沿 X 轴方向延伸的供电区域的 Y 轴方向上的两侧具有虚拟栅极层;对沿 X 轴方向延伸的供电区域进一步组合沿 Y 轴方向延伸的供电区域。

[0107] 在图 17 中, n 型阱 NW 具有:具有沿 X 轴方向延伸的细长带状的形狀的第 4 部分 ARN4;配置于在 Y 轴方向上夹着 ARN4 的一侧且与 ARN4 具有连结部分的第 3A 部分 ARN3a 及第 3B 部分 ARN3b;和配置于在 Y 轴方向上夹着 ARN4 的另一侧且与 ARN4 具有连结部分的第 3C 部分 ARN3c。ARN3a、ARN3b 在 X 轴方向上中间夹着 p 型阱 PW 而配置,该 PW 在 Y 轴方向上与 ARN4 邻接地配置。另外,在 X 轴方向上,在 ARN3c 的两侧均配置有 PW,该 PW 在 Y 轴方向上与 ARN4 邻接地配置。

[0108] 在图 17 中,ARN4 与 ARN3c 的连结部分的长度 W1 和 ARN4 与 ARN3a 的连结部分的长度 W2 不同,和 ARN4 与 ARN3b 的连结部分的长度 W3 也不同。另外,在各个列电路(例如 COL [0])内,配置于在 Y 轴方向上夹着 ARN4 的一侧的 NW 部分的数量与配置于在另一侧的 NW 部分的数量不同(在图 17 的例中为一个部分和两个部分)。在 ARN4 内配置有 n<sup>+</sup> 型的半导体区域(供电用扩散层)N<sup>+</sup> (DFW),在 ARN3a、ARN3b、ARN3c 中,经由该 N<sup>+</sup> (DFW) 及 NW 而进行供电。像这样,通过从沿 X 轴方向延伸的供电区域(ARN4)对设置在其 Y 轴方向的两侧的阱进行供电,能够使供电区域被其两侧的阱所共用,因此能够提高面积效率。另外,如图 17 所示,将 ARN4 配置于在沿 Y 轴方向前进的过程中阱的宽度(X 轴方向的尺寸)不同的部位和阱的数量不同的部位是尤其有益的。由此,能够实现布局的自由度的提高(即能够灵活地改变阱宽和阱数量)和面积效率的提高。

[0109] 另外,在图 17 中,如也在图 13 中所述那样,配置有跨着 PW 与 NW 的边界部分且并列地沿 X 轴方向延伸的多个栅极层 GT、和成为该 GT 的源极-漏极区域的扩散层(在 PW 内为 n<sup>+</sup> 型的半导体区域(扩散层)N<sup>+</sup> (DF),在 NW 内为 p<sup>+</sup> 型的半导体区域(扩散层)P<sup>+</sup> (DF))。在此,在 ARN4 的 Y 轴方向上的两侧,在 ARN4 与 GT 之间设有与 GT 并列地沿 X 轴方向延伸的虚拟栅极层 GT \_\_ DMY。GT \_\_ DMY 与 GT 不同,不作为 MIS 晶体管的栅极而发挥功能。具体而言,该 GT \_\_ DMY 在其 ARN4 侧不具有成为源极-漏极区域的扩散层。当如图 17 所示设置 ARN4 时,GT 的图案密度在该 ARN4 附近发生变化,从而存在制造偏差增大的可能,但若这样设置 GT \_\_ DMY,则能够将图案密度均匀地保持于某种程度,从而能够充分地维持制造工艺的加工精度。

[0110] 而且,在图 17 中,在各个列电路 COL [0]、COL [1] 的边界部分的 PW 内配置有沿 Y 轴方向延伸的 p<sup>+</sup> 型的半导体区域(供电用扩散层)P<sup>+</sup>(DFW),另外,在各个列电路中的 NW 的第 3C 部分(ARN3c)内配置有沿 Y 轴方向延伸的 n<sup>+</sup> 型的半导体区域(供电用扩散层)N<sup>+</sup> (DFW)。该 P<sup>+</sup> (DFW)、N<sup>+</sup> (DFW) 分别具有 Y 轴方向的尺寸大于 X 轴方向的尺寸的大致矩形的形状。像这样,存在通过将沿 X 轴方向延伸的供电区域和沿 Y 轴方向延伸的供电区域组合使用而能够对各阱更高效地或更充分地进行供电的情况。

[0111] 例如,在不使用沿 Y 轴方向延伸的供电区域而仅由全部沿 X 轴方向延伸的供电区域构成的情况下,例如以下方面令人担心。首先,当使用沿 X 轴方向延伸的供电区域时,Y 轴方向的阱尺寸可能稍微增大。因此,例如在半导体器件中 Y 轴方向的尺寸受到限制那样的情况下,除沿 X 轴方向延伸的供电区域以外,也适宜地使用沿 Y 轴方向延伸的供电区域是有益的。其次,当使用沿 X 轴方向延伸的供电区域时,在例如成为该供电区域的供电对象的阱中的 Y 轴方向的尺寸较大的情况下,在该阱内可能产生距该供电区域的距离变远的部分,因此供电能力可能不足。在这样的情况下,除沿 X 轴方向延伸的供电区域以外,也适宜地使用沿 Y 轴方向延伸的供电区域是有益的。另外,除此以外,如在图 14 中所述那样,在某反复单位内的阱的个数为奇数个的情况下,存在通过沿 Y 轴方向延伸的供电区域也能够充分地确保布局的自由度(面积效率)的情况。在这样的情况下,适宜地使用沿 Y 轴方向延伸的供电区域也是有益的。

[0112] 在图 17 的例子中,ARN3c 内的 N<sup>+</sup> (DFW) 是为了进一步提高对例如 SA (PMIS) 的供电能力而设置的。另外,COL [0]、COL [1] 的边界部分的 P<sup>+</sup> (DFW) 是为了尤其能够对 WAMP 内的 NMIS 晶体管充分地进行供电并且也能够同时实现某种程度的充分的面积效率而设置的。即,在 WAMP 等的区域中,由于各个列电路内的阱的数量如在图 14 中所述那样为奇数个,所以能够在各个列电路的边界部分配置供电区域,由此,能够使该供电区域被其两侧列电路所共用,因此也能够充分地确保面积效率。

[0113] 《本实施方式 2 的半导体器件的详细的器件构造》

[0114] 图 18 是在图 17 的半导体器件中表示其一部分区域的更为详细的结构例的俯视图。图 19 的(a)是表示图 18 中的 E-E' 间的概略的器件构造例的剖视图,图 19 的(b)是表示图 18 中的 F-F' 间的概略的器件构造例的剖视图。图 20 的(a)是表示图 18 中的 G-G' 间的概略的器件构造例的剖视图,图 20 的(b)是表示图 18 中的 H-H' 间的概略的器件构造例的剖视图。

[0115] 图 18 所示的结构例是将图 17 中的区域 AREA10 提取出并使之更具体化的图。在图 18 中,在 X 轴方向上示出一个列电路 COL 的范围,在该列电路的 X 轴方向上的边界部分处分别配置有沿 Y 轴方向延伸的 p<sup>+</sup> 型的半导体区域(供电用扩散层) P<sup>+</sup> (DFW) [1]、[2]。在该两个 P<sup>+</sup> (DFW) [1]、[2] 之间,沿 X 轴方向按顺序配置有 n<sup>+</sup> 型的半导体区域(扩散层) N<sup>+</sup> (DF) [1]、p<sup>+</sup> 型的半导体区域(扩散层) P<sup>+</sup> (DF) [1]、n<sup>+</sup> 型的半导体区域(供电用扩散层) N<sup>+</sup> (DFW) [2]、p<sup>+</sup> 型的半导体区域(扩散层) P<sup>+</sup> (DF) [2]、n<sup>+</sup> 型的半导体区域(扩散层) N<sup>+</sup> (DF) [2]。N<sup>+</sup> (DFW) [2] 具有沿 Y 轴方向延伸的形状。另外,在 Y 轴方向上,以与 N<sup>+</sup> (DF) [1]、P<sup>+</sup> (DF) [1]、N<sup>+</sup> (DFW) [2]、P<sup>+</sup> (DF) [2]、N<sup>+</sup> (DF) [2] 相对的方式,配置有沿 X 轴方向延伸的 n<sup>+</sup> 型的半导体区域(供电用扩散层) N<sup>+</sup> (DFW) [1]。

[0116] P<sup>+</sup> (DFW) [1]、N<sup>+</sup> (DF) [1] 形成在 p 型阱 PW 内,P<sup>+</sup> (DF) [1]、N<sup>+</sup> (DFW) [2]、P<sup>+</sup> (DF) [2]、N<sup>+</sup> (DFW) [1] 形成在 n 型阱 NW 内,P<sup>+</sup> (DFW) [2]、N<sup>+</sup> (DF) [2] 形成在 p 型阱 PW 内。伴随这种结构,存在 NW 与 PW 的接合部分,但实际上,各扩散层及供电用扩散层在 XY 平面上以从嵌入绝缘膜(元件分隔膜) STI 露出的方式形成,因此该 NW 与 PW 的接合部分存在于该 STI 的下部(Z 轴方向)。

[0117] 在 N<sup>+</sup> (DF) [1] 和 P<sup>+</sup> (DF) [1] 的上部(Z 轴方向),以跨着 PW 与 NW 的接合部分的方式配置有并列地沿 X 轴方向延伸的多条(在此为两条)栅极层 GT。N<sup>+</sup> (DF) [1]、P<sup>+</sup> (DF)

[1]成为该GT的源极-漏极区域。而且,在该GT与N+(DFW)[1]之间,配置有与该GT并列地沿X轴方向延伸的虚拟栅极层GT\_\_DMY。GT\_\_DMY不作为MIS晶体管的栅极发挥功能,在GT\_\_DMY的N+(DFW)[1]侧不存在成为源极-漏极区域的扩散层。同样地,在N+(DF)[2]和P+(DF)[2]的上部(Z轴方向),以跨着PW与NW的接合部分的形式配置有并列地沿X轴方向延伸的多条(在此为两条)GT。N+(DF)[2]、P+(DF)[2]成为该GT的源极-漏极区域。而且,在该GT与N+(DFW)[1]之间配置有与该GT并列地沿X轴方向延伸且不作为MIS晶体管发挥功能的虚拟栅极层GT\_\_DMY。另外,在各扩散层、供电用扩散层以及各栅极层的上部(Z轴方向)适宜地配置有接点层CT。

[0118] 在图19的(a)中,示出以X轴方向的线将图18中的供电用扩散层N+(DFW)[1]的区域剖切而得到结构例。在图19的(a)中,除图18所示的各结构例以外,同时还示出其上部(Z轴方向)的器件构造例。在图19的(a)中,在p型半导体衬底SUBp上配置有n型阱NW。在半导体衬底的主面上,在NW内形成有n<sup>+</sup>型的半导体区域(供电用扩散层)N+(DFW)。另外,在半导体衬底的主面上,在NW内形成有嵌入绝缘膜(元件分隔膜)STI,该STI在XY平面上以包围N+(DFW)的方式形成。在半导体衬底的主面上层叠有层间绝缘膜ISL1,在ISL1内形成有多个接点层CT。多个CT的一端与上述的NW内的N+(DFW)分别连接。在ISL1上形成有第1金属布线层M1,在该M1上层叠有层间绝缘膜ISL2。多个CT的另一端与该M1分别连接。对该M1供给电源电压VDD。

[0119] 在图19的(b)中,示出以X轴方向的线将图18中的各扩散层以及沿Y轴方向延伸的供电用扩散层的区域剖切而得到的截面结构例。在图19的(b)中,除图18所示的各结构例以外,同时还示出其上部(Z轴方向)的器件构造例。在图19的(b)中,在p型半导体衬底SUBp上,沿X轴方向按顺序配置有p型阱PW、n型阱NW和p型阱PW。在半导体衬底的主面上,在各PW内分别形成有p<sup>+</sup>型的半导体区域(供电用扩散层)P+(DFW),在NW内形成有n<sup>+</sup>型的半导体区域(供电用扩散层)N+(DFW)。另外,在半导体衬底的主面上,在PW、NW内形成有嵌入绝缘膜(元件分隔膜)STI。该STI在XY平面上以将P+(DFW)、N+(DFW)分别包围的方式形成。

[0120] 在半导体衬底的主面上,在PW的一方和NW的上部,隔着栅极绝缘膜GOX而形成有栅极层GT。在PW的一方和NW的区域内,在该GOX的下部分别存在MIS晶体管的沟道区域,在该沟道区域以外的部分配置有STI。同样地,在PW的另一方和NW的上部,隔着GOX而形成有GT。在PW的另一方和NW的区域内,在该GOX的下部分别存在MIS晶体管的沟道区域,在该沟道区域以外的部分配置有STI。

[0121] 另外,在半导体衬底的主面上层叠有层间绝缘膜ISL1,在ISL1内形成有多个(在此为五个)接点层CT。其中,两个CT的一端与上述的各PW内的P+(DFW)分别连接,一个CT的一端与上述的NW内的N+(DFW)连接,其余两个CT的一端与上述的两个GT分别连接。在ISL1上形成有多个第1金属布线层M1,在该ISL1、M1上层叠有层间绝缘膜ISL2。五个CT的另一端与该多个M1适宜地连接。其中,对经由CT而与P+(DFW)连接的M1供给接地电源电压VSS,对经由CT而与N+(DFW)连接的M1供给电源电压VDD。

[0122] 在图20的(a)中,示出以Y轴方向的线将图18中的n<sup>+</sup>型的源极-漏极扩散层以及沿X轴方向延伸的n<sup>+</sup>型的供电用扩散层的区域剖切而得到的截面结构例。在图20的(a)中,除图18所示的各结构例以外,同时还示出其上部(Z轴方向)的器件构造例。在图20的

(a)中,在 p 型半导体衬底 SUBp 上,沿 Y 轴方向按顺序配置有 n 型阱 NW 和 p 型阱 PW。在半导体衬底的主面上,在 PW 内形成有成为源极-漏极区域的多个 n<sup>+</sup> 型的半导体区域(扩散层) N<sup>+</sup> (DF),在 NW 内形成有 n<sup>+</sup> 型的半导体区域(供电用扩散层) N<sup>+</sup> (DFW)。另外,在半导体衬底的主面上,在 PW、NW 内形成有嵌入绝缘膜(元件分隔膜) STI。该 STI 在 XY 平面上以包围 N<sup>+</sup> (DFW) 的方式形成。

[0123] 在半导体衬底的主面上,在 PW 上隔着栅极绝缘膜 GOX 而形成有多个(在此为两个)栅极层 GT。在隔着该各 GT 而位于两侧的 PW 内配置有成为上述的源极-漏极区域的多个 N<sup>+</sup> (DF)。另外,在半导体衬底的主面中的、NW 与 PW 的边界附近配置有包围上述的 N<sup>+</sup> (DFW) 的 STI,在该 STI 的上部,以与上述的两个 GT 并列的方式隔着 GOX 而配置有虚拟栅极层 GT \_\_DMY。这样,GT \_\_DMY 配置在 STI 上,不作为 MIS 晶体管的栅极发挥功能。

[0124] 在半导体衬底的主面上层叠有层间绝缘膜 ISL1,在 ISL1 内形成有多个接点层 CT。多个 CT 的一部分,一端与上述的 PW 内的成为源极-漏极区域的多个 N<sup>+</sup> (DF) 分别连接,另一部分,一端与 NW 内的 N<sup>+</sup> (DFW) 连接。在 ISL1 上形成有多个第 1 金属布线层 M1,在该 ISL1、M1 上层叠有层间绝缘膜 ISL2。多个 CT 的另一端与该多个 M1 适宜地连接。其中,对经由 CT 而与 N<sup>+</sup> (DFW) 连接的 M1 供给电源电压 VDD。

[0125] 在图 20 的(b)中,示出以 Y 轴方向的线将图 18 中的 p<sup>+</sup> 型的源极-漏极扩散层以及沿 X 轴方向延伸的 n<sup>+</sup> 型的供电用扩散层的区域剖切而得到的截面结构例。在图 20 的(b)中,除图 18 所示的各结构例以外,同时还示出其上部(Z 轴方向)的器件构造例。在图 20 的(b)中,在 p 型半导体衬底 SUBp 上配置有 n 型阱 NW。在半导体衬底的主面上,在 NW 内形成有成为源极-漏极区域的多个 p<sup>+</sup> 型的半导体区域(扩散层) P<sup>+</sup> (DF) 和 n<sup>+</sup> 型的半导体区域(供电用扩散层) N<sup>+</sup> (DFW)。另外,在半导体衬底的主面上,在 NW 内形成有嵌入绝缘膜(元件分隔膜) STI。该 STI 在 XY 平面上以包围 N<sup>+</sup> (DFW) 的方式形成。

[0126] 在半导体衬底的主面上,在 NW 上隔着栅极绝缘膜 GOX 而形成有多个(在此为两个)栅极层 GT。在隔着该各 GT 而位于两侧的 NW 内配置有成为上述的源极-漏极区域的多个 P<sup>+</sup> (DF)。另外,在半导体衬底的主面上,在 N<sup>+</sup> (DFW) 和与其最近的 P<sup>+</sup> (DF) 之间配置有包围上述的 N<sup>+</sup> (DFW) 的 STI,在该 STI 的上部,以与上述的两个 GT 并列的方式隔着 GOX 而配置有虚拟栅极层 GT \_\_DMY。这样,GT \_\_DMY 配置在 STI 上,不作为 MIS 晶体管的栅极发挥功能。

[0127] 在半导体衬底的主面上层叠有层间绝缘膜 ISL1,在 ISL1 内形成有多个接点层 CT。多个 CT 的一部分,一端与上述的 NW 内的成为源极-漏极区域的多个 P<sup>+</sup> (DF) 分别连接,另一部分,一端与 NW 内的 N<sup>+</sup> (DFW) 连接。在 ISL1 上形成有多个第 1 金属布线层 M1,在该 ISL1、M1 上层叠有层间绝缘膜 ISL2。多个 CT 的另一端与该多个 M1 适宜地连接。其中,对经由 CT 而与 N<sup>+</sup> (DFW) 连接的 M1 供给电源电压 VDD。

[0128] 以上,通过使用本实施方式 2 的半导体器件,代表性地,与实施方式 1 的情况一样,能够伴随着沿 X 轴方向延伸的供电区域而实现具有高自由度的布局的半导体器件。其结果为,实现了半导体器件的小面积化。另外,通过使用虚拟栅极层而能够降低制造偏差,而且,存在通过除使用沿 X 轴方向延伸的供电区域以外还使用沿 Y 轴方向延伸的供电区域来实现供电区域的进一步效率化的情况。

[0129] (实施方式 3)

[0130] 《阱供电方式的详细说明(变形例 2)》

[0131] 图 21 的(a)是在本发明的实施方式 3 的半导体器件中表示其阱配置及阱供电方式的结构例的俯视图,图 21 的(b)是表示图 21 的(a)的比较例的俯视图。图 21 的(a)所示的半导体器件的特征在于,对在图 13 所述那样的阱供电方式组合栅极二次分割掩模图案 GTRE。首先,在图 21 的(b)所示的比较例中,与图 15 的(a)的情况同样地,在 X 轴方向上交替地配置 PW 及 NW,在沿 Y 轴方向夹着该 PW、NW 的一侧,配置沿 X 轴方向延伸并且与该 NW 连结的供电区域,在另一侧配置沿 X 轴方向延伸并且与该 PW 连结的供电区域。该 NW 用的供电区域具有沿 X 轴方向延伸的 NW 和形成于其内部的 n<sup>+</sup> 型的半导体区域(供电用扩散层)N<sup>+</sup> (DFW),该 PW 用的供电区域具有沿 X 轴方向延伸的 PW 和形成于其内部的 p<sup>+</sup> 型的半导体区域(供电用扩散层)P<sup>+</sup> (DFW)。

[0132] 在供电区域以外的 PW、NW 内适宜地形成有 MIS 晶体管。该 MIS 晶体管的栅极层 GT 如在图 15 的(a)中所述那样沿 X 轴方向延伸。另外,在 PW 内,在 GT 的两侧形成有成为 NMIS 晶体管的源极-漏极的 n<sup>+</sup> 型的半导体区域(扩散层)N<sup>+</sup> (DF),在 NW 内,在 GT 的两侧形成有成为 PMIS 晶体管的源极-漏极的 p<sup>+</sup> 型的半导体区域(扩散层)P<sup>+</sup> (DF)。在此,根据栅极宽度来调整各 PMIS 晶体管及各 NMIS 晶体管的尺寸,该栅极宽度与各 N<sup>+</sup> (DF)、P<sup>+</sup> (DF)的 X 轴方向的尺寸相符。

[0133] 如在图 15 的(a)中所述那样,通过使用沿 X 轴方向延伸的供电区域,能够增大该栅极宽度的尺寸的可变范围,提高布局的自由度。但是实际上,如图 18 的(b)所示,若使用通常的制造工艺,则可能成为栅极层 GT 的端部带有圆角的图案,因此需要在某种程度上确保扩散层(例如 N<sup>+</sup> (DF))的边界与 GT 的端部的距离(WW2)。该情况下,栅极宽度的可变范围与其相应地减小。因此,如图 18 的(a)所示,若使用栅极二次分割掩模图案 GTRE,则与图 18 的(b)的情况相比,能够缩短扩散层(例如 N<sup>+</sup> (DF))的边界与 GT 的端部的距离(WW1),因此能够进一步提高布局的自由度。

[0134] 《本实施方式 3 的半导体器件的制造方法》

[0135] 图 22 是表示图 21 的(a)所示的半导体器件的制造方法的一例的说明图,图 23 是表示与图 22 接续的半导体器件的制造方法的一例的说明图。在图 22 中,在步骤 S101 中,首先在半导体衬底(未图示)上形成 p 型阱 PW 及 n 型阱 NW,除该 PW 的一部分区域(PW (露出部分))及该 NW 的一部分区域(NW (露出部分))外形成嵌入绝缘膜(元件分隔膜)STI。接着,在步骤 S102 中,经由光刻工序(掩模加工)等,形成并列地沿 X 轴方向延伸的、成为线状图案的多条(在此为两条)栅极层 GT。此外,实际上,在形成该 GT 之前,在该 GT 的 Z 轴方向的下部形成栅极绝缘膜(未图示)。栅极绝缘膜由例如钨类的高介电常数膜构成,GT 由金属膜(或由多种金属构成的层叠膜)等形成。

[0136] 接下来,在步骤 S103 中,通过光刻工序(掩模加工),涂敷使 GT 的一部分露出的抗蚀膜。此时,使用上述那样的栅极二次分割掩模图案 GTRE。接着,在图 23 的步骤 S104 中,使用干法蚀刻装置等将该抗蚀膜作为掩模而进行 GT 的蚀刻,然后,除去该抗蚀膜。通过该栅极二次分割加工,从上述的两条 GT 生成三条 GT,并且如上所述,能够缩短各 GT 和与其对应的扩散层(在该阶段中为 PW (露出部分)或 NW (露出部分))的边界的距离。

[0137] 接下来,在图 23 的步骤 S105 中,使用离子注入装置等对位于该 GT 两边的 PW (露出部分)注入磷(P)、砷(As)等杂质,另外,对位于该 GT 两边的 NW (露出部分)注入硼(B)等

杂质。由此,该 PW (露出部分)成为源极-漏极用的  $n^+$  型的半导体区域(扩散层)  $N^+$  (DF),该 NW (露出部分)成为源极-漏极用的  $p^+$  型的半导体区域(扩散层)  $P^+$  (DF)。而且还使用离子注入装置等对沿 X 轴方向延伸的 NW (露出部分)注入磷(P)、砷(As)等杂质,另外,对沿 X 轴方向延伸的 PW (露出部分)注入硼(B)等杂质。由此,该 NW (露出部分)成为  $n^+$  型的半导体区域(供电用扩散层)  $N^+$  (DFW),该 PW (露出部分)成为  $p^+$  型的半导体区域(供电用扩散层)  $P^+$  (DFW)。

[0138] 接下来,在步骤 S106 中,使用等离子 CVD 装置等在半导体衬底的主面上层叠层间绝缘膜 ISL1,然后,通过光刻工序,朝向  $N^+$  (DF)、 $P^+$  (DF)、 $N^+$  (DFW)、 $P^+$  (DFW)、GT 的规定部位在 ISL1 内形成接触孔。然后,相对于该接触孔埋入例如通过由钛(Ti)、氮化钛、钨(W)等组合而成层叠膜等构成的接点层 CT。此外,在此,对采用称作先栅极(gate first)法的方法的例子进行了说明,但也能够采用称作后栅极(gate last)法的方法。

[0139] 在采用后栅极法的情况下,在暂时使用伪(dummy)多晶硅来形成栅极层、源极-漏极扩散层( $N^+$  (DF)、 $P^+$  (DF))以及层间绝缘膜 ISL1 的厚度方向的一部分之后,除去该伪多晶硅,由此,对在 ISL1 的一部分内开的槽中埋入由金属膜构成的栅极层(金属栅极) GT。或者,在埋入该金属栅极之前也进行栅极绝缘膜的埋入。即,在图 23 中所述的步骤 S105 的顺序(在该阶段除形成金属栅极以外还形成栅极绝缘膜)、在图 22 所述的步骤 S102 的顺序(在该阶段存在不需要形成栅极绝缘膜的情况)有些许变化。

[0140] 以上,通过使用本实施方式 3 的半导体器件,代表性地,与实施方式 1 的情况相比,能够实现具有更高自由度的布局的半导体器件。其结果为,实现了半导体器件的小面积化。此外,图 22 及图 23 所述的栅极二次分割加工能够与图 5 所述的针对 SRAM 存储单元的栅极二次分割加工在同一工序中进行。

[0141] (实施方式 4)

[0142] 《半导体器件整体的阱配置方式》

[0143] 在本实施方式 4 中,说明含有在实施方式 1~3 中所述的各种特征的半导体器件的整体的阱配置方式。图 24 的(a)是在本发明的实施方式 4 的半导体器件中表示其阱配置方式的基本概念的一例的俯视图,图 24 的(b)是表示成为图 24 的(a)的比较例的阱配置方式的俯视图。在图 24 的(a)、图 24 的(b)中,在 Y 轴方向上按顺序配置有图 7 所示那样的存储阵列 MARY、对 MARY 内的多个位线对进行信号收发的列控制单元 COLU (COLU')。

[0144] 如上所述,尤其在采用最小加工尺寸为 28nm 以下的制造工艺的情况下,为了保持充分的加工精度而期望在半导体器件整体中使栅极层的延伸方向统一成同一方向。该情况下,如成为比较例的图 24 的(b)所示,若在 COLU' 中采用 p 型阱 PW 和 n 型阱 NW 在 Y 轴方向上交替地并列地配置、且 PW 与 NW 的边界线沿 X 轴方向延伸的横纹构造的阱配置方式,则布局的自由度会下降,其结果为,可能难以实现半导体器件的小面积化。图 26 的(a)~图 26 的(c)是表示采用图 24 的(b)的阱配置方式的情况下的问题点的一例的说明图。

[0145] 在图 26 的(a)、图 26 的(b)中,示出了两级连接的 CMIS 型倒相电路 IV1、IV2 的彼此不同的布局结构例。在图 26 的(a)中,由第 1 金属布线层 M1 形成的电源布线(VDD、VSS)沿 Y 轴方向延伸,在图 26 的(b)中,由 M1 形成的电源布线(VDD、VSS)沿 X 轴方向延伸。在此,设想进一步增加 CMIS 型倒相电路的级数的情况。在采用了图 26 的(a)的布局的情况下,在将来自后级的 IV2 的输出节点 OT (在此为 M1)的信号输送到下一级时,X 轴方向受到

电源布线(在此为 VDD)的阻碍, Y 轴方向也受到连接该电源布线(VDD、VSS)和各 MIS 晶体管的源极节点的布线(沿 X 轴方向延伸的布线(M1))的阻碍。

[0146] 另一方面,在采用图 26 的(b)的布局的情况下,在将来自后级的 IV2 的输出节点 OT(在此为 M1)的信号输送到下一级时, X 轴方向尤其没有阻碍,但 Y 轴方向如图 26 的(c)所示那样受到电源布线(在此为 VDD)的阻碍。尤其是,在列控制单元 COLU' 等中,由于随着 MARY 而对 X 轴方向的尺寸产生限制,所以与沿 X 轴方向传送相比,更期望沿 Y 轴方向传送。因此,在采用图 26 的(a)、(b)那样的布局的情况下,需要像上述那样在增加 CMIS 型倒相电路的级数时使用 M1 的上层布线(第 2 金属布线层),从而布局的自由度降低,其结果为,可能难以实现半导体器件的小面积化。

[0147] 因此,采用图 24 的(a)所示那样的阱配置方式是有益的。在图 24 的(a)中,在 COLU 中采用 p 型阱 PW 和 n 型阱 NW 在 X 轴方向上交替地并列地配置、且 PW 与 NW 的边界线沿 Y 轴方向延伸的纵纹构造的阱配置方式。图 25 的(a)、图 25 的(b)是表示采用了图 24 的(a)的阱配置方式的情况下的效果的一例的说明图。在图 25 的(a)中,示出了两级连接的 CMIS 型倒相电路 IV1、IV2 的布局结构例,在图 25 的(b)中,示出了四级连接的 CMIS 型倒相电路 IV1 ~ IV4 的布局结构例。

[0148] 在图 25 的(a)、图 25 的(b)中,由第 1 金属布线层 M1 形成的电源布线(VDD、VSS)沿 Y 轴方向延伸, IV1 ~ IV4 沿 Y 轴方向依次配置。像这样,若采用图 24 的(a)的阱配置方式,则在增加 CMIS 型倒相电路的级数时不需要使用 M1 的上层布线(第 2 金属布线层),能够通过至 M1 为止的布线而实现。而且,将各栅极层 GT 以跨着 NW 与 PW 的边界的方式配置且将其作为 PMIS 晶体管和 NMIS 晶体管的公共栅极,由此,如图 26 的(a)~图 26 的(c)所示,与将 PMIS 晶体管和 NMIS 晶体管的栅极层各自独立地设置的情况相比,能够以较高的面积效率实现各 CMIS 型倒相电路。其结果为,提高了布局的自由度,结果能够实现半导体器件的小面积化。

[0149] 《列控制电路块的阱配置方式》

[0150] 图 27 是在本发明的实施方式 4 的半导体器件中表示图 8 及图 9 的列控制电路块中的概略的阱配置的结构例的俯视图。图 27 的结构例与上述的图 10 的结构例大致相同,相对于图 10 的结构例主要明示了栅极层 GT 的配置方式。另外,在图 27 的结构例中,省略了图 10 的结构例中的一部分供电区域(沿 Y 轴方向延伸的供电区域)的记载。如图 27 所示,在列控制电路块中,作为整体尽可能地对沿 X 轴方向延伸的栅极层 GT 使用上述的纵纹构造的阱配置。而且,针对该纵纹构造的阱配置,为了进一步提高布局的自由度,设置在此前的各实施方式中所述那样的沿 X 轴方向延伸的供电区域(图 27 的 WPA<sub>n</sub>、WPA<sub>p</sub>)是有益。

[0151] 《字线驱动电路块的阱配置及阱供电方式》

[0152] 图 28 的(a)是在本发明的实施方式 4 的半导体器件中表示与图 3 的字线驱动电路块的阱配置及阱供电相关的概略的布局结构例的俯视图,图 28 的(b)是表示图 28 的(a)中的 I-I' 间的概略的器件构造例的剖视图。在图 28 的(a)所示的字线驱动电路块 WLDBK 中,沿 X 轴方向按顺序交替地配置有多个 p 型阱 PW 和多个 n 型阱 NW。在各阱上,适宜地配置有跨着 PW 与 NW 的边界且沿 X 轴方向延伸的栅极层 GT。另外,在各 PW 内配置有沿 Y 轴方向延伸的 p<sup>+</sup> 型的半导体区域(供电用扩散层) P<sup>+</sup> (DFW),在各 NW 内配置有沿 Y 轴方向延伸的 n<sup>+</sup> 型的半导体区域(供电用扩散层) N<sup>+</sup> (DFW)。



[0153] 在图 28 的(b)中,除图 28 的(a)所示的阱及其供电部分以外,同时还示出其上部(Z 轴方向)的器件构造。在图 28 的(b)中,在 p 型半导体衬底 SUBp 上,沿 X 轴方向交替地连续地配置有 PW 和 NW。在半导体衬底的主面上,在各 PW 内分别形成有 P+ (DFW),在各 NW 内分别形成有 N+ (DFW)。另外,在半导体衬底的主面上,在 PW、NW 内形成有嵌入绝缘膜(元件分隔膜) STI,该 STI 在 XY 平面上以将 N+ (DFW)、P+ (DFW) 分别包围的方式形成。

[0154] 在半导体衬底的主面上层叠有层间绝缘膜 ISL1,在 ISL1 内形成有多个接点层 CT。多个 CT 的一部分,一端与上述的各 PW 内的 P+ (DFW) 分别连接,多个 CT 的另一部分,一端与上述的各 NW 内的 N+ (DFW) 分别连接。在 ISL1 上形成有第 1 金属布线层 M1,在该 ISL1、M1 上层叠有层间绝缘膜 ISL2。在 ISL2 上形成有第 2 金属布线层 M2,在该 ISL2、M2 上层叠有层间绝缘膜 ISL3。在 ISL3 上形成有第 3 金属布线层 M3。另外,在 ISL2 内形成有用于连接 M1 和 M2 的第 1 过孔层 V1,在 ISL3 内形成有用于连接 M2 和 M3 的第 2 过孔层 V2。

[0155] 在此,一端与上述的各 PW 内的 P+ (DFW) 连接的各 CT 的另一端按顺序经由 M1、V1、M2、V2 而与 M3 连接。该 M3 在此为沿 X 轴方向延伸的一条布线,相对于该 M3 共同地连接有上述的各 PW 内的 P+ (DFW)。对该 M3 供给接地电源电压 VSS。另一方面,一端与上述的各 NW 内的 N+ (DFW) 连接的各 CT 的另一端按顺序经由 M1、V1 而与 M2 连接。该 M2 在此为并列地沿 Y 轴方向延伸的多条布线。该多条 M2 在未图示区域共同地连接。对该 M2 供给电源电压 VDD。

[0156] 《整体控制电路块的阱配置及供电方式》

[0157] 图 29 的(a)是在本发明的实施方式 4 的半导体器件中表示与图 3 的整体控制电路块的阱配置及阱供电相关的概略的布局结构例的俯视图,图 29 的(b)是表示图 29 的(a)中的 J-J' 间的概略的器件构造例的剖视图。图 29 的(a)所示的整体控制电路块 CTLBK 也与图 28 的(a)的情况一样,沿 X 轴方向按顺序交替地配置有多个 p 型阱 PW 和多个 n 型阱 NW。在各阱上,适宜地配置有跨着 PW 与 NW 的边界且沿 X 轴方向延伸的栅极层 GT。另外,在各 PW 内配置有沿 Y 轴方向延伸的 p<sup>+</sup> 型的半导体区域(供电用扩散层) P+ (DFW),在各 NW 内配置有沿 Y 轴方向延伸的 n<sup>+</sup> 型的半导体区域(供电用扩散层) N+ (DFW)。在图 29 的(b)中,除图 29 的(a)所示的阱及其供电部分以外,同时还示出其上部(Z 轴方向)的器件构造。图 29 的(b)的器件构造例与上述的图 28 的(b)的器件构造例相比,交替地配置的各阱的数量不同,除此以外,其他基本构造与图 11 的情况相同。

[0158] 如上所述,在字线驱动电路块 WLDBK 及整体控制电路块 CTLBK 中,采用了在图 24 的(a)中所述那样的纵纹构造的阱配置,由此实现了高效的布局。但是,该块内的各阱的 Y 轴方向的尺寸可能增大,因此,在此使用了沿 Y 轴方向延伸的供电区域(供电用扩散层)。

[0159] 以上,基于实施方式具体地说明了本发明人所完成的发明,但本发明不限于上述实施方式,在不脱离其要旨的范围内能够进行各种变更。

[0160] 例如,在此前的各实施方式中,作为存储器以 SRAM 为例进行了说明,当然,对以 DRAM (Dynamic Random Access Memory) 为代表的各种易失性存储器、和以闪存为代表的各种非易失性存储器也能够同样地适用。另外,在此,以搭载有存储器的 SOC 等半导体器件为例进行了说明,但对由存储器单体构成的半导体存储器件也能够同样地适用,根据情况的不同,对不具有存储器的逻辑类的半导体器件也能够适用。

[0161] 工业实用性

[0162] 本实施方式的半导体器件是尤其适用于具有 SRAM 等存储器的 SOC 等 LSI 的有益的装置,但不限于此,能够广泛地适用于全部 LSI。

- [0163] 附图标记说明
- [0164] ADRDEC 地址译码电路
- [0165] APPU 应用程序单元
- [0166] AR、ARN、ARP 部分
- [0167] BBU 基带单元
- [0168] BL、ZBL 位线
- [0169] BLPRE 位线预充电电路
- [0170] CCN 高速缓存控制器
- [0171] COL 列电路
- [0172] COLBK 列控制电路块
- [0173] COLCTL 列控制电路
- [0174] COLU、COLU' 列控制单元
- [0175] CPU 处理器单元
- [0176] CT 接点层
- [0177] CTLBK 整体控制电路块
- [0178] DF 半导体区域(扩散层)
- [0179] DIBF 输入缓冲电路
- [0180] DOBF 输出缓冲电路
- [0181] Din 数据输入信号
- [0182] Dout 数据输出信号
- [0183] FF 闩锁电路
- [0184] GOX 栅极绝缘膜
- [0185] GT 栅极层
- [0186] GT \_\_ DMY 虚拟栅极层
- [0187] GTRE 栅极二次分割掩模图案
- [0188] IOU 输入输出单元
- [0189] ISL 层间绝缘膜
- [0190] IV CMIS 型倒相电路
- [0191] M1 第 1 金属布线层
- [0192] M2 第 2 金属布线层
- [0193] M3 第 3 金属布线层
- [0194] MARY 存储阵列
- [0195] MC 存储单元
- [0196] MEMU 存储器
- [0197] MN NMIS 晶体管
- [0198] MP PMIS 晶体管
- [0199] N+ (DF) n<sup>+</sup> 型半导体区域(扩散层)

- [0200] N+ (DFW) n<sup>+</sup> 型的半导体区域(供电用扩散层)
- [0201] NW n 型阱
- [0202] P+ (DF) p<sup>+</sup> 型半导体区域(扩散层)
- [0203] P+ (DFW) p<sup>+</sup> 型的半导体区域(供电用扩散层)
- [0204] PW p 型阱
- [0205] REP 复制电路
- [0206] RSW 读取用开关电路
- [0207] SA 读出放大器电路
- [0208] SAPRE 读出放大器预充电电路
- [0209] STI 嵌入绝缘膜(元件分隔膜)
- [0210] SUBp 半导体衬底
- [0211] V1 第 1 过孔层
- [0212] V2 第 2 过孔层
- [0213] VDD 电源电压
- [0214] VSS 接地电源电压
- [0215] WAMP 写入放大器电路
- [0216] WL 字线
- [0217] WLDBK 字线驱动电路块
- [0218] WPA 供电区域
- [0219] WSW 写入用开关电路
- [0220] YSEL 列选择电路

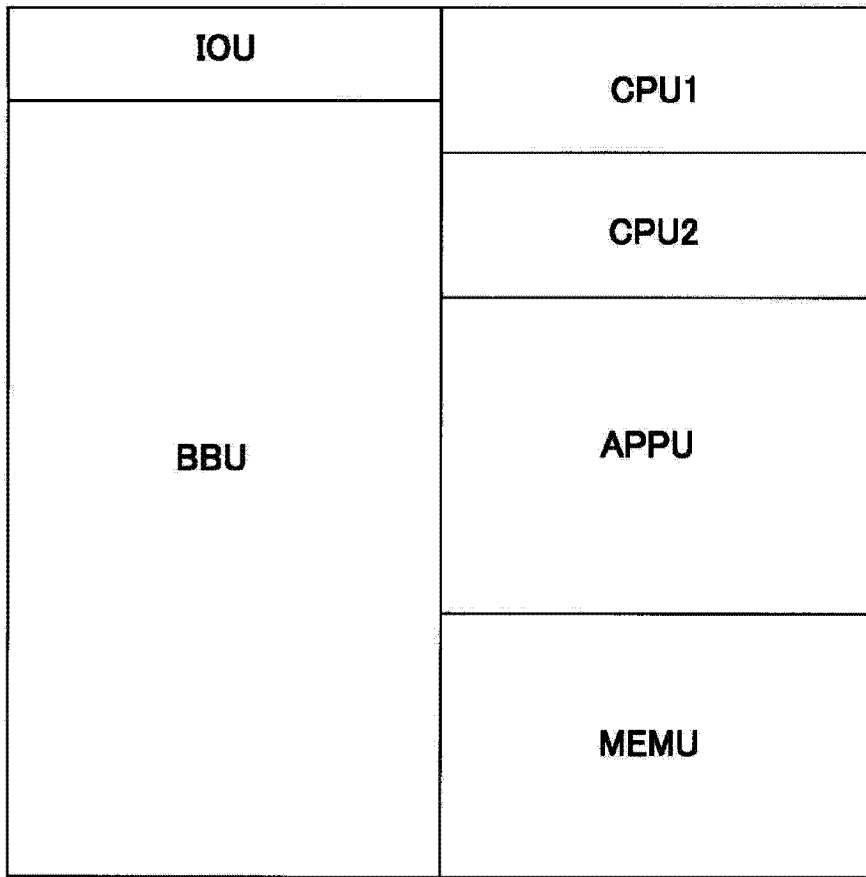


图 1

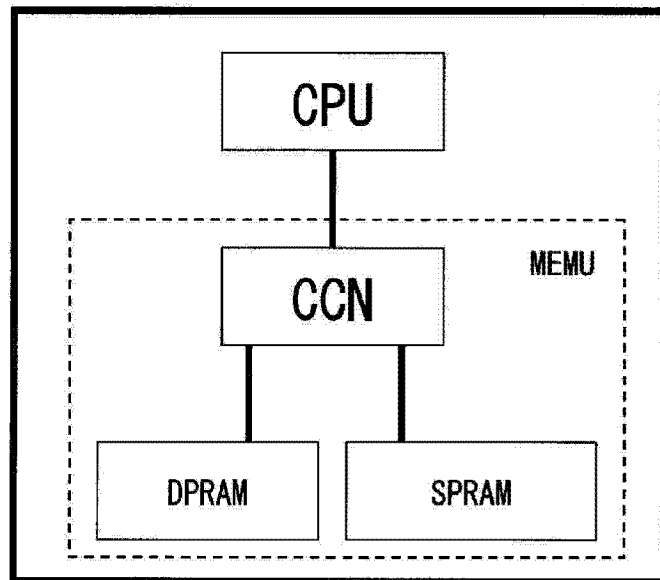


图 2

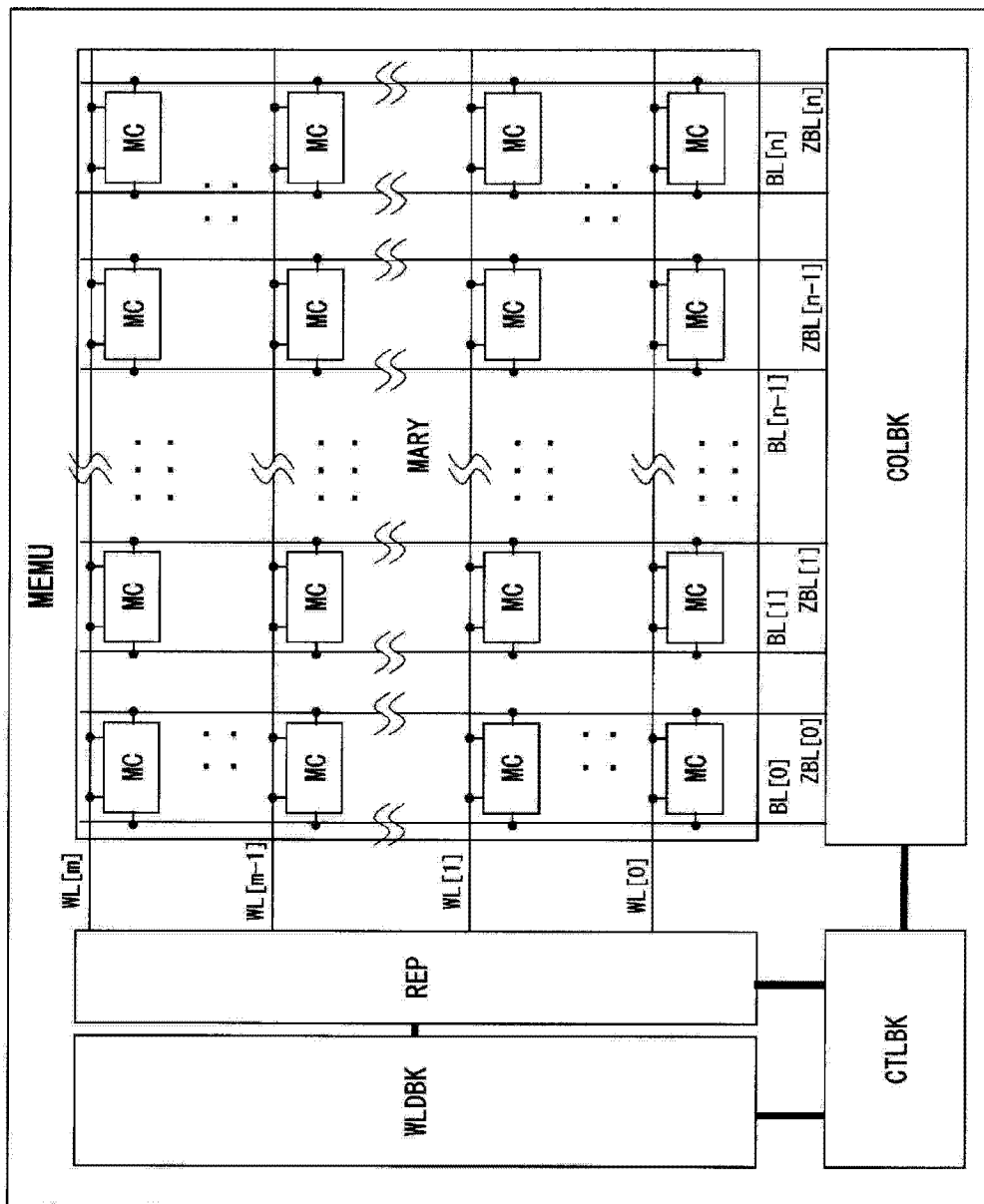


图 3

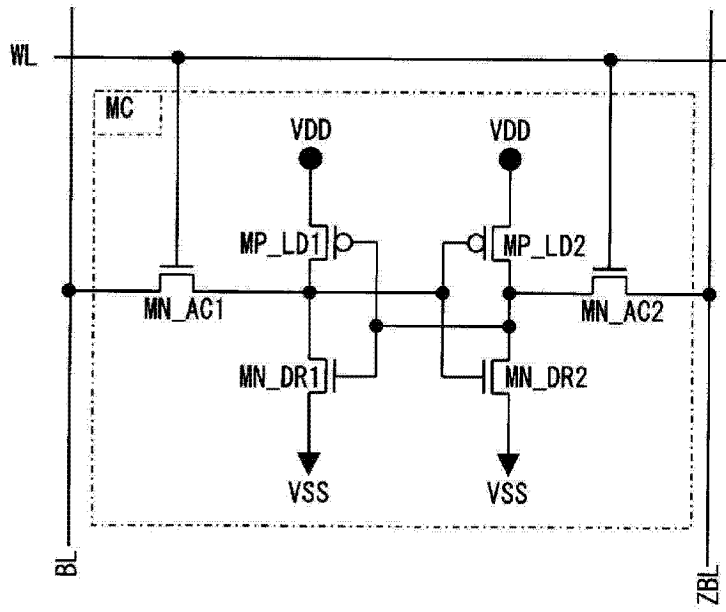


图 4

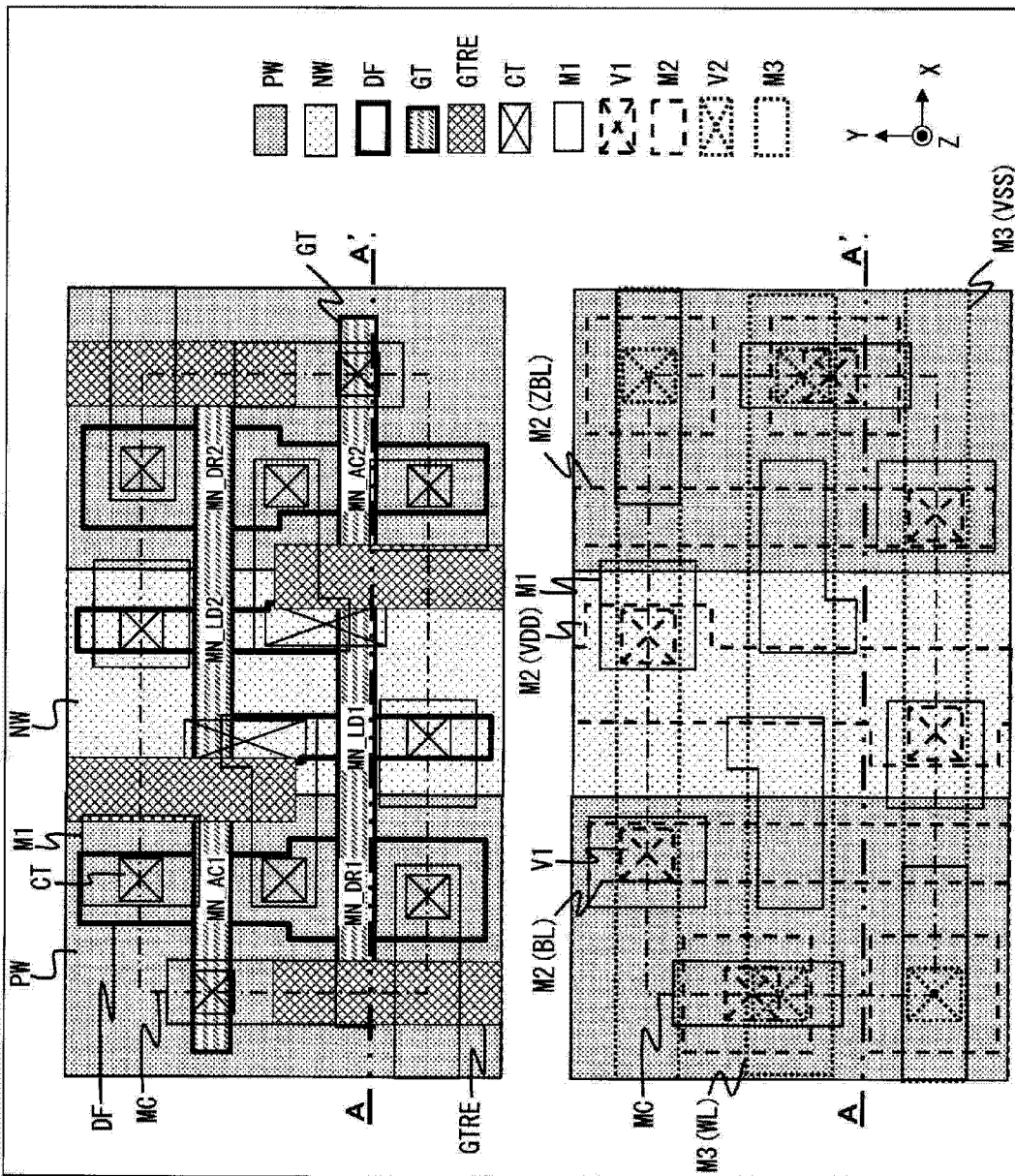


图 5

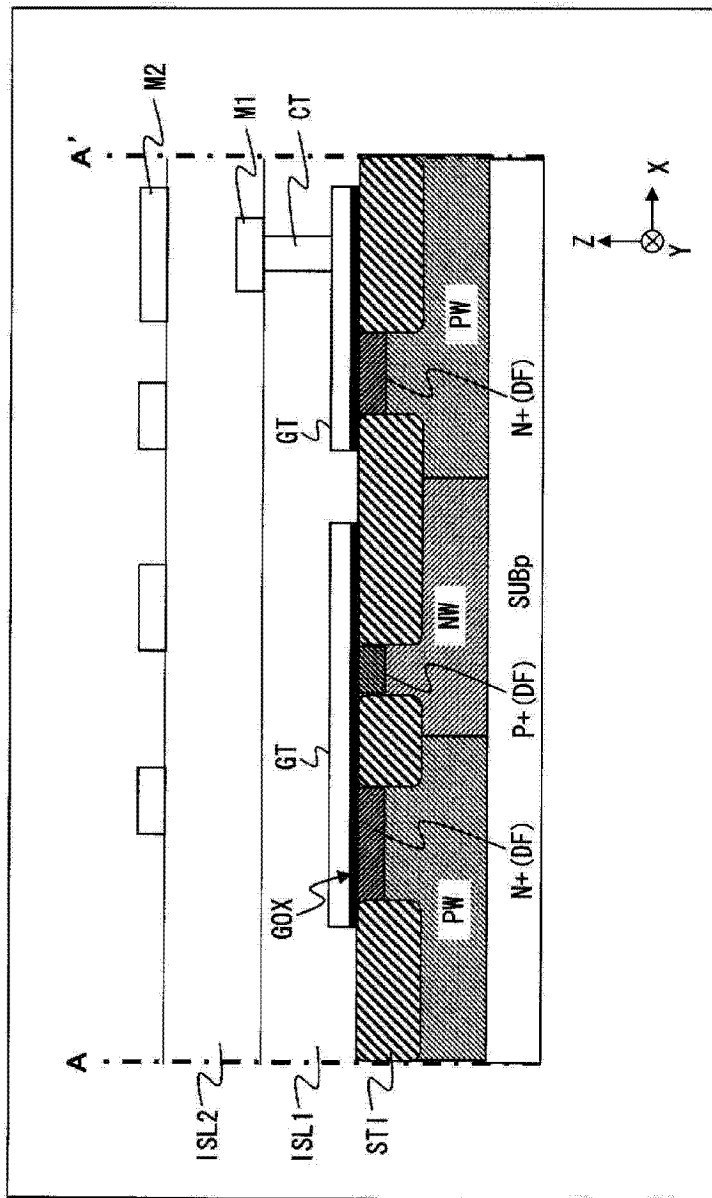


图 6



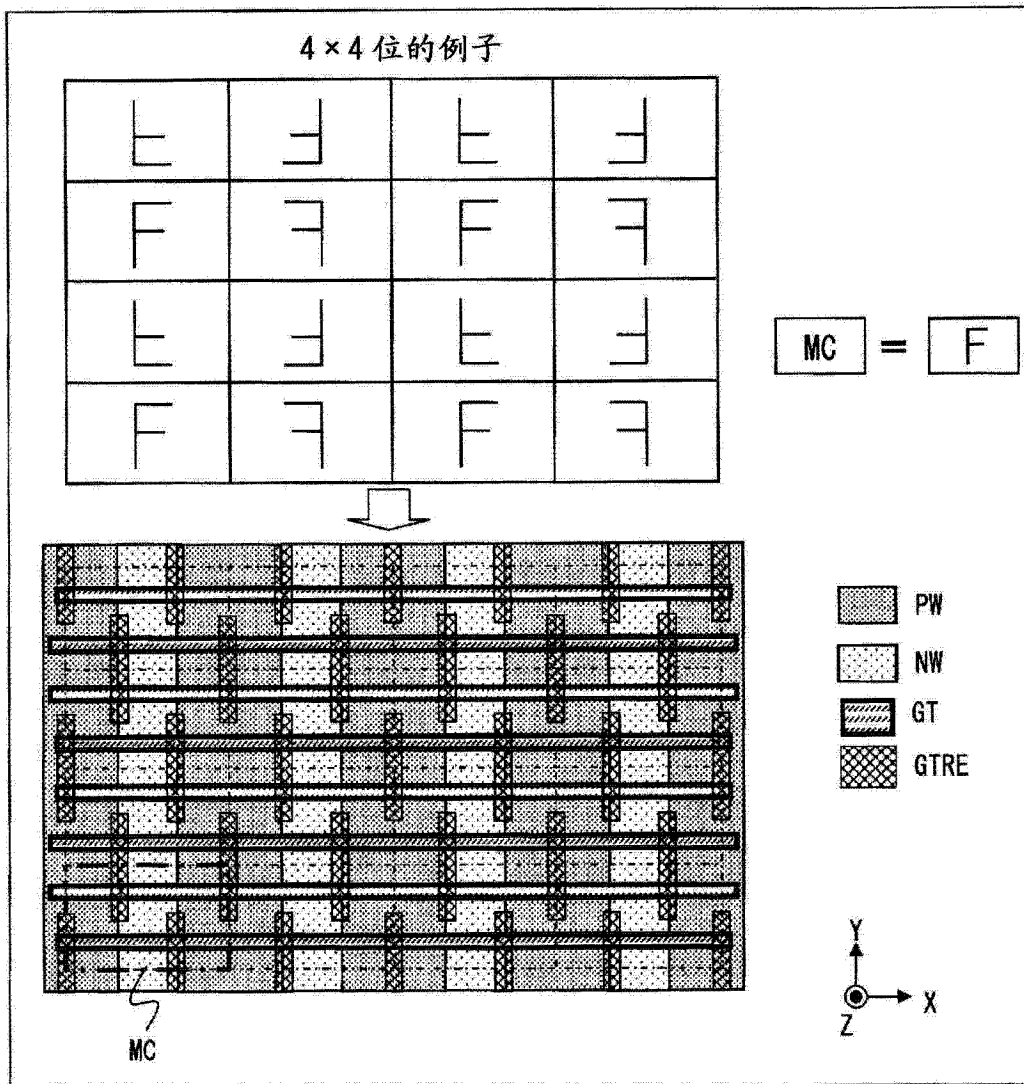


图 7

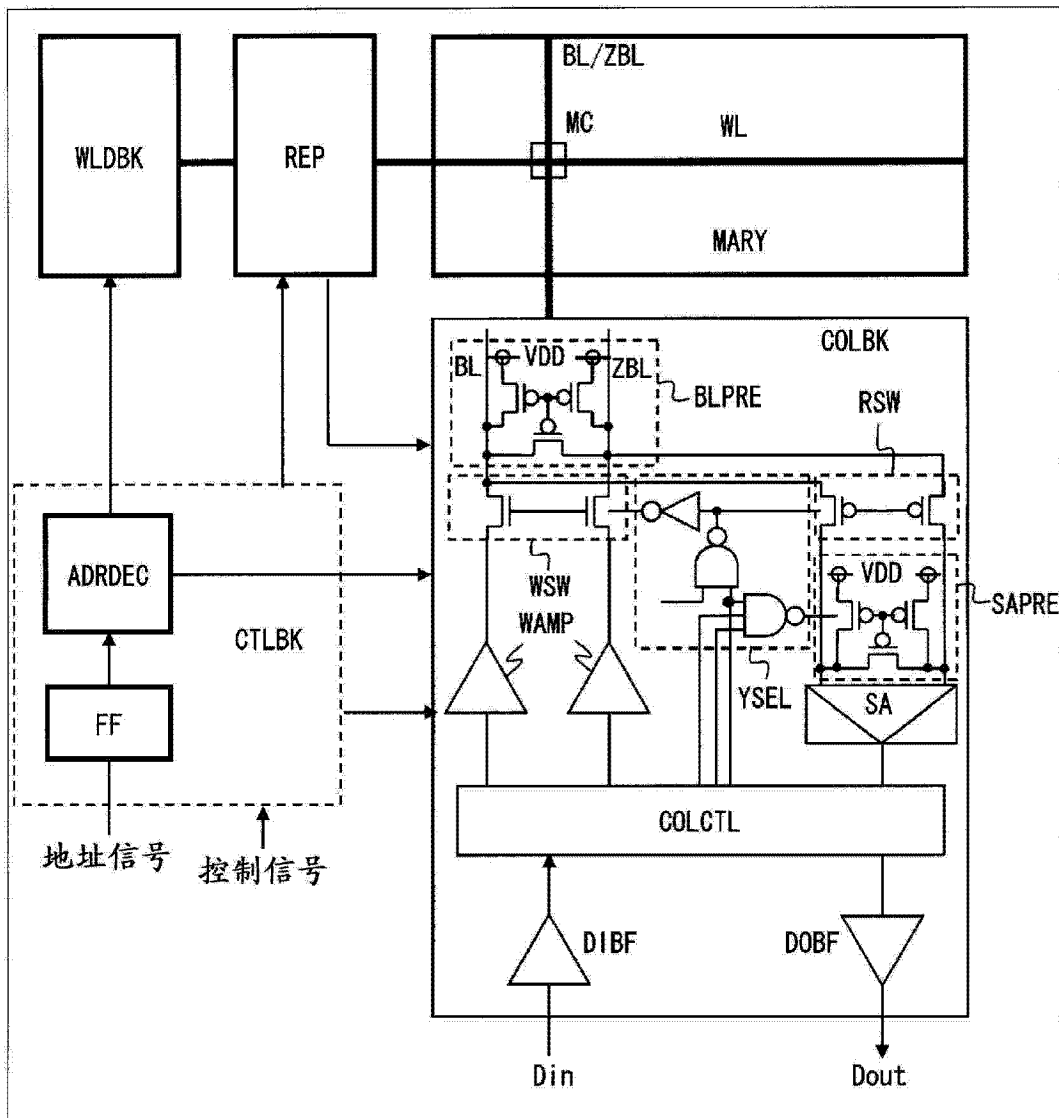


图 8

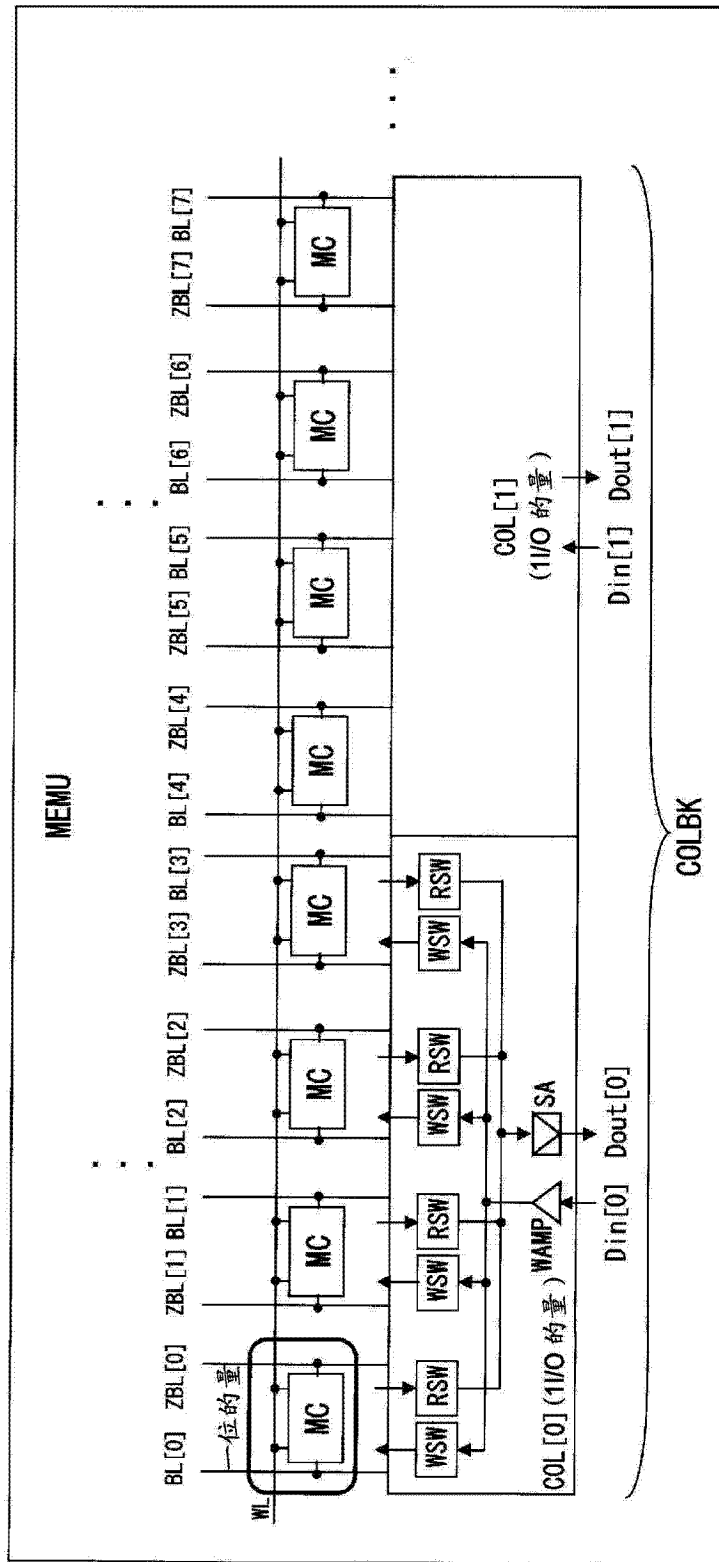


图 9

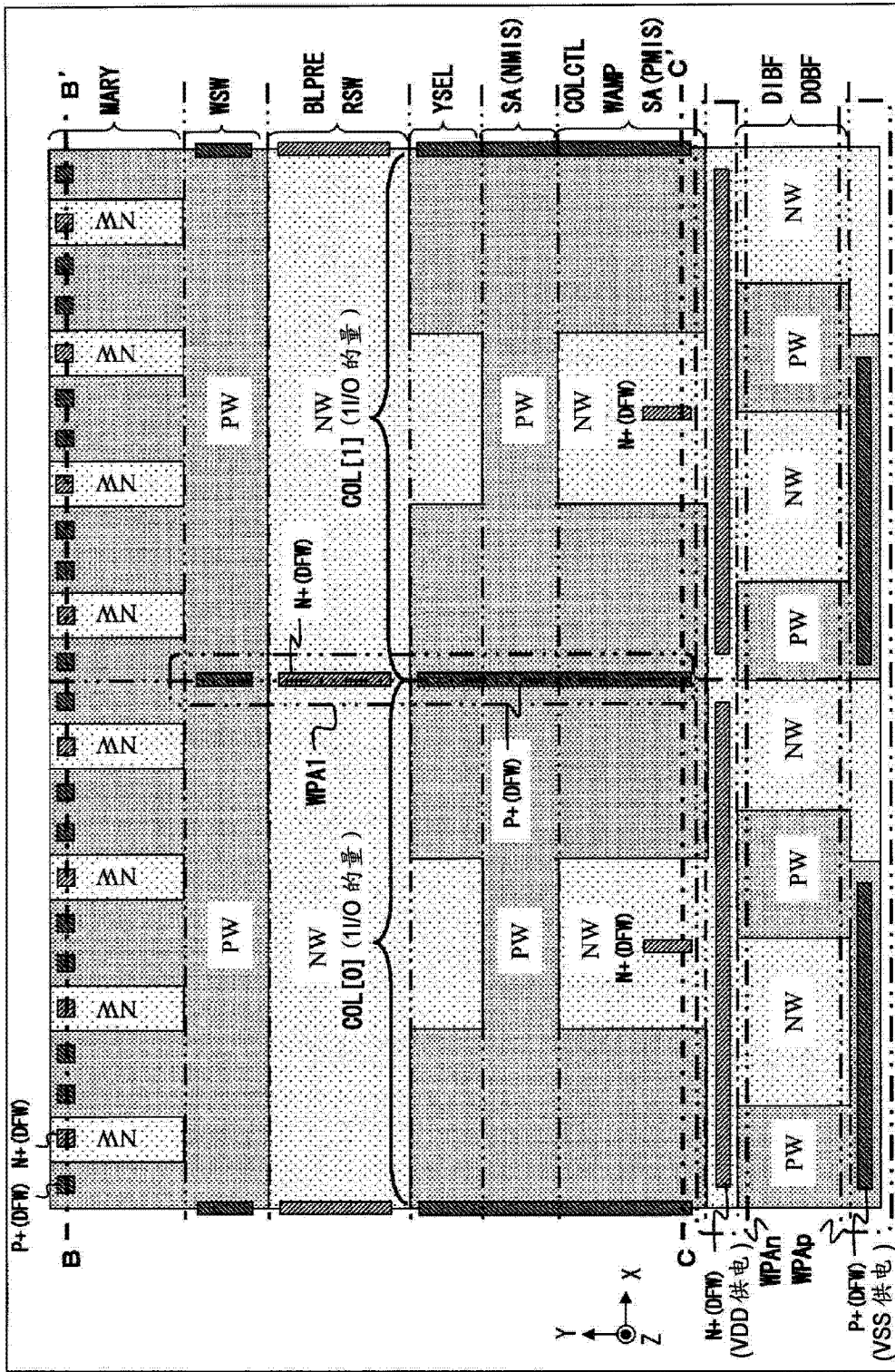


图 10

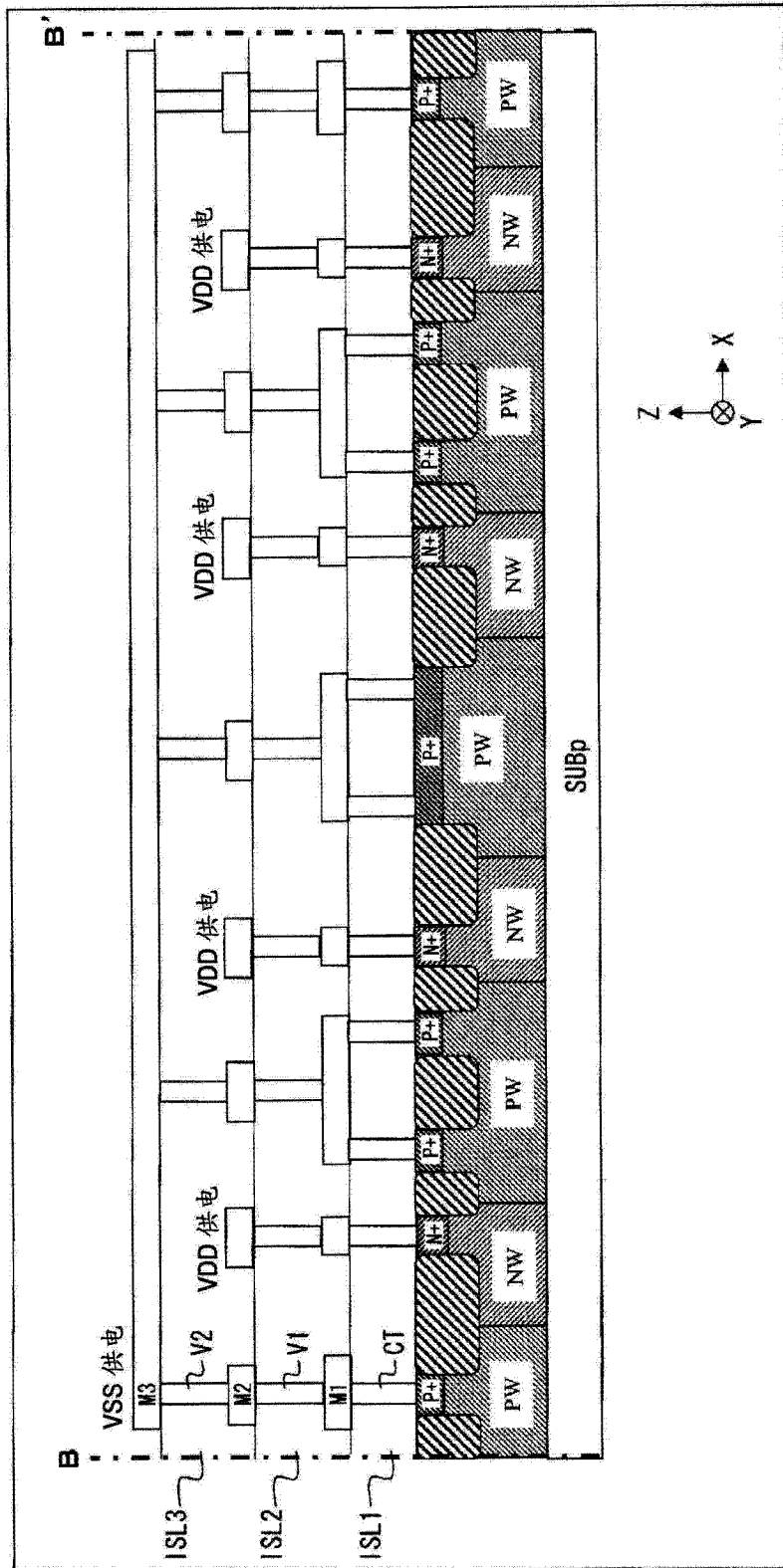


图 11

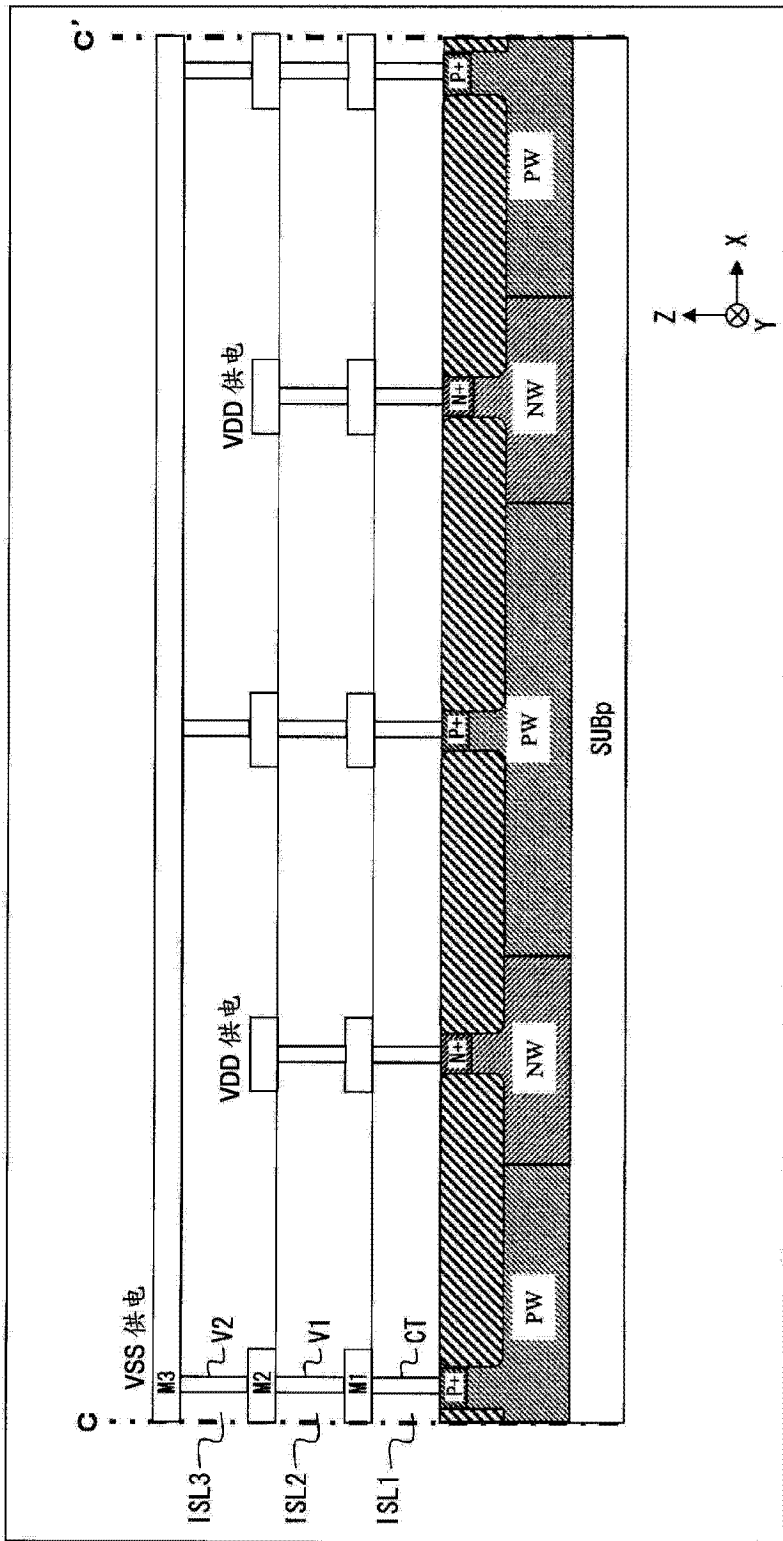


图 12

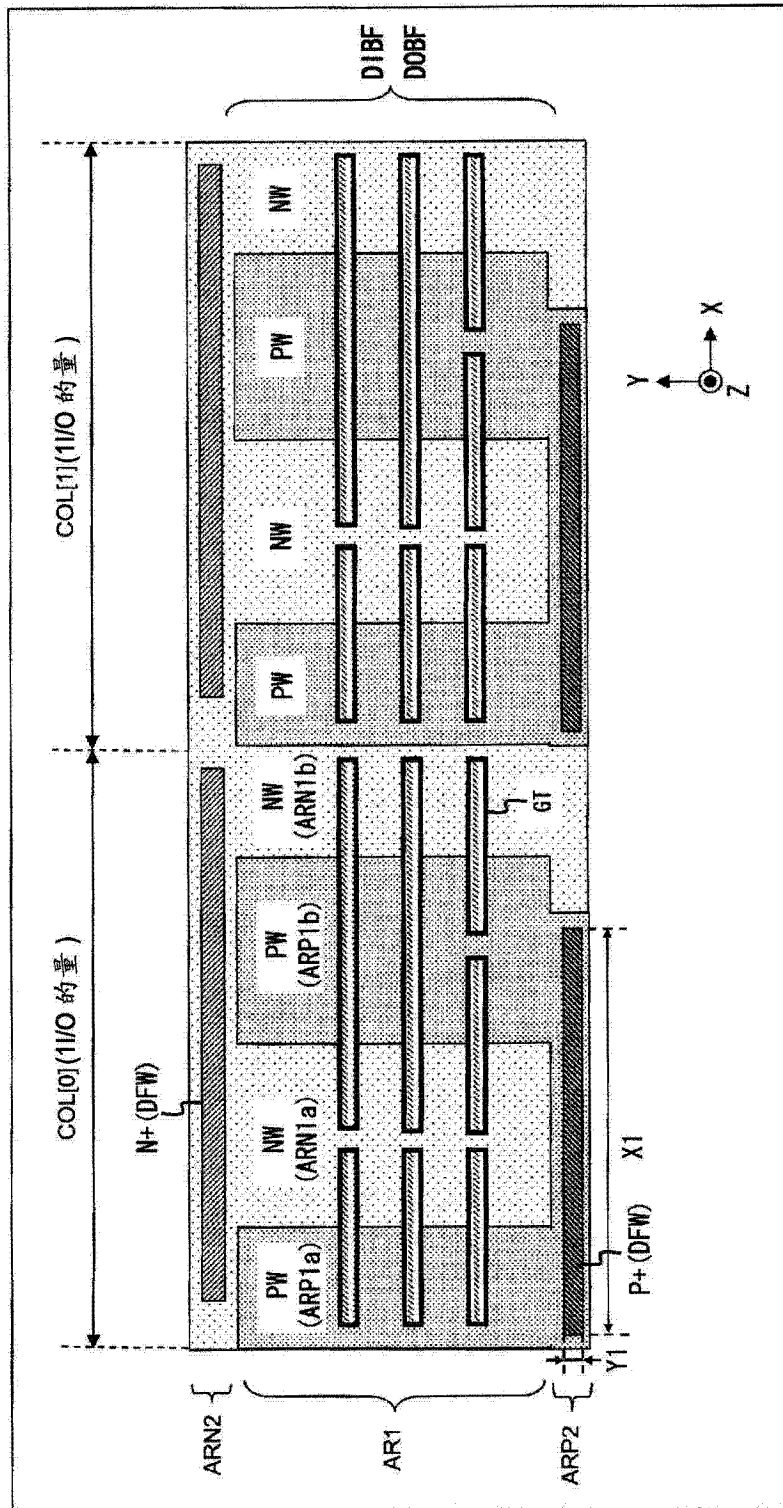


图 13

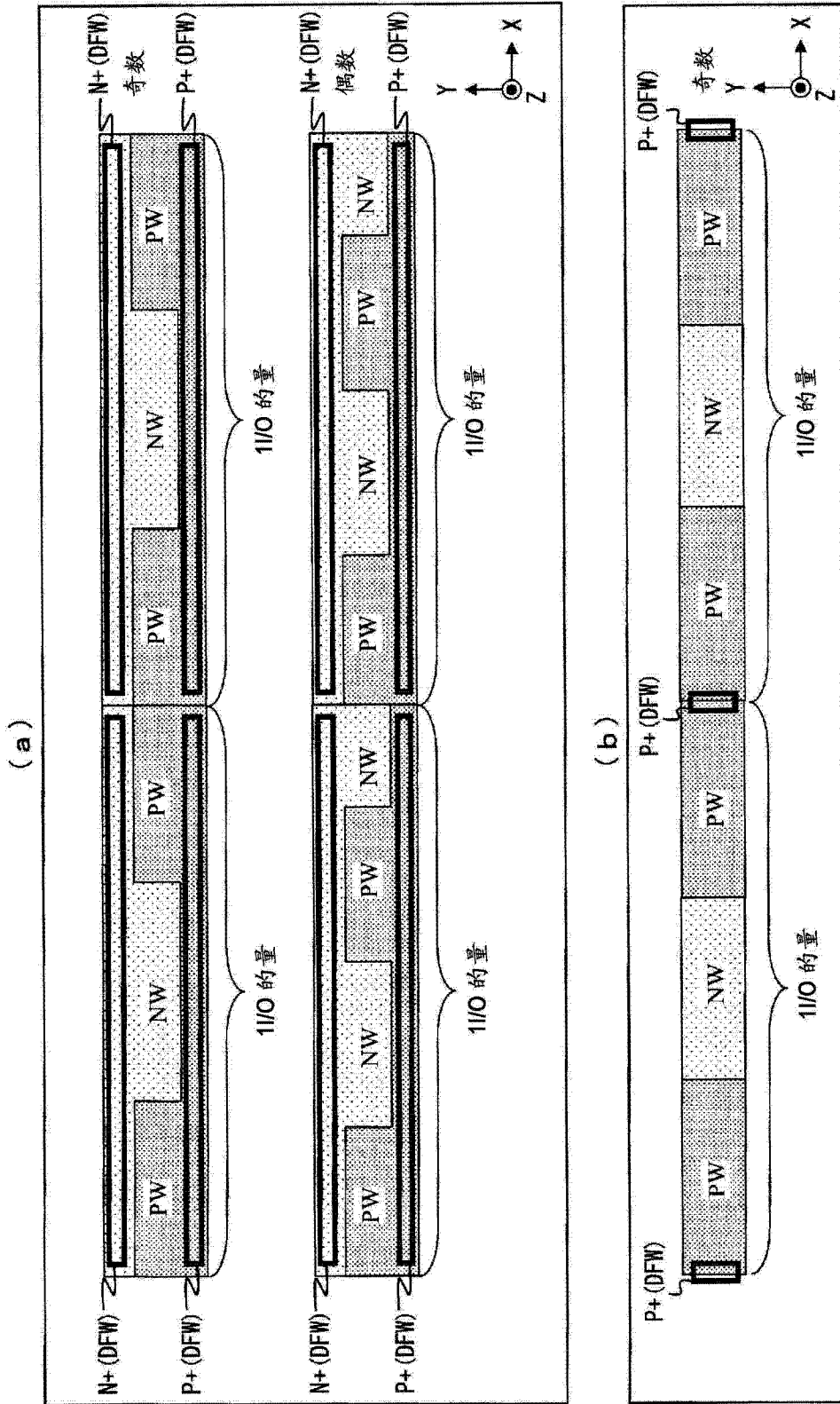


图 14



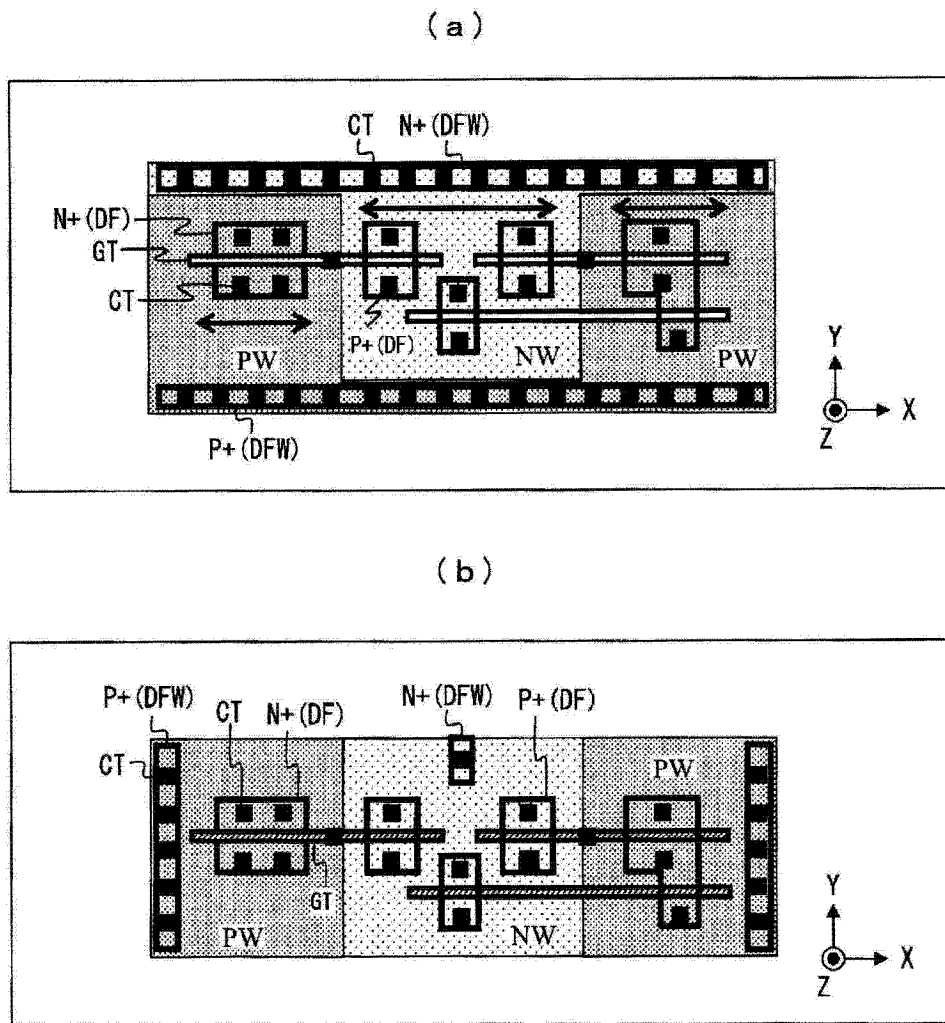
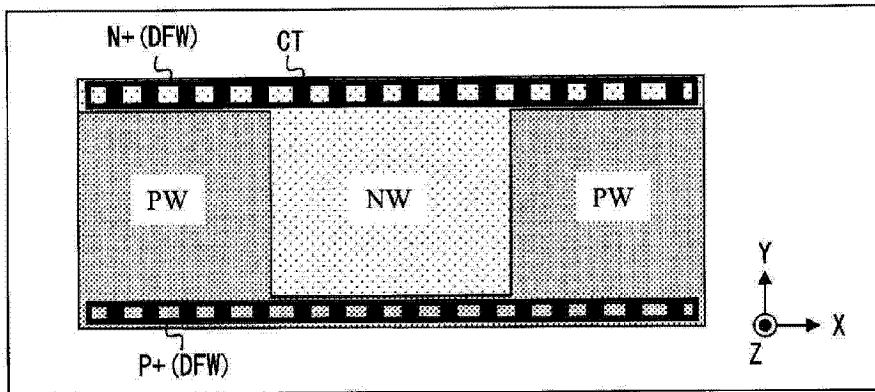


图 15

(a)



(b)

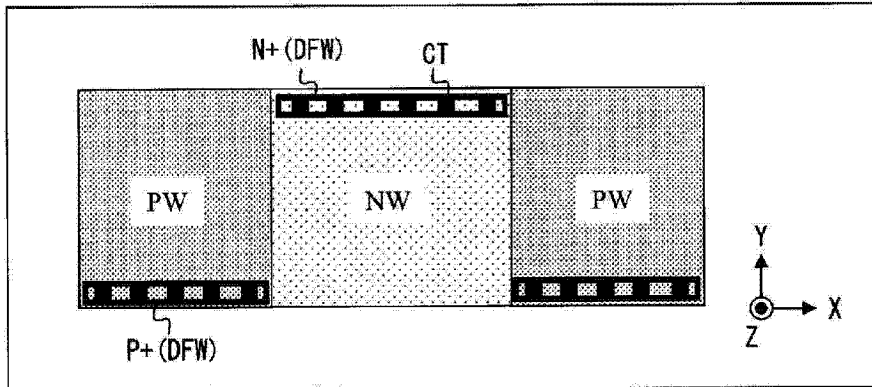


图 16

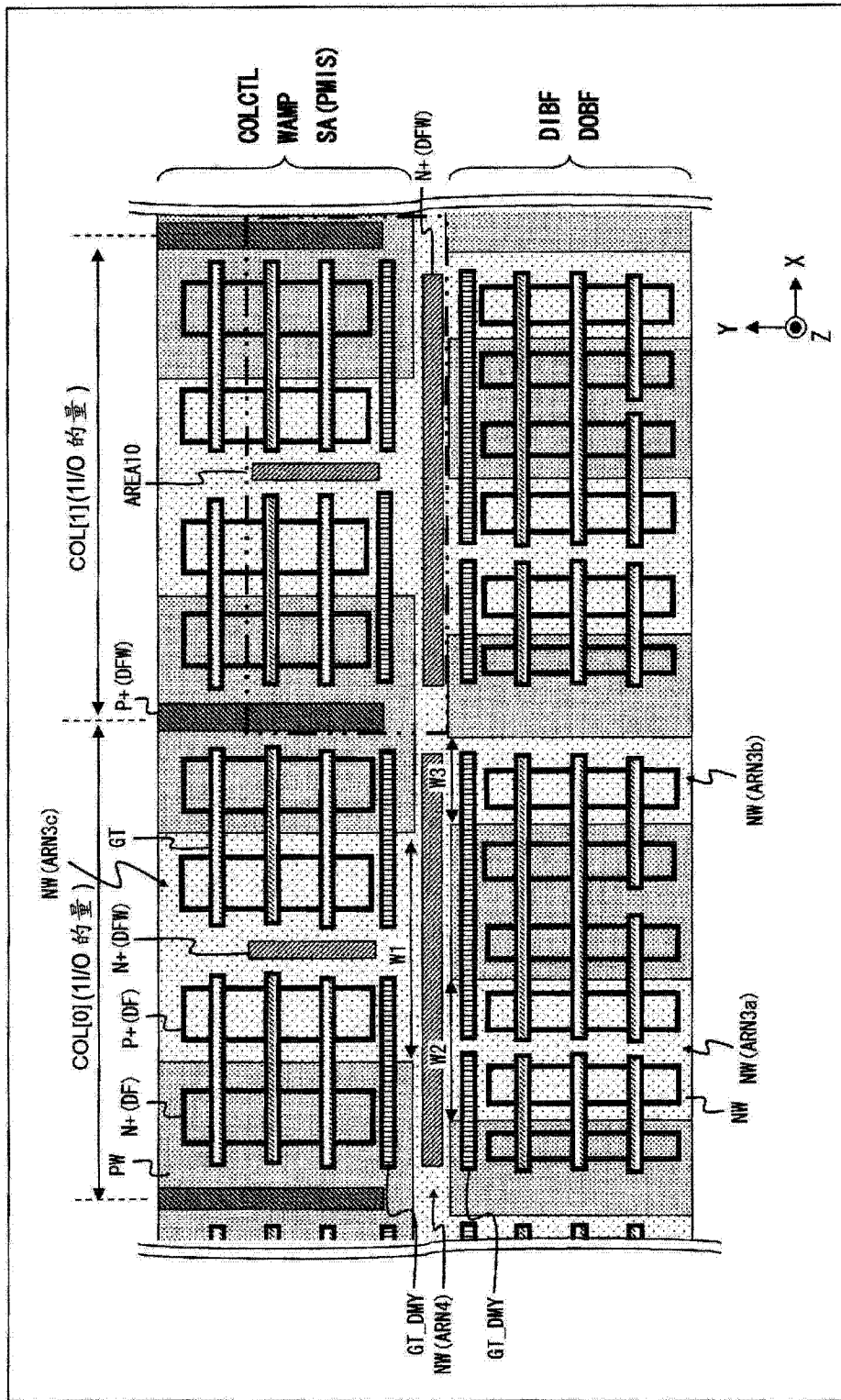


图 17

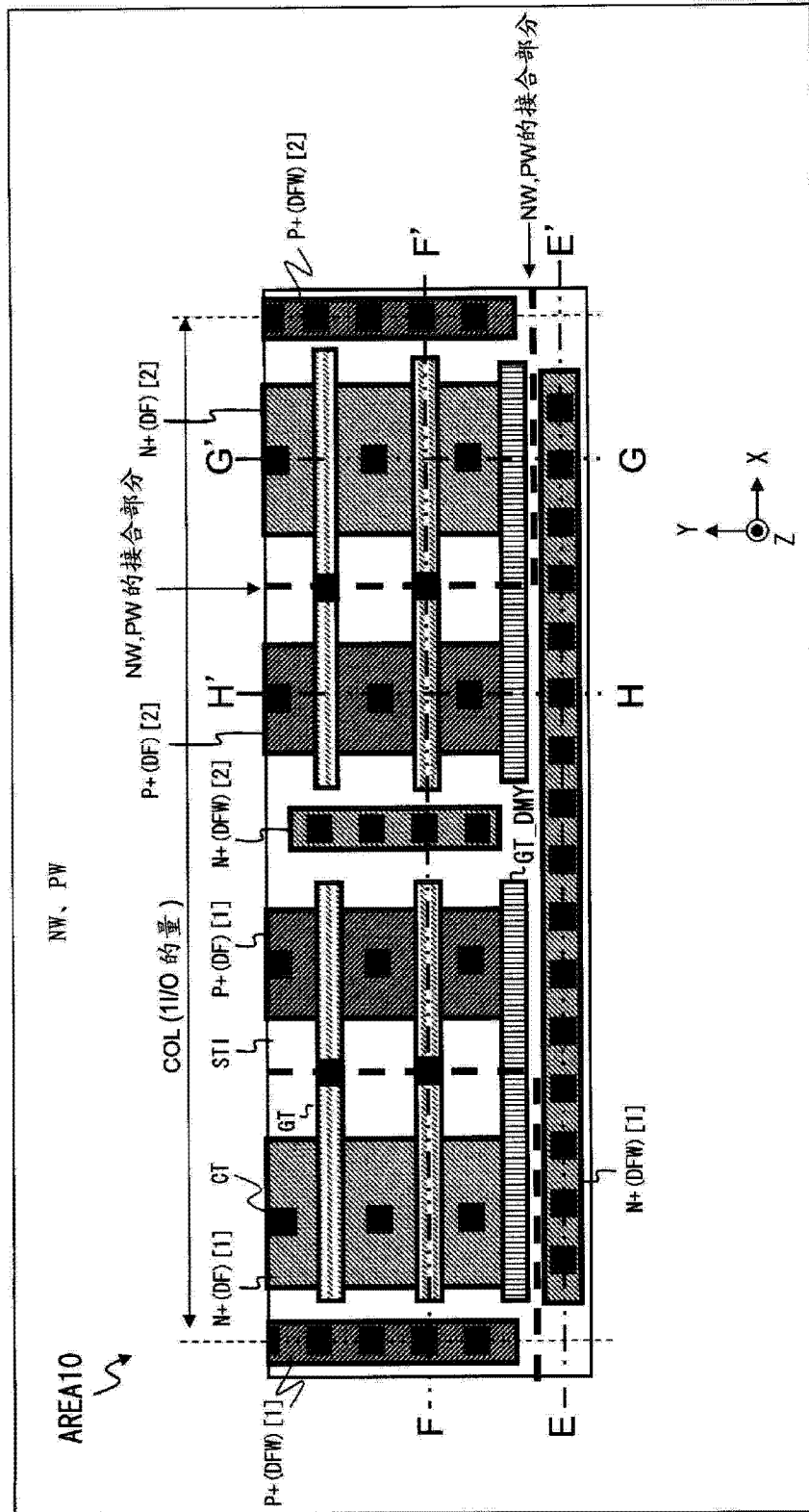


图 18

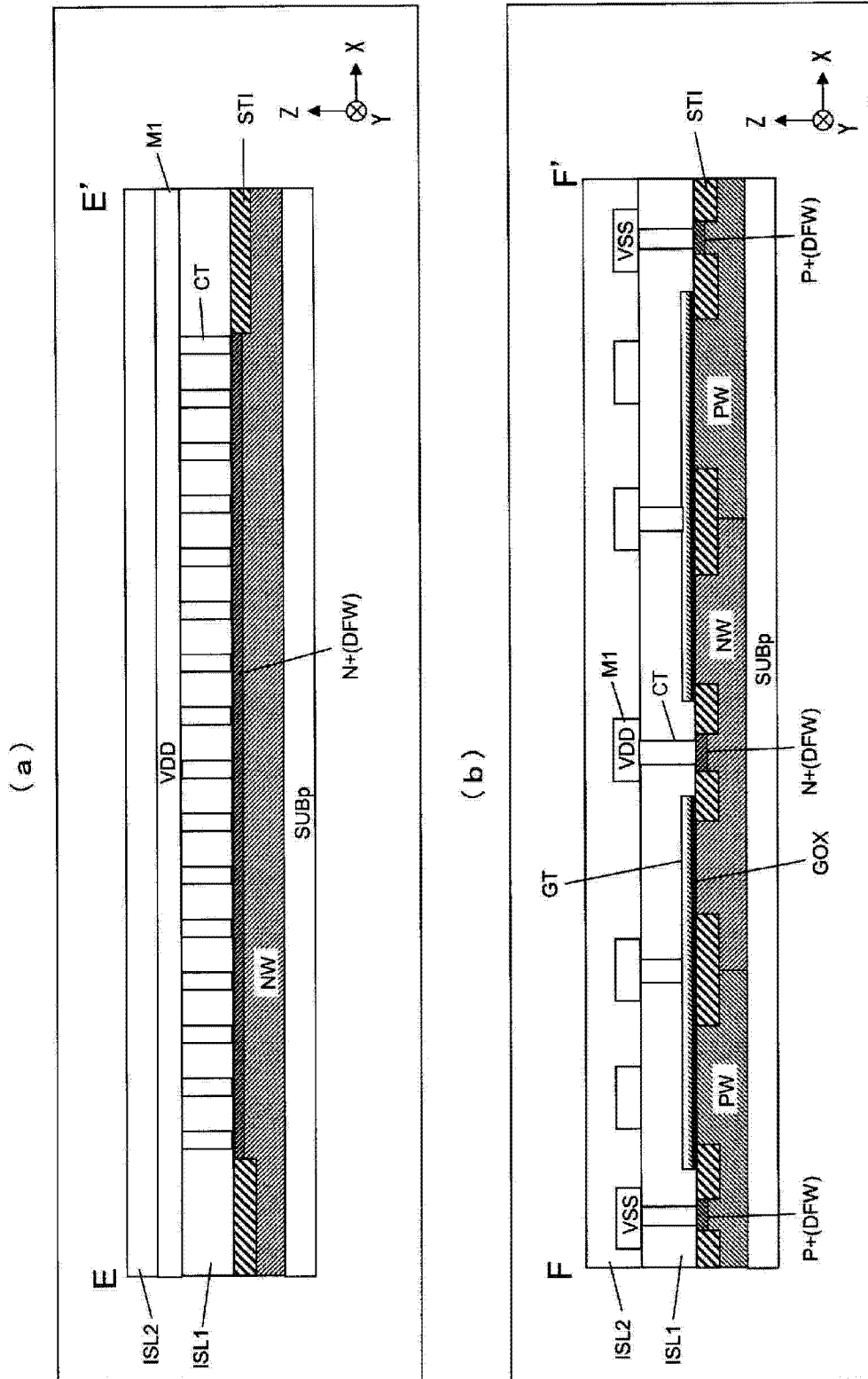
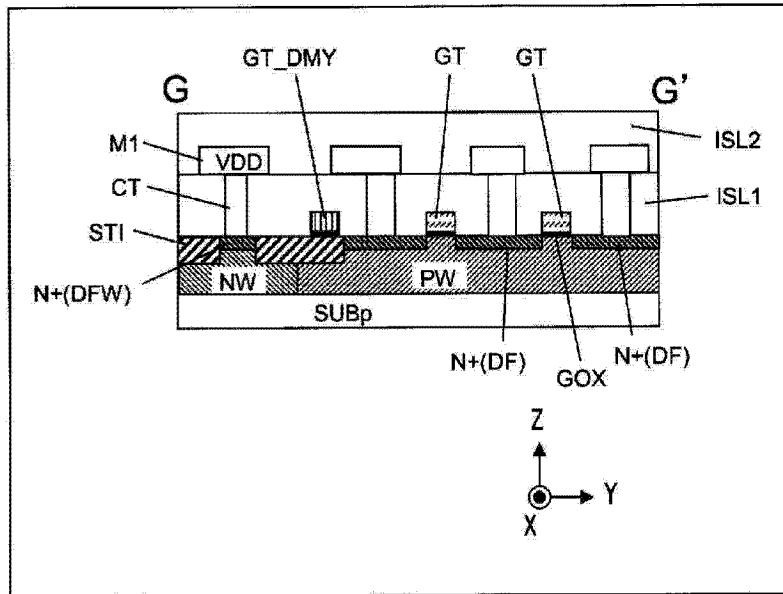


图 19

(a)



(b)

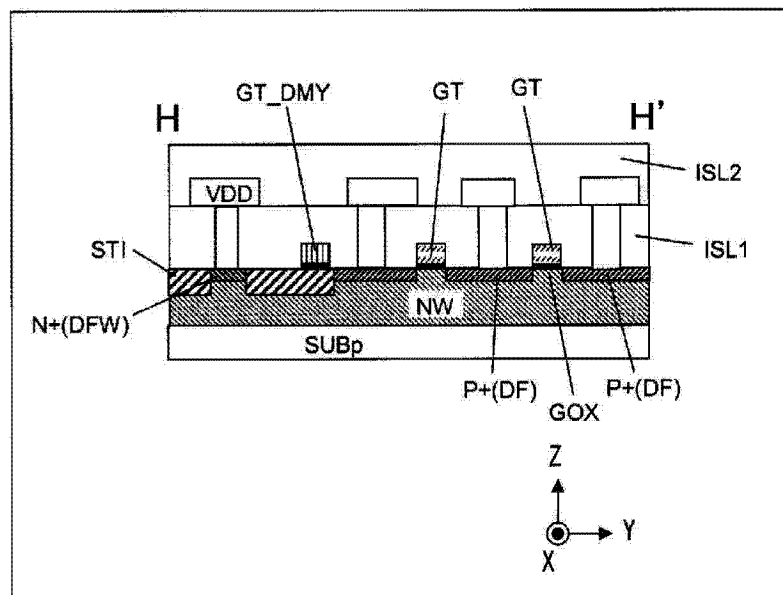


图 20

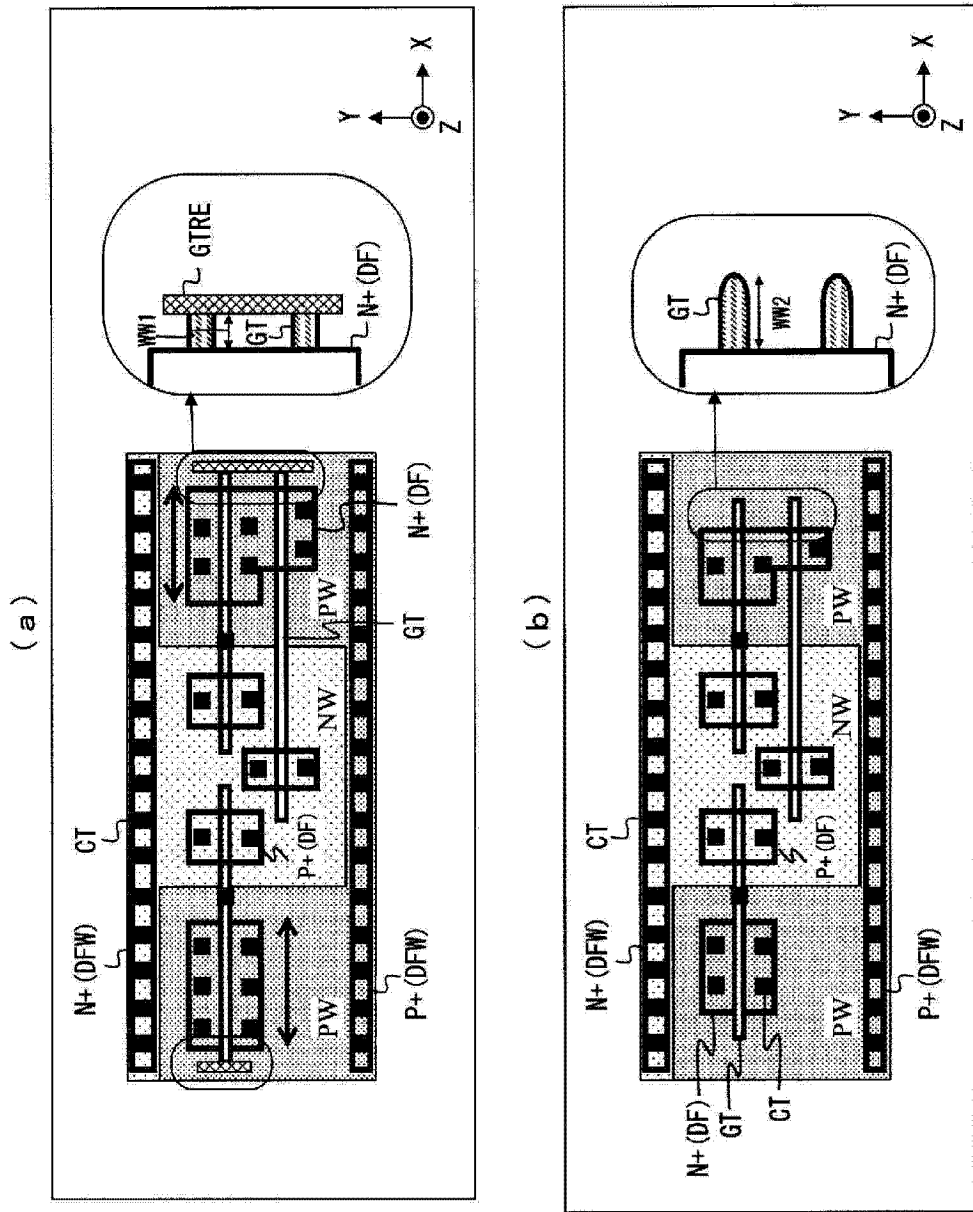


图 21

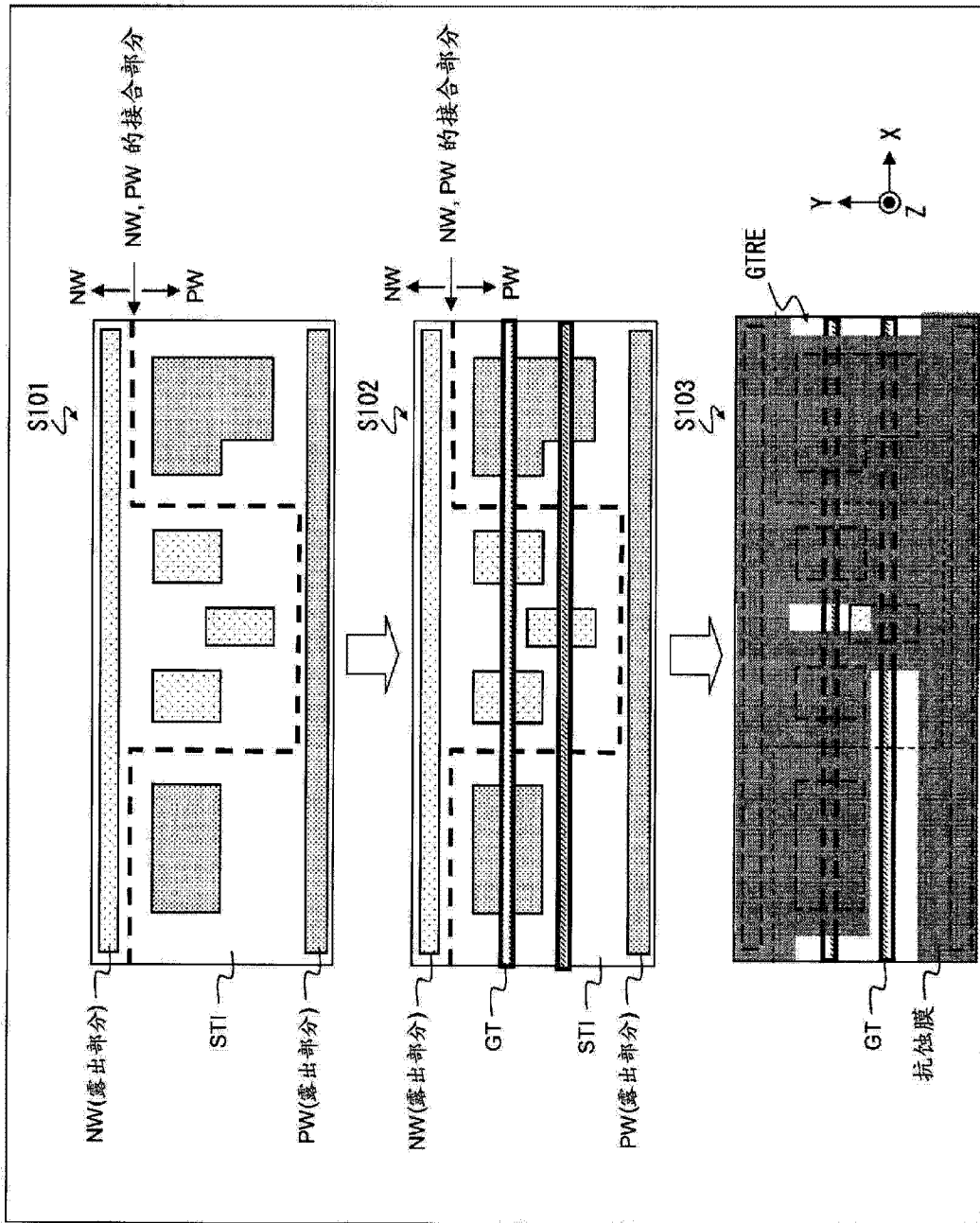


图 22



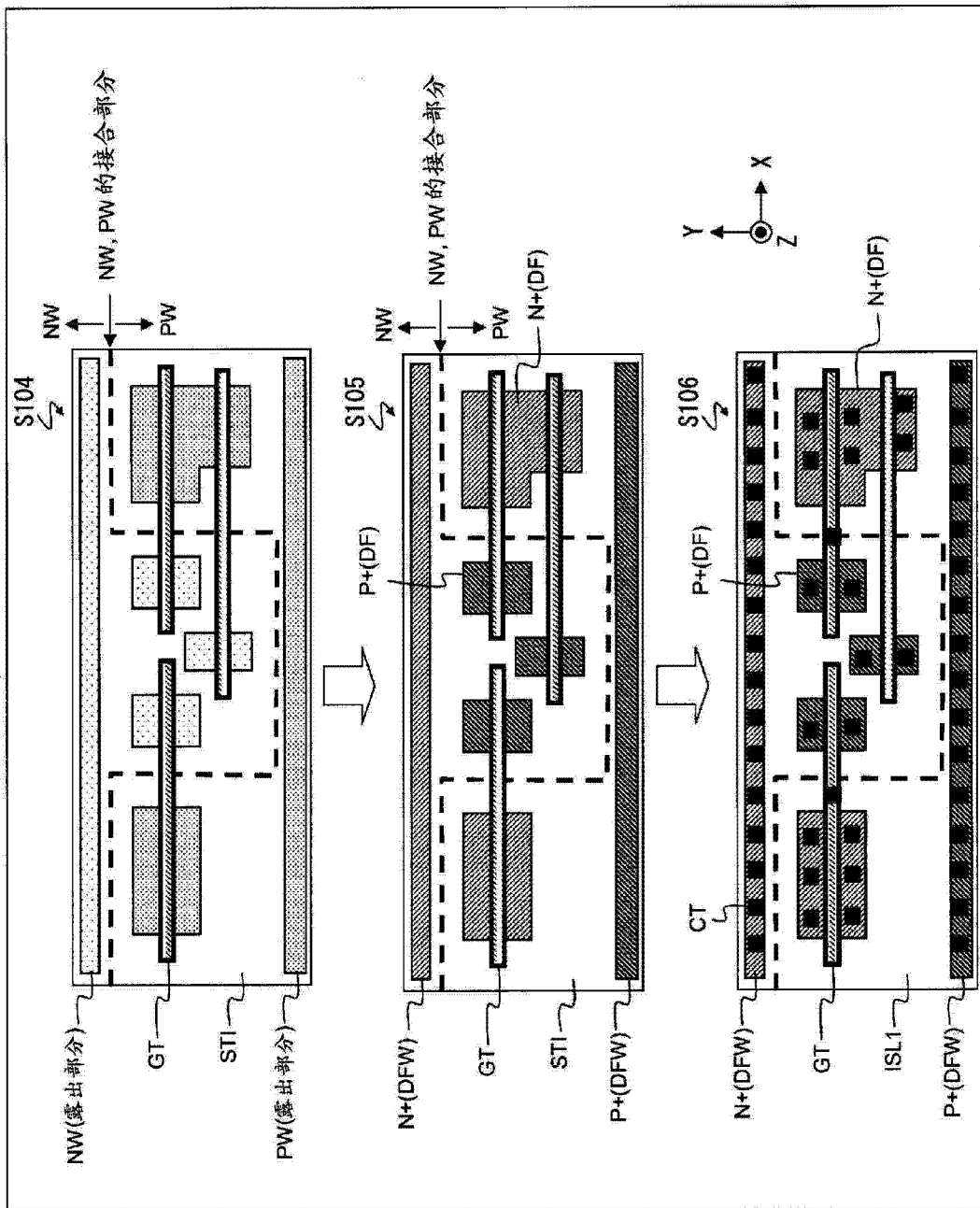


图 23

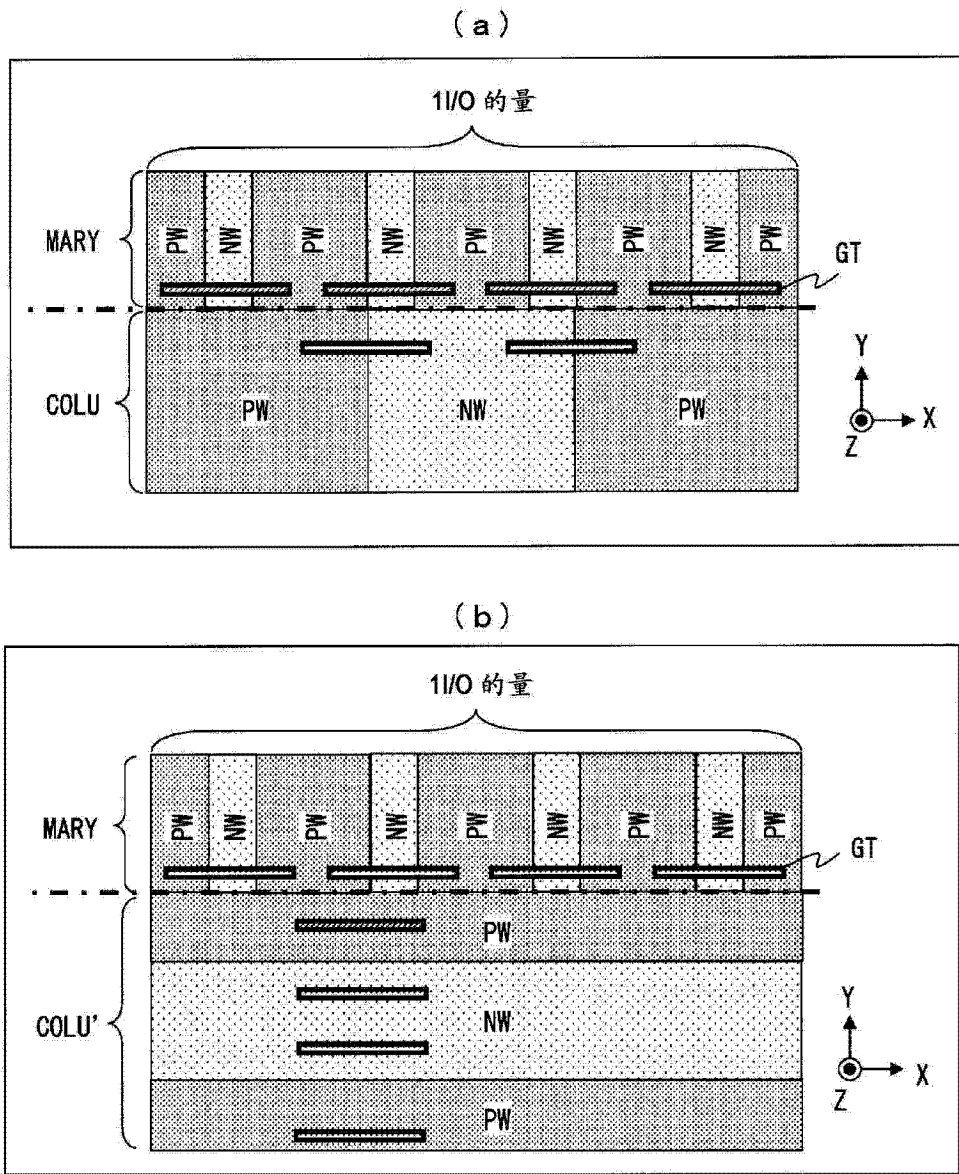
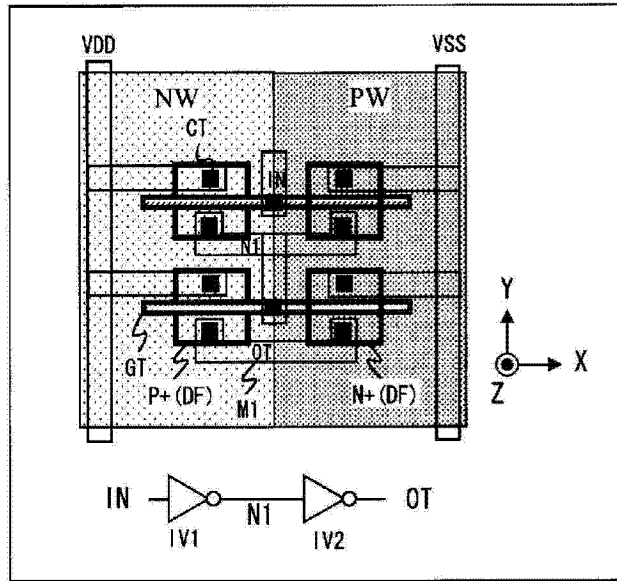


图 24

(a)



(b)

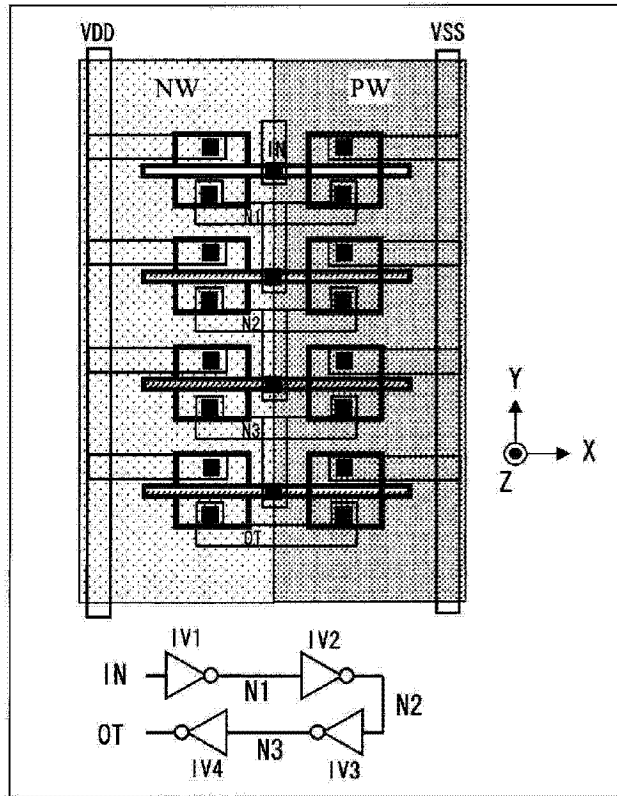


图 25

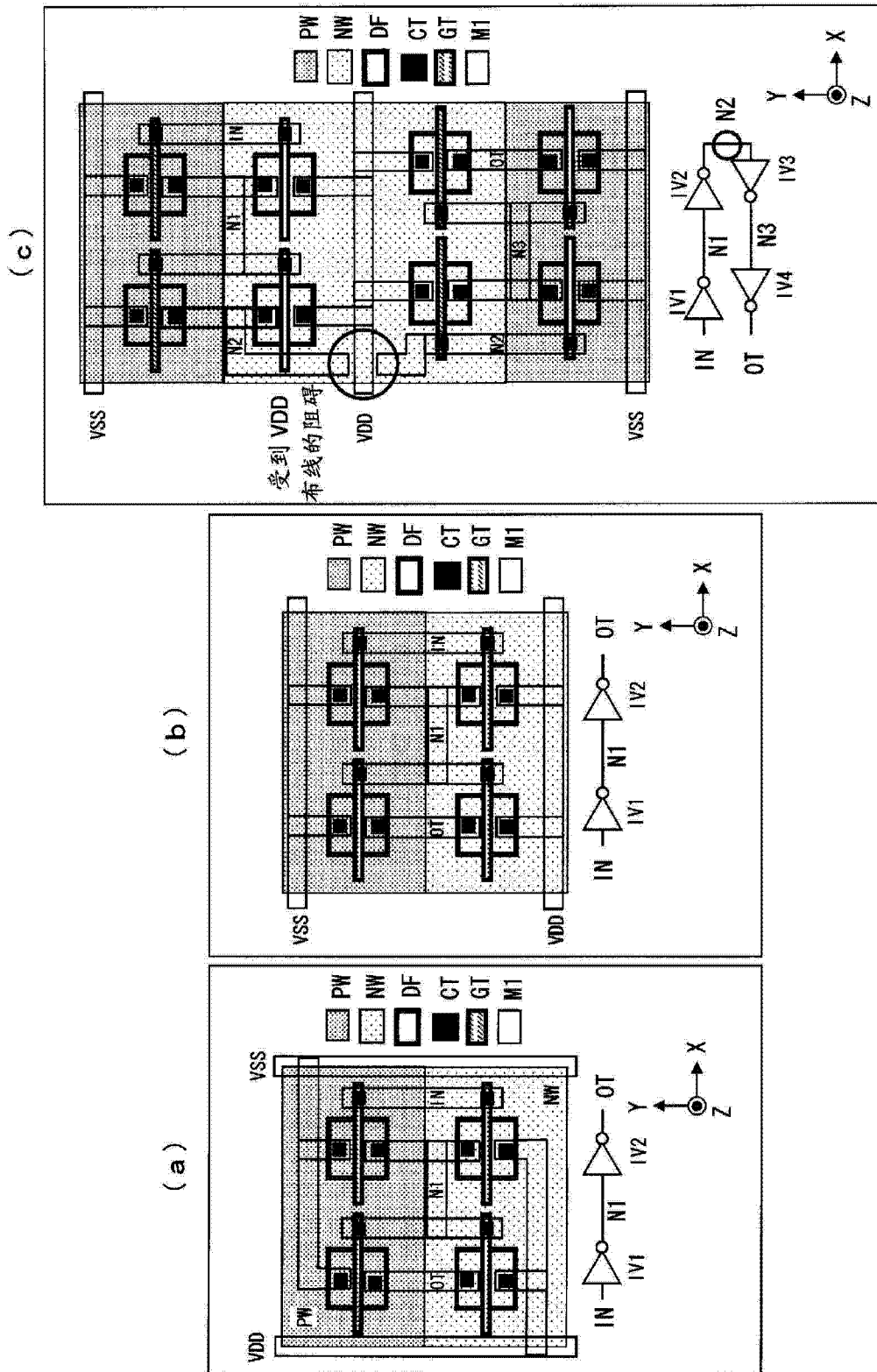


图 26

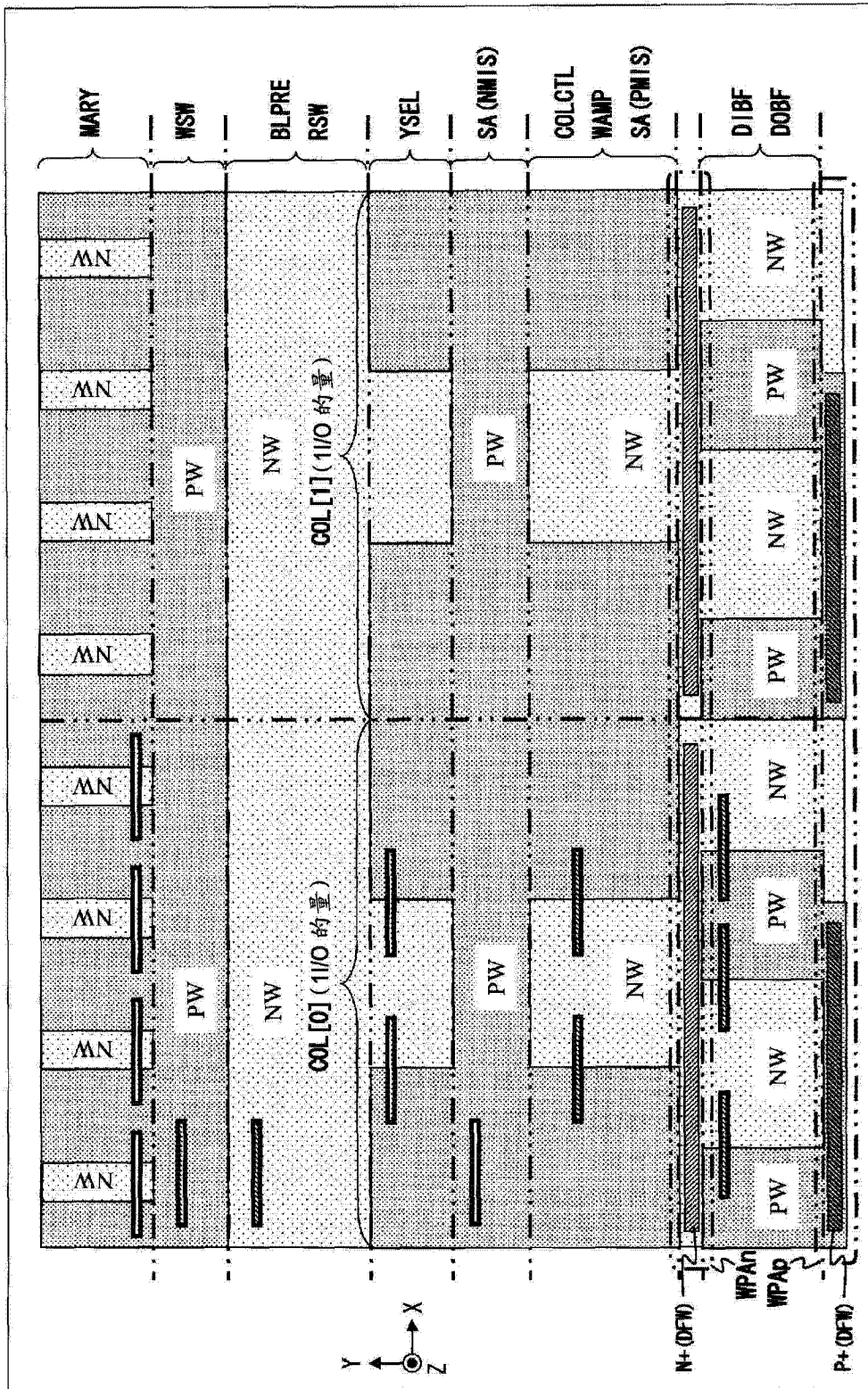


图 27

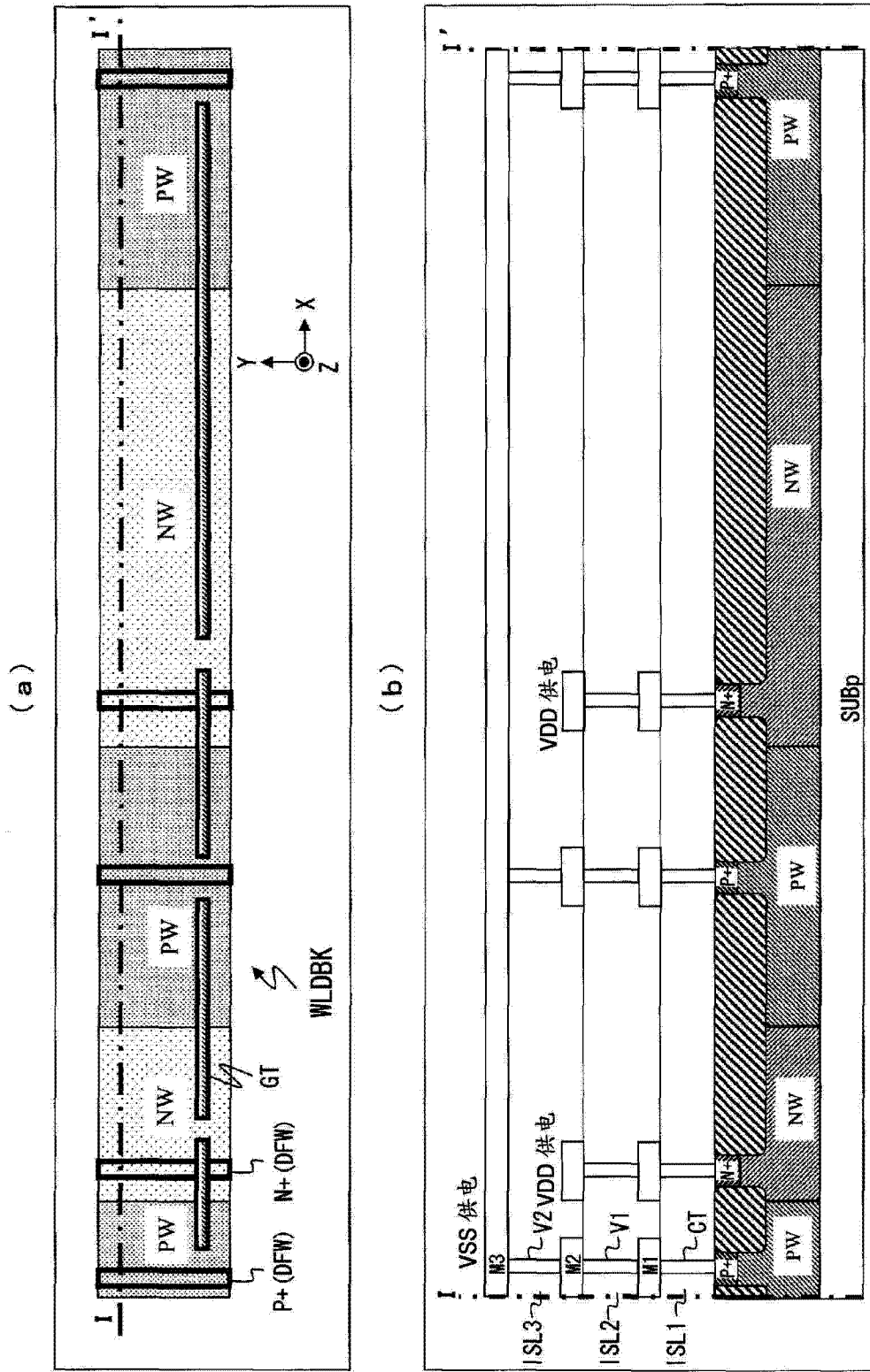


图 28

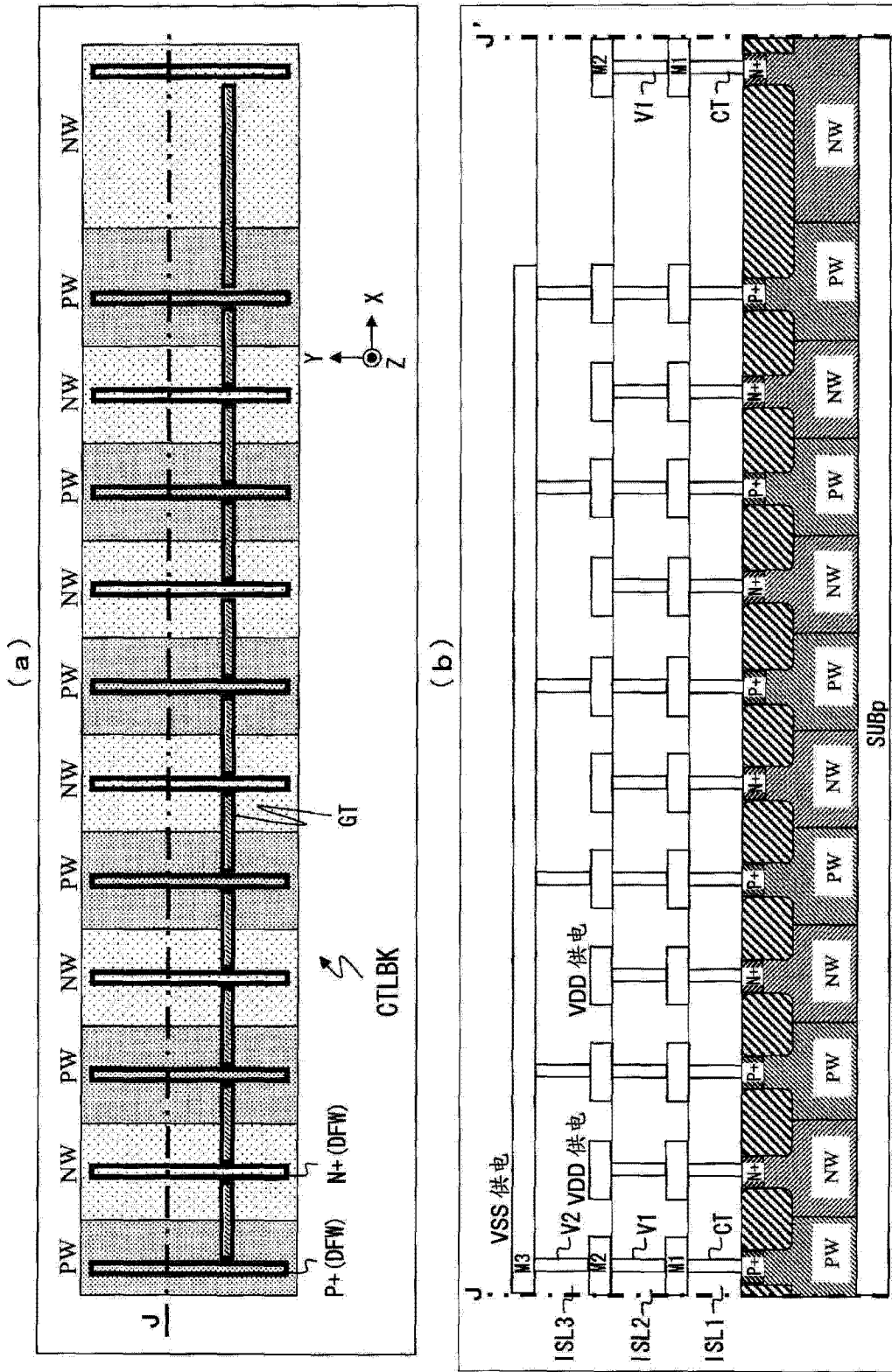


图 29