

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷
H01L 27/105

(11) 공개번호 10-2005-0053464
(43) 공개일자 2005년06월08일

(21) 출원번호 10-2003-0087785
(22) 출원일자 2003년12월01일

(71) 출원인 정준호
서울시 양천구 신월5동 58-3 우창빌라 B-101

(72) 발명자 정준호
서울시 양천구 신월5동 58-3 우창빌라 B-101

심사청구 : 없음

(54) 직렬 연결된 2개의 다이오드를 이용한 반도체 기억소자

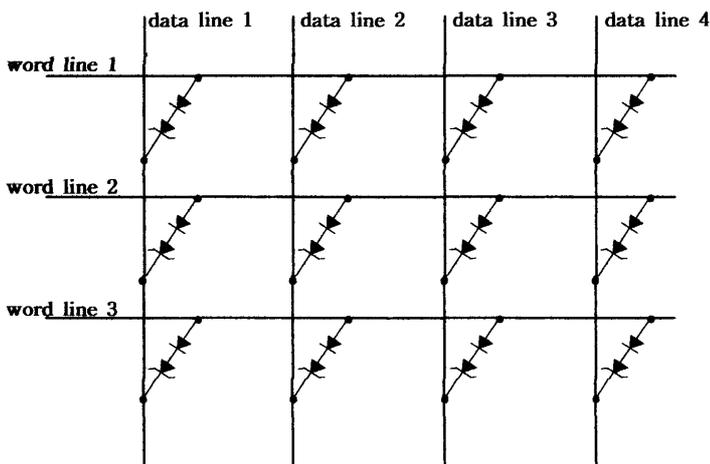
요약

본 발명은 반도체 기억소자의 구조에 관한 것으로, 더욱 상세하게는 정류성 특성이 있는 다이오드와 정류성과 저항성을 동시에 나타내는 다이오드를 직렬로 연결하여 반도체 기억소자의 기본단위로 사용하는 소자의 구성에 관한 것이다.

이를 위하여 본 고안에서는 저항성과 정류성 사이의 스위칭 특성을 가지고 있는 갈륨(Gallium)/갈륨 아세나이드(Gallium Arsenide)/텅스텐(Tungsten) 구조의 다이오드에 일반 PN 접합 제너(Zener) 다이오드를 추가로 적층 시킴으로써 갈륨/갈륨 아세나이드/텅스텐 구조의 다이오드가 가지는 역방향에서 누설전류를 차단하여 메모리(memory matrix) 구조에서의 cross talk 현상을 제거하였다.

이에 의해 2 단자(2 terminal) 소자를 사용한 기억소자의 구성이 가능해지고, 따라서 DRAM, FLASH 등의 일반적인 3 단자 기억소자에 비해 소자의 동작속도를 빠를뿐 아니라 높은 집적도의 소자 구성이 가능하다.

대표도



색인어

2단자 기억소자, 반도체 기억소자, 반도체 메모리, 제너 다이오드, 다이오드 메모리, 직렬 다이오드 메모리

명세서

도면의 간단한 설명

도 1은 DRAM 메모리 기억소자의 구성으로 기본 기억소자가 3단자 소자인 트랜지스터와 커패시터로 이루어져있다.

도 2는 본 고안의 메모리 소자의 구성으로 기본소자가 갈륨/갈륨 아세나이드/텅스텐 다이오드 2와 제너 다이오드 1의 직렬 결합체로 구성된 것을 보여준다.

도 3은 갈륨/갈륨 아세나이드/텅스텐으로 이루어진 다이오드의 스위칭 특성.

도 4는 도 3의 다이오드 특성에 제너 다이오드를 직렬로 연결하였을 때의 본 고안에 의한 전압-전류 스위칭 특성.

도 5는 본 고안에 의한 메모리 매트릭스 구조

도 6은 본 고안의 다이오드를 사용한 메모리 구조의 상세 공정도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

DRAM 기술은 현재까지 많은 발전을 하여 왔으나 근본적으로 휘발성 메모리라는 특성을 가지고있어서 그의 사용에 제한을 받아 왔다. 반면 FLASH 메모리는 비휘발성이지만 그의 동작속도가 느려 또한 응용에 제한이 있었다. 이에 따라 비휘발성 이지만 동작속도가 빠른 기억 소자로서의 연구가 다방면으로 진행되어 왔으며, 그 결과 최근에 와서 Ferroelectric random access memory), MRAM(magnetic RAM) 그리고 PRAM(phase change RAM)등이 등장하게 되었다. 하지만 FRAM의 경우 ferro electric 물질의 피로현상과 반도체 라인에서의 공정 문제로 그 개발이 지연되고 있고, MRAM의 경우는 집적도의 향상에 문제가 있어 역시 상업화예의 전망이 불투명하다. 가장 최근에 개발되어진 PRAM은 갈코게나이드(chalcogenide) 물질의 전류량에 따른 결정질/비결정질 스위칭 특성을 이용한 것이다. 그러나 PRAM에 사용되는 갈코게나이드 물질의 저항 on/off 비가 낮고 read 전압이 변조전압 영역에 너무 근접해 있는 관계로 소자의 신뢰성을 얻기가 어렵다.(Ovonic Unified Memory, p 202, Digest of 2002 IEEE International Solid State Circuits, US Patent 6025220, 3571672, 6487106, 3480843) 또한 저항성 갈코게나이드 물질과 다이오드를 연결하여 메모리 소자를 구성하려는 시도도 있어왔지만 이 역시 갈코게나이드 물질의 낮은 저항 on/off비와 공정의 복잡함으로 인해 성공적이지 않았다.(US Patent 6025220)

본 고안에서는 종래의 메모리 소자들이 가지는 여러 가지 문제점을 해결하거나 보완하기 위해 정류성의 다이오드를 사용한 2 단자 메모리 기술을 사용하였다. 본 고안의 다이오드 메모리는 FLASH와 같이 비휘발성이면서도 그에 비해 빠르고, DRAM보다 높은 집적도를 가지면서도 비휘발성의 특성을 지니고 있다. 또한 정류성 소자인 다이오드를 사용하는 관계로 PRAM에 비해서 높은 저항 on/off비를 가져 신뢰성의 향상을 기 할 수 있다. 본 고안의 메모리 소자는 2 개의 다이오드를 직렬로 사용함을 그 특징으로 하고 있다. 그중 하나의 다이오드는 일반적인 PN 접합 다이오드 혹은 제너 다이오드이며, 다른 하나는 갈륨/갈륨 아세나이드/텅스텐 구조로 이루어져 있다. 여기에서 갈륨/갈륨 아세나이드/텅스텐 다이오드는 인가된 전압의 양에 따라 저항성 특성 혹은 정류성 특성을 나타내며, PN 접합 다이오드는 갈륨/갈륨 아세나이드/텅스텐 다이오드의 역방향에서의 누설전류를 막아주는 역할을 한다. 이에 의해 메모리 매트릭스 구조에서의 cross talk가 없어서 2 단자 메모리의 구성이 가능하게 된다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기의 여러 가지 메모리 소자들의 문제점을 해결하는 2 단자 직렬 다이오드 메모리를 구성하기 위해 반도체 박막 적층 기술을 사용한다. 도 2의 1번 다이오드는 일반적인 PN 적층 제너 다이오드를 사용하였고 도 2의 2번 다이오드는 갈륨/갈륨 아세나이드/텅스텐 구조를 사용하였다. 제너 다이오드는 일반 다이오드와는 달리 역방향에서 브레이크 다운을 일으키지 않고 도통시키기 때문에 역 방향 전압 클램프 소자로 사용된다. 그러나 일반적인 PN 접합 다이오드의 경우에도 저항을 통한 전류 억제를 적절히 할 경우 이에의 사용이 가능하다. 2개의 다이오드는 연속적으로 적층하여 서로 직렬 연결되게 하였다. 이를 위해 N과 P형 반도체로 이루어진 트렌치(trench)구조의 다이오드위에 텅그텐 금속 전극층을 적층하고, 그 위에 다이오드를 이루는 갈륨 아세나이드를 적층하며, 이어서 상부 금속 전극 갈륨을 적층한다. 적층이 끝난 소자는 반도체 식각 공정을 이용하여 각각의 메모리 단위소자로 분리한다.

발명의 구성 및 작용

도 2는 본 고안에 의한 메모리 소자의 매트릭스 구성을 나타낸다. 여기에서 기본 소자는 각각 제너 다이오드 1과 갈륨 아세나이드 다이오드 2의 직렬 연결로 구성되어 있다. 도 3은 갈륨/갈륨 아세나이드/텅스텐 구조를 한 다이오드의 전압-전류 특성을 나타낸다. 초기의 다이오드 특성은 순방향의 1번과 역방향의 2번으로 나타난다. 다이오드의 갈륨 전극에 순방향 전압을 인가하면 전류는 1번 곡선을 따라 증가한다. 하지만 전압의 크기가 임계치(Vsp)에 이르면 전류가 정류성의 3번 곡선으로 이동이 일어난다. 전류 특성이 3번으로 이동한 후에는 전압을 낮추어도 전류치가 4번 곡선을 따라 움직이게 된다. 전압을 계속하여 역방향으로 인가하면 다이오드의 특성은 4번 곡선을 따라 이동하게 된다. 그리고 역방향 전압이 증가하여 임계치(Vsn)에 이르면 전류는 2번 곡선으로 이동하게 된다. 이 갈륨 아세나이드 다이오드의 특징은 전류 특성 1-2와 3-4가 임계 전압을 인가하지 않는 한 변하지 않는 기억효과를 가지는 것이다. 즉 다이오드가 3-4 전류 특성으로 고정된 경우 전원을 제거하여도 다이오드의 특성이 유지된다. 전류 특성 3-4는 시간이 지나도 보존되어 다이오드는 항상 같은 특성을 나타내게 된다. 또한 전류 특성 1-2 역시, 일단 스위칭이 일어난 이후는 전원을 제거하여도 그 특성이 유지된다. 즉 다이오드의 전류 특성은 임계 전압의 인가 여부에 따라 저항성과 정류성 특성 둘 중의 하나를 유지하게 된다. 하지만 도 3에 나타난 갈륨 아세나이드 다이오드는, 다이오드가 정류성 역 방향에(4번 곡선)있을 때 많은 누설전류를 가지는 문제가 있다. 이 누설전류로 인해 갈륨 아세나이드 다이오드를 단독으로 메모리에 사용할 시 비선택 점에서 cross talk를 일으키게 된다. 갈륨 아세나이드 다이오드의 전압에 따른 저항성, 정류성 스위칭 특성은 일반적인 것으로 여러 문헌에 나타난다.(p 3009, Communications 1970; US Patent 3480843) 본 고안에서는 일반적인 갈륨 아세나이드 다이오드의 역방향

누설전류를 억제하여 메모리 동작에서의 cross talk를 제거하기 위해 제너 다이오드를 갈륨 아세나이드 다이오드에 직렬로 구성하여 사용하였다. 도 4는 갈륨 아세나이드 다이오드가 제너 다이오드와 직렬 연결 되었을 때의 전압-전류 특성을 나타낸다. 도 4에서 곡선 5-6은 부가된 제너 다이오드의 특성이다. 중첩된 다이오드의 순방향 특성은 도 3의 특성과 크게 다르지 않다. 다이오드는 임계 전압의 인가 유무에 따라 1번 혹은 3번 곡선위를 움직이게 된다. 제너 다이오드의 순방향 특성 6은 3에 비해 전류의 값이 높게 설계되어 전체 다이오드의 순방향 전류에 거의 영향을 주지 않는다. 그러나 중첩된 다이오드에 역방향 전압을 인가하면 도 3의 전류 특성과는 다른 특성을 나타낸다. 제너 다이오드의 삽입으로 인해 역방향 전압을 인가 하면 전류의 특성은 3번 곡선에서 4번이 아닌 5번을 따라 이동하게 된다. 그러나 역방향 전류의 값이 I_{A} 에(A 점) 이르면 다이오드의 전류는 5번 곡선에서 4번으로 이동하게 된다. 이후 다이오드는 역방향 임계 전압에 이를 때까지 4번 곡선 위에서 움직이다가, 임계 전압에서 2번 곡선으로의 이동이 일어난다. 여기에서 제너 다이오드는 메모리 효과가 없기 때문에 적층 다이오드 전체의 메모리 효과에는 영향을 주지 않는다. 삽입된 제너다이오드는 중첩 다이오드의 역방향 전압이 V_A 에 이르기 전까지의 누설 전류를 차단하는 역할을 한다. 그럼에서 곡선 5의 B부분 전류치는 곡선 4에 비해 현저히 낮은 값을 나타낸다. 역방향 전류값이 B와 같이 낮아짐에 따라 메모리 매트릭스 구조에서의 cross talk를 제거 할수 있고 이에 의해 2단자 메모리의 구성이 가능해 진다. 데이터의 reading은 메모리의 워드 라인(word line)과 데이터 라인(data line)사이에서 Vread전압을 인가한후 그때의 전류치 Iread를 읽음으로써 이루어진다. 이때 Iread값이 0에 근사한 경우 메모리의 sense amplifier가 "0"로 인식하며, Iread가 적정치 이상인 경우 "1"로 인식하게 된다. 고저항(off)에서 정류성(on)으로의 programming은 워드라인과 데이터 라인사이에도 3의 임계전압 V_{sp} 이상의 전압을 인가함으로써 일어나고, 정류성에서 고저항으로의 programming은 워드라인과 데이터 라인사이에도 3에서의 역방향 임계전압 V_{sn} 이하의 전압을 인가함으로써 일어난다. 도 5는 본 고안에 의한 메모리 소자의 매트릭스 구성을 나타낸다 그림의 1, 2, 3은 각각 메모리의 워드 라인을 나타내고 4, 5, 6은 데이터 라인이다. 워드라인과 데이터 라인이 교차하는 각각의 점에는 본 고안에서의 중첩된 다이오드 구조가 위치한다. 여기에서 워드 라인으로는 알루미늄등의 금속층이 사용된다. 데이터 라인은 n형 반도체층으로 확산된 실리콘층이다. 적층된 다이오드는 각각 제너 다이오드의 에노드를 이루는 p형 반도체층(10), 타이타늄(Ti)/타이타늄 나이트라이드(TiN)로 이루어진 글루층(9), 갈륨 아세나이드 다이오드의 텅스텐 케소드 전극(8), 그리고 갈륨 아세나이드층(7)로 구성되어 있다. 여기에서 갈륨 아세나이드층의 두께는 약 3000Å, 타이타늄(Ti)/타이타늄 나이트라이드(TiN)는 각각 100Å/160Å이다. 도 6은 도 5의 A부위를 기준으로한 본 고안의 메모리 구조의 세부 공정도이다. 도 6의 (가)는 p형 반도체층 3으로 상부가 도핑된 n형의 실리콘 기판(1)을 나타낸다. (나)는 일반적인 트렌치(trench) 기술을 사용하여 1과 3으로 이루어진 트렌치를 형성한후 절연층 2를 적층하고 이어서 CMP공정을 사용하여 표면을 평탄화 한 후의 구조를 나타낸다. 그리고 그 위에 (다)에 나타난 바와 같이 타이타늄(Ti)/타이타늄 나이트라이드(TiN)로 이루어진 글루층(4), 갈륨 아세나이드 다이오드의 텅스텐 케소드 전극(5), 갈륨 아세나이드층(6) 그리고 상부전극 알루미늄(7)을 적층한다. 적층이 끝난 웨이퍼를 식각 기술을 이용하여 트렌치 라인을 따라 식각한후, 절연층을 추가로 적층하고 2차 CMP공정을 사용하여 평탄화한다. 그림의 (라)는 이러한 공정이 끝난후의 구조를 나타낸다. 그뒤 워드라인으로 사용되는 2차 알루미늄(8)을 그림 (마)와 같이 증착하고 식각한다. 이때 트렌치 라인을 따라 형성되어 있던 다이오드층도 알루미늄 전극(8) 하부를 제외하고는 모두 식각되어 다이오드는 각각의 메모리 조각으로 분리된다.

발명의 효과

본 고안의 반도체 적층 공정에 의한 갈륨 아세나이드 다이오드/제너 다이오드 중첩 구조는 일반적인 갈륨 아세나이드 다이오드가 가지고 있던 역 방향에의 누설전류를 차단하는 효과가 있다. 이로 인해 인가된 전압에 따라 저항성-정류성 스위칭 특성을 나타내는 갈륨 아세나이드 다이오드를 2 단자 비 휘발성 반도체 메모리에 응용하는 것이 가능하게 되었다. 다이오드를 근간으로 하는 2 단자 메모리는 기존의 트랜지스터를 사용하는 3 단자 메모리에 비해 동작 속도가 빠르고 집적도를 높일수 있는 장점이 있다. 따라서 본 고안의 메모리로 인해 FLASH와 같이 비 휘발성이면서도 DRAM보다 높은 집적도의 메모리 소자 구성이 가능하다.

(57) 청구의 범위

청구항 1.

반도체 메모리 소자에 있어서 메모리의 기본 단위로 실리콘 PN 접합으로 이루어진 제 1 다이오드와 갈륨 아세나이드를 매개로하여 저항성-정류성 혹은 고저항-저저항 스위칭 및 메모리 특성을 가지는 제 2 다이오드를 직렬로 구성하여 사용을 특징으로하는 메모리 구조.

청구항 2.

청구항 1에 있어서 제 1 다이오드를 제너 다이오드로 구성하는 메모리 구조.

청구항 3.

청구항 1에 있어서 제 2 다이오드로 갈륨(혹은 알루미늄, 텔레늄)/갈륨 아세나이드/텅스텐 구조를 사용하는 소자 구성.

청구항 4.

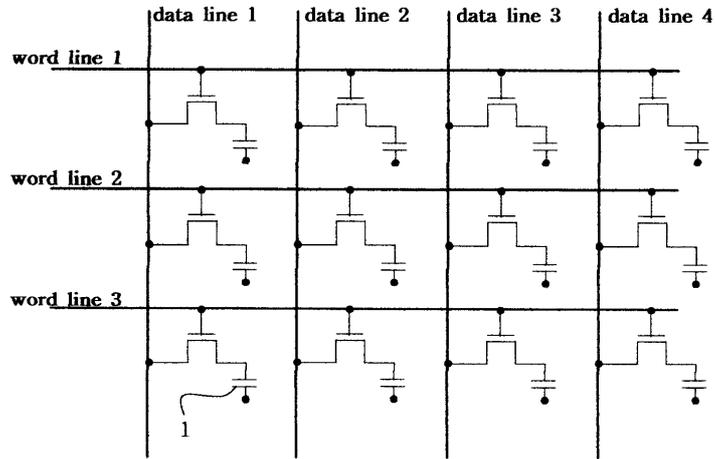
청구항 1에 있어서 제 1 다이오드를 사용하여 스위칭 및 메모리 다이오드(제 2 다이오드)의 역방향 누설전류를 억제함을 특징으로 하는 소자 구성.

청구항 5.

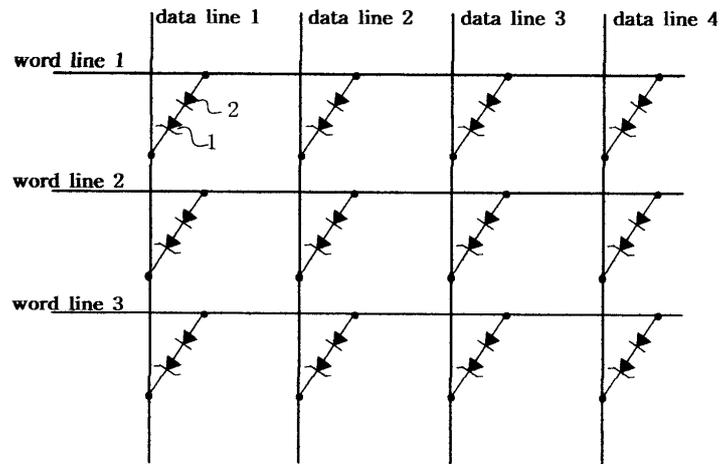
청구항 1의 메모리 구조에서 적층된 다이오드구조를 사이에 두고 하나의 어드레스 전극으로 n 혹은 p형으로 도핑된 트랜지스터 구조를 사용하고, 다른 하나의 어드레스 전극으로 알루미늄을 사용하는 것을 특징으로 하는 메모리 구조.

도면

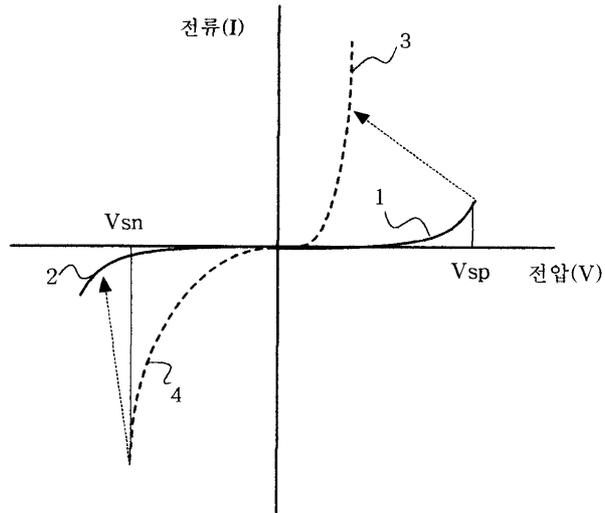
도면1



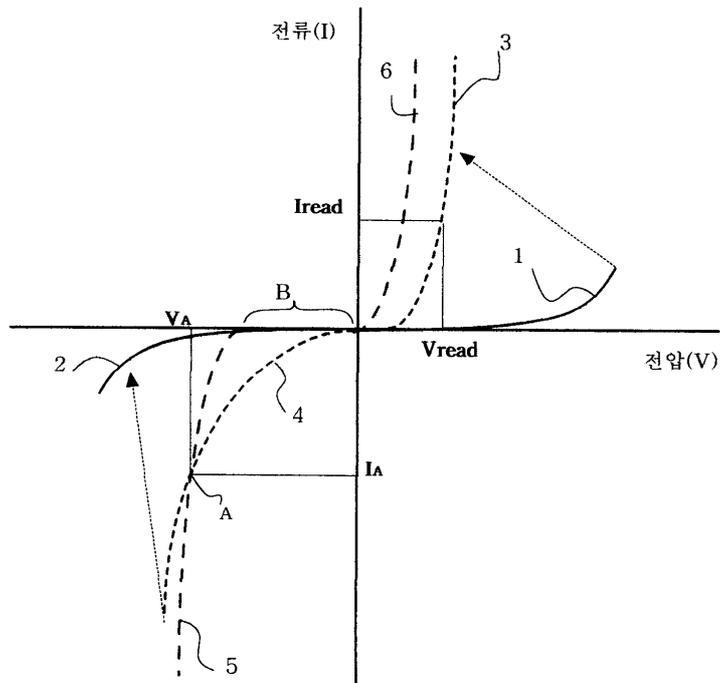
도면2



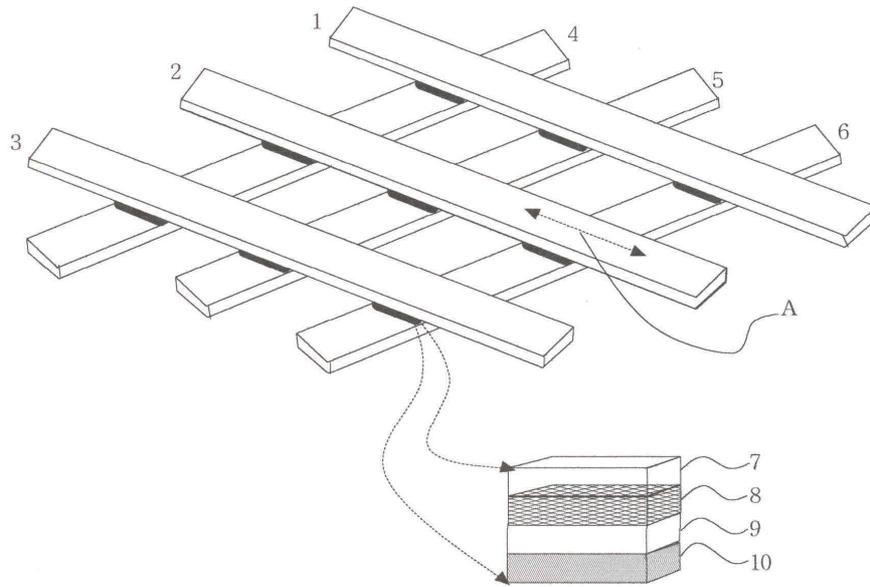
도면3



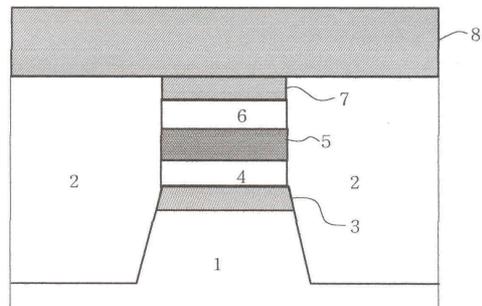
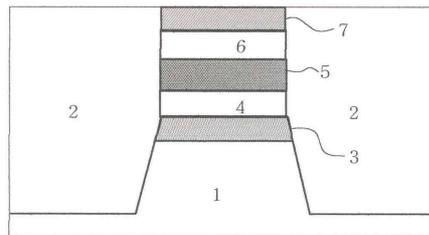
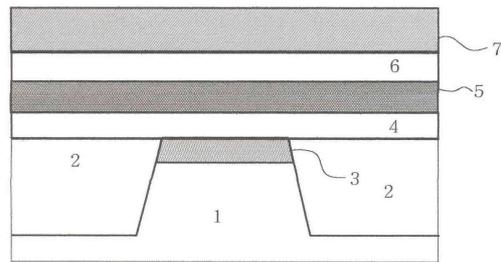
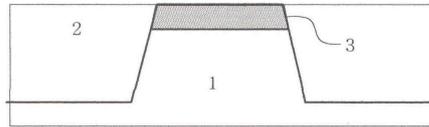
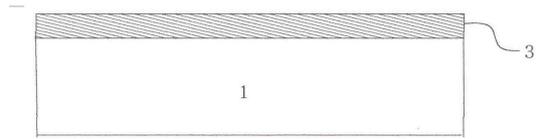
도면4



도면5



도면6



(마)