

公告本

申請日期	91.5.27
案 號	9111191
類 別	H01L27/10 29/46

A4
C4

(以上各欄由本局填註)

564548

發 明 專 利 說 明 書

新 型

一、發明 新型名稱	中 文	半導體裝置及其製造方法
	日 文	"半導體裝置及びその製造方法"
二、發明 創作人	姓 名	1.市毛 正之 2.竹内 祐司 3.松井 法晴
	國 籍	均日本 JAPAN
	住、居所	1.日本國神奈川縣橫濱市南區大岡1-21-20 2.日本國神奈川縣橫濱市港南區港南台2-15-21-101 3.日本國神奈川縣藤澤市大庭5206-1格林大樓湘南302
三、申請人	姓 名 (名稱)	日商東芝股份有限公司 KABUSHIKI KAISHA TOSHIBA
	國 籍	日本 JAPAN
	住、居所 (事務所)	日本國東京都港區芝浦1丁目1番1號
	代 表 人 名 姓 名	岡村 正 TADASHI OKAMURA

申請日期	
案 號	
類 別	

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書

~~新 型~~

一、發明名稱 新 型	中 文	
	英 文	
二、發明人 創 作 人	姓 名	4.佐藤 敦祥 6.白田 理一郎 5.杉前 紀久子
	國 籍	均日本 JAPAN
三、申請人	住、居所	4. 日本國神奈川縣逗子市池子1-10-7 5. 日本國神奈川縣橫濱市鶴見區東寺尾中台12-5葛雷斯大樓二本木503 6. 日本國神奈川縣藤澤市十堂5-6-9
	姓 名 (名 稱)	
	國 籍	
	住、居所 (事務所)	
	代 表 人 名 姓 名	

(由本局填寫)

承辦人代碼：

A6

大類：

B6

IPC分類：

本案已向：

國(地區) 申請專利，申請日期： 案號： ，有 無主張優先權日本 2001年05月28日 特願2001-158066 有 無主張優先權日本 2001年07月02日 特願2001-201366 有 無主張優先權

有關微生物已寄存於： 寄存日期： ，寄存號碼：

五、發明說明 (1)

相關申請之交叉參考

此申請係依據2001年5月28日日本專利申請No. 2001-158066、及2001年7月2日日本專利申請2001-201866號並要求其優先權。其整體內容如下所示。

發明背景

1. 發明領域

本發明係關於半導體裝置及其製造方法。尤其是和具有在通道區域佈植雜質之電晶體的微細半導體裝置相關。又，和NAND型快閃記憶體之列系核心部的構造相關。

近年來，可以實施資料之電性寫入及消除的非揮發性半導體記憶體，以EEPROM (Electrically Erasable and Programmable Read Only Memory、電可擦及可程式唯讀記憶體)較有名。EEPROM中有可整體刪除之快閃記憶體。尤其是容易被高積體化之NAND型快閃記憶體被廣泛使用。

習知之NAND型快閃記憶體的製造方法，例如，有S. Aritome等人提出之IEDM (1994) pp61-64 "A 0.67 μm^2 SELF-ALIGNED SHALLOW TRENCH ISOLATION CELL (SA-STI CELL) FOR 3V-only 256 Mbit NAND EEPROMs"、及Y. Takeuchi等人提出之1998 Symposium on VLSI Technology Digest of Technical Papers, pp 102-103 "A Self-Aligned STI Process Integration for Low Cost and Highly Reliable 1 Gbit Flash Memories"等。依該提案，記憶胞間之元件隔離區域係以STI(Shallow Trench Isolation、淺溝隔層)技術形成。因此，為了使其對此元件隔離區域具有自我整合之構造

五、發明說明 (2)

(SA-STI)，而形成浮動閘極。利用此方式，可以實現高密度配置微細記憶胞之記憶胞列。此種製造方法時，元件隔離區域會在形成部份或全部閘極氧化膜及浮動閘極材料後才形成。又，將雜質導入記憶胞及周邊控制系統使用之電晶體的通道區域上，可在形成閘極氧化膜前佈植離子，然後再形成閘極氧化膜。而導入之雜質的熱擴散係由其後之元件隔離區域形成步驟中的熱處理來執行，雜質會因此熱擴散而活性化。

然而，NAND型快閃記憶體在記憶胞寫入「1」資料(未對浮動閘極佈植電子，保持刪除時之臨界值)時，位元線會充電至起始電位。又，對選取之字元線施加寫入電壓，對非選取之字元線施加傳送電壓。其次，利用電容耦合使記憶胞電晶體之通道區域電位昇壓，使電子不會佈植於浮動閘極。降低通道區域之雜質濃度會使通道電容降低，故通道區域之電位容易昇壓。結果，提高對記憶胞之「1」資料的寫入特性。

有鑑於前述寫入動作，有數種著眼於記憶胞電晶體之通道區域雜質濃度控制的快閃記憶體製造方法被提出。例如，日本特開2002-009173號公報之手法，係在依序形成閘極氧化膜及元件隔離區域後，越過閘極氧化膜及浮動閘極佈植離子。利用本手法，通道區域內之雜質濃度分布不會受到元件隔離區域製造過程之熱步驟的影響。因此，可以實現急速變化之雜質濃度分布。故，在推動通道長度之微細化時，亦可確保通道區域內之雜質濃度的控制性。

五、發明說明 (3)

又，美國專利申請10/058,343(對應日本專利申請編號：日本特願2001-23973號)中，則主要是針對NAND型快閃記憶體之提案。亦即，係在記憶胞電晶體上形成遮罩後，從斜向對相鄰之選擇電晶體間的雜質擴散層實施雜質之離子佈植。利用此方法，記憶胞電晶體及選擇電晶體之通道區域的雜質濃度會維持相同，亦容易實施選擇電晶體之特性控制。

其次，美國專利申請09/956,986(對應日本專利申請編號：日本特願2000-291910號)亦是針對NAND型快閃記憶體的提案。亦即，在周邊控制系統電晶體及選擇電晶體之閘極上，去除隔離浮動閘極及控制閘極之閘極絕緣膜的方法。利用此方式，可以使浮動閘極及控制閘極獲得電性連結。

又，日本特開昭59-74677號公報中，如其圖4至圖11等所示，周邊電晶體之浮動閘極及控制閘極間的絕緣膜上設有開口部。結果，提高了配線設計之自由度。

如前面所述，以往就曾針對快閃記憶體之製造方法提出各種提案。然而，在形成通道區域後，再形成元件隔離區域的方法上，因通道區域內之雜質容易擴散，有時會阻礙電晶體之通道長度微細化。因為，在通道區域之後尚有許多熱步驟。此種現象在記憶胞電晶體之閘極長度小於0.2 μm 時特別明顯。

又，以不同步驟實施記憶胞電晶體通道部之離子佈植、及實施選擇電晶體通道部之離子佈植的方法，隨著微細化

五、發明說明 (4)

之推動而有其實施上的困難。此外，因石版印刷步驟增加，而增加了製造步驟。例如，以選擇電晶體之通道長度為 $0.3\ \mu\text{m}$ 以下、記憶胞電晶體之通道長度為 $0.15\ \mu\text{m}$ 以下之微細化來形成高密度之記憶胞構件時，很難以前述方法來實施。

然而，若同時形成記憶胞電晶體及選擇電晶體之通道區域的雜質區域，則很難提高選擇電晶體之通道區域的雜質濃度。結果，有時會使選擇電晶體之截止特性惡化。亦即，選擇電晶體之通道區域的雜質濃度設定上，必須為可滿足記憶胞電晶體必要之記憶胞特性的濃度。此雜質濃度通常低於選擇電晶體之必要濃度。換言之，選擇電晶體之通道區域的雜質濃度，不得不低於理想濃度。所以，選擇電晶體之臨界值電壓會降低，待機漏電流會增加，而無法正常動作。又，前述記憶胞特性係指，如資料儲存特性、寫入刪除特性、以及寫入刪除特性之劣化程度。

然而，NAND型快閃記憶體EEPROM亦和DRAM(Dynamic Random Access Memory)或SRAM(Static RAM)等之其他半導體記憶體相同，以列解碼器選取1條字元線，執行選取之記憶胞(頁)的寫入或讀取。列解碼器具有列主解碼器電路及列系核心部(列輔助解碼器電路)。列主解碼器電路依據列位址信號，產生必須施加於記憶胞列內之控制閘極線及選擇閘極線的特定電壓。列系核心部具有列主解碼器電路及記憶胞列間之開關的機能。

以圖1A及圖1B說明前述列系核心部之構成。圖1A係列

五、發明說明 (5)

系核心部之平面圖，圖1B為圖1A中之1B-1B線的剖面圖。

如圖所示，矽基板200上設有格狀之複數個活性區域AA (Active Area)。相鄰之活性區域AA間，設有元件隔離區域STI。電性隔離之各活性區域AA內，分別形成傳輸閘極電晶體TGTD、TGTS、TGT、TGT，…。這些傳輸閘極電晶體TGTD、TGTS、TGT、TGT，…分別具有閘極TG及雜質擴散層(圖上未標示)。閘極TG設置於活性區域AA上之閘極絕緣膜210。同時，具有多晶矽膜220、以及藉由閘極間絕緣膜230設於多晶矽膜220上之多晶矽膜240。又，多晶矽膜220、240在活性區域AA上進行電性連結。其次，以覆蓋述傳輸閘極電晶體TGTD、TGTS、TGT、TGT，…之方式，設置層間絕緣膜260、280。

前述核心部中，設於同一列之活性區域AA上的傳輸閘極電晶體TGTD、TGTS、TGT、TGT，…之閘極TG係共同連結。而傳輸閘極電晶體TGTD、TGTS、TGT、TGT，…之一側的雜質擴散層(汲極區域)則分別連結著汲極側之選擇閘極線SGD、源極側之選擇閘極線SGS、及控制閘極線CG、CG、…。亦即，選擇閘極線SGD、SGS、及控制閘極線CG、CG、…係利用設置於層間絕緣膜260內之分流配線290連結至核心部內。且，經由連結孔C20連結於對應之傳輸閘極電晶體TGTD、TGTS、TGT、TGT，…的雜質擴散層上。此外，經由金屬配線層300，對傳輸閘極電晶體TGTD、TGTS、TGT、TGT，…之另一側雜質擴散層(源極區域)，施加列主解碼器產生之特定電壓。

五、發明說明 (6)

圖 1C 係圖 1B 之放大圖。如圖所示，沿著控制閘極線方向、相鄰之活性區域 AA 間的區域，存在寄生 MOS 電晶體。此寄生 MOS 電晶體係以多晶矽膜 240 做為閘極，而以閘極絕緣膜 230 及元件隔離區域 STI 做為閘極絕緣膜。傳輸閘極電晶體 TGTD、TGTS、TGT、TGT，... 為導通狀態時，會對閘極 TG 施加高電壓 V_{pgm} 。此時，前述寄生 MOS 電晶體有時會處於導通狀態。因此，元件隔離區域 STI 之周邊會形成反轉區域 CH。所以，夾著元件隔離區域 STI 相鄰之活性區域 AA 間，有時會處於導通狀態。

又，傳輸閘極電晶體 TGT 之設計上，會避免使同一列內之導通狀態的傳輸閘極電晶體 TGT、及斷開狀態的傳輸閘極電晶體 TGT 相鄰。換言之，連結於同一列內之傳輸閘極電晶體 TGT 之控制閘極線的設計上，不會產生控制閘極線之選取及非選取狀態相鄰的情形。其理由在於，尤其是寫入時，會對選取之傳輸閘極電晶體 TGT 的活性區域 AA (雜質擴散層) 施加高電壓 V_{pgm} 。相對於此，對非選取之傳輸閘極電晶體 TGT 活性區域 AA 則施加 0 V。如上面所述，當相鄰接之活性區域 AA 間的電位差變大時，就無法維持該活性區域 AA 間之絕緣。

然而，若選擇閘門線 SGD 或 SGS 連結之傳輸閘極電晶體 TGTD、TGTS、以及控制閘極線 CG 連結之傳輸閘極電晶體 TGT 設於同一列內時，兩者之間實在很難避免發生選取、非選取之關係。

參閱圖 1C 針對此狀態進行說明。如圖所示，連結於選

五、發明說明(7)

取之控制閘極線CG的傳輸閘極電晶體TGT、及連結於非選取之選擇閘門線SGD的傳輸閘極電晶體TGTD會在同一列內相鄰接。此時，夾著元件隔離區域STI，兩活性區域AA、AA之電位分別為高電位V_pgm、接地電位GND。又，元件隔離區域STI上，存在為閘極TG之一部份的多晶矽膜240。會對多晶矽膜240，施加使傳輸閘極電晶體TGTD、TGT成為導通狀態之高電壓V_pgm。如此，活性區域AA、AA間之電位差將會超過元件隔離區域STI之元件隔離耐壓。結果，元件隔離區域STI有時就無法維持活性區域AA、AA間之電性絕緣。

為了解決前述元件隔離之相關問題，可以採取的方法，為擴大沿著控制閘極線CG方向之元件隔離區域STI的寬度d10(參照圖1A)。然而，在控制閘極線方向，傳輸閘極電晶體TGT及傳輸閘極電晶體TGTD、TGTS會以隨機方式出現相鄰的情形。因此，為了解決前述問題，必須擴大整個核心部區域之元件隔離區域STI的寬度d10。如此一來，核心部的面積會變大，而無法獲得NAND型快閃記憶體EEPROM之小型化。

發明之摘要

依據本發明之半導體裝置，係含有：

半導體基板；

形成於前述半導體基板中，含有第1導電電型之第1雜質的源極·汲極區域；

形成於前述源極·汲極區域間之前述半導體基板中，含

五、發明說明 (8)

有第2導電型之第2雜質的通道區域；

形成於前述半導體基板上，至少在前述通道區域之部份區域的正上方區域含有第2雜質之閘極絕緣膜；

形成於前述通道區域上方之閘極絕緣膜上的電荷蓄積層；以及

設於前述電荷蓄積層上之控制閘極，此控制閘極係利用設於前述電荷蓄積層上之連結部和前述電荷蓄積層實施電性連結，而前述電荷蓄積層係至少位於含有第2雜質之閘極絕緣膜區域中部份區域的正上方。

依據本發明之另一半導體裝置，係含有：

以元件隔離區域互相電性隔離，且含有沿著第1方向設置之複數活性區域的第1活性區域群；

以元件隔離區域互相電性隔離，且含有沿著第1方向之垂直方向設置之複數前述活性區域的第2活性區域群；以及

分別設置於前述活性區域之MOS電晶體；

該MOS電晶體具有：複數之前述第1活性區域群間共同連結之閘極；連結於記憶胞之控制閘極及選擇MOS電晶體之選擇閘極中其一的第1雜質擴散層；以及由承受列解碼器提供之電壓的第2雜質擴散層；此選擇閘極上連結之前述MOS電晶體，只設置於前述第2活性區域群內之端部的前述活性區域內，含有此選擇閘極上連結之MOS電晶體的前述第1活性區域群、以及相鄰之前述第1活性區域AA群間的元件隔離區域寬度，大於只含有連結於控制閘極之MOS電晶體的前述第1活性區域群間的元件隔離區域寬

五、發明說明(9)

度。

依據本發明之另一半導體裝置的製造方法，係含有：

對半導體基板表面佈植第1濃度之第1導電型雜質；

在前述半導體基板表面形成閘極絕緣膜；

在前述閘極絕緣膜形成電荷蓄積層；

在前述半導體基板中及前述閘極絕緣膜中形成元件隔離區域；

在前述元件隔離區域及前述電荷蓄積層上形成閘極間絕緣膜；

在前述閘極間絕緣膜上形成具有至少露出部份前述閘極間絕緣膜表面之開口部的遮罩材；

經由前述遮罩材之開口部，對前述半導體基板中佈植第1導電型雜質，其濃度為高於前述第1濃度之第2濃度；

在前述閘極間絕緣膜上形成控制閘極，此控制閘極經由已除去前述閘極間絕緣膜之區域和前述電荷蓄積層相連結；

以前述電荷蓄積層、前述閘極間絕緣膜、及前述控制閘極之圖案化來形成層積閘極；以及

對前述閘極周圍之前述半導體基板中佈植第2導電型雜質，形成源極·汲極區域。

圖面之簡單說明

圖1A係習知之NAND型快閃記憶體之平面圖；

圖1B係圖1A之1B-1B線之剖面圖；

圖1C係圖1B之放大圖；

五、發明說明 (10)

圖 2A 係本發明之第 1 實施形態快閃記憶體的剖面圖；

圖 2B 係具有本發明第 1 實施形態之快閃記憶體的選擇電晶體之通道區域雜質濃度分布圖；

圖 3A 係本發明第 1 實施形態之 NAND 型快閃記憶體的電路圖；

圖 3B 係本發明第 1 實施形態之 NAND 型快閃記憶體的平面圖；

圖 3C 係圖 3B 之 3C-3C 線的剖面圖；

圖 3D 係含有本發明第 1 實施形態 NAND 型快閃記憶體之選擇電晶體及記憶胞電晶體，相對於通道長度之臨界值電壓的變化圖；

圖 4A、圖 4B 至圖 15A、圖 15B 係本發明第 1 實施形態之 NAND 型快閃記憶體的製造步驟剖面圖；

圖 16A 及圖 16B 係本發明第 1 實施形態第 1 變形例之 NAND 型快閃記憶體的製造步驟剖面圖；

圖 16C 及圖 16D 係本發明第 1 實施形態第 2 變形例之 NAND 型快閃記憶體的製造步驟剖面圖；

圖 17 係本發明第 1 實施形態第 3 變形例之 NAND 型快閃記憶體的製造步驟剖面圖；

圖 18 係本發明第 2 實施形態之 NAND 型快閃記憶體的電路圖；

圖 19A 係本發明第 3 實施形態之 NAND 型快閃記憶體部份內部構成的方塊圖；

圖 19B 係具有本發明第 3 實施形態之 NAND 型快閃記憶體

五、發明說明 (11)

的記憶胞列及列系核心部電路圖；

圖 19C 係具有本發明第 3 實施形態之 NAND 型快閃記憶體的記憶胞列及列系核心部平面圖；

圖 19D 係圖 19C 之 19D-19D 線的剖面圖；

圖 19E 係圖 19C 之 19E-19E 線的剖面圖；

圖 19F 係圖 19C 之 19F-19F 線的剖面圖；

圖 19G 係圖 19C 之 19G-19G 線的剖面圖；

圖 20 係本發明第 3 實施形態 NAND 型快閃記憶體之寫入、讀取、及刪除動作時的各電晶體閘極電壓關係圖；

圖 21A 係具有本發明第 3 實施形態之 NAND 型快閃記憶體的記憶胞列及列系核心部平面圖；

圖 21B 係圖 21A 之 21B-21B 線的剖面圖；

圖 22A 係具有本發明第 4 實施形態之 NAND 型快閃記憶體的列系核心部平面圖；

圖 22B 係圖 22A 之 22B-22B 線的剖面圖；

圖 22C 係圖 22A 之 22C-22C 線的剖面圖；

圖 23A 係具有本發明第 5 實施形態之 NAND 型快閃記憶體的列系核心部平面圖；

圖 23B 係圖 23A 之 23B-23B 線的剖面圖；

圖 24 係具有本發明第 6 實施形態之 NAND 型快閃記憶體的列系核心部平面圖；及

圖 25 係具有本發明第 7 實施形態之 NAND 型快閃記憶體的列系核心部平面圖。

發明之詳細說明

五、發明說明 (12)

參照圖2A說明本發明第1實施形態半導體裝置。圖2A係半導體裝置之剖面圖。

如圖所示，半導體基板1上設有記憶胞電晶體2及選擇電晶體3。記憶胞電晶體2具有設於半導體基板1中之源極·汲極區域4、5。記憶胞電晶體2在源極·汲極區域4、5間之半導體基板1上，經由閘極絕緣膜6設置著閘極7。閘極7具有直接形成於閘極絕緣膜6上之電荷蓄積層(浮動閘極)8、形成於電荷蓄積層8上之閘極間絕緣膜9、以及形成於閘極間絕緣膜9上之控制閘極10。又，源極·汲極區域4、5間之半導體基板1表面附近會形成通道擴散層11。

選擇電晶體3係以和記憶胞電晶體2相鄰接方式設置。選擇電晶體3具有設於半導體基板1中之源極·汲極區域5、12。此源極·汲極區域中，記憶胞電晶體2相鄰側之源極·汲極區域5、及記憶胞電晶體2之源極·汲極區域5為共同連結。選擇電晶體3具有經由閘極絕緣膜6設置於源極·汲極區域5、12間之半導體基板1上的閘極13。閘極13具有直接形成於閘極絕緣膜6上之電荷蓄積層(浮動閘極)14、直接形成於電荷蓄積層14上之閘極間絕緣膜15、以及形成於閘極間絕緣膜15上之控制閘極17。閘極間絕緣膜15設有開口部16。此開口部16中填充和控制閘極17相同之導電材料。開口部16係控制閘極17及電荷蓄積層14之電性連結的連結部。源極·汲極區域5、12間之半導體基板1表面附近，以接觸源極·汲極區域5、12方式形成通道擴散層18。半導體基板1表面附近，以環繞通道擴散層18，

五、發明說明 (13)

且至少涵蓋開口部 16 之正下方區域的方式，形成通道擴散層 19。通道擴散層 18 具有和記憶胞電晶體 2 之通道擴散層 11 相同的雜質濃度。且通道擴散層 18 在半導體基板 1 之垂直方向上，和通道擴散層 11 具有相同之擴散分布。通道擴散層 19 之形成上，具有比通道擴散層 18 更高的雜質濃度，且比通道擴散層 18 更深。選擇電晶體 3 之閘極 13 的高度，大致和記憶胞電晶體 2 之閘極 7 相同。閘極間絕緣膜 9 係由如矽氧化膜、矽氮化膜、以及矽氧化膜之層積膜 ONO (Oxide-Nitride-Oxide) 膜所構成。此構成上，選擇電晶體 3 可從外部對電荷蓄積層 14 提供電位。亦即，選擇電晶體 3 具有一般 MOSFET 之機能。又，此層積閘極構造上，除了具有開口部 16 以外，其餘和記憶胞電晶體 2 相同。

又，本實施形態應用於快閃記憶體時，通常，記憶胞電晶體 2 之閘極 7 的長度、及源極・汲極區域 4、5 所夾之通道區域的長度，會小於選擇電晶體 3 之閘極 13 的長度、及源極・汲極區域 5、12 所夾之通道區域的長度。當然，因為製品規格的緣故，選擇電晶體 3 之通道長度有時會小於記憶胞電晶體 2 之通道長度。亦即，記憶胞電晶體 2 之閘極 7 的長度亦可能大於選擇電晶體 3 之閘極 13。又，因為製品規格的緣故，選擇電晶體 3 之通道長度亦可能等於記憶胞電晶體 2 之通道長度。

此外，開口部 16 之大小約為選擇電晶體 3 之閘極 13 長度的一半。例如，若閘極 13 之長度約為 $0.3 \mu\text{m}$ ，則開口部 16 之長度約為 $0.15 \mu\text{m}$ 左右。又，若記憶胞電晶體 2 之閘極 7

五、發明說明 (14)

長度例如為約 $0.15 \mu\text{m}$ 時，則其通道長度約為 $0.15 \mu\text{m}$ ，則選擇電晶體 3 之通道區域整體的長度約為 $0.3 \mu\text{m}$ 。如上面所述，記憶胞電晶體 2 之通道區域 11 長度會小於選擇電晶體 3 之通道擴散層 18 及通道擴散層 19 之長度和。

又，選擇電晶體 3 之通道擴散層 19 的長度，可以控制開口部 16 之長度方式來改變。而且，經由開口部 16 佈植於閘極 13 下方之離子量，可以和記憶胞電晶體 2 分開控制，故可自由設定選擇電晶體 3 之通道擴散層的濃度。選擇電晶體 3 通道部的雜質濃度為，例如約 $10^{17}/\text{cm}^3$ 程度。

圖 2B 係圖 2A 所示選擇電晶體 3 之通道區域的 p 型雜質濃度分佈。如圖所示，雜質濃度之分佈上，係以開口部 16 正下方之區域，亦即，含有通道區域中央部之區域為最大值。

如上面所述，利用本實施形態之半導體裝置，可實現閘極長度為 $0.15 \mu\text{m}$ 以下之記憶胞電晶體。更可實現閘極長度為 $0.3 \mu\text{m}$ 以下之選擇電晶體。結果，可提供比以往更微細化之半導體記憶裝置。又，追求前述微細化之同時，亦可提升選擇電晶體之截止特性。因此，實現臨界值電壓之通道長度依存性不同的選擇電晶體及記憶胞電晶體。又，圖 2 中各電晶體 2、3 之各雜質區域 4、5、11、12、18、19 亦可形成於設在半導體基板 1 表面附近之凹部區域中。

圖 3A 係使用圖 2 所示半導體裝置之 NAND 型快閃記憶體記憶胞列的電路圖。圖 3A 中之非揮發性記憶胞 MC，和圖 2 之記憶胞電晶體 2 具有相同之構造。又，圖 3A 之選擇電晶

五、發明說明 (15)

體ST1、ST2，和圖2之選擇電晶體3具有相同之構造。

如圖所示，記憶胞列具有複數之記憶塊MB (NAND胞)。記憶塊MB含有n個(n為自然數)之記憶胞MC、MC、…、汲極側選擇電晶體ST1、及源極側選擇電晶體ST2。記憶胞MC、MC、…之相鄰者會共用源極、汲極，其電流路徑則為串聯。選擇電晶體ST1連結於串聯之記憶胞MC電流路徑的一端(汲極側)，選擇電晶體ST2則連結於另一端(源極側)。

各記憶胞MC之閘極則分別連結著控制閘極線CG1~CGn(字元線WL1~WLn)。汲極側選擇電晶體ST1之閘極上，連結著選擇閘極線SGD，源極選擇電晶體ST2之閘極則連結著選擇閘極線SGS。

各記憶塊MB內之選擇電晶體ST1的源極，分別連結著資料線之位元線BL1~BLm (m為自然數)。源極選擇電晶體ST2之源極則連接著共用源極線SL。

圖上未標示，複數個記憶塊MB係沿著位元線BL1~BLm之方向配置，各位元線BL1~BLm上連結著複數個記憶塊MB。另外，沿著控制閘極線CG1~CGn之方向，各位元線BL1~BLm亦設有相同之記憶塊MB。

此外，不一定需要選擇電晶體ST1、ST2之雙方。只要可選取記憶塊MB，則亦可只設置其中一方。

其次，以圖3B說明前述記憶胞列之平面構造。圖3B係圖3A所示記憶胞列之平面圖。

如圖所示，複數之活性區域21、21、…係為線條狀平行

五、發明說明 (16)

配置。活性區域21內形成源極·汲極區域。又，各活性區域21間設有元件隔離區域22。記憶胞MC、MC、…之閘極7、7係為線條狀平行配置，且和線條狀活性區域21成垂直相交。又，以夾著閘極7之方式配置著一對選擇電晶體ST1、ST2的閘極13、13，且和記憶胞MC之閘極7平行。

圖3B中，對半導體基板中之區域20佈植雜質。此區域20之一部份，具有記憶胞電晶體2之通道區域機能。此外，選擇電晶體ST1、ST2之閘極13、及活性區域21的交點附近，設有圖2說明之開口部16。從此開口部16將雜質佈植至矽基板中。此佈植雜質之區域，具有選擇電晶體ST1、ST2之通道區域機能。其雜質濃度不同於記憶胞電晶體之通道區域。

各記憶胞MC、MC、…之源極及汲極，相鄰者採共同連結。如上面所述，複數之記憶胞MC、MC、…採串聯之電流路徑，故形成一個記憶塊(NAND胞)。

其次，針對前述記憶胞列之剖面構造進行說明。圖2A相當於圖3B之2-2線的剖面圖。所以，省略2-2線方向之剖面構造的說明。圖3C係圖3B之3C-3C線的剖面圖，也是選擇電晶體ST1之剖面構造。

如圖所示，複數之元件隔離區域22設於半導體基板1中，其上部突出半導體基板1表面。元件隔離區域22間之半導體基板1的表面會形成通道擴散層19。通道擴散層19上形成閘極絕緣膜6。閘極絕緣膜6之材料為氧化矽膜或氮氧化合物膜中之其一。閘極絕緣膜6上設有電荷蓄積層

五、發明說明 (17)

14，其上面會高於元件隔離區域22之上面。電荷蓄積層14及元件隔離區域22之上面，會形成閘極間絕緣膜15。閘極間絕緣膜15上形成控制閘極17。選擇電晶體ST1、ST2之控制閘極17及電荷蓄積層14採電性連結，具有選擇閘極線SGD、SGS之機能。

圖3D係本實施形態之選擇電晶體ST1 (ST2)及記憶胞電晶體MC之臨界值電壓的通道長度依存性圖表。如前面所述，選擇電晶體ST1、ST2、及記憶胞電晶體MC之通道區域的雜質濃度並不相同。結果，如圖3D所示，同一通道長度時，記憶胞電晶體MC之臨界值電壓會低於選擇電晶體ST1、ST2。

又，通道長度小至某種程度時，各電晶體之臨界值電壓都會急速下降。圖3D中，選擇電晶體ST1、ST2在A1點時、以及記憶胞電晶體在A2點($A2 > A1$)時，臨界值電壓會急速下降。通道長度在小於此A1點、A2點之區域時，電晶體之特性會不安定。所以，想要當做製品推出時，設計上，必須使選擇電晶體ST1、ST2、及記憶胞電晶體MC之各通道長度分別大於A1點、A2點。又，通道長度A1及A2間，具有 $A1 < A2$ 之關係。

然而，記憶胞列內，記憶胞電晶體之數量遠大於其他電晶體。因此，減少記憶胞電晶體之通道長度，是半導體記憶裝置之微細化上不可或缺的。設計上，選擇電晶體之通道長度會大於記憶胞電晶體之通道長度。其目的在於，將選擇電晶體之臨界值電壓設定為大於記憶胞電晶體之臨界

五、發明說明 (18)

值電壓的電壓，使選擇電晶體可以獲得必要之截止特性。

如上面所述，利用本實施形態可以實現選擇電晶體之微細化。更具體而言，即可獲得更微細之選擇電晶體。因為，選擇電晶體之電荷蓄積層14及控制閘極17間設有開口部16。利用此開口部16，可以自動整合對選擇電晶體之通道部的離子佈植。以往，以個別步驟對記憶胞電晶體及選擇電晶體之通道部實施離子佈植時，在石版印刷時之尺寸控制及校準精度等微細加工精度上會受到限制。然而，利用本實施形態，可自動整合離子佈植，而排除這些限制。因此，可實現選擇電晶體之微細化。

又，選擇電晶體之通道長度和記憶胞電晶體之通道長度不同。利用此方式之設計，使選擇電晶體及記憶胞電晶體有不同之臨界值電壓。同時，利用前述開口部16之離子佈植，可以在和記憶胞電晶體無關之情形下，單獨控制選擇電晶體之通道區域的雜質濃度。因此，可提升選擇電晶體之截止特性。又，可以彌補因通道長度微細化而導致之選擇電晶體開關特性的劣化。因此，可抑制選擇電晶體之短路通道效應。結果，可更進一步獲得記憶胞列之微細化及高密度。

其次，選擇電晶體之通道長度可以大於記憶胞電晶體之通道長度，且選擇電晶體之通道區域的雜質濃度可以高於記憶胞電晶體之通道區域的雜質濃度。因此，選擇電晶體之臨界值電壓可以大於記憶胞電晶體之臨界值電壓。結果，實現具有必要截止特性(電流截止特性)之選擇電晶體

五、發明說明 (19)

的半導體記憶裝置。

又，利用設置於浮動閘極14及控制閘極17間之開口部16，可以改變選擇電晶體及記憶胞電晶體之通道區域的雜質濃度。因此，實現具有含必要高雜質濃度之通道區域的選擇電晶體、以及含適合微細化、低雜質濃度通道區域之記憶胞電晶體的微細半導體記憶裝置。所以，可以提高如資料寫入特性、資料儲存特性、以及對讀取應力之耐性等記憶胞電晶體之特性。

其次，以圖4A、圖4B至圖15A、圖15B來說明前述構成之半導體裝置的製造方法。圖4A、圖4B至圖15A、圖15B係NAND型快閃記憶體之製造步驟的剖面圖，圖4A至圖15A係圖3B之2-2線、圖4B至圖15B則係3C-3C線之剖面構造。

如圖4A及圖4B所示，半導體基板1例如p型矽基板上，形成犧牲矽氧膜30。犧牲矽氧膜30可保護半導體基板1表面避免受到離子佈植導致的破壞。其次，有時會以離子佈植來將雜質導入半導體基板1內。然後，實施導入之雜質的活性化，形成含有p型凹部、或n型凹部及p型凹部之二重凹部等。

其次，在半導體基板1表面、或形成凹部時以對該凹部表面實施通道離子佈植，形成離子佈植層31。佈植之雜質需視記憶胞電晶體及選擇電晶體之導電型而定。例如，電晶體之導電性為n型時，導入硼等p型雜質。此離子佈植之目的在執行電晶體之通路控制，故同時對記憶胞電晶體及

五、發明說明 (20)

選擇電晶體之預定形成區域整體實施。

如圖 5A 及圖 5B 所示，剝離犧牲矽氧膜 30 後，半導體基板 1 上會形成閘極氧化膜 6。接著，在閘極氧化膜 6 上層積浮動閘極之電極材料如多晶矽，形成浮動閘極層 32。又，因浮動閘極層 32 必須具導電性，故採用如預先摻雜磷 (Phosphorus) 之多晶矽。當然，亦可層積未摻雜之多晶矽後，再實施磷之離子佈植。其次，浮動閘極層 32 上，形成如矽氮化膜 (Si_3N_4) 等之遮罩材料 33。此遮罩材料 33 係用於形成元件隔離區域。

其次，在遮罩材料 33 上敷塗抗蝕劑 (圖上未標示)，以光石版印刷技術使抗蝕劑形成元件隔離區域之圖案。再將圖案化之抗蝕劑當做遮罩，實施遮罩材料 33 之圖案化。再將圖案化之遮罩材料 33 當做遮罩，實施浮動閘極層 32、閘極絕緣膜 6、及半導體基板 1 之蝕刻。蝕刻通常會採用 RIE (Reactive Ion Etching、活性離子蝕刻)。利用此方式，遮罩材料 33 表面至半導體基板 1 會形成元件隔離區域用溝 (圖上未標示)。溝之深度為，例如 $0.25 \mu\text{m}$ 程度。其次，以高溫使溝之側面及底面產生氧化，形成矽熱氧化膜。形成此熱氧化膜之目的，在於恢復蝕刻時所受到的破壞、保護各層界面、或針對其他目的。然後，以例如 CVD (Chemical Vapor Deposition、化學汽相澱積) 法實施元件隔離用矽氧化膜 34 之層積。此時，使用 HDP-CVD (High Density Plasma CVD、高密度電漿 CVD) 法等。然後，使層積之矽氧化膜 34 平坦化，讓遮罩材料 33 上之表面和矽氧化膜 34 上之表面

五、發明說明 (21)

一致。此平坦化步驟，通常採用CMP (Chemical Mechanical Polishing、化學機械研磨)法，亦可採用回蝕法。又，以CMP法實施平坦化時，遮罩材料33之矽氮化膜被當做CMP之制動(stopper)膜。再對矽氧化膜34實施退火使其高密度化。利用此方式，使矽氧化膜34之結晶性接近矽熱氧化膜，而成為良質之矽氧化膜。結果，可得到圖6A及圖6B所示構造。

其次，如圖7A及圖7B所示，去除遮罩材料33。再以RIE法或濕式蝕刻使矽氧化膜34之上面向後退。如此，即完成元件隔離區域22。

其次，如圖8A及圖8B所示，在外露之元件隔離區域22及浮動閘極層32之表面上層積閘極間絕緣膜35。閘極間絕緣膜35為，例如ONO膜。

其次，如圖9A及圖9B所示，在閘極間絕緣膜35上層積遮罩材料36。遮罩材料36為，例如多晶矽或矽氧化膜。

又如圖10A及圖10B所示，在遮罩材料36上敷塗抗蝕劑37。再以光石版印刷技術實施抗蝕劑37之圖案化，去除抗蝕劑37，其區域則至少為對應必須成為選擇電晶體之通道區域的部份區域。結果，形成圖示之開口部38。

如圖11A及圖11B所示，利用以抗蝕劑37做為遮罩之蝕刻，去除位於開口部38正下方之遮罩材料36。實施此遮罩材料36之蝕刻步驟時，採用例如Deep UV (Ultraviolet)石版印刷法。利用本方法，因可以使用短波長之光源，可以實施極高精度之圖案化。因此，可以將遮罩材料36及開口部

五、發明說明 (22)

38之位置偏離抑制於最小。本步驟之結果，可使閘極間絕緣膜35從開口部38之底部露出。

其次，如圖12A及圖12B所示，在必須成為選擇電晶體之通道區域的半導體基板1中，實施雜質之離子佈植，形成通道擴散層19。本離子佈植之雜質，會經由閘極間絕緣膜35、浮動閘極層32、及閘極絕緣膜6被導入半導體基板1中。雜質之種類需視選擇電晶體之導電型而定，n通道時可使用硼、p通道時則可使用磷。又，在殘留抗蝕劑37之狀態下實施離子佈植，係可以利用抗蝕劑37做為離子佈植之緩衝材料。

在本步驟中，必須形成記憶胞電晶體之區域存在遮罩材料36。其膜厚則設定為離子佈植之離子種類會在遮罩材料36中衰減的程度。同時，必須形成選擇電晶體之區域，進行離子佈植之加速能量的調整，使離子能貫穿浮動閘極層32並到達半導體基板1之程度。

如圖13A及圖13B所示，以蝕刻去除開口部38正下方之閘極間絕緣膜35。又，以形成圖12A及圖12B說明之通道擴散層19為目的的離子佈植，在本步驟中，亦可在閘極間絕緣膜35之蝕刻後再實施。若在殘留閘極間絕緣膜35之狀態下實施離子佈植，可以防止浮動閘極層32之表面受到污染。因為閘極間絕緣膜35具有浮動閘極層32之保護膜的機能。

其次，如圖14A及圖14B所示，去除遮罩材料36。在閘極間絕緣膜35上形成控制閘極材料39。控制閘極材料39含

五、發明說明 (23)

有如多晶矽膜及WSi (Tungsten Silicide、鎢矽)等金屬矽化合物膜。當然，不使用金屬矽化合物膜而只使用多晶矽膜亦可。此外，記憶胞電晶體預定形成區域可以為含有多晶矽膜及金屬矽化合物膜之多層構造，而選擇電晶體預定形成區域則可以為只含有多晶矽膜之構造。

利用光石版印刷技術及RIE法等各向異性蝕刻，實施控制閘極材料39、閘極間絕緣膜35、及浮動閘極層32之圖案化。結果，如圖15A及圖15B所示，形成含有電荷蓄積層8、閘極間絕緣膜9、及控制閘極10之記憶胞電晶體MC的閘極7。又，完成含有電荷蓄積層14、閘極間絕緣膜15、及控制閘極17之選擇電晶體ST1、ST2的閘極13。又，圖14A及圖14B所示之步驟中，以多晶矽膜形成控制閘極材料39時，亦可在執行本步驟之圖案化後，以Salicide (Self-Aligned Silicide)形成矽化合物膜。

其後，將具有層積閘極構造之閘極7、13當做遮罩使用，實施離子佈植將雜質導入半導體基板1中。結果，半導體基板1中形成源極、汲極區域4、5、12，完成圖2及圖3C所示構造。

如上面所述，採用本實施形態之半導體裝置製造方法，可去除使電荷蓄積層14及控制閘極17形成電性隔離之閘極間絕緣膜15的一部份。此種處理亦適用於周邊控制系統之電晶體的閘極、以及記憶胞列內之選擇電晶體的閘極。其目的則是，使電荷蓄積層14及控制閘極17形成電性連結。然而，只有在滿足下列條件時，才可以在前述處理過程

五、發明說明 (24)

中，越過浮動閘極將雜質以離子佈植方式導入至半導體基板內。

亦即，該雜質會在記憶胞電晶體之遮罩材料中衰減而不會到達電荷蓄積層，且可貫穿選擇電晶體之電荷蓄積層及閘極絕緣膜並到達半導體基板。

如此，記憶胞電晶體及選擇電晶體間，會形成不同雜質濃度之通道區域，且該通道區域可分別滿足各電晶體之必要特性。又，可以不必追加新的石版印刷步驟等即提升各電晶體之特性。且可自動整合該處理。

如上面所述，可以自動整合處理形成具有通道區域之選擇電晶體，而前述通道區域含有濃度區域，其濃度不同於記憶胞電晶體之通道區域雜質濃度。如發明背景中之說明所示，習知之方法時，要分別對記憶胞電晶體及選擇電晶體之各通道區域實施離子佈植，有實際上的困難。此時，兩者之通道區域的雜質濃度分佈，在橫向及縱向會大致相同。然而，利用本實施形態之方法，經由開口部16之離子佈植步驟係針對選擇閘門電晶體實施。因此，兩者之通道區域在橫向及縱向會有不同之雜質濃度分佈。

又，選擇電晶體中，實施通道離子佈植時之部份離子會殘留於閘極絕緣膜6內。而該區域為含有開口部16正下方區域之區域。

本實施形態可以為n通道電晶體，亦可以為p通道電晶體。以控制記憶胞電晶體及選擇電晶體為目的而實施離子佈植之雜質，可以為硼，亦可以為磷。又，閘極間絕緣膜

五、發明說明 (25)

15中形成開口部16後實施離子佈植，可以防止石版印刷步驟之增加。

如上面所述，利用本實施形態之半導體裝置及其製造方法，可以利用對應選擇電晶體之通道區域的開口部，實施通道區域之離子佈植。所以，可以有效抑制通道佈植時之偏離。

又，以遮罩材料覆蓋記憶胞電晶體之狀態下，實施對選擇電晶體之通道區域的離子佈植。因此，記憶胞電晶體之通道區域的濃度，可以和選擇電晶體之通道濃度分開設定。

又，本實施形態會在半導體基板1中形成通道區域等。然而，預先將低濃度雜質佈植半導體基板1之元件區域來形成凹部亦可。而且，亦可以在凹部中形成通道區域等。又，NAND胞可以如2個選擇閘極夾著8個電晶體之方式來形成。然而，NAND胞之電晶體個數不限為8個，此數量無特別限制。例如，可以8至32之任意數量來形成。又，相鄰之記憶胞電晶體的閘極間距離為 $0.2\mu\text{m}$ 以下時，本實施形態之效果會更為顯著。前述實施形態中，係針對半導體基板1為p型、源極·汲極區域為n型時進行說明，但，半導體基板1亦可為n型、源極·汲極區域4亦可為p型。本實施形態之選擇電晶體的構成，亦可適用於周邊電路含有之MOS電晶體。

如前面所述，不會經由記憶胞電晶體之閘極絕緣膜實施通道佈植。因此，尤其是不會導致具有浮動閘極構造之非

五、發明說明 (26)

揮發性記憶體的特性劣化。亦即，習知方法因離子佈植而使閘極絕緣膜劣化時，即使其劣化程度不會成為周邊控制系統電晶體之問題，但記憶胞電晶體之資料寫入刪除特性、資料儲存特性可能會劣化。然而，本實施形態時，完全不會有前述記憶胞電晶體之特性劣化的問題。

又，本實施形態之製造方法時，不需要以形成通道區域為目的而形成超微細圖案之石版印刷步驟。而只需要使用以往以連結選擇電晶體之浮動閘極及控制閘極為目的必要技術石版印刷技術即可。因此，不會增加製造成本亦不會增加步驟數。含有通道區域和記憶胞電晶體分開形成之選擇電晶體，且具有高密度配置微細記憶胞電晶體之記憶胞列的半導體裝置，只需追加離子佈植步驟即可實現。

又，本實施形態並非如NAND型快閃記憶體必須以規則方式配置選擇電晶體及記憶胞電晶體時才有效，亦可採用於任何胞構造。例如，相鄰之閘極間距離及閘極之層積構造的關係必須滿足以離子佈植為目的之特定幾何條件等，因為完全沒有任何必須滿足前述類似條件之限制，故具有相當大之自由度。

圖16A及圖16B係前述第1實施形態第1變形例之半導體裝置製造步驟的剖面圖。NAND型快閃記憶體之、尤其是沿著控制閘極線CG方向之剖面構造。

首先，利用前述第1實施形態說明之步驟，形成圖7A及圖7B之構造，完成元件隔離區域22。其後，如圖16A所示，例如，在浮動閘極層32及元件隔離區域22上層積摻雜

五、發明說明(27)

磷之多晶矽層40。然後再以CMP法實施多晶矽層40之平坦化。

其次，如圖16B所示，利用光石版印刷技術及蝕刻實施多晶矽層40之圖案化。結果，如圖所示，多晶矽層40沿著控制閘極線CG方向會在元件隔離區域22上互相隔離，且其端部會殘留於元件隔離區域22上。利用此方式，完成具有浮動閘極層32及多晶矽層40之多層構造的電荷蓄積層。其次，在多晶矽層40及元件隔離區域22上，層積如ONO膜等構成之閘極間絕緣膜35。

其後，實施本實施形態以圖9A及圖9B以後圖面說明之步驟。

本變形例之製造方法，在去除遮罩材料33後，追加層積多晶矽層40。利用此方式，電荷蓄積層之膜厚會大於第1實施形態，電荷蓄積層之上面及元件隔離區域之上面的距離會擴大。因此，和第1實施形態相比，和閘極間絕緣膜相接之電荷蓄積層的表面積會增加。其詳細內容則是，只有對應電荷蓄積層上面、及元件隔離區域上面之距離的面積會增大。因此，記憶胞部之蓄積電容會增大。所以，控制電荷蓄積層之膜厚亦即，控制多晶矽層40之膜厚，可以調整記憶胞部之記憶電容。

圖16C及圖16D係前述第1實施形態第2變形例之半導體裝置製造步驟的剖面圖。NAND型快閃記憶體之、尤其是沿著位元線BL之剖面構造。

首先，以前述第1實施形態之步驟，形成圖9A之構造。

五、發明說明 (28)

其次，以圖 10A 及圖 11A 說明之步驟，實施抗蝕劑 37 及遮罩材料 36 之圖案化，形成開口部 38。前述第 1 實施形態中，每 1 個選擇電晶體只有唯一的一個開口部 38。然而，本變形例中，則利用如圖 16C 所示之本步驟，1 個選擇電晶體會形成複數個開口部 38。其後，實施雜質之離子佈植，經由開口部 38 將雜質導入半導體基板 1 中。結果，在半導體基板 1 中形成複數之通道擴散層 19。

其後，經由圖 13A、圖 14A 所示步驟，完成圖 16D 所示之選擇電晶體的閘極 13。如圖所示，閘極 13 具有 3 個連結部 16、16、16。

如上面所述，連結部 16 可以為複數個。又，圖 16D 中，有複數個通道擴散層 19。然而，因為經過多數熱步驟，故通常會一體化。結果，通道區域之雜質濃度分佈大致如圖 2B 所示。

圖 17 係第 1 實施形態第 3 變形例之半導體裝置的剖面圖，為 NAND 型快閃記憶體之、尤其是沿著控制閘極線 CG 方向之剖面構造。

前述第 1 實施形態之圖 10A 及圖 10B 所示步驟中，開口部小於閘極 13。然而，在本變形例中，如圖 17 所示，開口部 38 和選擇電晶體之電極同樣大小。因而，形成具有閘極間絕緣膜 35 全部被除去之閘極 46 的選擇電晶體 47。又，形成長度和閘極 46 長度相同之通道區域 45。

其次，以圖 18 說明本發明第 2 實施形態之半導體裝置。圖 18 係 AND 型快閃記憶體之記憶胞列的電路圖。本實施形

五、發明說明 (29)

態係以前述第1實施形態之NAND型快閃記憶體取代前述第1實施形態之半導體裝置，並應用於AND型快閃記憶體上。

如圖所示，記憶胞列具有複數之記憶塊MB (AND胞)。記憶塊MB含有 n (n 為自然數，圖面為 $n-4$ 時)個串聯之記憶胞電晶體MC、汲極側選擇電晶體ST1、及源極側選擇電晶體ST2。記憶胞電晶體MC、MC、...含有分別連結於控制閘極線CG1~CG4 (WL1~WL4)之閘極、共同連結於局部汲極線LD之汲極、以及共同連結於局部源極線LS之源極。汲極側選擇電晶體ST1具有連結於選擇閘極線SGD之閘極、連結於位元線BL1、BL2、...之汲極、以及連結於局部汲極線LD之源極。又，源極側選擇電晶體ST2具有連結於選擇閘極線SGS之閘極、連結於局部源極線LS之汲極、以及連結於共用源極線SL之源極。其次，汲極側及源極側之選擇電晶體ST1、ST2具有和前述第1實施形態說明之選擇電晶體相同的構成。

如前面所述之AND型快閃記憶體的記憶胞電晶體MC及選擇電晶體ST1、ST2，亦可採用前述第1實施形態說明之圖2、圖17所示構造。又，圖4A、圖4B至圖16A、圖16B所示製造方法亦可直接適用。因此，本實施形態之快閃記憶體，亦和前述第1實施形態相同，不但可提升選擇電晶體之截止特性，亦可實現快閃記憶體之微細化。

又，前述第1、第2實施形態適合於含有選擇電晶體之非揮發性半導體記憶裝置全體。不但可應用於半導體記憶裝

五、發明說明 (30)

置，亦可應用於構成周邊電路之MOS電晶體。更可廣泛地應用於具有半導體記憶裝置之記憶體混載型半導體裝置。

以NAND型快閃記憶體EEPROM為例，說明本發明第3實施形態之半導體裝置。圖19A係NAND型快閃記憶體EEPROM之概略構成方塊圖。圖19B則係記憶胞列及列系核心部之電路圖。

如圖所示，NAND型快閃記憶體EEPROM60具有記憶胞列61、輸出入(I/O)電路62、讀取放大器63、位址存放器64、行解碼器65、列解碼器66、及高電壓產生電路67等。

記憶胞列61分割成m個記憶胞塊BLK1~BLKm。各記憶胞塊BLK1~BLKm中，有圖19B所示之NAND胞的矩陣配置。各NAND胞含有複數個(此處為16個，但數量並未限定)記憶胞MC、MC、…。相鄰之各記憶胞MC、MC、…以共用源極、汲極方式進行串聯。NAND胞內之一端側的汲極，會分別經由選擇電晶體ST1連結至位元線(資料線)BL1~BLn。NAND胞內之另一端側的源極，則經由選擇電晶體ST2連結至源極線SL。沿著記憶胞列61之列方向設置的選擇閘極線SGD、SGS，分別連結於同一列之選擇電晶體ST1、ST2的閘極。相同的，沿著記憶胞列61之列方向設置的字元線WL1~WL16，分別連結於同一列之記憶胞MC、MC、…之控制閘極線CG1~CG16。NAND型快閃記憶體EEPROM時，利用連結於1條字元線WL之n位元記憶胞MC、MC、…即可構成1頁，而16頁份會構成記憶胞塊BLK1~BLKm當中之1塊。會以1頁單位實施對記憶胞列61

五、發明說明 (31)

之寫入及讀取，刪除之實施則以塊為單位。

會對輸出入電路62輸入各種指令、位址信號、以及執行寫入之胞資料等。又，輸出入電路62會輸出從記憶胞列61讀取並門鎖於讀取放大器63之資料。輸入至輸出入電路62的列位址信號及列位址信號，會提供給位址存放器64。

門鎖於位址存放器64之列位址信號，會提供給行解碼器65並解碼。又，門鎖於位址存放器64之列位址信號(塊位址信號、頁位址信號)會提供給列解碼器66並解碼。

讀取放大器63會門鎖寫入時輸入至輸出入電路62之胞資料。讀取時，從記憶胞列61中選取之記憶胞塊BLK1~BLKm讀取至各位元線的胞資料亦會被門鎖。

列解碼器66具有分別對應記憶胞塊BLK1~BLKm之列主解碼器電路(圖上未標示)及列系核心部(列輔助解碼器電路)68。列系核心部68係對選取之塊內選擇閘極線SGD、SGS、及16條字元線WL1~WL16提供特定電壓之電路。具有傳輸閘極電晶體TGTD、TGTS、TGT、TGT、…。這些傳輸閘極電晶體TGTD、TGTS、TGT、TGT、…之閘極TG係共同連結。又，各汲極連結於選擇閘極線SGD、SGS、及控制閘極線CG1~CG16。列主解碼器電路會對各源極施加對應頁位址信號之電壓。

高電壓產生電路67會依據輸入之指令信號對前述列解碼器66及記憶胞列61提供高電壓。

其次，以圖19C至圖19G說明前述記憶胞列及列系核心部之平面圖案及剖面構成。圖19C係核心部及NAND胞之

五、發明說明 (32)

平面圖。圖 19D 及圖 19E 係 NAND 胞之剖面圖，圖 19D 係圖 19C 之 19D-19D 線、圖 19E 係圖 19C 之 19E-19E 線方向的剖面構造。又，圖 19F 及圖 19G 係核心部之剖面圖，圖 19F 係圖 19C 之 19F-19F 線、圖 19G 係圖 19C 之 19G-19G 線方向的剖面構造。

首先，針對記憶胞列之構造進行說明。如圖 19C 至圖 19E 所示，矽基板 70 上有帶狀之複數活性區域 AA，相鄰之活性區域 AA 間則設有元件隔離區域 STI。活性區域 AA 上，經由閘極絕緣膜 71 形成多晶矽層 72，前述多晶矽層 72 係記憶胞 MC 之浮動閘極 FG、及選擇電晶體 ST1、ST2 之選擇閘極 SGD、SGS 的一部份。閘極絕緣膜 71 所使用之材料，例如矽氧化膜或氮氧化合物膜等。又，活性區域 AA 及元件隔離區域 STI 上，沿著和活性區域 AA 交差之方向，設有多晶矽層 74。多晶矽層 74 為覆蓋多晶矽層 72 之形狀，且經由閘極間絕緣膜 73 沿設於多晶矽層 72 上。閘極間絕緣膜 73 例如為矽氧化膜、矽氮化膜、矽氧化膜之 3 層構造的 ONO 膜、矽氧化膜之單層膜、以及矽氧化膜及矽氮化膜之 2 層構造的 ON 膜或 NO 膜等。多晶矽層 74 係記憶胞 MC、… 之位元線 WL1~WL16、選擇電晶體 ST1、ST2 之選擇閘極線 SGD、SGS 的一部份。因矽基板 70 內設有成為源極及汲極之雜質擴散層 75，故形成記憶胞 MC 及選擇電晶體 ST1、ST2。又，選擇電晶體 ST1、ST2 之多晶矽層 72、74 會在如圖上未標示之分流區域等實施電性連結。

又，矽基板 70 上，以覆蓋記憶胞 MC 及選擇電晶體 ST1、

五、發明說明 (33)

ST2方式設置層間絕緣膜76。層間絕緣膜76內，具有選擇閘門線SGD之選擇電晶體ST1的汲極區域，經由連結孔C1連結之金屬配線層77。金屬配線層77具有位元線BL之機能。又，層間絕緣膜76上，以覆蓋位元線BL方式設有層間絕緣膜78。

如上面所述，16個記憶胞MC、…、及含有選擇電晶體ST1、ST2之n個NAND胞，會以夾著元件隔離區域STI、且沿著字元線方向配置，而構成一個記憶胞塊BLK。記憶胞列具有m個記憶胞塊BLK1~BLKm。

前述構成之記憶胞列內的字元線WL1~WL16，連結於控制閘極線CG1~CG16，此控制閘極線CG1~CG16及選擇閘極線SGD、SGS會延伸至列系核心部68。

其次，以圖19C、圖19F、及圖19G說明列系核心部68之構成。

如圖所示，矽基板70上，和前述記憶胞列相鄰之區域，以矩陣狀配置著複數個活性區域AA，相鄰之活性區域AA間則設有元件隔離區域STI。電性隔離之各活性區域AA，都會形成傳輸閘極電晶體TGTD、TGTS、TGT、TGT、…。這些傳輸閘極電晶體之構成上，具有設於活性區域AA上之閘極絕緣膜71、設於閘極絕緣膜71上之閘極間絕緣膜73、設於閘極間絕緣膜73上之多晶矽層74、及設於活性區域AA內之雜質擴散層75。又，多晶矽層72、74為傳輸閘極電晶體之閘極TG，兩者在活性區域AA上進行電性連結。

五、發明說明 (34)

前述核心部68之活性區域AA的行數，例如為4行。設於同一列之活性區域AA的4個傳輸閘極電晶體閘極TG為共同連結。

前述各傳輸閘極電晶體TGTD、TGTS、TGT、TGT、…之雜質擴散層(汲極區域)75上，分別連結著對應之選擇閘極線SGD、SGS、或控制閘極線CG1~CG16。亦即，選擇閘極線SGD、SGS、及控制閘極線CG1~CG16，利用設置於層間絕緣膜76內的分流配線79(MO)，延伸至設有對應之傳輸閘極電晶體的活性區域AA上。且，經由連結孔C2連結至對應之傳輸閘極電晶體的雜質擴散層75上。又，傳輸閘極電晶體TGTD、TGTS、TGT、TGT、…之雜質擴散層(源極區域)75，則以金屬配線層80連結至列主解碼器電路。其次，經由此金屬配線層80，由列主解碼器電路對傳輸閘極電晶體之源極區域施加電壓。

前述構成之列系核心部68上在核心部內位於最端部之行的活性區域AA內，會形成連結於選擇閘極線SGD、SGS之傳輸閘極電晶體TGTD、TGTS。圖19C之實例中，位於核心部63內最靠近列主解碼器之行上的活性區域AA內，設有傳輸閘極電晶體TGTD、TGTS。位於最靠近列主解碼器之行上的活性區域AA的集合，即為活性區域群AA(ST)。

靠近記憶胞列61之第1行至第3行的活性區域AA上，只設有連結於控制閘極線CG1~CG16之傳輸閘極電晶體TGT、TGT、…。亦即，從列主解碼器之第2~4行的活性區域AA內，並未形成傳輸閘極電晶體TGTD、TGTS。此由列

五、發明說明 (35)

主解碼器所形成之第2~4行活性區域AA的各個集合即為活性區域群AA (MC)。

活性區域群AA (ST)及相鄰之活性區域群AA (MC)間的元件隔離區域STI寬度 d_1 ，會大於相鄰之活性區域群AA (MC)間之元件隔離區域STI寬度($d_1 > d_2$)。

如上面所述，除了構成列系核心部68以外，尚將其連結至記憶胞列61及列主解碼器。

其次，以圖20對前述NAND型快閃記憶體EEPROM之動作進行簡單說明。圖20係寫入、讀取、及刪除時之選擇閘極線及控制閘極線之電位關係。如前面所述，記憶胞列61之寫入及讀取係以1頁為單位實施，刪除則以塊為單位。

資料之寫入，係從距離位元線BL最遠之記憶胞MC開始依序實施。首先，會對對應選取之記憶胞塊BLK1~BLKm的全部傳輸閘極電晶體閘極TG施加電壓 V_{pgm} (例如20 V)。利用此方式，傳輸閘極電晶體TGTD、TGTS、及TGT、TGT、...會處於導通狀態。其次，列主解碼器會對連結於選取之任一記憶胞MC之傳輸閘極電晶體TGT、TGT、...源極區域，施加寫入電壓 V_{pgm} (例如20 V)。又，對其他(未選取之)傳輸閘極電晶體之源極區域施加中間電位 V_{ppm} (例如7 V)。而對傳輸閘極電晶體TGTD及TGTS之源極區域分別施加 V_{dd} (例如5 V)及0 V。如上面所述，在對選取之選擇電晶體ST1的選擇閘極線SGD施加 V_{dd} 、對選取之記憶胞的控制閘極線CG施加 V_{pgm} 、對未選取之記憶胞的控制閘極線施加 V_{ppm} 、對選擇電晶體ST2之選擇閘極線SGS施加0

五、發明說明 (36)

V的狀態下，對位元線BL施加對應資料之0 V或中間電位Vm(例如7 V)。對位元線BL施加0 V時，此電位會被傳送至記憶胞之汲極，並使電子流入浮動閘極FG。利用此方式，選取之記憶胞電晶體的臨界值電壓會朝正向移動。此狀態為寫入"0"資料之狀態。另一方面，對位元線BL施加中間電位Vm時，因不會流入電子，臨界值電壓不會改變而保持負值。此狀態為寫入"1"資料之狀態。又，資料寫入係同時針對共用控制閘極線CG之全部記憶胞MC、MC、...實施。

資料之刪除係針對塊內之全部位元整體實施。首先，針對對應選取之任一記憶胞塊BLK1~BLKm的全部傳輸閘極電晶體閘極TG施加電壓Vpgm(例如20 V)。利用此方式，傳輸閘極電晶體TGTD、TGTS、及TGT、TGT、...會處於導通狀態。接著，列主解碼器會對連結於記憶胞MC、MC、...之傳輸閘極電晶體TGT、TGT、...的全部源極區域施加0 V，並對傳輸閘極電晶體TGTD及TGTS之源極區域分別施加寫入電壓Vpgm(例如20 V)。利用此方式，在全部控制閘極CG1~CG16之電位為0 V狀態下，對前述NAND胞形成之矽基板中的p型凹部(圖上未標示)施加20 V。利用此方式，全部記憶胞MC、MC、...之浮動閘極FG的電子會釋放至p型凹部。結果，記憶胞MC之臨界值電壓會朝負方向移動，而執行資料刪除。

資料讀取時，和寫入及刪除時相同，首先，對對應選取之任一記憶胞塊BLK1~BLKm之全部傳輸閘極電晶體閘極

五、發明說明 (37)

TG施加電壓 V_{pgm} (例如 20 V)。使傳輸閘極電晶體 TGTD、TGTS及 TGT、TGT、... 處於導通狀態。接著，列主解碼器對連結於選取之記憶胞 MC 的傳輸閘極電晶體 TGT 源極區域施加 0 V。同時，對連結於未選取之記憶胞 MC、MC、... 的傳輸閘極電晶體 TGT、TGT、... 源極區域，施加讀取電位 V_{dd} (例如、5 V)。又，對傳輸閘極電晶體 TGTD 及 TGTS 之源極區域分別施加電壓 V_{dd} (例如 5 V)。如此，在對選擇電晶體 ST1、ST2 之選擇閘極線 SGD、SGS、及未選取之記憶胞控制閘極線施加 V_{dd} 、以及對選取之記憶胞控制閘極線施加 0 V 的狀態下，依據檢測選取之記憶胞是否流過電流，執行讀取動作。

如上面所述，利用本實施形態之 NAND 型快閃記憶體 EEPROM，會以行方式，在列系核心部 68 內之端部，形成必須形成之傳輸閘極電晶體 TGTD、TGTS 的活性區域 AA。亦即，將連結於選擇閘極線之傳輸閘極電晶體 TGTD、TGTS、以及連結於控制閘極線之傳輸閘極電晶體 TGT 相鄰之區域，設置於列系核心部 68 內受到限定的區域內(圖 19C 之區域 X1)。因此，傳輸閘極電晶體 TGTD、TGTS、以及傳輸閘極電晶體 TGT 間之耐壓，只需考慮此區域 X1 即可。因此，只要使區域 X1 之寬度 d_1 大於相鄰傳輸閘極電晶體 TGT 間之區域 X2 寬度 d_2 ，則可充份維持核心部內之元件隔離。換言之，為了維持傳輸閘極電晶體間之耐壓而必須擴大寬度之元件隔離區域 STI，只限於區域 X1 而已。

以圖 21A 及圖 21B 針對前述諸點進行更具體之說明。圖

五、發明說明 (38)

21A係NAND型快閃記憶體EEPROM之核心部平面圖，圖21B係圖21A之21B-21B的剖面圖。又，核心部內位於同一列之各傳輸閘極電晶體，不必全部對應同一記憶胞塊。如前面所述，連結於設置在同一列內之傳輸閘極電晶體TGT的控制閘極線之設計上，必須使控制閘極線不會發生選取、未選取狀態相鄰的情形。

圖21A中，選擇閘極線SGD10連結於未選取之塊內的線電晶體。所以，會對設有連接於選擇閘極線SGD10之傳輸閘極電晶體TGTD10的活性區域AA10(雜質擴散層75)內施加0V。又，連結於位於和傳輸閘極電晶體TGTD10同一列之傳輸閘極電晶體TGT11~TGT13的控制閘極線CG11~CG13會被選擇寫入。因此，會對設有傳輸閘極電晶體TGT11~TGT13之活性區域AA11~AA13(雜質擴散層)施加高電壓Vpgm。

故如圖21B所示，活性區域AA10及AA11間會產生Vpgm之電位差。所以，活性區域AA10及AA11間之元件隔離區域STI的寬度d1，必須大於活性區域AA11及AA12、及活性區域AA12及AA13間之元件隔離區域STI的寬度d2。

其次，連結於設於和前述活性區域AA10不同列之活性區域AA20上之傳輸閘極電晶體TGTD20的選擇閘極線SGD，亦為未選取塊。所以，會對此活性區域AA20施加0V。又，連接於和傳輸閘極電晶體TGTD20同一列之傳輸閘極電晶體TGT21~TGT23的控制閘極線CG21~CG23會被選擇寫入。故，也會對設有傳輸閘極電晶體TGT21~TGT23之活

五、發明說明 (39)

性區域AA21~AA23施加高電壓 V_{pgm} 。

因此，和圖21B相同，在活性區域AA20及AA21間會產生 V_{pgm} 之電位差。所以，活性區域AA20及AA21間之元件隔離區域STI的寬度 d_1 ，必須大於活性區域AA21及AA22、及活性區域AA22及AA23間之元件隔離區域STI的寬度 d_2 。

因此，如發明背景之說明所示，連結於選擇閘極線之傳輸閘極電晶體、及連結於控制閘極線之傳輸閘極電晶體間的元件隔離區域，若其寬度不大於連結於控制閘極線之傳輸閘極電晶體間的元件隔離區域時，則無法維持元件隔離。如前面所述，習知方法時，連結於此選擇閘極線之傳輸閘極電晶體、及連結於控制閘極線之傳輸閘極電晶體間的元件隔離區域，會以隨機方式出現於核心部內。

然而，本實施形態中，只有位於核心部內之端部的同一行活性區域(AA10、AA20)內，才設有連結於選擇閘極線SGD、SGS之傳輸閘極電晶體TGTD、TGTS。所以，只要擴大核心部內最靠近列主解碼器電路之行的活性區域(AA10、AA20、AA30、...)、及第2行之活性區域(AA11、AA21、AA31、...)間之元件隔離區域的寬度即可。其他區域之元件隔離區域則無擴大寬度之必要。所以，可以將核心部內之面積增加控制在最小，亦可充份維持元件隔離區域之絕緣耐性。

其次，以圖22A至圖22C說明本實施形態第4實施形態之半導體裝置。圖22A係列系核心部之平面圖。圖22B及圖22C則為圖22A之22B-22B線及22C-22C線的剖面圖。

五、發明說明 (40)

如圖所示，本實施形態中，習知構成(參照圖1A及圖1B)上，位於同一列內之傳輸閘極電晶體的閘極TG會以傳輸閘極電晶體為單位進行隔離。而且，利用高於閘極TG之水平的金屬配線層TGMETAL，對同一列內之各傳輸閘極電晶體的閘極TG實施電性共同連結。

亦即，如圖22A至圖22C所示，傳輸閘極電晶體閘極TG之一部份的多晶矽層74，在隔離活性區域AA之列間的元件隔離區域STI上，到閘極間絕緣膜73為止都會被去除。結果，以各傳輸閘極電晶體為單位進行隔離之多晶矽層72、74即可形成閘極TG。而且，選擇閘極線SGD、SGS、及控制閘極線CG之分流配線79所在的水平層間絕緣膜76內，設有金屬配線層82。此金屬配線層82利用同一列內之傳輸閘極電晶體的閘極TG及插頭接點81連結。亦即，金屬配線層具有共同連結同一列內之傳輸閘極電晶體閘極TG的配線TGMETAL機能。

利用前述構成，隔離活性區域AA之列間的元件隔離區域STI上，沒有閘極TG。所以，即使對該閘極TG施加高電壓Vp_{gm}時，亦不會對元件隔離區域STI施加高電壓Vp_{gm}。故，可防止元件隔離區域STI周邊之矽基板70內形成反轉區域。結果，未增加元件隔離區域寬度亦可維持元件隔離。

其次，以NAND型快閃記憶體EEPROM為例，說明本發明第5實施形態之半導體裝置。圖23A係列系核心部之平面圖。圖23B係圖23A之23B-23B線的剖面圖。

五、發明說明 (41)

如圖所示，本實施形態之NAND型快閃記憶體EEPROM的列系核心部68，係在第4實施形態說明之構造中，在沿著控制閘極線CG方向相鄰之傳輸閘極電晶體間，增設模擬閘極83。亦即，隔離活性區域AA之列間的元件隔離區域STI上，會沿著位元線BL方向形成多晶矽膜33。此多晶矽膜33會沿著控制閘極線CG方向通過相鄰之閘極TG間。多晶矽膜33和閘極TG會以層間絕緣膜73形成電性隔離。不論傳輸閘極電晶體之動作狀態為何，都會對多晶矽膜33施加0 V或-Vdd。

利用上述構成，會對模擬閘極83施加0 V或負電位。所以，模擬閘極83、元件隔離區域STI、及矽基板70構成之寄生MOS電晶體會隨時保持斷開。因此，可防止元件隔離區域STI周邊之矽基板內形成反轉區域。結果，未增加元件隔離區域寬度亦可維持元件隔離。又，對模擬閘極施加0 V或-Vdd，係寄生MOS電晶體為n通道時。寄生MOS電晶體為p通道時，亦可對模擬閘極施加+Vdd。

其次，以NAND型快閃記憶體EEPROM為例，說明本發明第6實施形態之非揮發性半導體記憶體。圖24係列系核心部之平面圖。

如圖所示，本實施形態之NAND型快閃記憶體EEPROM的列系核心部，係在第4實施形態說明圖22A之構造中，將傳輸閘極電晶體TGTD、TGTS、TGT、…實施90度(旋轉)。亦即，各活性區域AA內，閘極TG沿著控制閘極線CG方向(位元線方向)形成。

五、發明說明 (42)

利用本構造，可以獲得和第4實施形態相同的效果。又，本實施形態亦和第5實施形態相同，可在控制閘極線方向相鄰之活性區域AA間設置模擬電極。

其次，以NAND型快閃記憶體EEPROM為例，說明本發明第7實施形態之非揮發性半導體記憶體。圖25係列系核心部之平面圖。

如圖所示，本實施形態之NAND型快閃記憶體EEPROM的列系核心部，係在第4實施形態說明圖22A之構造中，使將選擇閘極線及控制閘極線延伸至列系核心部之配線位於和記憶胞之字元線相同水平。利用設於其上方之2條金屬配線層TGMETAL1 (M0)、TGMETAL2 (M1)，實施各傳輸閘極電晶體之閘極TG的共同連結。又，例如，將金屬配線層TGMETAL1設於層間絕緣膜76內，而將金屬配線層TGMETAL2設於層間絕緣膜78內。

本實施形態之金屬配線層TGMETAL1、TGMETAL2，和前述第3至第6實施形態不同，係對配置於不同列之傳輸閘極電晶體的電極TG實施共同連結。例如，如圖25所示，2條金屬配線層TGMETAL1、TGMETAL2係交互連結於2個設置於列內之傳輸閘極電晶體的電極TG。

如前面所述，將對傳輸閘極電晶體之閘極TG實施共同連結的複數金屬配線層，以跨越不同列之方式配置，除了具有前述第4實施形態之效果外，尚可抑制傳輸閘極電晶體間之相互作用，可提高傳輸閘極電晶體的動作信賴度。

又，本實施形態中，若將選擇閘極線SGD (SGS)、控制

五、發明說明(43)

閘極線 CG、CG、… 之延伸線、及金屬配線層 TGMETAL1、TGMETAL2 分別設於各向上一層之層間絕緣膜內，則亦可設置第 5 實施形態說明之模擬閘極。此時，可以再提高元件隔離區域 STI 之絕緣耐壓。

如前面所述，本發明之第 3 至第 7 實施形態時，在 NAND 型快閃記憶體 EEPROM 之列系核心部，會將連結於選擇閘極線 SGD、SGS 之傳輸閘極電晶體集合於核心部內之端部的一行。因此，只有位於此 1 行之活性區域、及和此區域鄰接之活性區域間，連結於選擇閘極線之傳輸閘極電晶體、及連結於控制閘極線之傳輸閘極電晶體才會相鄰接。亦即，只有本區域之元件隔離區域才需要高耐壓。此處所指之耐壓，係指對利用寄生 MOS 電晶體在元件隔離區域周圍形成通道區域時之耐壓。所以，只需擴大該區域之元件隔離區域 STI 的寬度，其他區域則為原有之元件隔離區域 STI 寬度，即可獲得活性區域之行間的元件隔離。因此，可以將核心部內之面積增加抑制於最小，且可提高元件隔離區域之絕緣耐壓。

又，以各傳輸閘極電晶體為單位實施傳輸閘極電晶體之閘極的隔離。所以，對同一列內相鄰傳輸閘極電晶體之行間上的元件隔離區域，不會施加使傳輸閘極電晶體成為導通狀態之高電壓。所以，不會導致核心部面積增加，但可提升元件隔離區域之耐壓。又，同一列內相鄰之元件隔離區域上會形成模擬閘極。而且，模擬閘極之電位為可以使寄生 MOS 電晶體成為斷開狀態之電位。因而可更進一步提

五、發明說明 (44)

高元件隔離區域之耐壓。

又，第3實施形態中，係以連結於選擇閘極線之傳輸閘極電晶體位於最靠近列主解碼器之位置為例。然而，亦可以為最靠近記憶胞列之位置。又，第3實施形態中，只要將連結於選擇閘極線之全部傳輸閘極電晶體集合於核心部內之端部的同一行即可。因此，不會妨礙連結於控制閘極線之傳輸閘極電晶體的任一和連結於選擇閘極線之傳輸閘極電晶體位於同一行內。

又，前述第4至第7實施形態中，亦以連結於選擇閘極線之傳輸閘極電晶體位於最靠近列主解碼器之位置為例。然而，第4至第7實施形態中，以除去元件隔離區域上之閘極TG來提升元件隔離區域之耐壓。所以，不必將連結於選擇閘極線之傳輸閘極電晶體配置於核心部內之端部的同一行上。連結於選擇閘極線之傳輸閘極電晶體，亦可以隨機方式配置於核心部內。

又，第7實施形態中，金屬配線層TGMETAL係跨越2列活性區域AA間，但亦可跨越更多列數。

又，前述第3至第7實施形態中，係以NAND型快閃記憶體EEPROM為例進行說明，但是，可應用於所有有相鄰活性區域間絕緣問題之半導體記憶裝置上。

在技術上，可以進行各種嘗試及修正。因此，本發明之觀點並不限於此處之特定說明或實施。相對的，只要不背離專利申請及其類似之本發明所定義之精神及範疇，可以進行各種修正。

四、中文發明摘要(發明之名稱： 半導體裝置及其製造方法)

本發明之半導體裝置包含：半導體基板；源極・汲極區域；通道區域；閘極絕緣膜；電荷蓄積層；以及控制閘極。源極・汲極區域係形成在半導體基板中，含有第1導電型之第1雜質。通道區域則形成在源極・汲極區域間之半導體基板中，含有第2導電型之第2雜質。閘極絕緣膜則形成在半導體基板上，至少在通道區域之部份區域的正上方區域含有第2雜質。電荷蓄積層係形成在通道區域上方之閘極絕緣膜上。控制閘極設於電荷蓄積層上。又，控制閘極係利用設於電荷蓄積層上之連結部和電荷蓄積層實施電性連結，前述電荷蓄積層係位於含有第2雜質之閘極絕緣膜區域中至少部份區域的正上方。

英文發明摘要(發明之名稱： "半導體裝置及びその製造方法")

A semiconductor device includes: 半導體基板；ソース・ドレイン領域；チャンネル領域；ゲート絶縁膜；電荷蓄積層； and 制御ゲート電極。ソース・ドレイン領域は、半導體基板中に形成され、第1導電型の第1不純物を含む。チャンネル領域は、ソース・ドレイン領域間の半導體基板中に形成され、第2導電型の第2不純物を含む。ゲート絶縁膜は、半導體基板上に形成され、チャンネル領域の少なくとも一部領域の直上に位置する領域に第2不純物を含む。電荷蓄積層は、チャンネル領域上に位置するゲート絶縁膜上に形成される。制御ゲート電極は、電荷蓄積層上に設けられる。また制御ゲート電極は、ゲート絶縁膜において第2不純物を含む領域の少なくとも一部領域の直上に位置する電荷蓄積層上に設けられた接続部によって、電荷蓄積層と電氣的に接続される。

六、申請專利範圍

1. 一種半導體裝置，其特徵為：含有
半導體基板；
在前述半導體基板中形成，含有第1導電電型之第1雜質的源極·汲極區域；
在前述源極·汲極區域間之前述半導體基板中形成，含有第2導電型之第2雜質的通道區域；
在前述半導體基板上形成，至少在前述通道區域之部份區域的正上方區域含有第2雜質之閘極絕緣膜；
在前述通道區域上方之前述閘極絕緣膜上形成的電荷蓄積層；以及
設於前述電荷蓄積層上之控制閘極，此控制閘極係利用設於前述電荷蓄積層上之連結部和前述電荷蓄積層實施電性連結，而前述電荷蓄積層係至少位於含有第2雜質之閘極絕緣膜區域中部份區域的正上方。
2. 如申請專利範圍第1項之半導體裝置，其中
前述通道區域含有
高濃度通道區域、以及
設於前述高濃度通道區域之周圍，其雜質濃度低於前述高濃度通道區域之低濃度通道區域。
3. 如申請專利範圍第1項之半導體裝置，其中
前述電荷蓄積層係浮動閘極。
4. 如申請專利範圍第1項之半導體裝置，其中
更包含閘極間絕緣膜，其係設於前述電荷蓄積層上，於設有前述連結部之區域以外的區域，連結前述電荷蓄

六、申請專利範圍

積層及前述控制閘極者。

5. 如申請專利範圍第4項之半導體裝置，其中
前述閘極間絕緣膜係矽氧化膜、矽氮化膜、及矽氧化膜之層積膜。
6. 如申請專利範圍第1項之半導體裝置，其中
前述閘極絕緣膜係矽氧化膜及氮氧化合物膜之其一。
7. 如申請專利範圍第1項之半導體裝置，其中
前述通道區域內，沿著前述源極區域、通道區域、及汲極區域之方向的雜質濃度分布，係取前述連結部正下方區域之雜質濃度的最大值。
8. 如申請專利範圍第2項之半導體裝置，其中
前述高濃度通道區域係設於前述半導體基板內，且其係設於至少含有前述閘極絕緣膜中佈植有前述第2雜質之區域的正下方的區域。
9. 一種半導體裝置，其特徵為：含有
半導體基板；
設於前述半導體基板上之記憶胞電晶體；及
設於前述半導體基板上之選擇電晶體，且
前述記憶胞電晶體含有
在前述半導體基板中形成且含有第1導電型第1雜質之第1源極·汲極區域；
在前述第1源極·汲極區域間之前述半導體基板中形成且含有第1雜質濃度之第2導電型第2雜質的第1通道區域；

六、申請專利範圍

設於前述第1通道區域上之第1閘極絕緣膜；

設於前述第1閘極絕緣膜上之第1電荷蓄積層；

設於前述第1電荷蓄積層上之第1閘極間絕緣膜；及

設於前述第1閘極間絕緣膜上之第1控制閘極，且

前述選擇電晶體含有：

在前述半導體基板中形成且含有第1導電型第3雜質之第2源極·汲極區域；

在前述第2源極·汲極區域間之前述半導體基板中形成且含有高於前述第1雜質濃度之第2雜質濃度的第2導電型第4雜質之第2通道區域；

設於前述第2通道區域上且至少有部份區域含有前述第4雜質之第2閘極絕緣膜；

在前述第2閘極絕緣膜上形成之第2電荷蓄積層；及

設於前述第2電荷蓄積層上之第2控制閘極，且

前述第2控制閘極和前述第2電荷蓄積層係以設於前述第2電荷蓄積層上之連結部實施電性連結，前述第2電荷蓄積層至少有部份區域係位於前述第2閘極絕緣膜含前述第4雜質之區域的正上方。

10. 如申請專利範圍第9項之半導體裝置，其中

前述第2通道區域含有高濃度通道區域、以及

設於前述高濃度通道區域之周圍，其雜質濃度低於前述高濃度通道區域之低濃度通道區域。

11. 如申請專利範圍第9項之半導體裝置，其中

前述第1、第2閘極絕緣膜、前述第1、第2電荷蓄積

六、申請專利範圍

- 層、及前述第1、第2控制閘極分別具有實質相同之膜厚。
12. 如申請專利範圍第9項之半導體裝置，其中
前述第2通道區域之通道長度大於前述第1通道區域之通道長度。
13. 如申請專利範圍第9項之半導體裝置，其中
前述第2電荷蓄積層係浮動閘極。
14. 如申請專利範圍第9項之半導體裝置，其中
更包含第2閘極間絕緣膜，其係設於前述第2電荷蓄積層上，於設有前述連結部之區域以外的區域，連結前述第2電荷蓄積層及前述第2控制閘極者。
15. 如申請專利範圍第9項之半導體裝置，其中
前述選擇電晶體之臨界值電壓的通道長度依存性，不同於前述記憶胞電晶體之臨界值電壓的通道長度依存性。
16. 如申請專利範圍第14項之半導體裝置，其中
前述第1、第2閘極間絕緣膜係矽氧化膜、矽氮化膜、及矽氧化膜之層積膜。
17. 如申請專利範圍第9項之半導體裝置，其中
前述第1、第2閘極絕緣膜係矽氧化膜及氮氧化化合物膜之其一。
18. 如申請專利範圍第9項之半導體裝置，其中
前述第2通道區域內，沿著前述第2源極區域、第2通道區域、及第2汲極區域之方向的雜質濃度分布，係取

六、申請專利範圍

前述連結部正下方區域之雜質濃度的最大值。

19. 如申請專利範圍第10項之半導體裝置，其中

前述高濃度通道區域係設於前述半導體基板內，且其係設於至少含有前述第2閘極絕緣膜中佈植有前述第4雜質之區域的正下方的區域。

20. 一種半導體裝置製造方法，其特徵為：

對半導體基板表面佈植第1濃度之第1導電型雜質；

在前述半導體基板表面形成閘極絕緣膜；

在前述閘極絕緣膜形成電荷蓄積層；

在前述半導體基板中及前述閘極絕緣膜中形成元件隔離區域；

在前述元件隔離區域及前述電荷蓄積層上形成閘極間絕緣膜；

在前述閘極間絕緣膜上形成具有至少露出部份前述閘極間絕緣膜表面之開口部的遮罩材；

經由前述遮罩材之開口部，對前述半導體基板中佈植第1導電型雜質，其濃度為高於前述第1濃度之第2濃度；

在前述閘極間絕緣膜上形成控制閘極，且此控制閘極經由已除去前述閘極間絕緣膜之區域和前述電荷蓄積層相連結；

以前述電荷蓄積層、前述閘極間絕緣膜、及前述控制閘極之圖案化來形成層積閘極；以及

對前述閘極周圍之前述半導體基板中佈植第2導電型

六、申請專利範圍

雜質，形成源極·汲極區域。

21. 如申請專利範圍第20項之半導體裝置製造方法，其中

在前述閘極間絕緣膜上形成前述遮罩材料係包括

在前述閘極間絕緣膜上形成前述遮罩材料；及

在前述遮罩材料中形成前述開口部。

22. 一種半導體裝置製造方法，其特徵為：

對半導體基板表面佈植第1濃度之第1導電型雜質；

在前述半導體基板表面形成閘極絕緣膜；

在前述閘極絕緣膜形成電荷蓄積層；

在前述半導體基板中及前述閘極絕緣膜中形成元件隔離區域；

在前述元件隔離區域及前述電荷蓄積層上形成閘極間絕緣膜；

在第1、第2電晶體預定形成區域之前述閘極間絕緣膜上形成遮罩材料，此遮罩材料具有開口部，而從此開口部至少會露出部份前述第1電晶體預定形成區域之前述閘極間絕緣膜表面；

經由前述遮罩材料之開口部，對前述半導體基板中佈植第1導電型雜質，其濃度為高於前述第1濃度之第2濃度；

除去前述遮罩材料開口部露出之前述閘極間絕緣膜；

在前述閘極間絕緣膜上形成控制閘極，且此控制閘極經由已除去前述閘極間絕緣膜之區域和前述電荷蓄積層相連結；

六、申請專利範圍

以前述電荷蓄積層、前述閘極間絕緣膜、及前述控制閘極之圖案化來形成前述第1、第2電晶體之層積閘極；以及

對前述閘極周圍之前述半導體基板中佈植第2導電型雜質，形成前述第1、第2電晶體之源極、汲極區域。

23. 如申請專利範圍第22項之半導體裝置製造方法，其中
在前述閘極間絕緣膜上形成前述遮罩材料係包括
在前述閘極間絕緣膜上形成前述遮罩材料；及
在前述遮罩材料中形成前述開口部。

24. 一種半導體裝置，其特徵為：

以元件隔離區域實施電性隔離，且含有沿著第1方向設置之複數活性區域的第1活性區域群；

以元件隔離區域實施電性隔離，且含有沿著第1方向之垂直方向設置之複數前述活性區域的第2活性區域群；以及

分別設置於前述活性區域之MOS電晶體，此MOS電晶體具有複數之前述第1活性區域群間共同連結之閘極、連結於記憶胞之控制閘極及選擇電晶體之選擇閘極其一的第1雜質擴散層、以及由承受列解碼器提供之電壓的第2雜質擴散層，此選擇閘極上連結之前述MOS電晶體，只設置於前述第2活性區域群內之端部的前述活性區域內，含有此選擇閘極上連結之MOS電晶體的前述第1活性區域群、以及相鄰之前述第1活性區域AA群間的元件隔離區域寬度，大於只含有連結於控制閘極之MOS

六、申請專利範圍

電晶體的前述第1活性區域群間的元件隔離區域寬度。

25. 如申請專利範圍第24項之半導體裝置，其中

前述MOS電晶體之閘極，係由各第1活性區域群之同一列內MOS電晶體共用。

26. 如申請專利範圍第24項之半導體裝置，其中

前述第2活性區域群係列系核心部，此列系核心部具有列解碼器對NAND連結之記憶胞的選擇閘極線、或控制閘極線提供電壓時之開關機能。

27. 一種半導體裝置，其特徵為：

以元件隔離區域實施電性隔離，且含有沿著第1方向設置之複數活性區域的第1活性區域群；

以元件隔離區域實施電性隔離，且含有沿著第1方向之垂直方向設置之複數前述活性區域的第2活性區域群；

分別設置於前述活性區域之MOS電晶體，此MOS電晶體具有以前述活性區域為單位實施隔離之閘極、連結於記憶胞之控制閘極及選擇電晶體之選擇閘極其一的第1雜質擴散層、以及由承受列解碼器提供之電壓的第2雜質擴散層；

覆蓋前述MOS電晶體之層間絕緣膜；以及

設於前述層間絕緣膜上，電性連結於複數之前述第1活性區域群各自含有之前述活性區域內的前述閘極，且為複數該閘極之共同連結的配線層。

28. 如申請專利範圍第27項之半導體裝置，其中

六、申請專利範圍

位於相鄰之前述活性區域群間的前述元件隔離區域上，具有和前述閘極為電性隔離，且沿著前述第1方向設置之模擬閘極，

對前述模擬閘極施加電壓，使以該模擬閘極為閘極、以前述元件隔離區域為閘極絕緣膜之寄生MOS電晶體處於斷開狀態。

29. 如申請專利範圍第27項之半導體裝置，其中

前述閘極係沿著縱向覆蓋於前述活性區域上，且其兩端部分別延伸至前述元件隔離區域之部份區域上。

30. 如申請專利範圍第27項之半導體裝置，其中

前述第2活性區域群係列系核心部，此列系核心部具有列解碼器對NAND連結之記憶胞的選擇閘極線、或控制閘極線提供電壓時之開關機能。

31. 一種半導體裝置，其特徵為：

矩陣狀配置、互相電性隔離之複數活性區域；及

各活性區域內分別設有MOS電晶體，此MOS電晶體之閘極在同一列內時為共同連結，此MOS電晶體各具有連結於列解碼器之源極·汲極區域側、及連結於記憶胞之控制閘極及選擇電晶體之選擇閘極之其一的源極·汲極區域側，此連結於選擇閘極之MOS電晶體，只配置於前述矩陣端部的同一行內，此鄰接之活性區域的行間距離，含有連結於選擇閘極之活性區域的行間距離，大於只含連結於控制閘極之活性區域的行間距離。

32. 一種半導體裝置，其特徵為：包含

六、申請專利範圍

矩陣狀配置、互相電性隔離之複數活性區域；

各活性區域內分別設有MOS電晶體，此MOS電晶體各具有連結於列解碼器之源極·汲極區域側、及連結於記憶胞之控制閘極及選擇電晶體之選擇閘極之其一之源極·汲極區域側；及

設於和前述閘極不同之水平，且和位於不同行之前述閘極實施電性連結的配線層。

裝
訂

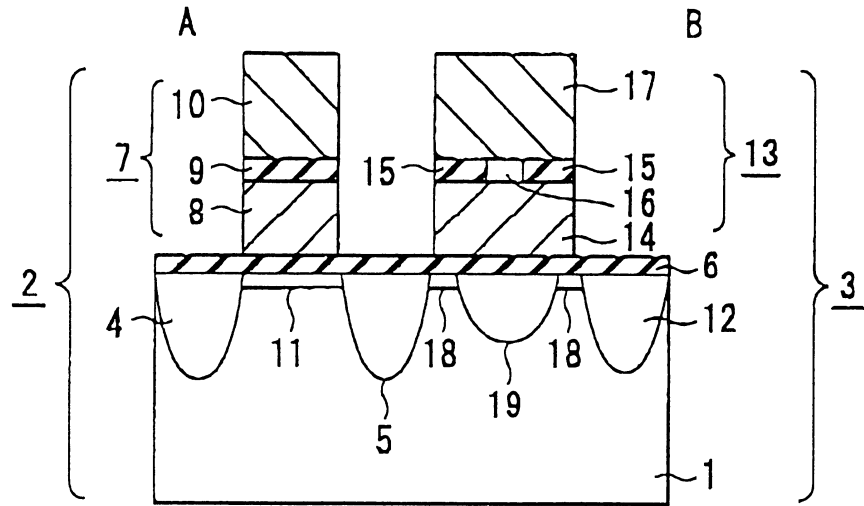


圖 2A

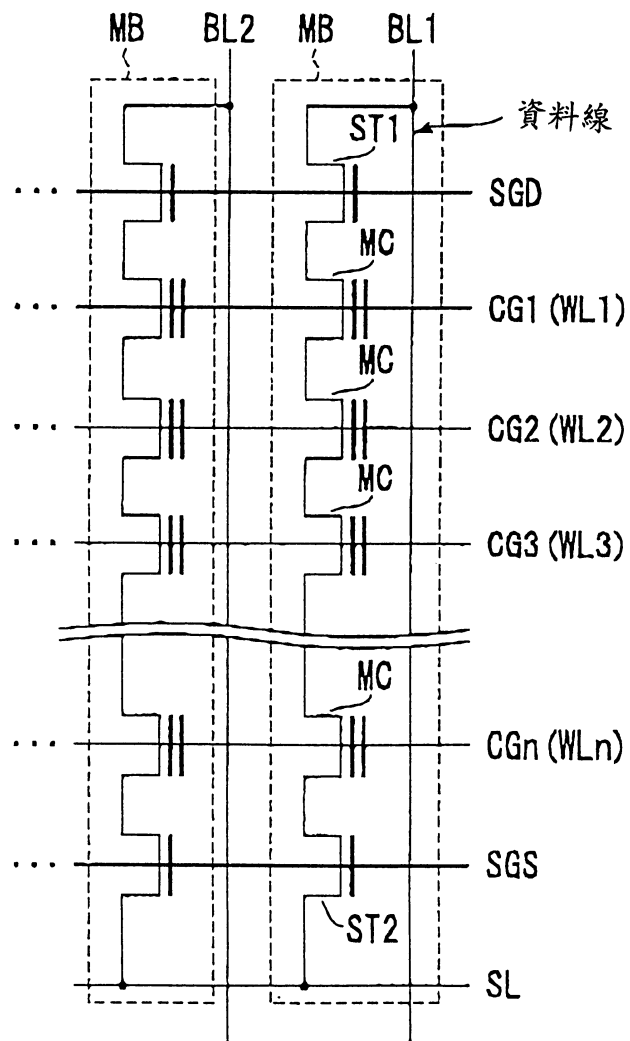


圖 3A

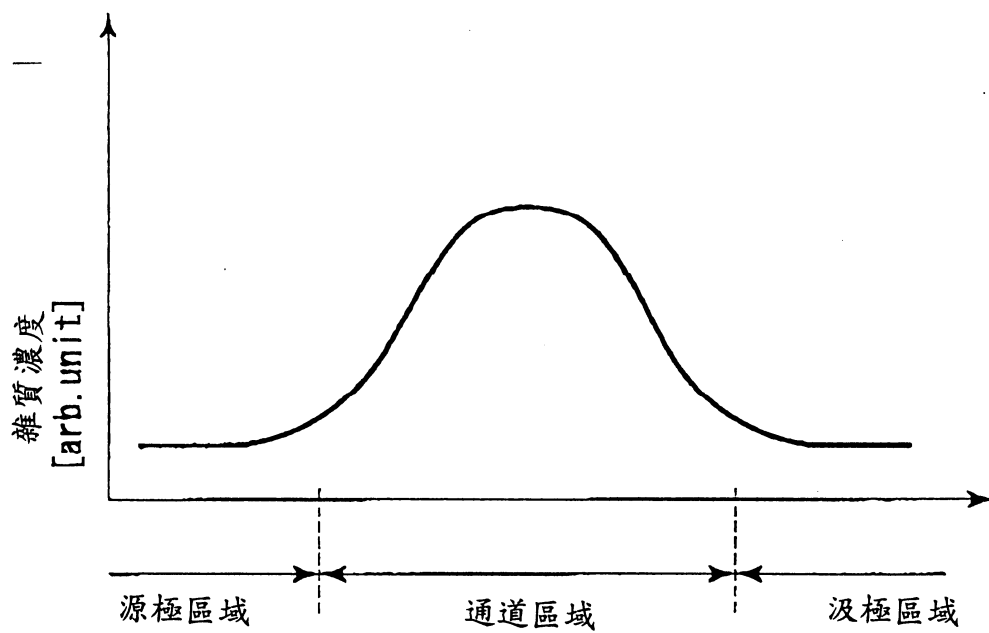


圖 2B

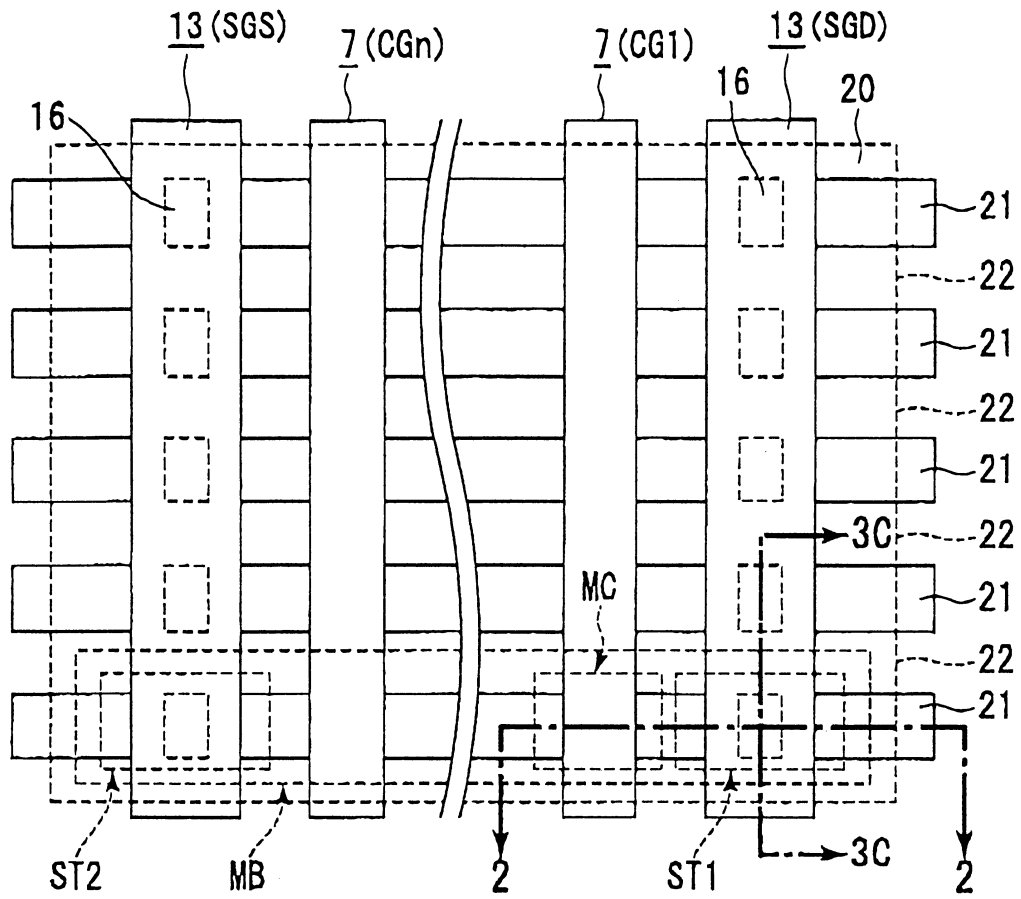


圖 3 B

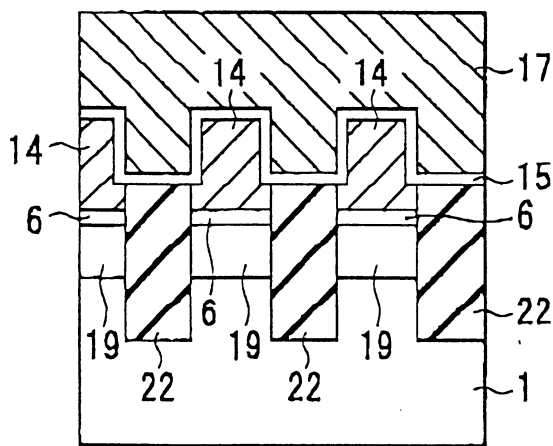


圖 3 C

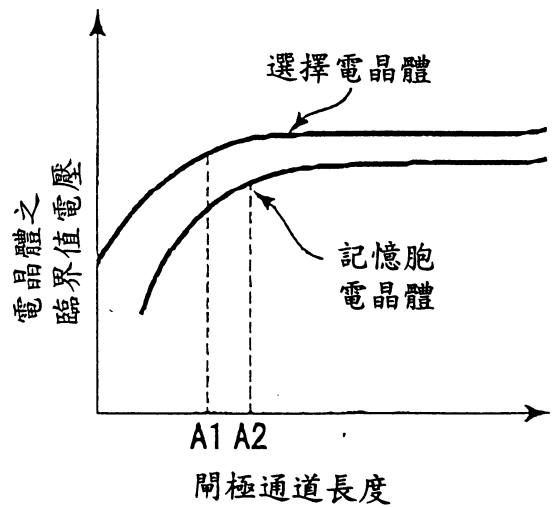


圖 3 D

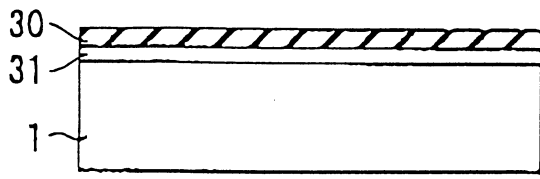


圖 4A

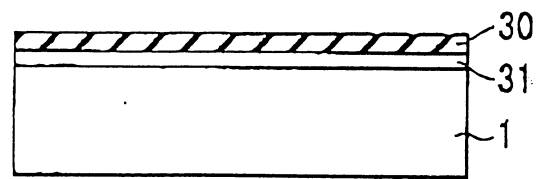


圖 4B

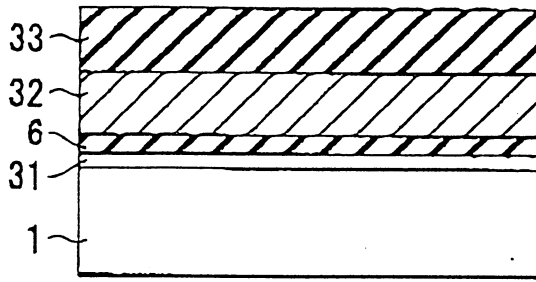


圖 5A

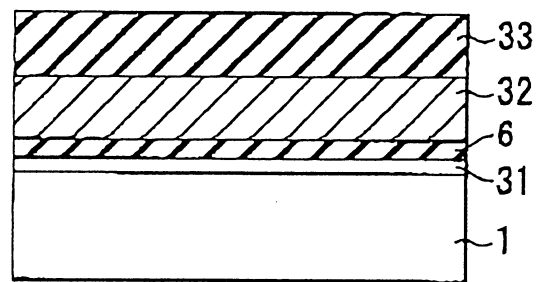


圖 5B

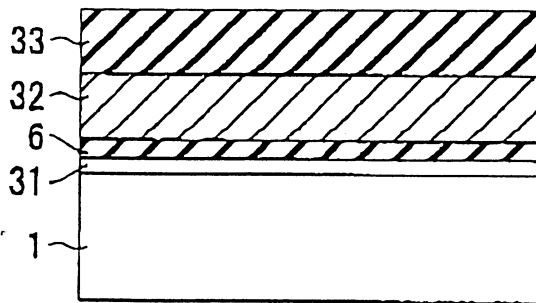


圖 6A

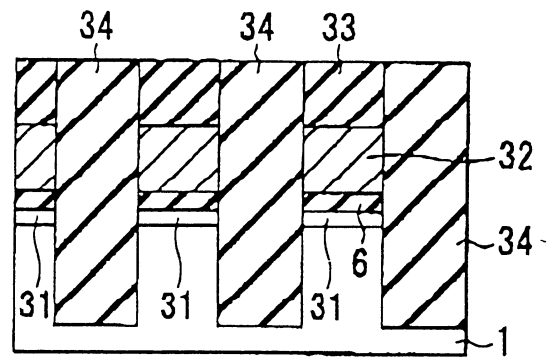


圖 6B

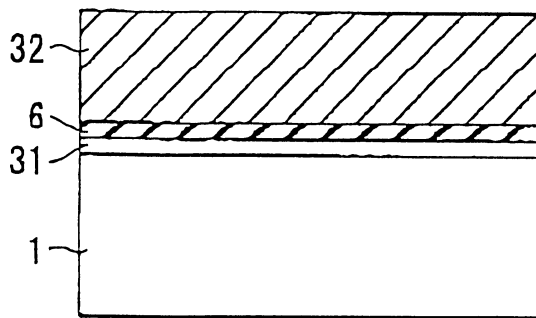


圖 7A

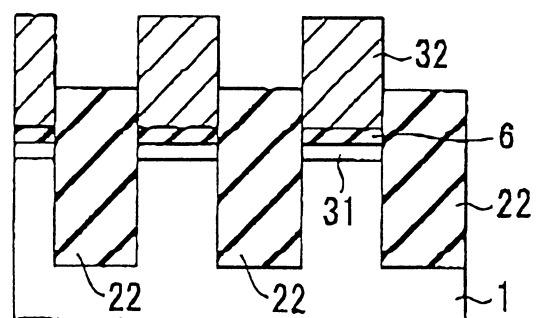


圖 7B

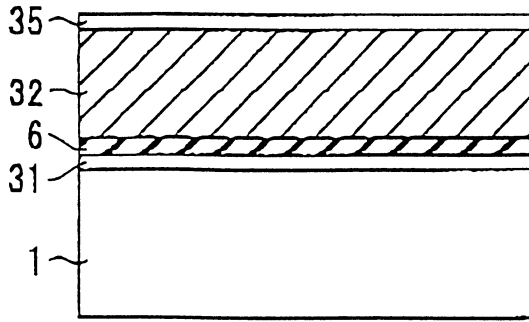


圖 8A

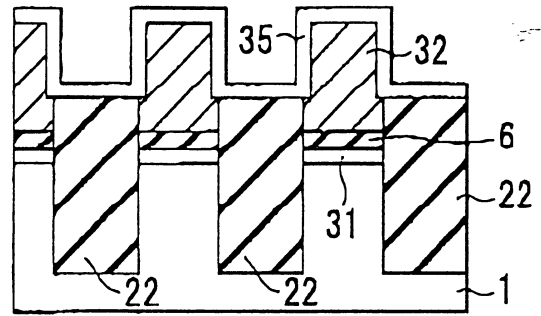


圖 8B

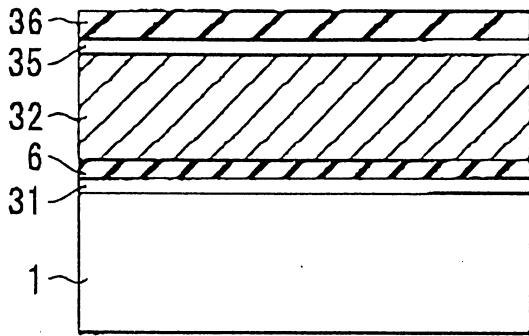


圖 9A

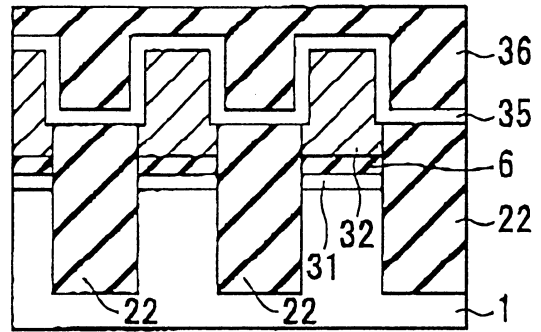


圖 9B

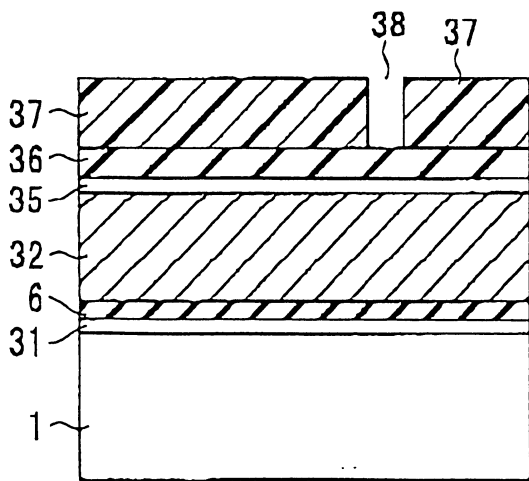


圖 10A

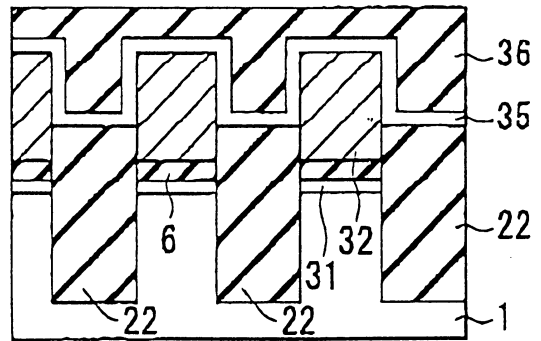


圖 10B

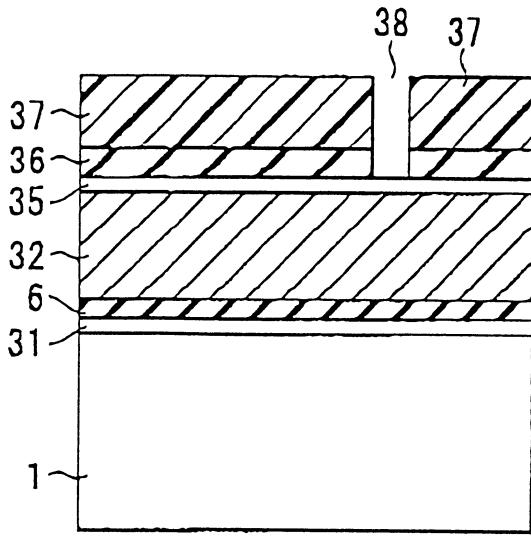


圖 11A

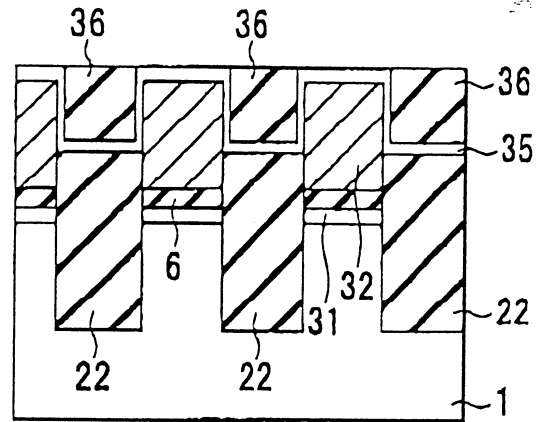


圖 11B

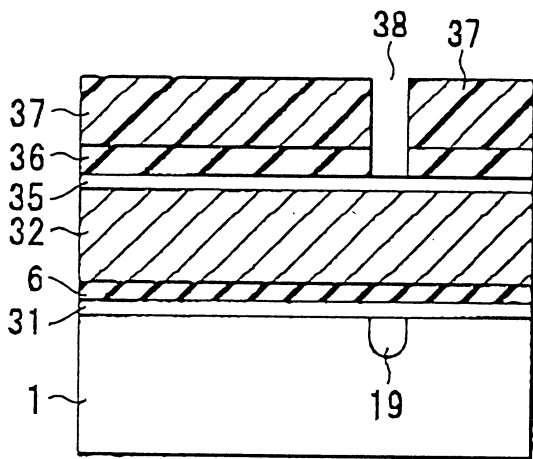


圖 12A

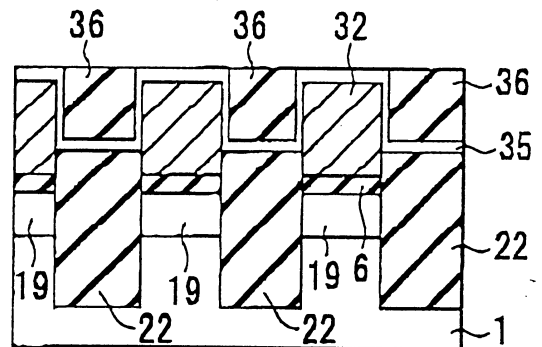


圖 12B

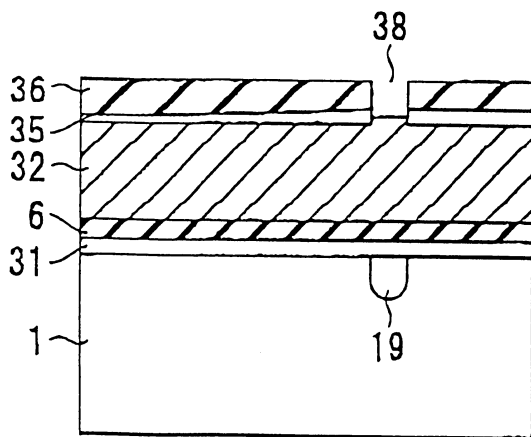


圖 13A

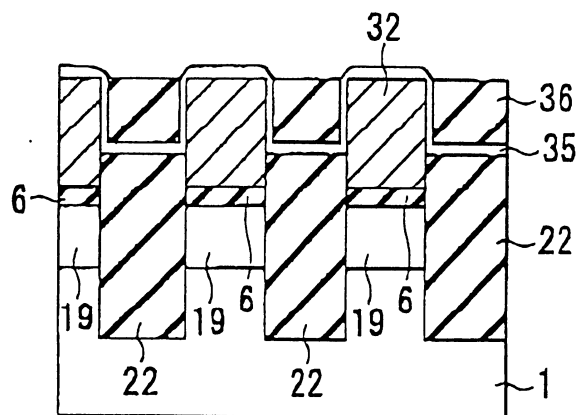


圖 13B

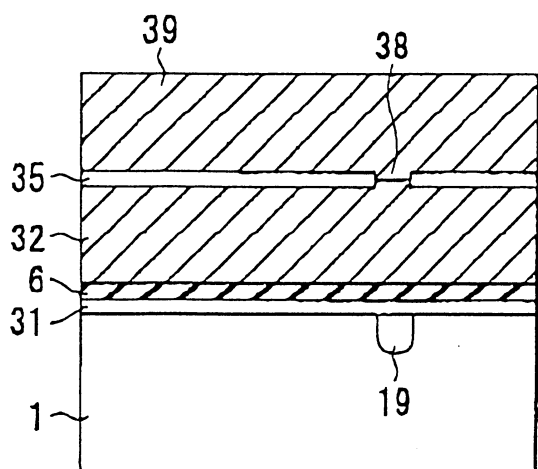


圖 14A

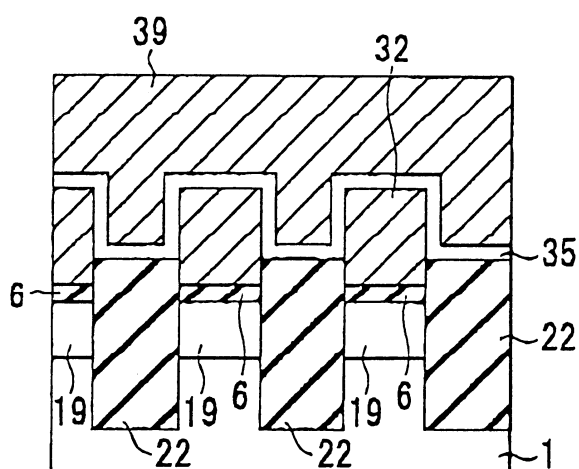


圖 14B

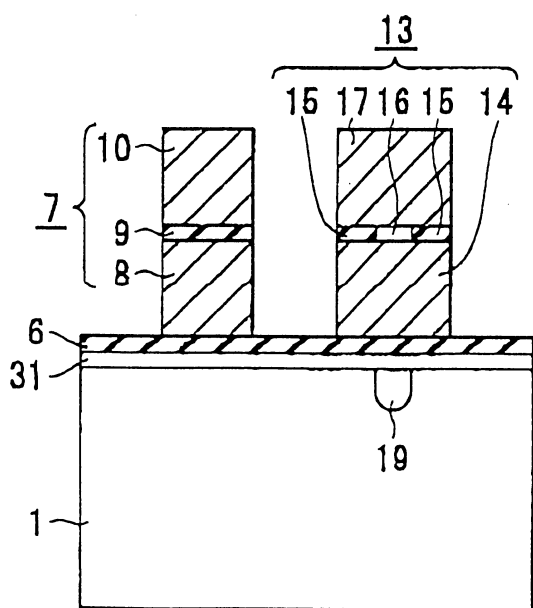


圖 15A

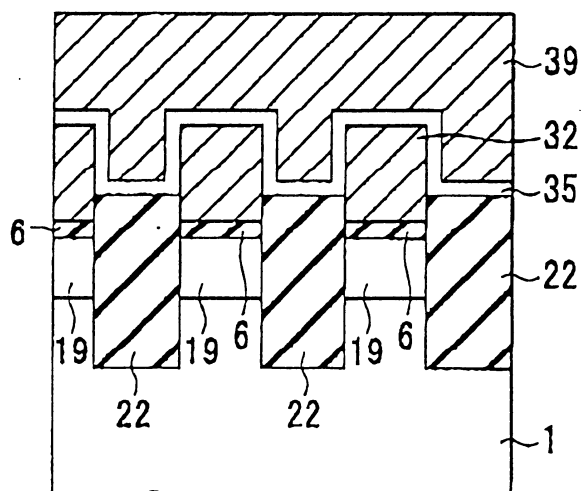


圖 15B

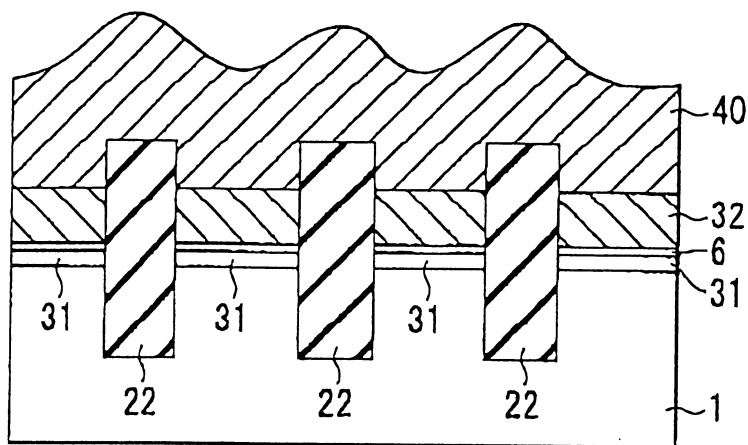


圖 16A

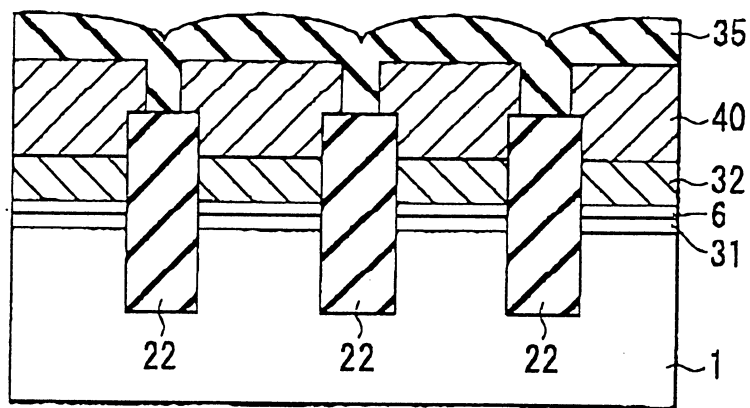


圖 16B

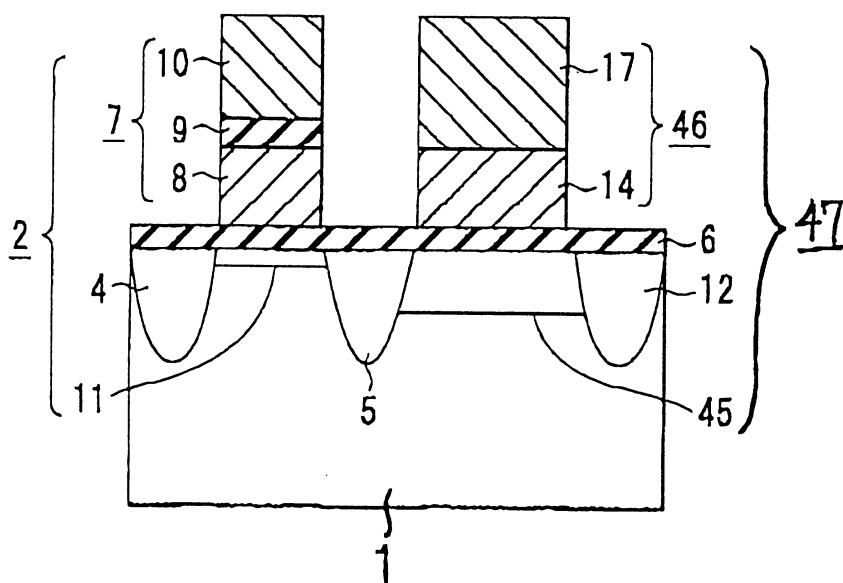


圖 17

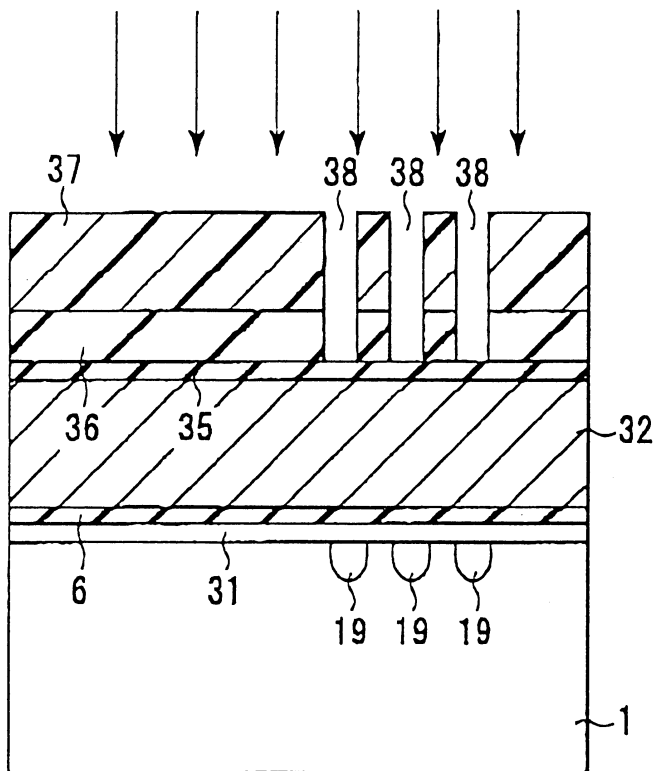


圖 16C

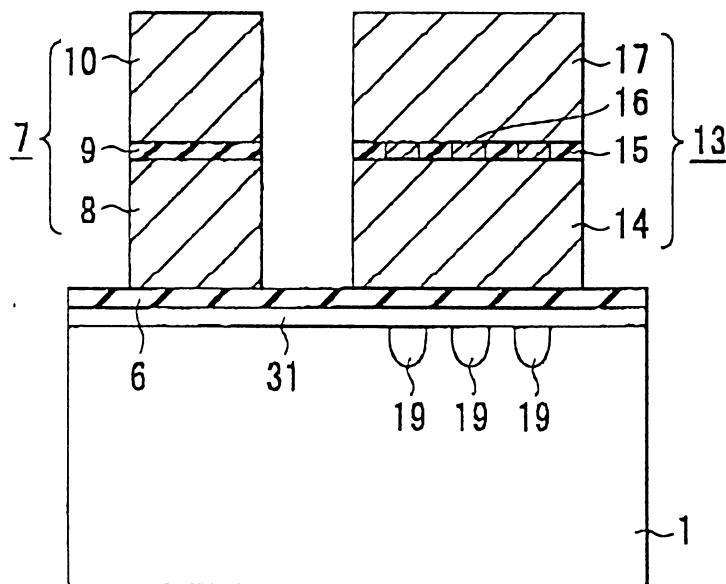


圖 16D

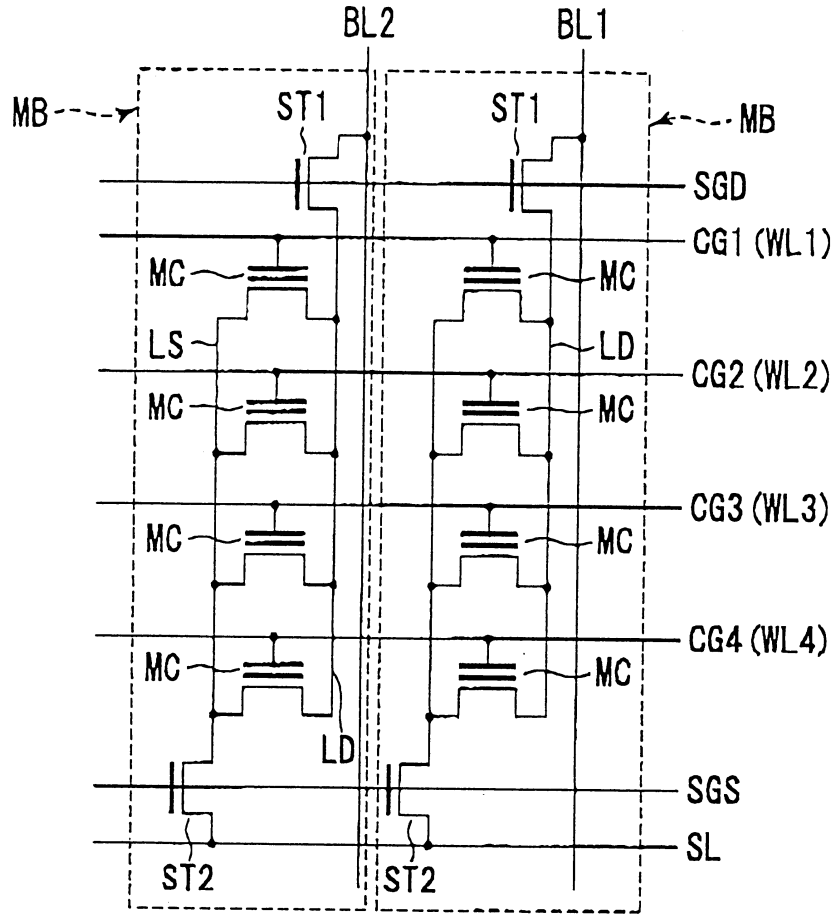


圖 18

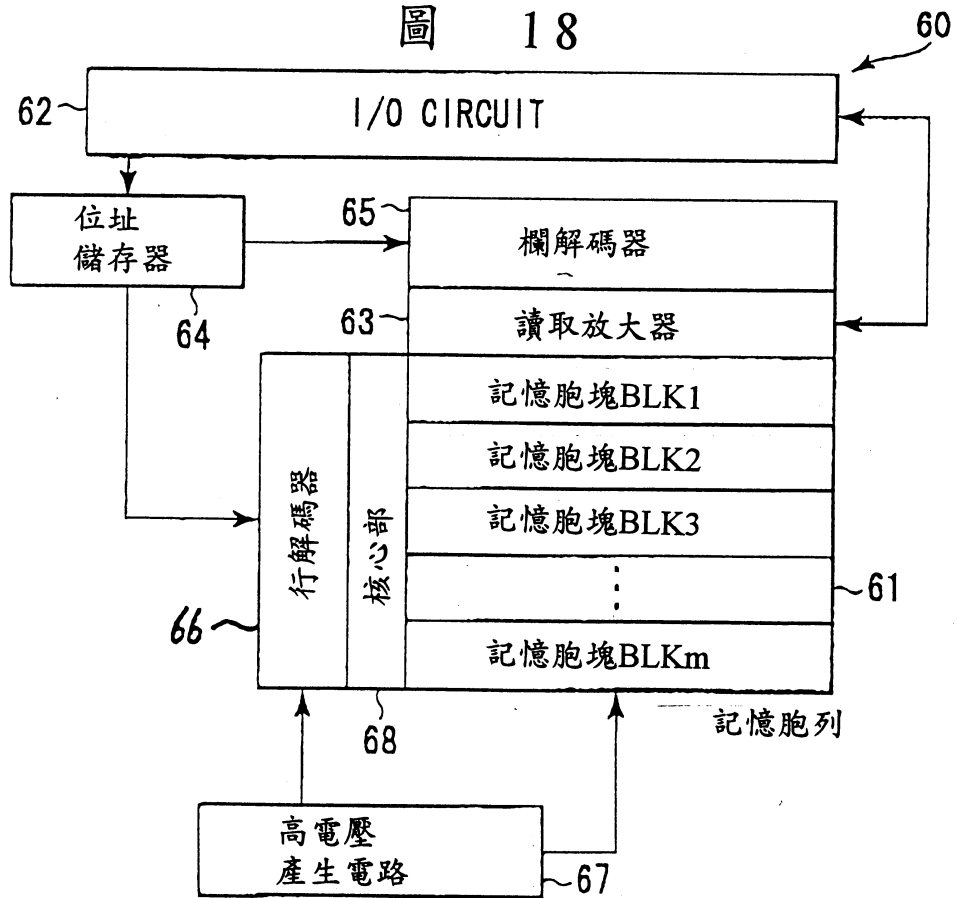


圖 19A

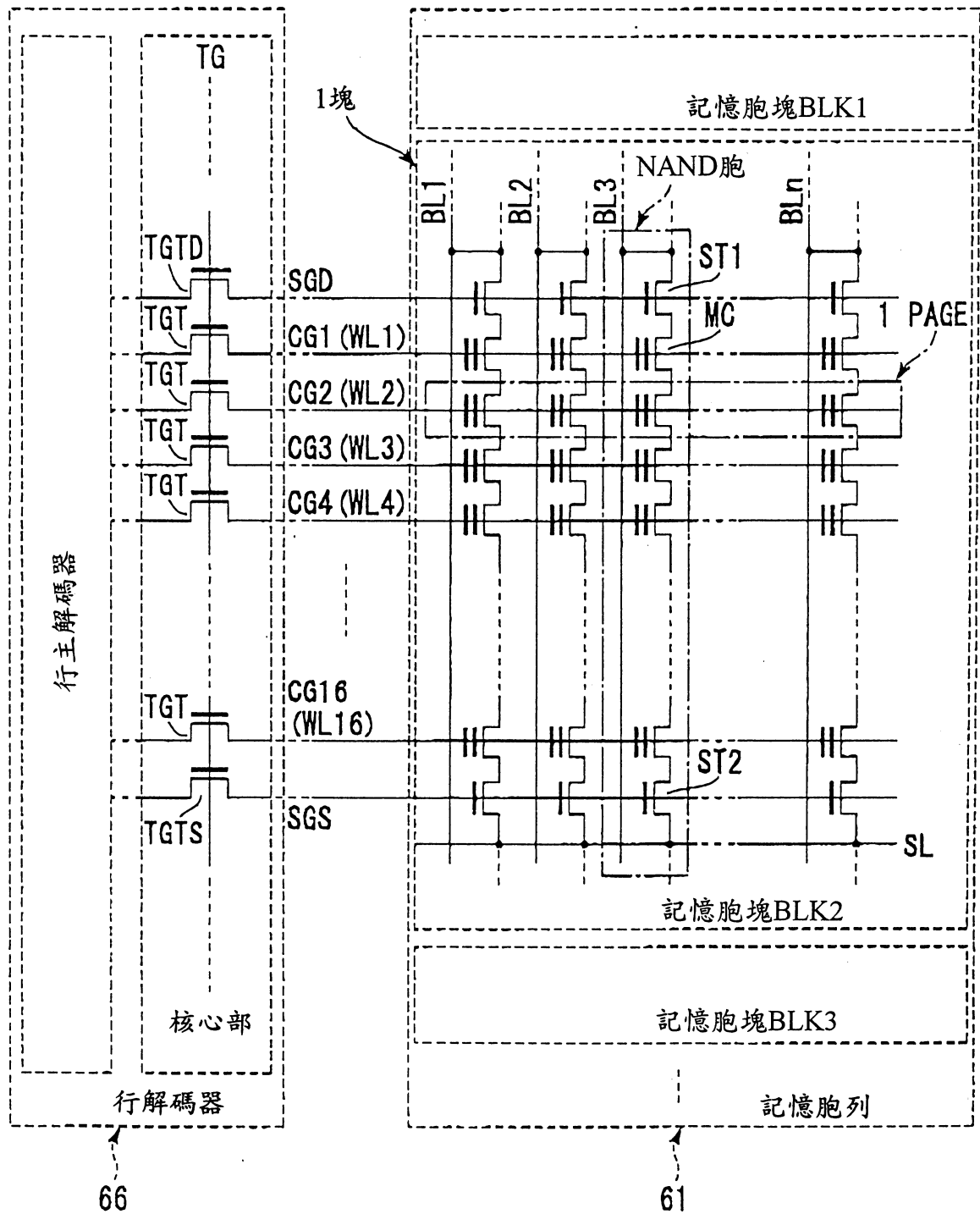


圖 19B

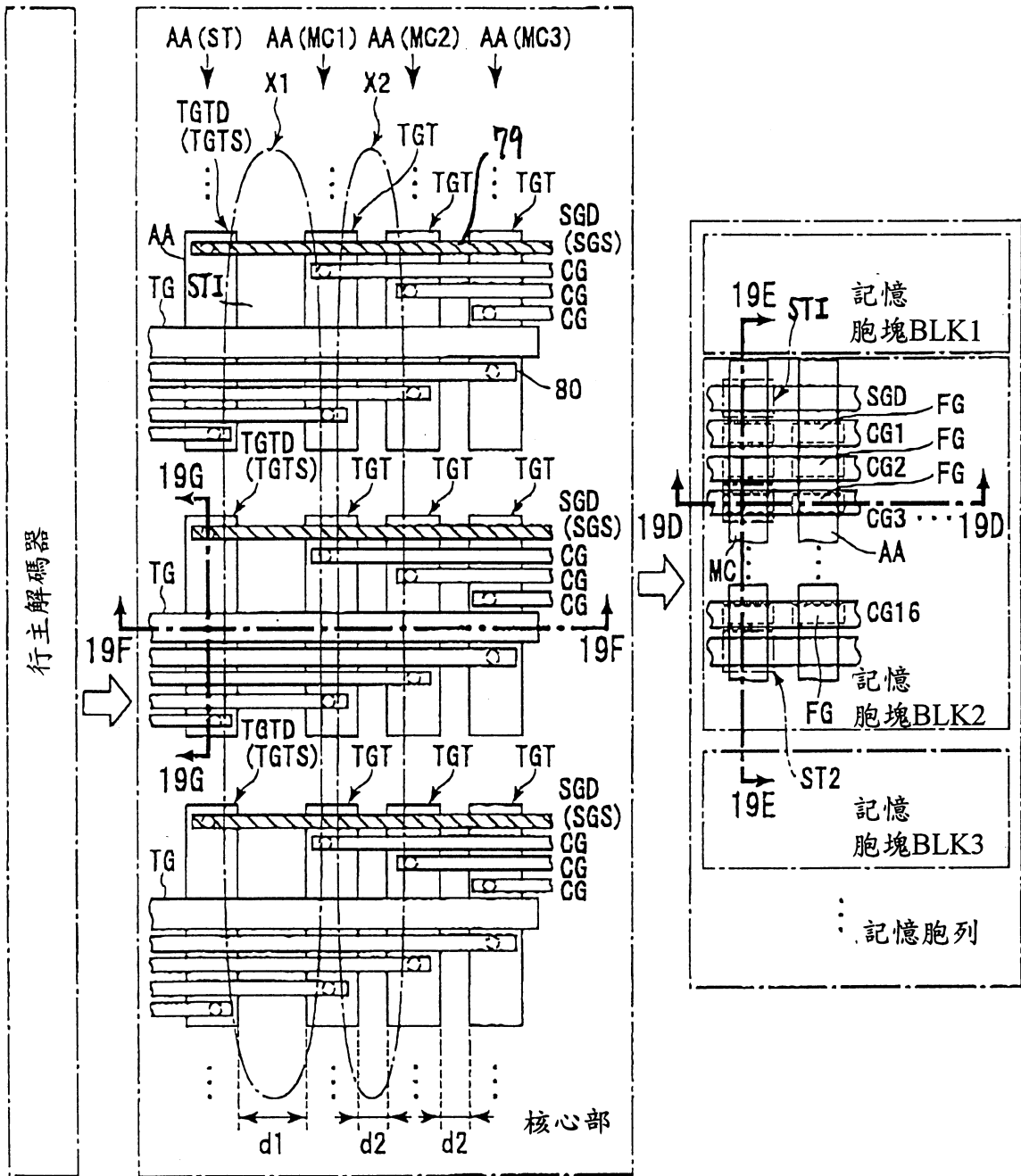


圖 19C

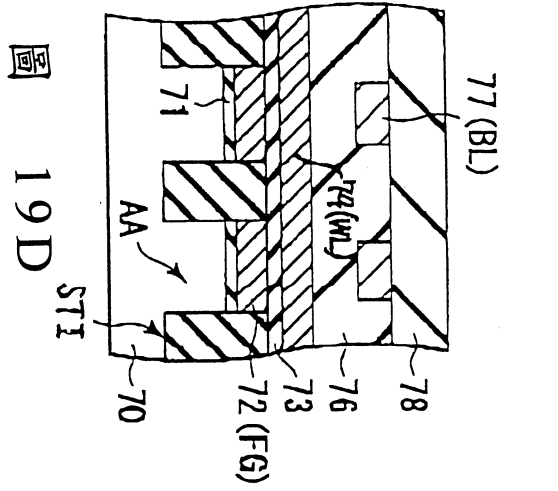


圖 19D

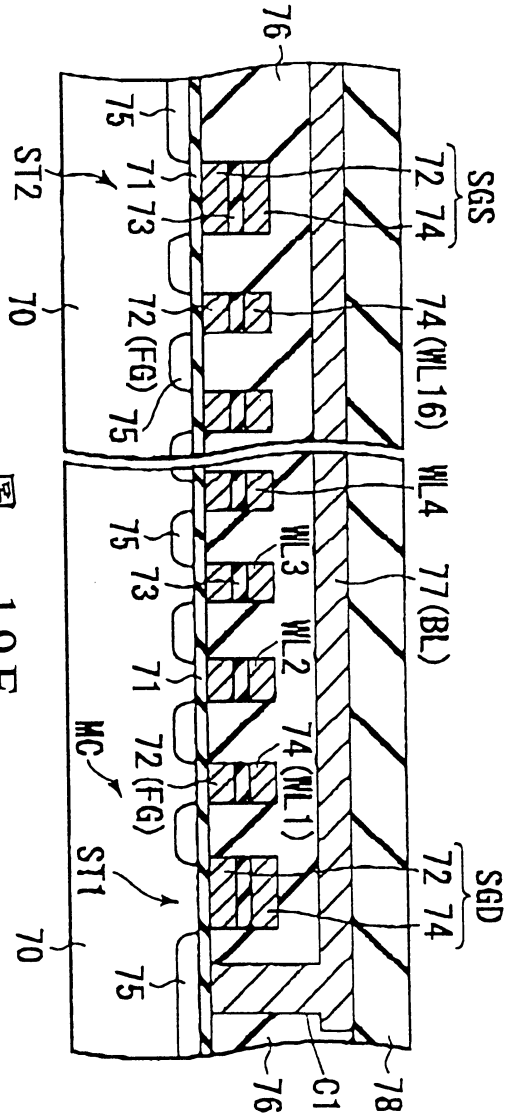


圖 19E

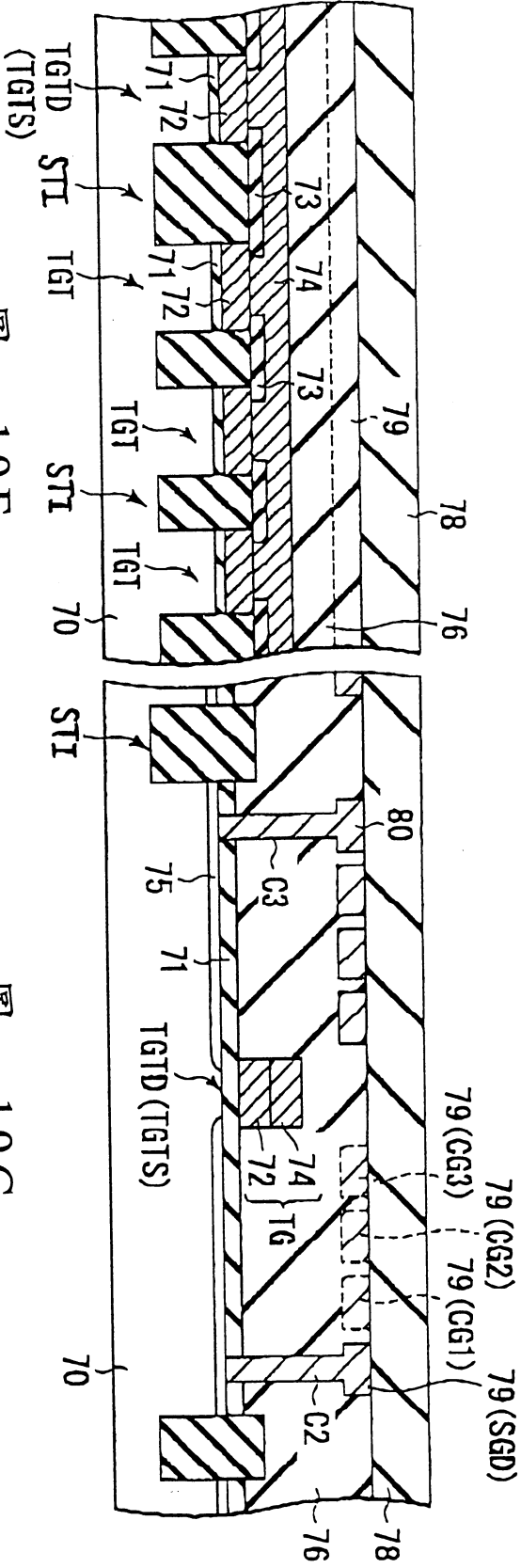


圖 19F

圖 19G

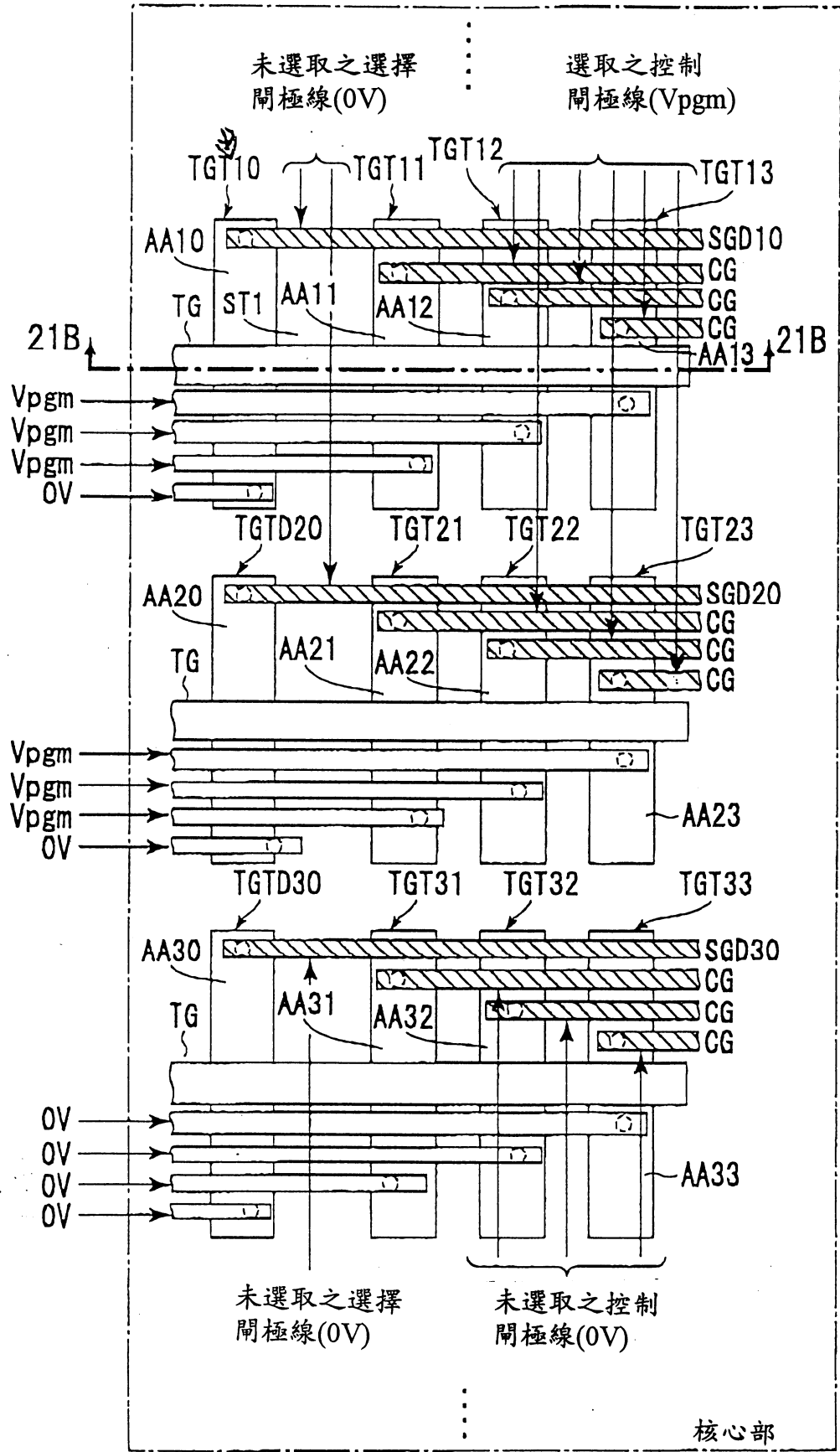


圖 21A

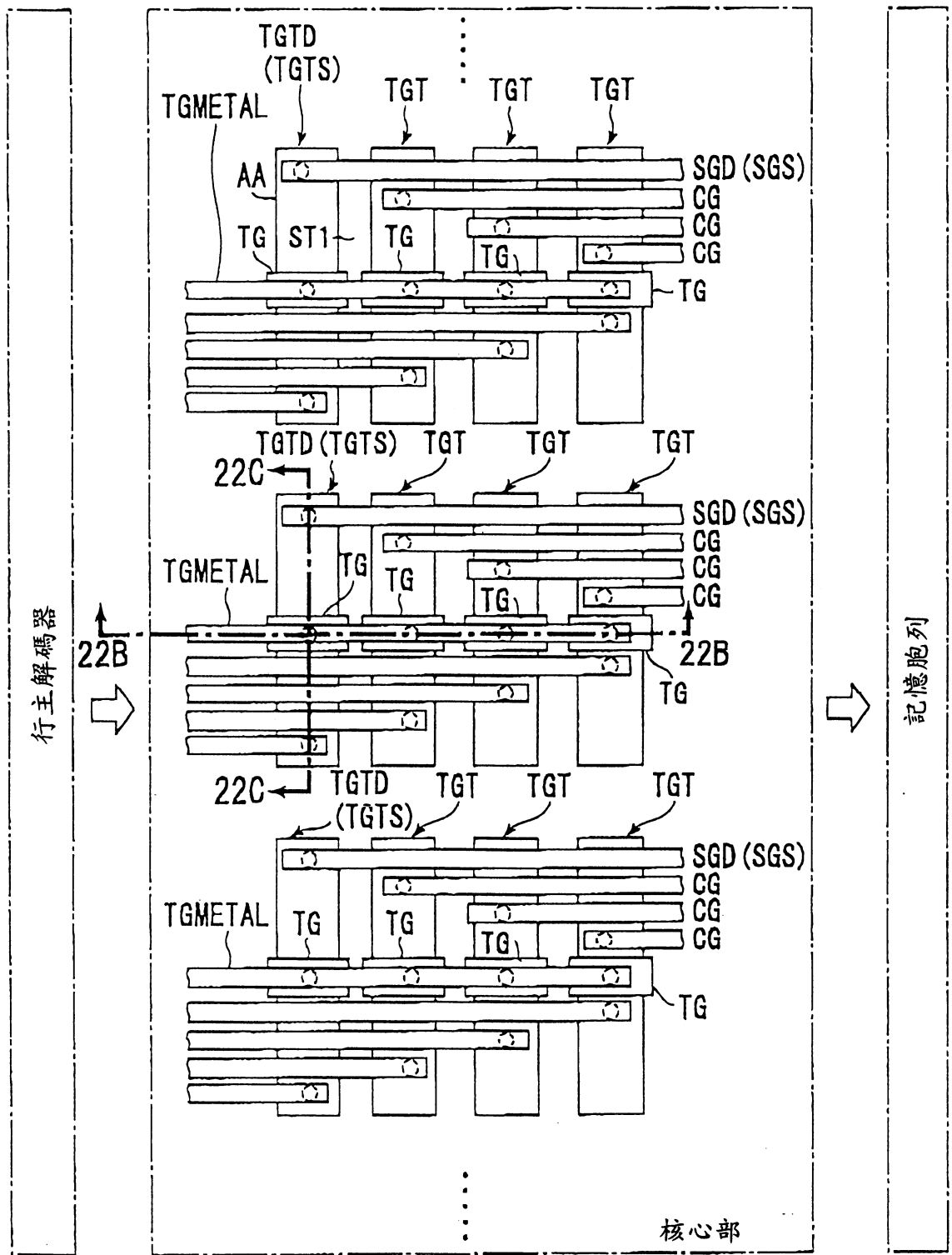


圖 22A

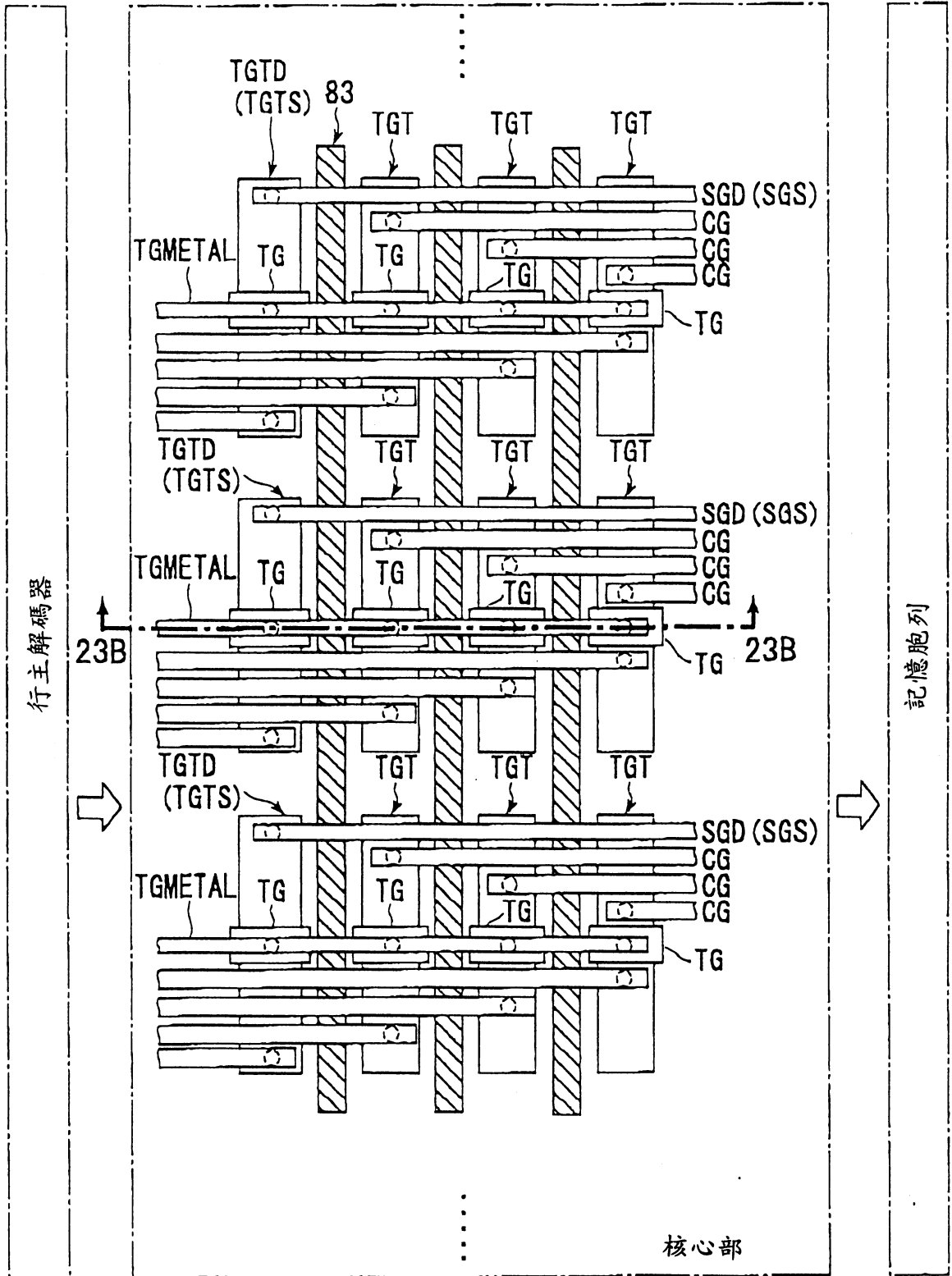
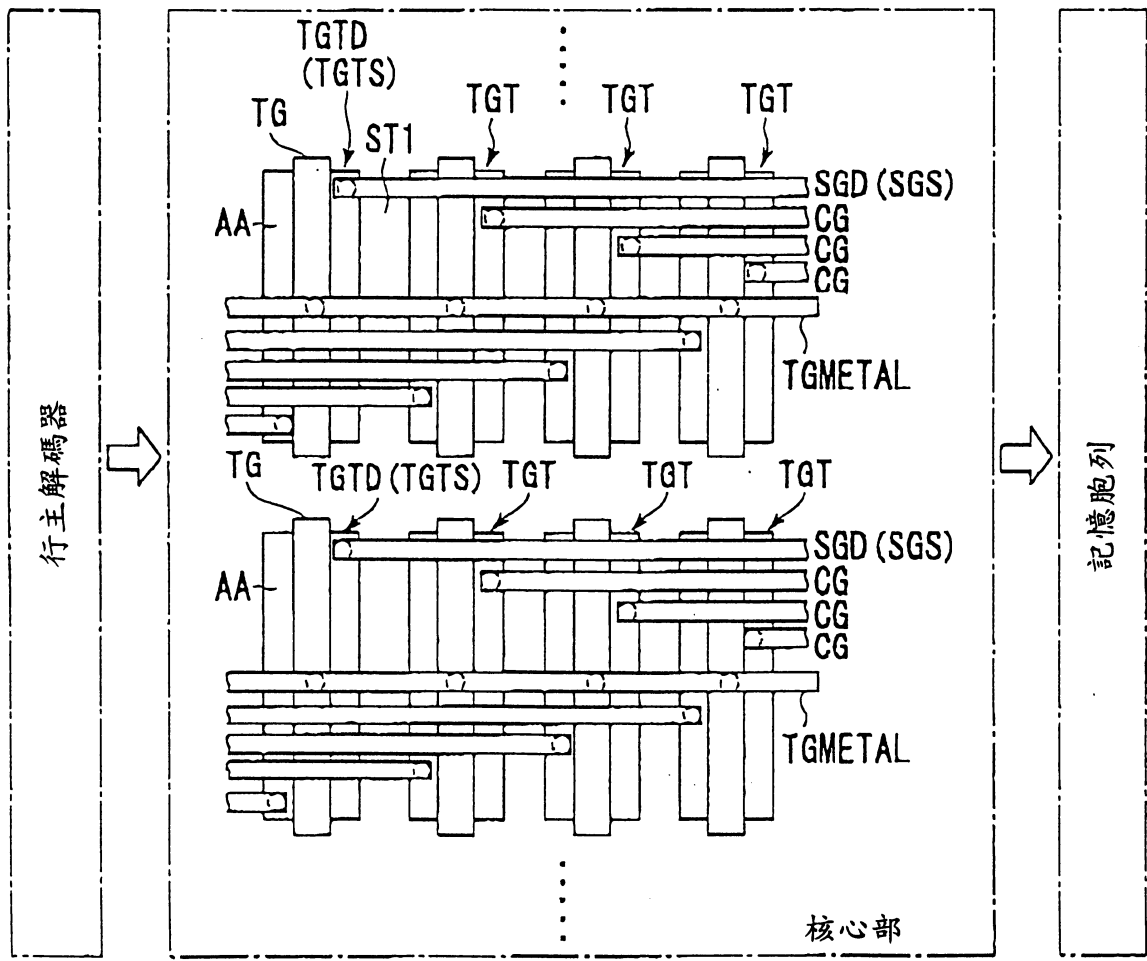
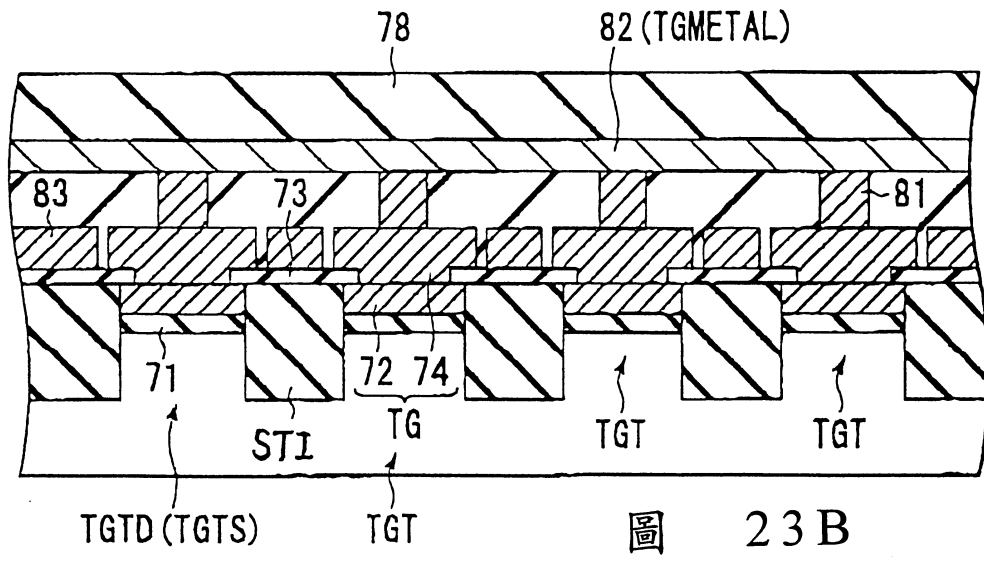


圖 23A



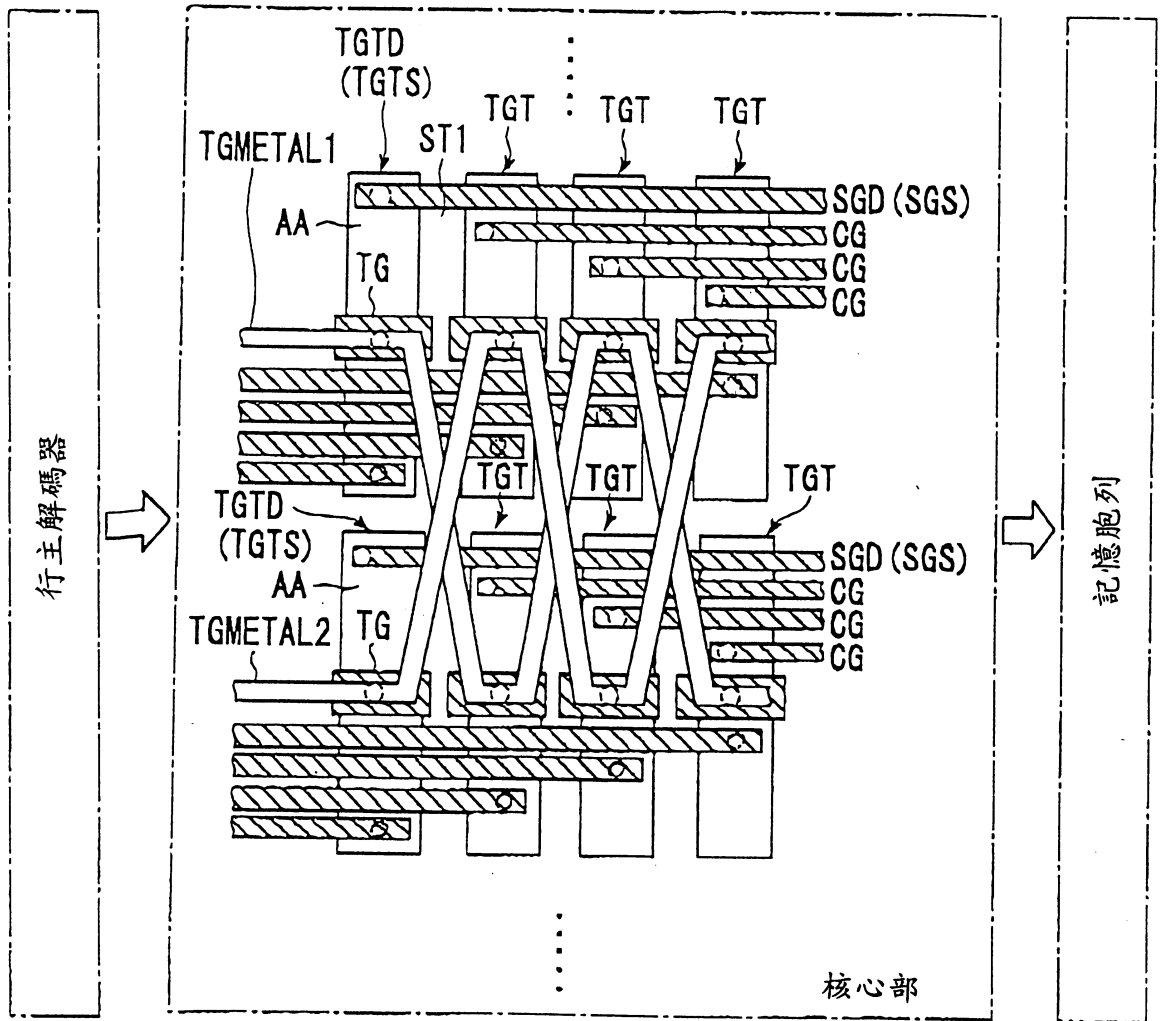


圖 25

五、發明說明 (45)

元件符號說明

1	半導體基板	30	矽氧膜
2	記憶胞電晶體	31	離子佈植層
3	選擇電晶體	32	浮動閘極層
4	源極區域	33	遮罩材料
5	汲極區域	34	矽氧化膜
6	閘極絕緣膜	35	閘極間絕緣膜
7	閘極	36	遮罩材料
8	電荷蓄積層	37	抗蝕劑
9	閘極間絕緣膜	38	開口部
10	控制閘極	39	控制閘極材料
11	通道擴散層	40	多晶矽層
12	集極區域	45	通道區域
13	閘極	46	閘極
14	電荷蓄積層	47	選擇電晶體
15	閘極間絕緣膜	61	記憶胞列
16	開口部	62	輸出入(I/O)電路
17	控制閘極	63	讀取放大器
18	通道擴散層	64	位址存放器
19	通道擴散層	65	行解碼器
21	活性區域	66	列解碼器
22	元件隔離區域	67	高電壓產生電路

五、發明說明 (46)

68	列系核心部	240	多晶矽膜
70	矽基板	260	層間絕緣膜
71	閘極絕緣膜	280	層間絕緣膜
72	多晶矽層	290	分流配線
73	層間絕緣膜	300	金屬配線層
74	多晶矽層	AA	活性區域
75	雜質擴散層	BL1~BLm	位元線
76	層間絕緣膜	BLK1~BKLn	記憶胞塊
77	金屬配線層	CG1~CGn	閘極線
78	層間絕緣膜	FG	浮動閘極
79	分流配線	LD	局部汲極線
80	金屬配線層	MB	記憶塊
83	模擬閘極	MC	非揮發性記憶胞
200	矽基板	SGD, SGS	選擇閘極線
210	閘極絕緣膜	ST1	汲極側選擇電晶體
220	多晶矽膜	ST2	源極側選擇電晶體
230	閘極間絕緣膜		
TFTD, TGTS, TGT	傳輸閘極電晶體		
WL1~WLn	字元線		