

一、本案已向

國家(地區)申請專利	申請日期	案號	主張專利法第二十四條第一項優先權
------------	------	----	------------------

無

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

寄存機構：

無

寄存日期：

寄存號碼：

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

無

寄存號碼：

熟習該項技術者易於獲得,不須寄存。

五、發明說明 (1)

【發明所屬之技術領域】

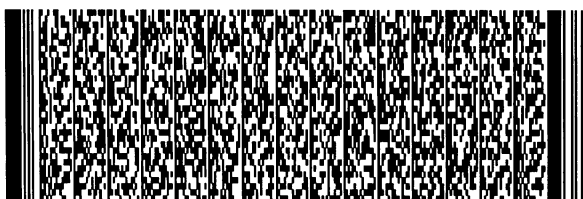
本發明係關於一種應變鬆弛矽鍺磊晶層之製作方法，特別是一種用以控制穿透差排密度之具有圖案之應變鬆弛矽鍺磊晶層之製作方法。

【先前技術】

近年來半導體及積體電路技術已朝向於小而高速，且高密度的元件發展，因此在超大型半導體積體電路上便著重在如何提升半導體元件的速度及減少其所需的能量。其中有許多有關於矽化鍺系統的研究發現，在矽基板上成長一層矽鍺應變鬆弛層，再沉積矽形成形變矽，將提升在矽中的電子漂移速率，進而提升該半導體元件通道的電子漂移速率)，因此便可大大提升半導體元件的效能。

在一些已公告的專利中，例如 US. Pat. No. 6515335，揭露一種鍺濕層 (Ge wetting layer) 形成在矽絕緣基板 (silicon-on-insulator, SOI) 上，再形成矽鍺島體於鍺濕層上，接著形成平坦化後的矽鍺層覆蓋矽鍺島體，最後以一段時間的熱處理使矽絕緣基板上矽層、矽鍺島體、平坦化的矽鍺層之間發生內部的混合擴散，形成一均勻鬆弛應變的矽鍺層在氧化層上，穿透差排集中在靠近氧化層的矽鍺層上，所以在最上層矽鍺層的表面沒有差排存在。

而在 US. Pat. 6291321 中，以不同的溫度形成鍺的漸變層，其中並提到矽鍺層彼此的界面的粗糙度會使穿透差排堆積，所以該專利以不同溫度分別形成鍺的漸變層加上以



五、發明說明 (2)

化學機械研磨的方式去除其介面的粗糙度，可進一步降低穿透差排密度。但是其無法控制穿透差排所產生的位置。

目前有許多習知技術的重點在於先形成低穿透差排密度的鍺漸變層及控制其差排位置，接著再形成主要的矽鍺層於其上。如此結構可以減緩晶格應變變化過大造成的缺陷並增加晶格鬆弛，可使用於形變矽/矽鍺金氧半場效電晶體製程中。

然而，這樣的製程其穿透差排密度仍然偏高，不利於ICs製作。這是因為在應變矽/矽鍺金氧半場效電晶體製程中，穿透差排 (threading dislocation) 造成大量漏電及載子漂移速率降低。

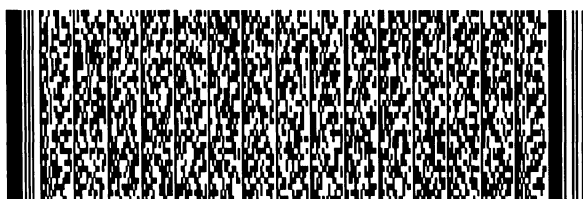
依目前半導體元件的需求，鍺的含量愈高可使元件的速率愈快，但會遭遇到因厚度厚產生的高穿透差排密度的問題。因此如何降低矽鍺磊晶層差排密度遂成為技術發展的重點。

【發明內容】

鑒於以上的問題，本發明的主要目的在於提供一種用以控制穿透差排密度之具有圖案之應變鬆弛矽鍺磊晶層之製作方法，藉以解決先前技術所存在的問題或缺點。

根據本發明之原理，係利用離子佈植定義主動區與非主動區，再進行應變鬆弛矽鍺磊晶層成長，經熱處理過程後，在類似平坦 (MESA) 結構的主動區域內，其穿透差排密度、鬆弛程度獲得有效的改善。

因此，為達上述目的，本發明所揭露之用以控制穿透



五、發明說明 (3)

差排密度之具有圖案之應變鬆弛矽鍺磊晶層之製作方法，係在一矽基板上定義一離子佈植區，接著在該離子佈植區中進行離子佈植，最後在該矽基板上沉積形成一矽鍺緩衝層以及一應變鬆弛矽鍺磊晶層。

根據本發明的目的，本發明所具有之優點在於提供良好的應變鬆弛矽鍺磊晶層，而能使其形變矽通道載子漂移特性改善。一般利用矽鍺漸變磊晶層成長方法，穿透差排隨機出現，而利用離子佈植定義出主動區與非主動區，使主動區域的穿透差排密度集中非主動區，主動區的穿透差排密度更低於一般利用矽鍺漸變磊晶層成長方法所產生之穿透差排密度，有助於元件特性提升。

以上之說明與敘述以及以下之詳細說明係用以示範與解釋本發明，並且提供本發明之專利申請範圍更進一步之說明。

本發明的詳細特徵及優點將在實施方式中詳細敘述，其敘述內容足以使任何熟習相關技藝者從中了解本發明之技術，且任何與本發明相關之優點及目的係可輕易地從本說明書所揭露之內容、申請專利範圍及圖示中理解。

【實施方式】

有關本發明的特徵與實作，茲配合圖示作最佳實施例詳細說明如下。

如『第1圖』所示，為本發明製造方法的流程圖，其中該步驟的順序並非固定不變及不可或缺的，有些步驟可同時進行、省略或增加，此流程圖係以較廣及簡易的方式



五、發明說明 (4)

描述本發明的步驟特徵，並非用以限定本發明的製造方法步驟順序及次數。

利用黃光定義出離子佈植區域，再以超高真空化學氣相沉積漸變矽鍺磊晶層（鍺含量 0~20%），再經適當的熱處理，未離子佈植區域可用於元件製作。

首先，提供一提供矽基板（步驟 100），接著以光微影製程定義一離子佈植區（步驟 200），係以光罩進行曝光顯影完成，其中離子佈植區為非主動區，非離子佈植區為主動區。接著在定義的離子佈植區進行離子佈植（步驟 300），離子佈植完畢後，開始成長矽鍺緩衝層（步驟 400）與應變鬆弛矽鍺磊晶層（步驟 500），最後再經過適當熱處理（步驟 600），以完成應變鬆弛矽鍺磊晶層的製作。

由於晶格排列的關係，使得經過離子佈植的區域，在成長矽鍺磊晶層後，經過蝕刻（defect etch）後，從上方看下去，會形成像圖案化的結構。由於經過離子佈植的非主動區會產生破壞，使得經過熱處理後的主動區穿透差排極易集中於此處。因此，主動區的穿透差排密度可明顯降低。在步驟 500 後，可以得到一約略具有適當應變鬆弛之矽鍺磊晶層，再經過步驟 600 的熱處理，以得到較佳的應變鬆弛。

步驟 200 為以光罩圖案定義出在矽基板上欲進行離子佈植的區域。在步驟 500 沉積矽鍺結晶層時可用磊晶的方式成長，其中沉積矽鍺結晶層的方法可包括超高真空化學



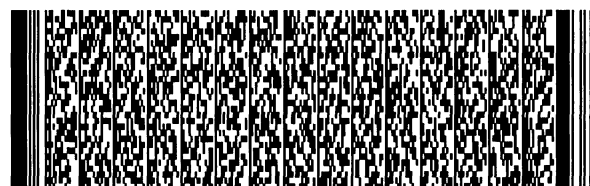
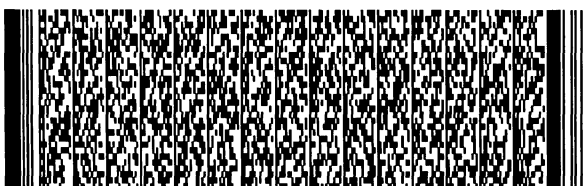
五、發明說明 (5)

氣相沉積法、分子束磊晶法、低壓化學氣相沉積法 (LPCVD)及高速升溫化學氣相沉積法 (RTCVD)等等。

續請參考『第 2A圖』至『第 2C圖』，為本發明之所揭露之實施例之截面圖，顯示其製造方法流程圖之步驟，包括：於一矽基板 10 上先以光罩以曝光顯影製程形成一離子佈植區 20，離子佈植區 20 作為非主動區，接著，再對所定義之離子佈植區進行離子佈植。

接著，先沉積一第一矽鍍緩衝層 30 於矽基板 10 與離子佈植區 20 之上，再沉積一第二矽鍍緩衝層 40 於第一矽鍍緩衝層 30 上，第一矽鍍緩衝層 30 係在低溫下形成，第二矽鍍緩衝層 40 係在高溫下形成。第二矽鍍緩衝層 40 係以逐漸增加鍍含量的沉積方式形成，而沉積第二矽鍍緩衝層 40 的方法可包括超高真空化學氣相沉積法、分子束磊晶法、低壓化學氣相沉積法 (LPCVD) 及高速升溫化學氣相沉積法 (RTCVD)，第二矽鍍緩衝層 40 其鍍的平均含量約 0%~20%，但鍍的含量及矽鍍層之厚度可根據不同的需求有所改變，第二矽鍍緩衝層 40 可包括以漸層方式一層一層沉積形成，其鍍含量漸層式的改變，即漸層式增加其鍍含量。

根據本發明所揭露的原理，於第二矽鍍緩衝層 40 製作完畢後，由於離子佈植區 20 在非主動區產生的破壞，使得離子佈植區 20 之上的矽鍍磊晶結構會形成如圖案化的表面與結構，亦即，在矽鍍磊晶層中具有一圖案之應變鬆弛矽鍍磊晶層 50，也是本發明所謂具有圖案之應變鬆弛矽鍍磊晶層之原因與原理。可在經過熱處理，以提高應變鬆弛的



五、發明說明 (6)

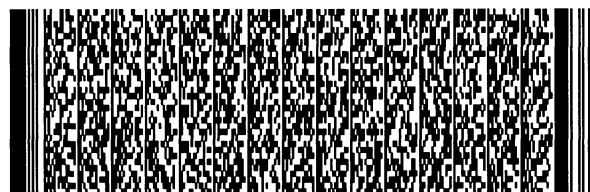
程度。

在『第 2圖』中之結構係利用第一緩衝層 30與第二緩衝層 40而形成矽鍺磊晶層 50。另一方面，緩衝層的部分亦可以僅形成第二緩衝層 40，也就是以逐漸增加鍺含量的沉積方式形成。

請參考『第 3圖』，熱處理後，X光繞射儀 (XRD) 量測離子佈植區和直接成長的試片，從圖中可知，經過離子佈植之區域，其晶格鬆弛度較大，且經過熱處理後，有離子佈植的區域，其晶格鬆弛度也較大，因此，根據本發明所揭露之原理，可確定有離子佈植區之區域晶格鬆弛度較大。

根據本發明所揭露的結構，經缺陷蝕刻，900度 180秒熱處理後，其穿透差排確實出現在離子佈植區，如『第 4圖』中所示，係以 500x光學顯微鏡將上述的結構經過蝕刻 (defect etch) 後照相後取得，圖中之虛線方框之方塊區域 $36.5\mu\text{m} \times 44.55\mu\text{m}$ ，在虛線方框內之區域係為鍺的平均含量約 20%的矽鍺漸變層，並經過離子佈植之區域，虛線方框外之區域為沒有離子佈植之區域，由『第 4圖』可以證明，本發明所揭露的結構確實可以將穿透差排侷限在某一區域中。

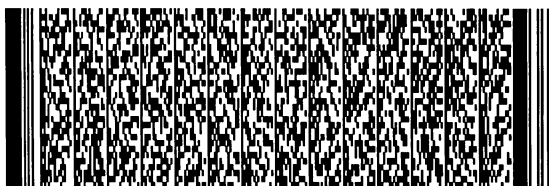
根據本發明的原理，首先結合積體電路製程整合，提出以離子佈植定義出主動區與非主動區，利用離子佈植在非主動區所產生的破壞，使得經熱處理過程後的主動區穿透差排易集中於此處，這樣在主動區域的應變鬆弛矽鍺磊



五、發明說明 (7)

晶層穿透差排密度可明顯降低，可以使缺陷排除在元件的製造區外，此方法可應用於形變矽鍺異質結構互補式金氧半場效電晶體。

雖然本發明以前述之較佳實施例揭露如上，然其並非用以限定本發明，任何熟習相像技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之專利保護範圍須視本說明書所附之申請專利範圍所界定者為準。

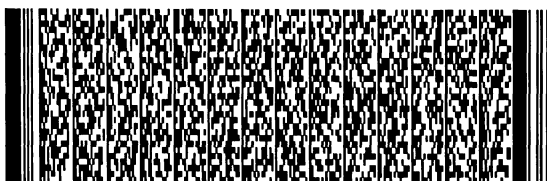


圖式簡單說明

第 1 圖係為本發明所揭露之用以控制穿透差排密度之具有圖案之應變鬆弛矽鍺磊晶層之製作方法之流程圖；
第 2A 圖～第 2C 圖係為本發明所揭露之用以控制穿透差排密度之具有圖案之應變鬆弛矽鍺磊晶層之結構側視圖；
第 3 圖係為根據本發明之原理所製作之磊晶層與先前技術所製作之磊晶層之 X 光繞射儀 (XRD) 量測圖；以及
第 4 圖係為本發明所揭露之用以控制穿透差排密度之具有圖案之應變鬆弛矽鍺磊晶層之實驗照片。

【圖式符號說明】

- 10 矽基板
- 20 離子佈植區
- 30 第一矽鍺緩衝層
- 40 第二矽鍺緩衝層
- 50 具有圖案之應變鬆弛矽鍺磊晶層



四、中文發明摘要 (發明名稱：用以控制穿透差排密度之具有圖案之應變鬆弛矽鍺磊晶層之製作方法)

一種用以控制穿透差排密度之具有圖案之應變鬆弛矽鍺磊晶層之製作方法，係在一矽基板上定義一離子佈植區，接著在該離子佈植區中進行離子佈植，最後在該矽基板上沉積形成緩衝層以及矽鍺磊晶層，本發明係利用離子佈植定義出主動區與非主動區，使主動區域的穿透差排累積於非主動區，以降低主動區的差排密度，有助於元件特性提升。

五、英文發明摘要 (發明名稱：)



六、指定代表圖

(一)、本案代表圖為：第 1圖

(二)、本案代表圖之元件代表符號簡單說明：



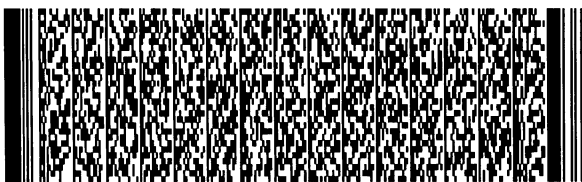
六、申請專利範圍

1. 一種用以控制穿透差排密度之具有圖案之應變鬆弛矽鍺磊晶層之製作方法，包括有：
提供一矽基板；
在該矽基板上定義一離子佈植區；
在該離子佈植區中進行離子佈植；以及
在已佈植離子之該矽基板上沉積形成一應變鬆弛矽鍺磊晶層。
2. 如申請專利範圍第1項所述之用以控制穿透差排密度之具有圖案之應變鬆弛矽鍺磊晶層之製作方法，其中該在沉積形成該應變鬆弛矽鍺磊晶層之步驟前更包括有一在已佈植離子之該矽基板上沉積形成一矽鍺緩衝層之步驟。
3. 如申請專利範圍第2項所述之用以控制穿透差排密度之具有圖案之應變鬆弛矽鍺磊晶層之製作方法，其中係以逐漸增加鍺含量的沉積方式形成該矽鍺緩衝層。
4. 如申請專利範圍第1項所述之用以控制穿透差排密度之具有圖案之應變鬆弛矽鍺磊晶層之製作方法，其中該在沉積形成該應變鬆弛矽鍺磊晶層之步驟前更包括有一在已佈植離子之該矽基板上沉積形成一第一矽鍺緩衝層與一第二矽鍺緩衝層之步驟。
5. 如申請專利範圍第4項所述之用以控制穿透差排密度之具有圖案之應變鬆弛矽鍺磊晶層之製作方法，其中係以逐漸增加鍺含量的沉積方式形成該第二矽鍺緩衝層。
6. 如申請專利範圍第1項所述之用以控制穿透差排密度之

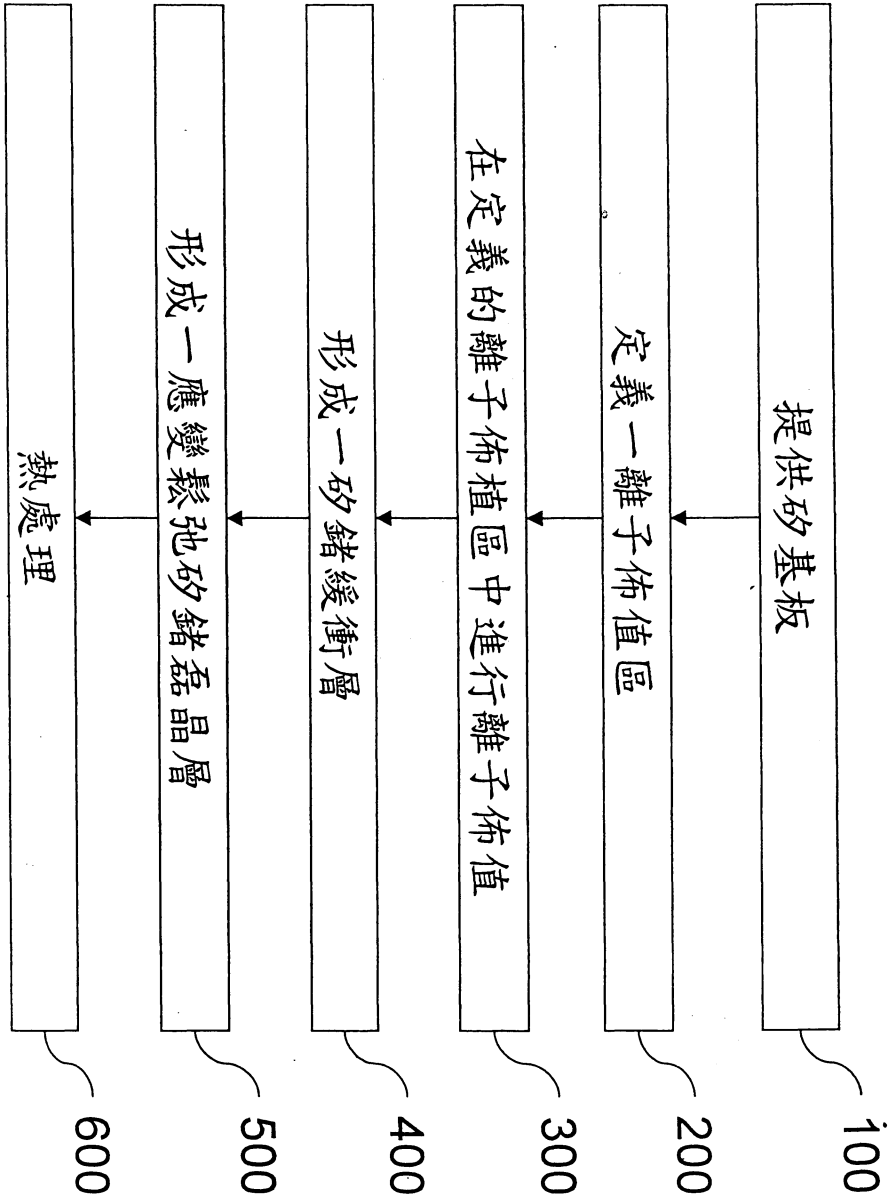


六、申請專利範圍

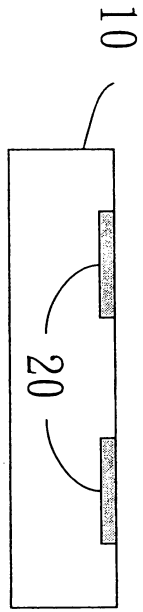
- 具有圖案之應變鬆弛矽鍺磊晶層之製作方法，其中該在沉積形成該應變鬆弛矽鍺磊晶層之步驟後更包括有一將該應變鬆弛磊晶層進行熱處理之步驟。
- 7.如申請專利範圍第1項所述之用以控制穿透差排密度之具有圖案之應變鬆弛矽鍺磊晶層之製作方法，其中係可藉由超高真空化學氣相沉積形成該應變鬆弛矽鍺磊晶層。
- 8.如申請專利範圍第1項所述之用以控制穿透差排密度之具有圖案之應變鬆弛矽鍺磊晶層之製作方法，其中係可藉由分子束磊晶法形成該矽鍺磊晶層。
- 9.如申請專利範圍第1項所述之用以控制穿透差排密度之具有圖案之應變鬆弛矽鍺磊晶層之製作方法，其中係可藉由低壓化學氣相沉積法(LPCVD)形成該矽鍺磊晶層。
- 10.如申請專利範圍第1項所述之用以控制穿透差排密度之具有圖案之應變鬆弛矽鍺磊晶層之製作方法，其中係可藉由高速升溫化學氣相沉積法(RTCVD)形成該矽鍺磊晶層。
- 11.如申請專利範圍第1項所述之用以控制穿透差排密度之具有圖案之應變鬆弛矽鍺磊晶層之製作方法，其中係以一光罩進行曝光顯影以定義該離子佈植區。



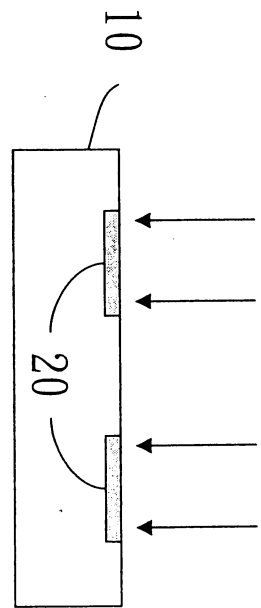
圖式



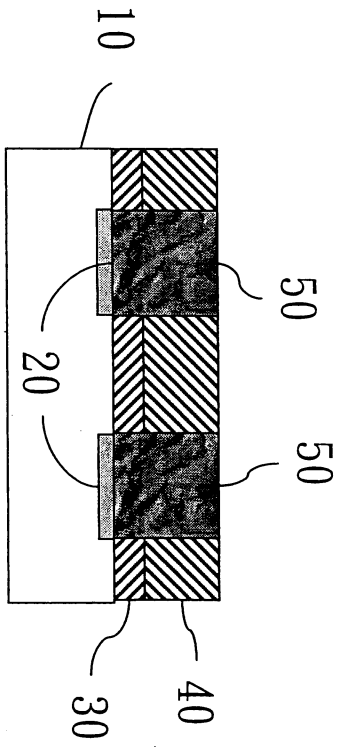
第1圖



第2A圖

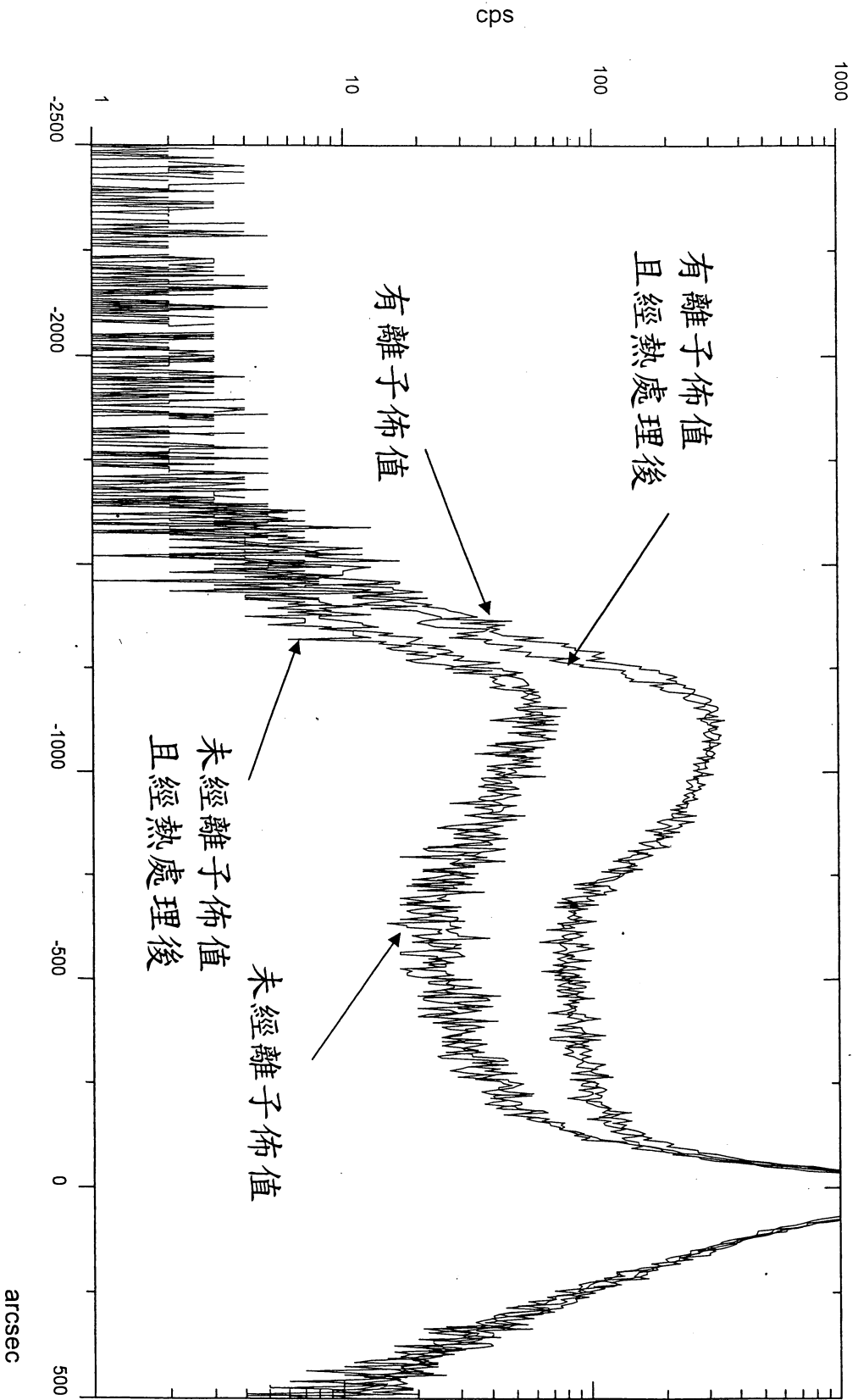


第2B圖



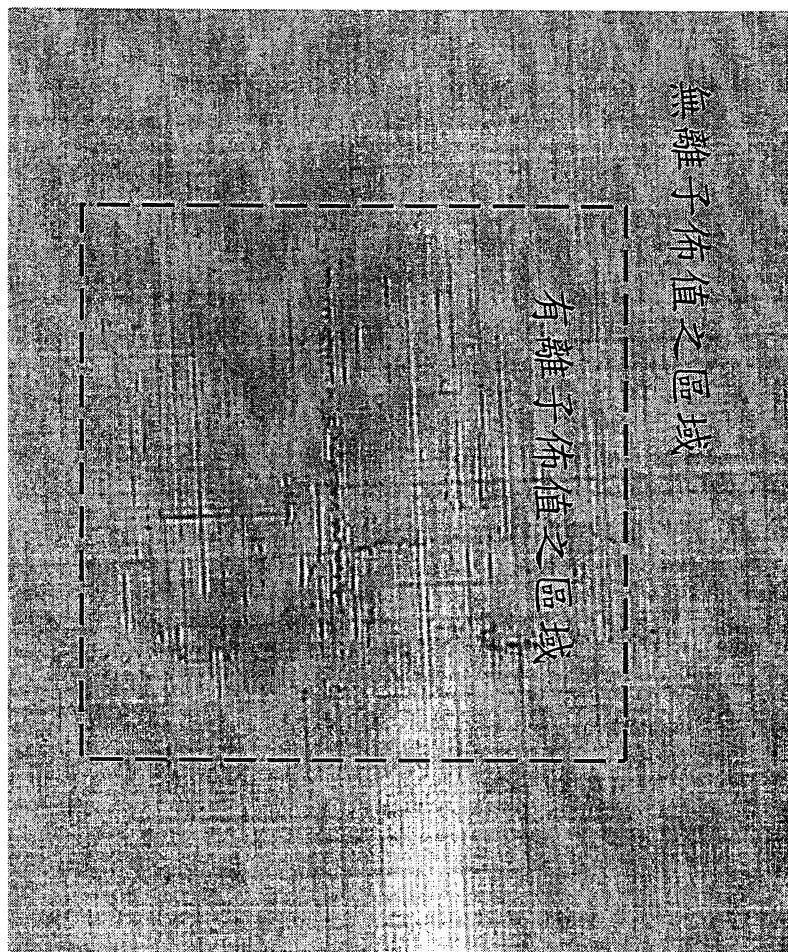
第2C圖

圖式



第3圖

圖式



第4圖

申請日期：93.02.06	IPC分類
申請案號：93102861	H01L 21/324

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	用以控制穿透差排密度之具有圖案之應變鬆弛矽鍺磊晶層之製作方法
	英文	
二、 發明人 (共3人)	姓名 (中文)	1. 曾揚玳 2. 陳邦旭 3. 陸新起
	姓名 (英文)	1. TSENG, YANG TAI 2. CHEN, PANG SHIU 3. LIU, SHING CHII
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW 3. 中華民國 TW
三、 申請人 (共1人)	名稱或姓名 (中文)	1. 財團法人工業技術研究院
	名稱或姓名 (英文)	1. INDUSTRIAL TECHNOLOGY RESEARCH INSTITUTE
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 新竹縣竹東鎮中興路四段195號 (本地址與前向貴局申請者不同)
	住居所 (營業所) (英文)	1. No. 195, Sec. 4, Chung-Hsing Rd., Chu-Tung, Hsinchu, Taiwan, R. O. C.
	代表人 (中文)	1. 林信義
	代表人 (英文)	1. LIN, HSIN I

